



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201733010 A

(43)公開日：中華民國 106 (2017) 年 09 月 16 日

(21)申請案號：106103254

(22)申請日：中華民國 106 (2017) 年 01 月 26 日

(51)Int. Cl. : *H01L21/768 (2006.01)**H01L29/92 (2006.01)*

(30)優先權：2016/02/03 日本

2016-019170

(71)申請人：富士全錄股份有限公司 (日本) FUJI XEROX CO., LTD. (JP)

日本

野田士克林股份有限公司 (日本) NODA SCREEN CO., LTD. (JP)

日本

(72)發明人：井口大介 IGUCHI, DAISUKE (JP)；服部篤典 HATTORI, ATSUNORI (JP)

(74)代理人：賴經臣；宿希成

申請實體審查：有 申請專利範圍項數：25 項 圖式數：20 共 70 頁

(54)名稱

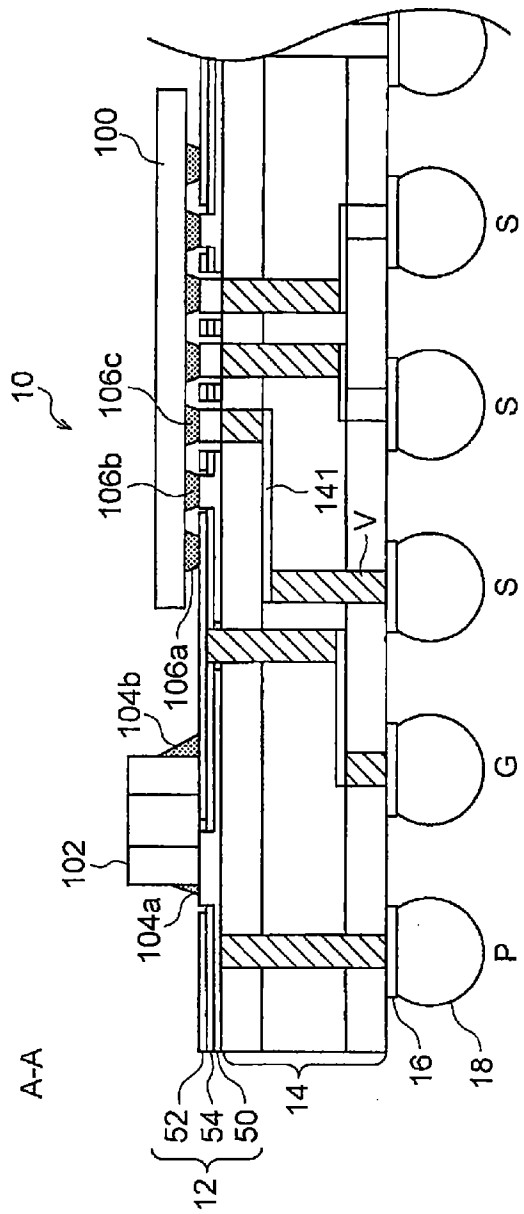
電路基板及電路基板之製造方法

(57)摘要

本發明之電路基板具備有：基材；及電容器層，其具有被設置於上述基材上之第 1 金屬層、被設置於該第 1 金屬層上之介電體層、及被設置於該介電體層上之第 2 金屬層。上述第 1 金屬層具有連接有被設置於上述基材上並經由上述電容器層將電流供給至電路零件之電容器元件之第 1 端子且自上述介電體層露出之第 1 電極區域，上述第 2 金屬層具有連接有上述電容器元件之第 2 端子且該第 2 金屬層露出之第 2 電極區域。

指定代表圖：

圖 2



- 符號簡單說明：
- 10 . . . 電路基板
 - 12 . . . 電容器層
 - 14 . . . 基板
 - 16 . . . 焊墊
 - 18 . . . 焊料凸塊
 - 50 . . . 第 1 金屬層
 - 52 . . . 第 2 金屬層
 - 54 . . . 介電體層
 - 100 . . . 半導體元件
 - 102 . . . 電容器元件
 - 104a . . . 焊料
 - 104b . . . 焊料
 - 106a . . . 凸塊
 - 106b . . . 凸塊
 - 106c . . . 凸塊
 - 141 . . . 配線層
 - G . . . 接地
 - P . . . 電源
 - S . . . 信號
 - V . . . 連通柱

201733010

發明摘要

※ 申請案號：106103254

※ 申請日：106/01/26

※IPC 分類：**H01L 21/768** (2006.01)
H01L 29/92 (2006.01)

【發明名稱】(中文/英文)

電路基板及電路基板之製造方法

【中文】

本發明之電路基板具備有：基材；及電容器層，其具有被設置於上述基材上之第 1 金屬層、被設置於該第 1 金屬層上之介電體層、及被設置於該介電體層上之第 2 金屬層。上述第 1 金屬層具有連接有被設置於上述基材上並經由上述電容器層將電流供給至電路零件之電容器元件之第 1 端子且自上述介電體層露出之第 1 電極區域，上述第 2 金屬層具有連接有上述電容器元件之第 2 端子且該第 2 金屬層露出之第 2 電極區域。

【英文】

【代表圖】

【本案指定代表圖】：第（ 2 ）圖。

【本代表圖之符號簡單說明】：

10	電路基板	12	電容器層
14	基板	16	焊墊
18	焊料凸塊	50	第 1 金屬層
52	第 2 金屬層	54	介電體層
100	半導體元件	102	電容器元件
104a	焊料	104b	焊料
106a	凸塊	106b	凸塊
106c	凸塊	141	配線層
G	接地	P	電源
S	信號	V	連通柱

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

電路基板及電路基板之製造方法

【技術領域】

【0001】本發明係關於電路基板及電路基板之製造方法。

【先前技術】

【0002】於專利文獻 1 揭示有一種可補足電源電壓的變動之電容器內置基板。於該構成中，電容器係設置於基板之厚度方向之中央附近，並經由自該中央附近延伸之通孔與露出於基板之表面側及背面側之電源端子及接地端子相連接。

[先前技術文獻]

[專利文獻]

【0003】

[專利文獻 1]日本專利特開 2005-310814 號公報

【發明內容】

(發明所欲解決之問題)

【0004】本發明之至少一實施形態之目的，在於提供一種電路基板及其製造方法，該電路基板係於自電容器元件經由電容器層將電流供給至電路零件之構成中，將構成電容器層之金屬層作為電容器元件之電極而加以利用。

(解決問題之技術手段)

【0005】[1] 根據本發明一觀點，提供一種電路基板，其具備有：基材；及電容器層，其具有被設置於上述基材上之第 1 金屬層、

被設置於該第 1 金屬層上之介電體層、及被設置於該介電體層上之第 2 金屬層；上述第 1 金屬層具有連接有被設置於上述基材上並經由上述電容器層將電流供給至電路零件之電容器元件之第 1 端子且自上述介電體層露出之第 1 電極區域，上述第 2 金屬層具有連接有上述電容器元件之第 2 端子且該第 2 金屬層露出之第 2 電極區域。

【0006】[2] 於[1]所記載之電路基板中，上述第 1 金屬層可具有自上述介電體層之下表面之高度的位置朝向上述第 1 電極區域突出之突出部，並可於上述第 1 金屬層與上述突出部之間不形成界面。

【0007】[3] 於[1]所記載之電路基板中，上述第 1 電極區域可於上述介電體層之上表面之高度的位置，或於較上述介電體層之上表面之高度更低之位置露出。

【0008】[4] 於[1]所記載之電路基板中，上述第 1 電極區域可於上述介電體層之上表面之高度的位置露出。

【0009】[5] 於[1]所記載之電路基板中，上述第 1 電極區域可於上述介電體層之下表面之高度的位置，或於較上述介電體層之下表面之高度更低之位置露出。

【0010】[6] 於[5]所記載之電路基板中，上述第 1 電極區域可於上述介電體層之下表面之高度的位置露出。

【0011】[7] 於[1]所記載之電路基板中，上述第 2 電極區域可於較上述介電體層之上表面之高度的位置更高之位置露出。

【0012】[8] 於[1]至[7]中任一項所記載之電路基板中，上述第 1 金屬層可具有連接有上述電路零件所具有之電源電位用端子或基準電位用端子之一者且自上述介電體層露出之第 3 電極區域，上述

第 2 金屬層可具有連接有上述電源電位用端子或上述基準電位用端子之另一者且該第 2 金屬層露出之第 4 電極區域。

【0013】 [9] 於[8]所記載之電路基板中，可於上述第 1 電極區域及上述第 2 電極區域連接有上述電容器元件，並可於上述第 3 電極區域及上述第 4 電極區域作為上述電路零件連接有半導體積體電路。

【0014】 [10] [8]所記載之電路基板可具有：第 1 導電部，其自上述第 1 電極區域之附近朝向上述基材之內層側延伸，用以將上述第 1 金屬層連接於外部之電源電位或基準電位之一者；第 2 導電部，其自上述第 2 電極區域之附近朝向上述基材之內層側延伸，用以將上述第 2 金屬層連接於外部之電源電位或基準電位之另一者；第 3 導電部，其自上述第 3 電極區域之附近朝向上述基材之內層側延伸，用以將上述第 1 金屬層連接於外部之電源電位或基準電位之一者；及第 4 導電部，其自上述第 4 電極區域之附近朝向上述基材之內層側延伸，用以將上述第 2 金屬層連接於外部之電源電位或基準電位之另一者。

【0015】 [11] 於[10]所記載之電路基板中，上述第 1 至第 4 導電部中至少 1 個導電部可於自一面側穿透地視察上述基材之情形時，在與對應之上述電極區域重疊之位置，被連接於上述第 1 金屬層或上述第 2 金屬層。

【0016】 [12] 於[10]所記載之電路基板中，上述第 1 至第 4 導電部可於自一面側穿透地視察上述基材之情形時，在與上述第 1 至第 4 導電部所對應之上述電極區域重疊之位置，被連接於上述第 1 金屬層及上述第 2 金屬層。

【0017】 [13] 於[1]或[2]所記載之電路基板中，上述第 1 金屬層可具有連接有上述電路零件所具有之電源電位用端子或基準電位用端子之一者且自上述介電體層露出之第 3 電極區域，上述第 2 金屬層可具有連接有上述電源電位用端子或上述基準電位用端子之另一者且該第 2 金屬層露出之第 4 電極區域，上述第 3 電極區域可於較上述介電體層之上表面之高度的位置更高之位置露出，上述第 1 金屬層與上述第 3 電極區域可經由貫穿上述第 1 金屬層及上述介電體層且不具有界面之導電部所連接。

【0018】 [14] 於[8]所記載之電路基板中，上述基材可具有包含上述第 3 及第 4 電極區域之複數個表面側之電極區域、及經由上述基材之內部分別與該複數個表面側之電極區域電性連接之複數個背面側之電極區域，上述複數個表面側之電極區域間之距離可與上述複數個背面側之電極區域間之距離相等。

【0019】 [15] 於[8]所記載之電路基板中，上述基材可具有包含上述第 3 及第 4 電極區域之複數個表面側之電極區域、及經由上述基材之內部分別與該複數個表面側之電極區域電性連接之複數個背面側之電極區域，連接有上述電路零件之上述複數個表面側之電極區域之各者、及分別對應於該等電極區域之上述複數個背面側之電極區域可被設置於自一面側穿透上述基材而進行觀察之情形時重疊之位置。

【0020】 [16] 根據本發明另一觀點，提供一種電路基板之製造方法，該電路基板具備有具有第 1 金屬層、被設置於該第 1 金屬層上之介電體層、及被設置於該介電體層上之第 2 金屬層的電容器層，上述第 1 金屬層具有，連接有被設置於基材上並經由上述電容

器層將電流供給至電路零件之電容器元件之第 1 端子且自上述介電體層露出之第 1 電極區域，上述第 2 金屬層具有連接有上述電容器元件之第 2 端子且該第 2 金屬層露出之第 2 電極區域，如此之電路基板之製造方法；其具備有：於第 1 基材上形成上述介電體層之步驟；於上述介電體層上形成上述第 1 金屬層之步驟；以上述第 1 金屬層成為較上述介電體層更內層側之方式，將被形成於上述第 1 基材上之上述介電體層及上述第 1 金屬層移至第 2 基材上之步驟；及於移至上述第 2 基材上之上述介電體層上形成上述第 2 金屬層之步驟。

【0021】[17] 於[16]所記載之電路基板之製造方法中，上述第 1 基材可為金屬。

【0022】[18] 於[16]所記載之電路基板之製造方法中，上述第 1 基材之耐熱溫度可較上述第 2 基材之耐熱溫度更高。

【0023】[19] 於[16]至[18]中任一項所記載之電路基板之製造方法中，將上述第 1 金屬層及上述介電體層移至上述第 2 基材上之步驟，可包含在以上述第 1 金屬層成為較上述介電體層更內層側之方式，將形成有上述第 1 金屬層及上述介電體層之上述第 1 基材貼附於第 2 基材後，去除上述第 1 基材之步驟。

【0024】[20] 於[19]所記載之電路基板之製造方法中，去除上述第 1 基材之步驟，可包含藉由溶液去除上述第 1 基材之步驟。

【0025】[21] 於[16]所記載之電路基板之製造方法中，上述第 2 基材之表面可在將被形成於上述第 1 基材上之上述介電體層及上述第 1 金屬層移至上述第 2 基材上之時間點具有柔軟性，形成上述第 1 金屬層之步驟，可包含將上述第 1 金屬層圖像化(patterning)之

步驟，在將被形成於上述第 1 基材上之上述介電體層及上述第 1 金屬層移至上述第 2 基材上之步驟中，可將上述經圖像化之第 1 金屬層之至少一部分埋入上述第 2 基材之表面。

【0026】 [22] 於[16]所記載之電路基板之製造方法中，形成上述介電體層之步驟，可包含將上述介電體層圖像化之步驟，形成上述第 1 金屬層之步驟，可包含在上述介電體層上及不存在上述介電體層之上述第 1 基材上形成上述第 1 金屬層之步驟。

【0027】 [23] 於[22]所記載之電路基板之製造方法中，形成上述第 2 金屬層之步驟，可包含有：以覆蓋上述介電體層及上述第 1 金屬層之方式形成上述第 2 金屬層，藉此連接上述第 2 金屬層與上述第 1 金屬層之步驟；及將上述第 2 金屬層分離成作為上述第 1 電極區域而發揮功能之金屬層、及作為上述第 2 電極區域而發揮功能之金屬層之步驟。

【0028】 [24] 於[16]所記載之電路基板之製造方法中，上述第 1 金屬層及上述介電體層可在被移至上述第 2 基材上之狀態下以上述第 1 金屬層之至少一部分區域自上述介電體層露出之方式被形成於上述第 2 基材上，上述第 2 金屬層可以保持上述第 1 金屬層之上述一部分區域自上述介電體層露出之方式被形成於上述介電體層上。

【0029】 [25] 於[16]所記載之電路基板之製造方法中，上述第 1 基材可為鋁。

(對照先前技術之功效)

【0030】 根據[1]之電路基板，於自電容器元件經由電容器層將電流供給至電路零件之構成中，可將構成電容器層之金屬層作為電

容器元件之電極而加以利用。

【0031】根據[2]之電路基板，可提供第 1 金屬層兼作為突出部之構造之電路基板。

【0032】根據[3]至[6]之電路基板，相較於第 1 電極區域在較介電體層更高之位置露出之構成，電容器元件之第 1 端子可在較近之位置連接於第 1 金屬層。

【0033】根據[7]之電路基板，可提供第 2 電極區域在較介電體層之上表面之高度的位置更高之位置露出之電路基板。

【0034】根據[8]、[9]之電路基板，電流可自電容器元件經由電容器層供給至電路零件。

【0035】根據[10]之電路基板可相較於僅第 1 及第 2 導電部、或第 3 及第 4 導電部之任一者連接之構成，減低在第 1 金屬層或第 2 金屬層中電阻之影響。

【0036】根據[11]之電路基板，可相較於所有第 1 至第 4 導電部皆未與電極區域重疊之情形，減低在第 1 金屬層或第 2 金屬層中電阻之影響。

【0037】根據[12]之電路基板，可相較於僅第 1 至第 4 導電部中之 1 個導電部與電極區域重疊之情形，減低在第 1 金屬層或第 2 金屬層中電阻之影響。

【0038】根據[13]之電路基板，可提供於藉由複數個步驟形成貫通第 1 金屬層之導電部之情形或於藉由不同步驟形成導電部與第 3 電極區域之情形時所產生之不具有界面之構造之電路基板。

【0039】根據[14]、[15]之電路基板，可使擴大所搭載之電路零件之電極間的間距之功能、與作為電容器層之功能分離。

【0040】根據[16]之電路基板之製造方法，於具備連接有電容器元件之電容器層之電路基板中，可相較於將介電體層直接成膜於作為電路基板之基材的第 2 基材之情形，使介電體層在較適於介電體之成膜之基材上成膜。

【0041】根據[17]之製造方法，介電體層可在與構成電路基板之基材不同之金屬基材上成膜。

【0042】根據[18]之製造方法，即便為需要以較作為電路基板之基材之第 2 基材的耐熱溫度更高之溫度來形成之介電體層，仍可於第 2 基材上形成。

【0043】根據[19]之製造方法，不需要將第 1 金屬層及介電體層自第 1 基材剝離再移至第 2 基材。

【0044】根據[20]之製造方法，不需伴隨著第 1 基材之機械性的去除，而可使第 1 金屬層及介電體層被移至第 2 基材上。

【0045】根據[21]之製造方法，於與將第 1 金屬層移至第 2 基材之同時，可使第 1 金屬層被埋入第 2 基材之表面。

【0046】根據[22]之製造方法，於將第 1 金屬層及介電體層移至第 2 基材上時，會成為第 1 金屬層之一部分自介電體層露出之狀態。

【0047】根據[23]之製造方法，可將構成電容器層之第 2 金屬層之一部分區域作為第 1 金屬層之第 1 電極區域而加以利用。

【0048】根據[24]之製造方法，可將第 1 金屬層之一部分區域作為第 1 電極區域而加以利用。

【0049】根據[25]之製造方法，相較於作為第 1 基材而使用特殊材料之情形，材料之取得較為容易。

【圖式簡單說明】**【0050】**

圖 1(a)係顯示第 1 實施形態之電路基板之構成之一例的俯視圖，圖 1(b)係立體圖。

圖 2 係圖 1(a)所示之電路基板之 A-A 縱剖視圖。

圖 3 係用以說明第 1 實施形態之電容器層之示意圖。

圖 4(a)至圖 4(d)係顯示第 1 實施形態之電路基板之製造方法之一例的縱剖視圖之一部分。

圖 5(a)至圖 5(d)係顯示第 1 實施形態之電路基板之製造方法之一例的縱剖視圖之一部分。

圖 6(a)至圖 6(c)係顯示第 1 實施形態之電路基板之製造方法之一例的縱剖視圖之一部分。

圖 7(a)至圖 7(c)係顯示第 1 實施形態之電路基板之製造方法之一例的縱剖視圖之一部分。

圖 8(a)係用以說明實施形態之電路基板之配線阻抗的示意圖，圖 8(b)係顯示配線阻抗的曲線圖。

圖 9 係顯示第 2 實施形態之電路基板之構成之一例的縱剖視圖。

圖 10(a)至圖 10(e)係顯示第 2 實施形態之電路基板之製造方法之一例的縱剖視圖之一部分。

圖 11(a)至圖 11(e)係顯示第 2 實施形態之電路基板之製造方法之一例的縱剖視圖之一部分。

圖 12 係用以說明第 3 實施形態之電容器層的示意圖。

圖 13(a)至圖 13(e)係顯示第 3 實施形態之電路基板之製造方法

之一例的縱剖視圖之一部分。

圖 14(a)至圖 14(d)係顯示第 3 實施形態之電路基板之製造方法之一例的縱剖視圖之一部分。

圖 15(a)及圖 15(b)係顯示第 3 實施形態之電路基板之製造方法之一例的縱剖視圖之一部分。

圖 16 係用以說明第 4 實施形態之電容器層的示意圖。

圖 17(a)至圖 17(e)係顯示第 4 實施形態之電路基板之製造方法之一例的縱剖視圖之一部分。

圖 18(a)至圖 18(d)係顯示第 4 實施形態之電路基板之製造方法之一例的縱剖視圖之一部分。

圖 19(a)及圖 19(b)係顯示第 4 實施形態之電路基板之製造方法之一例的縱剖視圖之一部分。

圖 20(a)及圖 20(b)係用以說明實施形態之電容器層之製造變異的示意圖。

【實施方式】

【0051】以下，參照圖式，對用以實施本發明之形態詳細地進行說明。

【0052】

[第 1 實施形態]

參照圖 1 至圖 8，對本實施形態之電路基板及電路基板之製造方法進行說明。本實施形態之電路基板係於電路基板之一表面搭載 LSI(Large Scale Integrated circuit；大型積體電路)等之半導體元件等，而於另一表面配置凸塊(bump)等之連接構件，而安裝於母板(motherboard)等之印刷電路基板之元件安裝用基板。作為如此之基

板之一例，存在有被使用於半導體封裝內，用以搭載半導體積體電路之半導體封裝基板。

【0053】圖 1(a)係顯示本實施形態之電路基板 10 的俯視圖，圖 1(b)係顯示電路基板 10 的立體圖，圖 2 係顯示圖 1(a)之 A-A 線之電路基板 10 的剖視圖。

【0054】如圖 1 所示，作為一例，於電路基板 10 之一表面，具備有半導體元件搭載區域及電容器元件搭載區域，並搭載有半導體元件 100、電容器元件 102。

【0055】於本實施形態中，電容器元件 102 係用以將暫態電流(例如，於半導體元件 100 內之電路轉接時流動之交流電流)供給至半導體元件 100 而被設置之電容器，例如可使用低 ESL(Equivalent Series Inductance；等效串聯電感)型之 MLCC(Multi-Layer Ceramic Capacitor；多層陶瓷電容器)等。電容器元件 102 具有作為正極側端子及負極側端子而發揮功能之第 1 端子及第 2 端子。第 1 端子及第 2 端子之數量分別既可為單數，亦可為複數。電容器元件 102 亦可為例如具有三端子、四端子、或八端子等之複數端子者。再者，被搭載於電路基板 10 之元件(電路零件)並不限定於半導體元件、電容器元件，亦存在搭載電感器元件、電阻元件等其他元件之情形。

【0056】如圖 2 所示，電路基板 10 係藉由包含基板 14 及被設置於該基板 14 上之電容器層 12 之多層構造的基板所構成。

【0057】如圖 2 所示，電容器層 12 係構成為包含第 1 金屬層 50、介電體層 54、及第 2 金屬層 52，且在第 1 金屬層 50、介電體層 54、及第 2 金屬層 52 之層積方向(圖 2 於前視時之上下方向。以下，將該方向稱為「厚度方向」)重疊之部分構成電容器(condenser，

電容)。在本實施形態中，將第 1 金屬層 50 設為電源電位層(連接有被搭載於電路基板 10 之各元件之電源端子)，將第 2 金屬層 52 設為基準電位層(連接有被搭載於電路基板 10 之各元件之基準電位端子)。換言之，第 1 金屬層 50 係作為電源電位層而發揮功能，第 2 金屬層 52 係作為基準電位層而發揮功能。然而，當然不限定於此，亦可將第 1 金屬層 50 設為基準電位層，將第 2 金屬層 52 設為電源電位層。再者，於下例示以「基準電位」作為地線(接地)之情形進行說明。

【0058】在本實施形態中，使用 Cu(銅)作為構成第 1 金屬層 50 及第 2 金屬層 52 之金屬。然而，並不限定於此，亦可使用 Au(金)、Al(鋁)等其他一般之配線用金屬。又，在本實施形態中，使用 STO(鈦酸鋇： SrTiO_3)作為構成介電體層 54 之介電體。STO 係相對介電係數為 300 左右，且適合作為構成電容器之介電體之材料。又，亦可使用鈦酸鋇(BaTiO_3)等之強介電體材料。然而，構成電容器層 12 之介電體並不限定於此，只要能作為電容器層而發揮功能之介電體材料即可。作為一例，可使用介電率較形成基板之層間絕緣層之材料更高之材料。

【0059】基板 14 係例如使用玻璃環氧基板之多層配線基板，在與設置有電容器層 12 之面的相反側具備有焊墊 16 及被形成於焊墊 16 上之焊料凸塊(焊料球)18。焊料凸塊 18 係用以將電路基板 10 安裝至母板等之未圖示之其他基板之突起狀的連接構件，在圖 2 所例示之電路基板 10 中具有電源 P 用、接地 G 用、及信號 S 用之焊料凸塊 18。

【0060】焊料凸塊 18 係經由焊墊 16、基板 14 內之連通柱 V、

配線層 141，而被連接於電容器層 12 之第 1 金屬層(電源電位層)50 及第 2 金屬層(接地層)52、或半導體元件 100 之信號端子。另一方面，半導體元件 100 係藉由由 Au 等材料所構成之突起狀之作為連接構件的凸塊 106(106a、106b、106c 為具體之連接構件的一例)，而電容器元件 102 係藉由焊料 104(104a、104b)，分別被連接於電容器層 12。再者，焊料 104 係熔融而將電容器元件 102 之端子與電容器層 12 連接之連接構件的一例。

【0061】參照圖 2，對半導體元件 100 及電容器元件 102、與電容器層 12 之連接更詳細地進行說明。在圖 2 中，例示藉由半導體元件 100 之凸塊 106a、凸塊 106b 及凸塊 106c，使半導體元件 100 之接地端子、使半導體元件 100 之電源端子、並使半導體元件 100 之信號端子經由基板 14 之內層配線(配線層 141、連通柱 V)，分別被連接於電容器層 12 之第 2 金屬層 52(接地層)、第 1 金屬層 50(電源電位層)及焊料凸塊 18(S)。另一方面，電容器元件 102 係顯示，一端子藉由焊料 104a，而另一端子藉由焊料 104b，分別被連接於第 1 金屬層 50(電源電位層)與第 2 金屬層 52(接地層)之例。又，第 2 金屬層 52 係以包圍搭載有凸塊 106b 與凸塊 106c 之區域或搭載有電容器元件 102 之一端子之區域的方式，被形成為連續之一片金屬層。再者，於半導體元件 100 為 LSI 等之半導體積體電路之情形時，接地端子、電源端子、及信號端子分別設置有複數個，對應於此，凸塊 106a、凸塊 106b、及凸塊 106c 亦設置有複數個。

【0062】在具有以上構成之電路基板 10 中，電容器層 12 係以包圍半導體元件 100 或電容器元件 102 之方式被構成為面狀。因此，電容器層 12 不僅成為對半導體元件 100 供給暫態電流之供給

源，亦具有將暫態電流自電容器元件 102 朝向半導體元件 100 供給之作為低阻抗之線路的功能。亦即，相較於單純經由配線來供給暫態電流之構成，成為電流自電容器元件 102 以低阻抗被供給之構成。又，如圖 1 所示，元件(在圖 1 之例示中為半導體元件 100、電容器元件 102)之搭載區域以外之表面區域，成為第 2 金屬層 52 即接地層。亦即，電路基板 10 之表面由接地層所覆蓋，而成為例如可抑制來自電路基板 10 外部之電磁雜訊之影響的構成，或在電路基板 10 之內部所產生之電磁雜訊不易漏出至外部之構成。

【0063】接著，參照圖 3，對本實施形態之電容器層 12 之構成詳細地進行說明。本實施形態之電路基板 10 雖於一面具有搭載元件之電容器層 12，但該電容器層 12 之構成之細節如以下之說明般具有各種之變化，可藉由搭載元件之種類、安裝方法等來選擇。

【0064】如圖 3 所示，本實施形態之電容器層 12a 係藉由第 1 金屬層 50、介電體層 54、及第 2 金屬層 52 依序層積於基板 14 上所構成。

【0065】如圖 3 所示，第 1 金屬層 50 具有突出部 59，該突出部 59 係搭載半導體元件 100、電容器元件 102 等元件之元件搭載區域，且具有露出於電路基板 10 表面之第 1 電極區域 56。第 2 金屬層 52 係不具有如突出部 59 般突出之部位的元件搭載區域，且具有露出於電路基板 10 表面之第 2 電極區域 58。亦即，第 2 金屬層 52 其本身兼作為第 2 電極區域 58。第 1 電極區域 56 及第 2 電極區域 58 例如係藉由不具有被形成於元件之搭載區域以外之抗焊劑 48 的部分，而區分為第 1 金屬層 50 及第 2 金屬層 52。然而，並不一定必須具有抗焊劑 48，只要能分別將可搭載被設置於電路基板 10 之

複數個凸塊 106 之空間確保為第 1 電極區域 56 及第 2 電極區域 58 即可。

【0066】在本實施形態之電容器層 12a 中，第 1 電極區域 56 自第 1 金屬層 50 之表面(上表面)突出，換言之，本實施形態為在第 1 金屬層 50 上形成有第 1 電極區域 56 之形態。而且，第 1 電極區域 56 之表面在與第 2 電極區域 58 之表面實質相同之高度，露出於電路基板 10 之表面。如圖 3 所示，於第 1 電極區域 56 及第 2 電極區域 58 分別連接有半導體元件 100 之凸塊 106、或電容器元件 102 之焊料 104。

【0067】接著，參照圖 4 至圖 7，對包含有電容器層 12a 之製造方法之電路基板 10 之製造方法進行說明。如前所述，本實施形態之電路基板 10 被大致分為電容器層 12a 與基板 14。

【0068】最先，對電容器層 12a 之製造方法進行說明。首先，如圖 4(a)所示，於基材 30 上形成介電體膜 32。此處所謂「基材」，係用以形成層構造之作為基底的構件。作為基材 30 雖使用例如 Al 箔(鋁箔)，但亦可使用銅箔或鎳箔等其他之金屬箔。又，作為介電體膜 32，可使用 STO 膜來作為一例。STO 膜例如可使用 CVD(Chemical Vapor Deposition；化學氣相沉積)法或 PVD(Physical Vapor Deposition；物理氣相沉積)法等之乾式鍍覆法。具體而言，藉由電漿 CVD 法、氣溶膠(aerosol)CVD 法、濺鍍(Sputtering)法、離子鍍膜(Ion plating)法、蒸鍍法等氣相沉積法，成膜為數百 nm 至數 μm 左右之厚度。作為一例，可藉由將 STO 膜成膜為 500nm 左右之厚度來形成介電體膜 32。如此若藉由氣相沉積法來形成介電體膜 32，由於可以相當薄之厚度來形成，因此即便相同面積，電容器

容量也會變大。再者，基材 30 只要為可形成 STO 膜等之介電體膜之材料，即可為 Al 以外之金屬，而不一定須為箔形狀。而且，亦可為金屬材料以外之其他材料。又，作為 STO 膜等介電體膜之形成方法，亦可不以氣相沉積而以塗佈溶液之溶液法、或以雖然會使厚度變厚但貼上薄膜狀之介電體膜等其他的形成方法來進行。

【0069】接著，如圖 4(b)所示，使用光微影(Photolithography)、及蝕刻(etching)，將介電體膜 32 圖案化為預定之形狀。作為蝕刻，並無特別限定而可使用乾式蝕刻、濕式蝕刻等。又，亦可不使用蝕刻，而藉由遮罩蒸鍍或掀離(lift-off)等其他之形成方法來進行介電體膜之圖案化。

【0070】其次，如圖 4(c)所示，形成金屬膜 34。作為金屬膜 34 之材料，雖無特別限定而可使用 Cu、Au、Al 等，但在本實施形態中使用 Cu。金屬膜 34 藉由 CVD 法或 PVD 法之乾式鍍覆法等，而形成例如 1 μ m 至 20 μ m 左右之厚度。此處，在圖 4(b)之步驟之圖案化後介電體膜 32 被去除之區域，金屬膜 34 係以埋入介電體膜 32 之間之方式被直接層積於基材 30 上，而在殘留有介電體膜 32 之區域，金屬膜 34 被層積於介電體膜 32 上。其結果，介電體膜 32 之下表面側之位置與金屬膜 34 中填埋介電體膜 32 之間之區域之下表面側之位置，成為在基材 30 之表面位置上一致之狀態。

【0071】其次，如圖 4(d)所示，使用光微影、及蝕刻，將金屬膜 34 圖案化為預定之形狀。作為蝕刻，並無特別限定而可使用乾式蝕刻、濕式蝕刻等。又，亦可不使用蝕刻，而藉由遮罩蒸鍍或掀離等其他之形成方法來進行金屬膜 34 之圖案化。藉由以上之步驟，於基材 30 上，介電體膜 32 與金屬膜 34 分別以被圖案化之狀態被

保持。

【0072】另一方面，基板 14 之製造以如下方法來進行。亦即，如圖 5(a)所示，首先，於基材 40 形成通孔 VH1 後，形成金屬膜 42。作為基材 40，例如使用玻璃環氧樹脂。又，金屬膜 42 例如鍍覆 Cu 而成膜。

【0073】其次，如圖 5(b)所示，利用金屬填埋通孔 VH1 而形成連通柱 V1，並且進行利用金屬膜 42a 覆蓋基材 40 全體之鍍覆。作為金屬膜 42a 之材料例如使用 Cu。包含前步驟之鍍覆，鍍覆例如使用乾式鍍覆法或電解鍍覆法來進行。

【0074】其次，如圖 5(c)所示，使用光微影、及蝕刻，將金屬膜 42a 圖案化為預定之形狀。又，亦可不使用蝕刻而藉由遮罩蒸鍍或掀離等其他之形成方法來進行金屬膜 42a 之圖案化。

【0075】其次，如圖 5(d)所示，於形成有金屬膜 42a 之基材 40 之兩側，在貼上層間絕緣膜 44 後，將圖 4(d)所示之基材 30 對位(alignment)於基材 40。作為層間絕緣膜 44，可採用使用於一般之增層基板之薄膜狀之層間絕緣膜，且貼上係藉由層疊(laminate)來進行。層間絕緣膜 44 係熱硬化性樹脂，在施加預定之熱之前，至少具有於貼上形成有介電體膜 32 及金屬膜 34 之基材 30 之情形時可將介電體膜 32 或金屬膜 34 之一部分埋入層間絕緣膜 44 內之程度的柔軟性。

【0076】再者，作為與本實施形態不同之方法，亦可不使用 Al 箔等之基材 30，而藉由氣相沉積法等將介電體膜 32 直接形成於基材 40 上之方法。若可採用該方法，便可將厚度較薄之介電體膜直接形成於基材 40 上。然而，於藉由氣相沉積法等來形成 STO 膜

等之電容器用之介電體材料之情形時，通常需要在高溫下進行處理，而由使用於一般電路基板之樹脂類材料(玻璃環氧樹脂等)所構成之基材 40 並無法承受此時之處理溫度。因此，難以將介電體膜 32 直接形成於作為一般電路基板材料之基材 40 上。

【0077】因此，在本實施形態中，於作為金屬材料之 Al 上先形成介電體膜，再如後所述，將其移至基材 40 側。亦即，作為本實施形態之一例，選擇耐熱溫度較層間絕緣膜 44 或基材 40 之耐熱溫度更高之材料來作為基材 30。藉由如此之選擇，由於可在耐熱性較高之基材 30 上形成介電體膜 32，因此即便為必須以較層間絕緣膜 44 或基材 40 之耐熱溫度更高之溫度來形成之介電體膜 32，仍可被形成於層間絕緣膜 44 或基材 40 上。再者，此處所謂之「耐熱溫度」，意指在不受外力的狀態下可不變形地維持其材料之性質之最大溫度。

【0078】其次，如圖 6(a)所示，對包含圖 5(d)所示之基材 30、基材 40 之構造體加熱，使層間絕緣膜 44 熱硬化。藉由本步驟，形成本實施形態之基板 14 之核心基板 46，基材 30 上之金屬膜 34 及介電體膜 32 被移至核心基板 46，而成為金屬膜 34 及介電體膜 32 之至少一部分被埋入之狀態。

【0079】其次，如圖 6(b)所示，去除基材 30。在本實施形態中，作為一例，以氫氧化鈉溶液溶解而去除作為 Al 箔之基材 30。具體而言，在圖 6(a)之狀態下浸漬於氫氧化鈉溶液中，藉由化學反應將 Al 箔完全溶解而進行去除。再者，雖亦可藉由研磨切削 Al 箔等而機械性地加以去除，但若藉由溶液去除可相較於機械性之去除減低對基材之機械性的應力。如此，作為基材 30 之材料，就作為用以

形成介電體膜之支撐基材之功能與利用溶液去除之容易程度之觀點而言可使用金屬，而且就利用溶液去除之容易程度之觀點而言基材 30 之厚度可使用箔形狀。又，就作為一般金屬之取得容易性之觀點而言，可如本實施形態般使用 Al。再者，此處所謂「箔形狀」，係指厚度為 300 μ m 以下。

【0080】其次，如圖 6(c)所示，於核心基板 46 之兩面所預定之部位，形成到達基材 40 之深度之通孔 VH2。通孔 VH2 之形成例如使用雷射裝置來進行。當然，本實施形態之通孔 VH2 之形成並不限定於使用雷射裝置，亦可使用鑽孔機等來進行。

【0081】其次，藉由乾式鍍覆法等包含通孔 VH2 之內部之核心基板 46 整體形成較薄之 Cu 膜(種晶層)(省略圖示)。此處，所謂種晶層係指在後續步驟中於鍍覆處理時成為導體之層。然後，藉由電解鍍覆等，埋填通孔 VH2 而成為連通柱 V2，並且進行覆蓋核心基板 46 整體之金屬膜 42b 之成膜。亦即，同時地以相同之步驟進行金屬膜 42b 之形成與通孔 VH2 之埋入。作為金屬膜 42b 之材料，例如使用 Cu。再者，金屬膜 34 中，於形成金屬膜 42b 時露出於核心基板 46 表面之部位(自介電體膜 32 露出之部位)，成為金屬膜 42b 與金屬膜 34 連接之狀態。又，藉由該步驟，金屬膜 34 與金屬膜 42b 成為經由貫穿金屬膜 34 及介電體膜 32 之作為不具有界面之導電部之一例的連通柱 V2 而連接之狀態。

【0082】然後，如圖 7(a)所示，使用光微影及蝕刻，將金屬膜 42b 圖案化為所預定之形狀。亦即，於成為金屬膜 42b 與金屬膜 34 相連接之狀態之核心基板 46，將金屬膜 42b 分別電性分離為電源電位用之圖案、基準電位用之圖案、及信號用之圖案。藉此，分別電

源電位用之圖案、基準電位用之圖案、及信號用之圖案分別以露出於相同高度之狀態來形成。再者，此處所謂「相同高度」並不是指完全相同高度，而包含例如以成為相同高度之方式製造後，結果因變異等使其高度偏移之範圍內的情形。

【0083】其次，如圖 7(b)所示，使用光微影來形成在預定之部位(連接元件之端子之第 1 電極區域、第 2 電極區域等部位)具有開口且作為防護膜(絕緣膜)而發揮功能之抗焊劑 48。藉由本步驟，形成包含焊墊 16 等之元件搭載區域。再者，並非一定設置抗焊劑 48，亦可為未形成抗焊劑 48 之構成。藉由以上之製造步驟，來製造本實施形態之電路基板 10。

【0084】藉由以上步驟所製造之電路基板 10，金屬膜 42b 不僅作為基準電位層而發揮功能，且金屬膜 42b 一部分區域成為兼作為基準電位用之電極區域之構造。又，金屬膜 42b 另一部分區域係藉由金屬膜 42b 本身而與作為電源電位層來發揮功能之金屬膜 34 連接，並作為與金屬膜 34 電性連接之電源電位用之電極區域而發揮功能。

【0085】其次，如圖 7(c)所示，於電路基板 10 之一面(於電容器層 12 上)搭載半導體元件 100、電容器元件 102 等必要之元件，於電路基板 10 之另一面之焊墊 16 上形成焊料凸塊 18。又，電路基板 10 之表面側視需要藉由樹脂來進行塑模(省略圖示)。藉由以上之步驟來製造本實施形態之電路基板 10 及使用電路基板 10 之半導體封裝。

【0086】其次，參照圖 8，對電路基板 10 之厚度方向之連接(於圖 2 中，自焊料凸塊 18，經由連通柱 V、配線層 141，至半導體元

件 100、電容器元件 102、或電容器層 12 之連接(以下，將該連接稱為「縱連接」))進行說明。

【0087】圖 8(a)係示意性地顯示搭載電路基板 10(半導體封裝)之母板之印刷基板 130、電路基板 10 之電容器層 12、及將該等經由焊料凸塊 18 加以連接之縱連接的圖。印刷基板 130 具有電源電位層 140、接地層 142、及被夾在電源電位層 140 與接地層 142 之間之層間絕緣層 144。另一方面，電容器層 12 具有第 1 金屬層(電源電位層)50、第 2 金屬層(接地層)52(以下，存在將該兩者統稱為「金屬層」之情形)、及被夾在第 1 金屬層 50 與第 2 金屬層 52 之間之介電體層 54。

【0088】如圖 8(a)所示，於印刷基板 130 之電源電位層 140 與接地層 142 之間連接有電源 VDD，而於電容器層 12 之第 1 金屬層 50 與第 2 金屬層 52 之間連接有半導體元件 100 及電容器元件 102。印刷基板 130 之電源電位層 140 與電容器層 12 之第 1 金屬層 50、以及印刷基板 130 之接地層 142 與電容器層 12 之第 2 金屬層 52，分別經由縱連接而連接。

【0089】如圖 8(a)所示，將該等縱連接中電容器元件 102 附近之縱連接稱為連接 A，而將半導體元件 100 附近之縱連接稱為連接 B。連接 A 及連接 B 各自之電源與接地之連接的組，就連接上，相當於圖 2 中符號「P」所示藉由焊料凸塊 18 之連接、與符號「G」所示藉由焊料凸塊 18 之連接的組。亦即，具體上本實施形態之「縱連接」係構成為包含連通柱 V(導電部)、配線層 141。

【0090】此處，在本實施形態之電容器層 12 中，藉由氣相沉積等而將金屬層以例如 $1\mu\text{m}\sim 20\mu\text{m}$ 左右之薄膜來形成。因此，金屬

層對於直流的片電阻(直流片電阻)容易變高。

【0091】此處，半導體元件 100 之電源-接地端子間之阻抗(以下，將該阻抗稱為「阻抗 Z_{pg} 」)較佳為在所需之頻帶內盡可能地變小。阻抗 Z_{pg} 係計算自半導體元件 100 之電源端子經由第 1 金屬層 50、電源電位層 140、電源 VDD 之正極、電源 VDD 之負極、接地層 142、第 2 金屬層 52 而返回至半導體元件 100 之接地端子之、自半導體元件 100 之電源端子外側的阻抗。參照圖 8(b)，對阻抗 Z_{pg} 、金屬層之電阻、以及連接 A 和連接 B 之關係進行說明。圖 8(b)係以頻率(Logf)為橫軸，以阻抗(LogZ)為縱軸，而將各部分之阻抗圖形化的圖。

【0092】如圖 8(a)所示，若將半導體元件 100 與電容器元件 102 之距離設為 d ，便因為前述之金屬層之片電阻，而於半導體元件 100 與電容器元件 102 之間產生對應於距離 d 之直流電阻。在圖 8(b)中，將該電阻標示為「Plane DCR」。Plane DCR 係與頻率無關地顯示固定的值。另一方面，將阻抗 Z_{pg} 之目標特性顯示為「阻抗要求」。

【0093】首先，在電路基板 10 僅具有連接 A，而欠缺連接 B 之情形時，阻抗 Z_{pg} 顯示圖 8(b)中被標示為「僅連接 A」之特性。亦即，低頻區域之未滿足阻抗要求。原因在於，即便被搭載於電路基板 10 之 LSI 等之半導體元件 100 多為需要大電流者，仍必須自連接 A 之位置經由薄金屬層供給大電流。相對於此，於具有連接 A 及連接 B 雙方之情形時，阻抗 Z_{pg} 顯示圖 8(b)中標示為「連接 A、B 雙方」之特性。亦即，低頻區域之阻抗特性滿足阻抗要求。原因在於，高頻之電流主要經由連接 B 而流動至電容器元件 102 或電容器層 12，另一方面，低頻之電流主要經由連接 B 進行流動。

【0094】另一方面，於電路基板 10 僅具有連接 B 而欠缺連接 A 之情形時，必須使將電容器元件 102 所釋放出之電荷進行再充電之電流，經由距離 d 之金屬層及連接 B，流動至電容器元件 102。然而，如前所述，距離 d 之金屬層，由於厚度較薄而呈現較高之電阻，因此會發生該電阻之電力損失與發熱。

【0095】如上述，在本實施形態之電路基板 10 中，更佳為具備有連接 A 及連接 B 雙方。然而，連接 A 或是連接 B，由於只要為根據半導體元件 100 與電容器元件 102 之距離 d 、作為目標之阻抗 Z_{pg} 之特性等來設置者即可，當然，亦可為設置連接 A 與連接 B 之任一者之形態。

【0096】具體而言，如下述般構成。亦即，構成為連接 A 及連接 B 雙方分別被連接於構成電容器層 12 之金屬層中連接有半導體元件 100 之電極區域附近及連接有電容器元件 102 之電極區域附近。根據如此之構成，相較於僅連接有連接 A 及連接 B 中之一者的構成，由於流動於金屬層之電流量減少，因此可減低金屬層之電阻的影響。再者，於本實施形態中，所謂連接有半導體元件 100 之電極區域之「附近」，係指包含電極區域本身，相較於將該對象之電極區域與搭載有電容器元件 102 之電極區域之距離均分後所得之距離更靠近對象之電極區域之區域。又，所謂連接有電容器元件 102 之電極區域之「附近」，係指相較於搭載有半導體元件 100 之電極區域附近之區域更靠近對象之電極區域之區域。作為一例，連接有半導體元件 100 之電極區域附近，亦可為於俯視時與半導體元件 100 重疊之區域，而且，連接有電容器元件 102 之電極區域附近，亦可為於俯視時與電容器元件 102 重疊之區域。

【0097】又，連接 A 及連接 B 分別包含電源連接與接地連接之 2 個縱連接，連接 A 及連接 B 共包含 4 個縱連接。因此，關於 4 個縱連接中之至少一個縱連接，於自一面側穿透地觀察電路基板之情形時，亦可在與被設置於構成電容器層 12 之金屬層之電極區域重疊之位置，連接於該金屬層。只要如上述般構成，流動於在重疊位置連接之縱連接之電流，便不會朝橫向流動於金屬層地被供給至半導體元件 100 或電容器元件 102。因此，可減低金屬層之電阻的影響。

【0098】此外，關於如前所述之 4 個所有的縱連接於自一面側穿透地觀察電路基板之情形時，亦可在與被設置於構成電容器層 12 之金屬層之電極區域重疊之位置，連接於該金屬層。只要如上述般構成，流動於在重疊位置連接之縱連接之電流，便不會朝橫向流動於金屬層地被供給至半導體元件 100 或電容器元件 102。因此，可減低金屬層之電阻的影響。

【0099】

[第 2 實施形態]

參照圖 9 至圖 11，對本實施形態之電路基板 10a 及電路基板 10a 之製造方法進行說明。本實施形態係於前述之實施形態之電路基板 10 中，將電容器層 12 與基板 14 分離之形態。

【0100】如圖 9 所示，電路基板 10a 係構成為包含電容器層 12 及被設置於電容器層 12 之下部之層間絕緣層 20。電容器層 12 係構成為包含第 1 金屬層 50、介電體層 54、及第 2 金屬層 52。

【0101】於電路基板 10a 之表面(元件搭載面、電容器層 12 之表面)側，經由凸塊 106 連接有半導體元件 100，且經由焊料 104 連

接有電容器元件 102。又，於電路基板 10a 之背面(層間絕緣層 20 之表面)側，經由被設置於電路基板 10a 之內部之 VIA 等導電部，設置有分別被連接於半導體元件 100、電容器元件 102、或電容器層 12 之複數個焊墊 27。再者，在圖 9 中，電路基板 10a 之第 1 金屬層 50、介電體層 54、及第 2 金屬層 52 各層之構成，以及與半導體元件 100、電容器元件 102 之連接，顯示與圖 2 所示之電容器層 12 相同之例。

【0102】又，電路基板 10a 之表面側之電極區域之各個間距(距離)，與背面側之複數個焊墊 27 之各個間距相同。作為一例，於自一面側穿透地觀察電路基板 10a 之情形時，表面側之電極區域與背面側之複數個焊墊 27 成為各自重疊之位置關係。

【0103】另一方面，基板 22 例如為使用玻璃環氧基板之多層配線基板。於基板 22 之表面(電容器層 12 之搭載面)側設置有複數個焊墊 29，而於基板 22 之背面(與電容器層 12 之搭載面成相反側之面)設置有複數個焊墊 26。本實施形態之基板 22 具有將電路基板 10a 之焊墊 27 連接所形成的間距，變更(擴大)為基板 22 之焊墊 26 連接所形成的間距之中介層(Interposer)的功能。換言之，於圖 9 所示之構成中，電路基板 10a 不具有將與半導體元件 100 之連接間距(凸塊 106 之間距)擴大之功能，而電路基板 10a 背面的焊墊 27 與半導體元件 100 之凸塊 106 之間距相同。

【0104】焊墊 29 係經由凸塊 24 而與電路基板 10a 之焊墊 27 相連接。複數個焊墊 26 分別具備有被形成於焊墊 26 上之焊料凸塊(焊料球)28。焊料凸塊 28 係用以將搭載有電路基板 10a 之基板 22 安裝於母板等未圖示之其他基板之連接部。圖 9 所例示之基板 22，

具有電源 P、接地 G、及信號 S 之焊料凸塊 28。再者，圖 9 對於基板 22 內層之配線、及與電路基板 10a(電容器層 12)之連接，顯示與圖 2 相同之例。因此，符號 P、G、S 所示之各個焊料凸塊 28、與半導體元件 100、電容器元件 102、電容器層 12 之連接，與圖 2 相同。

【0105】電路基板 10a(電容器層 12) 之構成並無特別限定。在本實施形態中雖設為與圖 3 同樣之構成，但亦可為後述之圖 12 或圖 16 等之構成。

【0106】其次，參照圖 10 及圖 11，對電路基板 10a 之製造方法進行說明。雖於許多步驟中可使用與第 1 實施形態相同之方法，但將一例顯示如下。

【0107】首先，如圖 10(a)所示，將介電體膜 62 形成於基材 60。作為基材 60，例如使用 Al 箔。又，作為介電體膜 62，作為一例使用 STO 膜。STO 膜例如藉由 CVD 法、PVD 法等，來形成為 500nm 左右之厚度。

【0108】其次，如圖 10(b)所示，使用光微影及蝕刻將介電體膜 62 圖案化為預定之形狀。作為蝕刻，並無特別限定而可使用乾式蝕刻、濕式蝕刻等。

【0109】其次，如圖 10(c)所示，形成金屬膜 64。作為金屬膜 64 之材料，雖無特別限定而可使用 Cu、Au、Al 等，但在本實施形態中則使用 Cu。金屬膜 64 藉由濺鍍法、蒸鍍法、或鍍覆法等，來形成為 1 μ m~20 μ m 左右之厚度。

【0110】其次，如圖 10(d)所示，使用光微影及蝕刻，將金屬膜 64 圖案化為預定之形狀。作為蝕刻，並無特別限定而可使用乾

式蝕刻、濕式蝕刻等。

【0111】其次，如圖 10(e)所示，將層間絕緣膜 66 層疊於形成有金屬膜 64 之基材 60，使該層間絕緣膜 66 熱硬化。作為層間絕緣膜 66，可採用使用於一般增層基板之層間絕緣膜。藉由本步驟，使基材 60 上之金屬膜 64 及介電體膜 62，被移至層間絕緣膜 66。

【0112】其次，如圖 11(a)所示，去除基材 60。在本實施形態中，本去除步驟藉由氫氧化鈉溶液，將由 Al 所形成之基材 60 溶解而加以去除。

【0113】其次，如圖 11(b)所示，於圖 11(a)所示之構造體之層間絕緣膜 66 之預定部位，形成通孔 VH3。通孔 VH3 之形成例如使用雷射裝置來進行。當然，本實施形態之通孔 VH3 之形成並不限定於使用雷射裝置，亦可使用鑽孔機來進行。

【0114】其次，如圖 11(c)所示，於圖 11(b)所示之構造體之兩面形成金屬膜 64a，並且以金屬膜 64a 填埋通孔 VH3 而成為連通柱 V3。作為金屬膜 64a 之材料，例如使用 Cu，而成膜例如使用乾式鍍覆法或電解鍍覆法來進行。

【0115】然後，如圖 11(d)所示，使用光微影及蝕刻，將圖 11(c)所示之構造體之兩面之金屬膜 64a 圖案化為預定之形狀。藉由本步驟，於圖 11(d)所示之構造體之背面，形成焊墊 27(參照圖 9)。

【0116】其次，如圖 11(e)所示，使用光微影形成在所預定之部位(連接元件之端子之電極區域等部位)具有開口且作為防護膜(絕緣膜)而發揮功能之抗焊劑 69。藉由本步驟，本實施形態之電路基板 10a 之製造便完成。在圖 11(e)所示之電路基板 10a 中，層間絕緣膜 66 成為圖 9 所示之層間絕緣層 20，而金屬膜 64a 中較介電體

膜 62 更靠層間絕緣膜 66 側之部分成為圖 9 所示之第 1 金屬層 50，金屬膜 64a 中較介電體膜 62 更靠與層間絕緣膜 66 相反側之部分則成為圖 9 所示之第 2 金屬層 52。

【0117】然後，與圖 7(c)同樣地，於電路基板 10a 之表面(電容器層 12 側之面)上搭載半導體元件 100、電容器元件 102 等必要之元件，並於電路基板 10a 之背面視需要形成凸塊 24(以上，省略圖示)。

【0118】在以上之第 2 實施形態中，電路基板 10a 不具有將與半導體元件 100 之連接間距(凸塊 106 之間距)擴大之功能，且電路基板 10a 之背面的焊墊 27 與凸塊 106 之間距相同。另一方面，基板 22 具有將連接間距擴大之中介層之功能。亦即，成為將作為電容器層之功能與作為中介層之功能分離之構成。藉由如此之構成，即便不需大幅地變更例如未具有電容器層 12 而僅具有中介層功能之習知之封裝基板(相當於基板 22)之層構造的設計，仍可成為設有電容器層 12 之新的封裝基板。

【0119】

[第 3 實施形態]

參照圖 12 至圖 15，對本實施形態之電路基板 10b 及電路基板 10b 之製造方法進行說明。本實施形態係變更圖 9 所示之電路基板 10a 之電容器層 12 之構成的形態。

【0120】如圖 12 所示，本實施形態之電容器層 12b 係藉由於層間絕緣層 20 上依序層積第 1 金屬層 50、介電體層 54、及第 2 金屬層 52 所構成。本實施形態之電容器層 12b 係第 1 金屬層 50 之表面之厚度方向之位置與介電體層 54 之表面(上表面)之厚度方向之

位置為一致之形態。

【0121】第 1 金屬層 50 具有突出部 59，該突出部 59 具有搭載半導體元件 100、電容器元件 102 等元件之作為元件搭載區域之第 1 電極區域 56。第 2 金屬層 52 不具有如突出部 59 般突出之部位，第 2 金屬層 52 本身兼作為元件搭載區域之第 2 電極區域 58。在本實施形態之電容器層 12b 中，第 1 電極區域 56 自第 1 金屬層 50 之上表面突出。換言之，本實施形態係於第 1 金屬層 50 上形成第 1 電極區域 56 之形態。而且，第 1 電極區域 56 之表面與介電體層 54 之表面(上表面)之位置在相同高度露出於基板之表面。而且，半導體元件 100 之凸塊 106、或電容器元件 102 之焊料 104 以直接接觸之狀態，分別被連接於第 1 電極區域 56 及第 2 電極區域 58。再者，此處所謂「相同高度」並不是指兩者完全相同高度，而是包含例如以成為相同高度之方式製造後，結果因變異等使其高度偏移之範圍內的情形。

【0122】其次，參照圖 13 至圖 15，對電路基板 10b 之製造方法之一例進行說明。在電路基板 10b 之製造方法中，第 1 金屬層 50 與突出部 59(第 1 電極區域 56)係作為連續之金屬層而藉由相同的步驟同時地形成。其結果，成為於第 1 金屬層 50 與突出部 59 之間未形成界面之構造。

【0123】首先，如圖 13(a)所示，於基材 70 形成介電體膜 72 之後，使用光微影及蝕刻，將介電體膜 72 圖案化為預定之形狀。作為基材 70，例如使用 Al 箔。又，作為介電體膜 72，使用 STO 膜來作為一例。STO 膜例如藉由 CVD 法、PVD 法等，形成 500nm 左右之厚度。作為蝕刻，並無特別限定而可使用乾式蝕刻、濕式蝕

刻等。

【0124】其次，如圖 13(b)所示，形成金屬膜 74。作為金屬膜 74 之材料，雖無特別限定而可使用 Cu、Au、Al 等，但在本實施形態中使用 Cu。金屬膜 74 藉由例如 CVD 法或 PVD 法等之乾式鍍覆法等，形成為 $1\mu\text{m}\sim 20\mu\text{m}$ 左右之厚度。此處，在圖 13(a)之步驟之圖案化後介電體膜 72 被去除之區域中，金屬膜 74 係以填埋介電體膜 72 之間之方式被直接層積於基材 70 上，而在殘留有介電體膜 72 之區域中，金屬膜 74 係層積於介電體膜 72 上。其結果，介電體膜 72 之下表面側之位置與金屬膜 74 中填埋介電體膜 72 之間之區域之下表面側之位置，成為於基材 70 之表面位置一致之狀態。

【0125】其次，如圖 13(c)所示，使用光微影及蝕刻，將金屬膜 74 圖案化為預定之形狀。作為蝕刻，並無特別限定而可使用乾式蝕刻、濕式蝕刻等。

【0126】其次，如圖 13(d)所示，將形成有金屬膜 74 之基材 70 貼附於構成電路基板 10b 之基材(層間絕緣膜 76)，並使該層間絕緣膜 76 熱硬化。作為層間絕緣膜 76，例如可採用使用於一般增層基板之層間絕緣膜。再者，在本實施形態中，作為構成電路基板 10b 之基材雖使用層間絕緣膜 76，但作為基材並非一定要僅以單一膜形成，亦可組合層間絕緣膜 76 與其他基材而作為構成電路基板 10b 之基材而發揮功能。

【0127】其次，如圖 13(e)所示，去除基材 70。藉由本步驟，基材 70 上之金屬膜 74 及介電體膜 72，被移至層間絕緣膜 76。作為一例，本實施形態之本去除步驟係藉由氫氧化鈉溶液溶解由 Al 所形成之基材 70 而加以去除。此處，在前面之圖 13(b)之步驟中，

成為介電體膜 72 之下表面側之位置與金屬膜 74 中埋填介電體膜 72 之間之區域之下表面側之位置一致之狀態。因此，若以成為較金屬膜 74 更靠內層側之方式將介電體膜 72 貼附於層間絕緣膜 76 並去除基材 70，便會成為介電體膜 72 之上表面之位置與金屬膜 74 中埋填介電體膜 72 之間之區域(自金屬膜 74 突出之區域)之上表面之位置於厚度方向上一致之狀態。如上述，圖 13(a)至(e)之步驟係藉由與第 1 實施形態相同之步驟來進行。

【0128】其次，如圖 14(a)所示，於自層間絕緣膜 76 之背面側將通孔 VH4 形成於圖 13(e)所示之構造體之層間絕緣膜 76 後，於該構造體之兩面形成作為種晶層之金屬膜 71。通孔 VH4 之形成例如使用雷射裝置或是鑽孔機來進行。金屬膜 71 之形成，作為材料例如使用 Cu，而作為一例可藉由 CVD 法或 PVD 法等之乾式鍍覆法來進行。此時，於通孔 VH4 之內部亦形成作為種晶層之金屬膜 71(省略圖示)。

【0129】其次，如圖 14(b)所示，使用光微影及蝕刻，於後續步驟中未進行電解鍍覆之區域(即，未形成金屬膜 71a 之區域)將抗蝕劑 78 圖案化。

【0130】其次，如圖 14(c)所示，進行電解鍍覆來形成金屬膜 71a。藉由本步驟亦埋填通孔 VH4，而形成連通柱 V4。作為金屬膜 71a 之材料，雖無特別限定而可使用 Cu、Au、Al 等，但在本實施形態則設為 Cu。又，作為一例，金屬膜 71a 之厚度設為 $1\mu\text{m}\sim 20\mu\text{m}$ 左右。本步驟之金屬膜 71a 藉由後續步驟，來形成電容器層 12 之第 2 金屬層 52、及層間絕緣層 20 之焊墊 27。

【0131】其次，如圖 14(d)所示，去除抗蝕劑 78。在該狀態下，

還殘留有金屬膜 71(種晶層)，而成為圖 14(d)所示之構造體之兩面整體由 Cu 所覆蓋之狀態。

【0132】其次，如圖 15(a)所示，以僅削除至少金屬膜 71(種晶層)之厚度部分的金屬膜之方式，對圖 14(d)所示之構造體之整面進行蝕刻。藉由本步驟，電容器層 12 之第 1 金屬層 50 與第 2 金屬層 52 被電性分離，而且，於基材 70 之背面側，焊墊 27(參照圖 9)被分離為個別的焊墊。再者，根據金屬膜 71(種晶層)之蝕刻量，亦存在如圖 20(a)或圖 20(b)之構造般，第 1 電極區域 56 表面之位置變得較介電體層 54 表面(上表面)之位置低之情形。

【0133】其次，使用光微影、蝕刻，形成在預定之部位(連接元件之端子之電極區域等部位)具有開口且作為防護膜(絕緣膜)而發揮功能之抗焊劑 77。藉由本步驟，本實施形態之電路基板 10b 之製造便完成。

【0134】接著如圖 15(b)所示，於電路基板 10b 之表面(電容器層 12 側之面)上搭載半導體元件 100、電容器元件 102 等必要之元件，並於電路基板 10b 之背面視需要形成凸塊 24(省略圖示)。圖 15(b)之金屬膜 74、介電體膜 72、金屬膜 71a、及層間絕緣膜 76，分別成為圖 12 所示之第 1 金屬層 50、介電體層 54、第 2 金屬層 52、及層間絕緣層 20。

【0135】

[第 4 實施形態]

參照圖 16 至圖 19，對本實施形態之電路基板 10c 及電路基板 10c 之製造方法進行說明。本實施形態係變更圖 2 所示之電路基板 10 之電容器層 12 之構成之形態。

【0136】如圖 16 所示，本實施形態之電容器層 12c 係藉由在基板 14 上被依序層積之第 1 金屬層 50、介電體層 54、及第 2 金屬層 52 所構成。電容器層 12c 其第 1 金屬層 50 表面之厚度方向之位置，於介電體層 54 下表面之厚度方向之位置露出於基板之表面。換言之，成為第 1 電極區域 56 不朝上方突出且第 1 金屬層 50 之表面兼作為第 1 電極區域 56 之形態。如此，本實施形態係包含在較介電體層 54 上表面之位置更低之位置使第 1 金屬層 50 露出於基板之表面之形態者，第 1 電極區域 56 係在較介電體層 54 上表面之厚度方向之位置更低之位置露出於基板之表面之形態的一例。而且，半導體元件 100 之凸塊 106、或電容器元件 102 之焊料 104 係以直接接觸之狀態，被分別連接於第 1 電極區域 56 及第 2 電極區域 58。再者，第 1 金屬層 50 表面之厚度方向之位置並不須一定與介電體層 54 下表面之厚度方向之位置完全一致，例如亦可包含因製造變異等使其位置偏移之範圍。

【0137】參照圖 17 至圖 19，對電路基板 10c 之製造方法之一例進行說明。於本實施形態之電路基板 10c 之製造方法中，第 1 金屬層 50 與第 1 電極區域 56 係作為連續之金屬層而以相同之步驟被同時地形成。

【0138】首先，如圖 17(a)所示，於基材 90 貼上薄片狀之金屬膜 91 及介電體膜 92。作為一例，使用玻璃環氧基板來作為基材 90。又，作為金屬膜 91 之材料，雖無特別限定而可使用 Cu、Au、Al 等，在本實施形態中使用 Cu。再者，金屬膜 91 及介電體膜 92 亦可使用如第 1 實施形態所揭示之其他方法而形成於基材 90 上。

【0139】作為介電體膜 92，可使用例如聚醯亞胺等之樹脂薄

膜，甚至使用作為埋入電容器專用而市售之其他材料。膜厚例如為 $1\mu\text{m}\sim 10\mu\text{m}$ 左右。又，亦可與第 1 實施形態同樣地使用 STO 膜。

【0140】其次，如圖 17(b)所示，使用光微影及蝕刻，將介電膜 92 圖案化為預定之形狀。作為蝕刻，並無特別限定而可使用乾式蝕刻、濕式蝕刻等。

【0141】其次，於塗佈用以將金屬膜 91 圖案化之抗蝕劑 93 後，如圖 17(c)所示，使用光微影及蝕刻，去除對應於作為配線層而殘留之金屬膜 91 之區域以外之區域的抗蝕劑 93，並形成遮罩。

【0142】其次，如圖 17(d)所示，使用上述遮罩對金屬膜 91 進行蝕刻。其後，去除該遮罩(抗蝕劑 93)。

【0143】其次，如圖 17(e)所示，於金屬膜 91 與後述之金屬膜 96 連接之部位，使用光微影及蝕刻來形成絕緣層 94。

【0144】其次，如圖 18(a)所示，在圖 17(e)所示之構造體之基材 90 自背面側形成通孔 VH5 之後，於該構造體之兩面形成作為種晶層之金屬膜 96。通孔 VH5 之形成例如使用雷射裝置、或鑽孔機來進行。金屬膜 96 之形成例如使用 Cu 來作為材料，作為一例，可藉由 CVD 法或 PVD 法等之乾式鍍覆法來進行。此時，於通孔 VH5 之內部亦形成有作為種晶層之金屬膜 96(省略圖示)。

【0145】其次，如圖 18(b)所示，使用光微影及蝕刻，於在後續步驟不進行電解鍍覆之區域(亦即，不形成金屬膜 96a 之區域)，將抗蝕劑 95 圖案化。

【0146】其次，如圖 18(c)所示，進行電解鍍覆來形成金屬膜 96a。藉由本步驟亦填埋通孔 VH5，來形成連通柱 V5。作為金屬膜 96a 之材料，雖無特別限定而可使用 Cu、Au、Al 等，但在本實施

形態中設為 Cu。又，作為一例，金屬膜 96a 之厚度係設為 $1\mu\text{m}\sim 20\mu\text{m}$ 左右。本步驟之金屬膜 96a，藉由後續步驟來形成電容器層 12 之第 2 金屬層 52、及基板 14 之焊墊 16(參照圖 2)。

【0147】其次，如圖 18(d)所示，去除抗蝕劑 95。在該狀態下，還殘留有金屬膜 96(種晶層)，而成為圖 18(d)所示之構造體之兩面由 Cu 所覆蓋之狀態。

【0148】其次，如圖 19(a)所示，以僅削除至少金屬膜 96(種晶層)之厚度部分的金屬膜之方式，對圖 18(d)所示之構造體之整面進行蝕刻。藉由本步驟，形成電路基板 10c 兩面之配線層，即電容器層 12 之第 2 金屬層 52、及基板 14 之焊墊 16。再者，根據金屬膜 96(種晶層)之蝕刻量，亦存在如圖 20(b)之構造般，第 1 電極區域 56 表面之位置變得較介電體層 54 底面(下表面)之位置低之情況。

【0149】其次，使用光微影、蝕刻、形成於預定之部位(連接元件之端子之電極區域等之部位)具有開口且作為防護膜(絕緣膜)而發揮功能之抗焊劑 97。藉由本步驟，本實施形態之電路基板 10c 之製造便完成。

【0150】接著如圖 19(b)所示，於電路基板 10c 之表面(電容器層 12 側之面)上搭載半導體元件 100、電容器元件 102 等必要之元件，並於電路基板 10c 之背面視需要形成焊料凸塊 18(省略圖示)。圖 19(b)之金屬膜 91、介電體膜 92、金屬膜 96a、及基材 90 成為圖 16 所示之第 1 金屬層 50、介電體層 54、第 2 金屬層 52、及基板 14。

【0151】如上述，在第 3 及第 4 實施形態中，與第 1 及第 2 實施形態不同，在第 2 金屬層 52 與第 1 電極區域 56 之間會產生段差(參照圖 12、圖 16 等)。藉此，相較於第 1 電極區域 56 之表面露出

於較介電體層 54 高之位置之第 1 及第 2 實施形態，電容器元件 102 之端子與所搭載之電路零件之端子在較構成電容器層之第 1 金屬層 50 更近之位置連接。

【0152】又，在第 3 及第 4 實施形態中，第 1 金屬層 50 之一部分構成第 1 電極區域 56，第 1 金屬層 50 與第 1 電極區域 56 係作為連續之金屬層而以相同之步驟被同時地形成。另一方面，於第 1 及第 2 實施形態中，在形成第 1 金屬層 50 之後，於第 1 金屬層 50 上藉由另一步驟構成第 1 電極區域 56。而且，在第 3 及第 4 實施形態中，由於第 1 金屬層 50 與第 1 電極區域 56 係以相同之步驟被同時地形成，因此成為於第 1 金屬層 50 與第 1 電極區域 56 之間不存在界面之狀態。藉此，相較於以另一步驟形成第 1 金屬層 50 與第 1 電極區域 56 而產生界面之構成，可使自第 1 金屬層 50 至第 1 電極區域 56 之阻抗變得更小。

【0153】再者，圖 12 之第 2 金屬層 52 之厚度越厚，或者，圖 16 之第 2 金屬層 52 及介電體層 54 之厚度越厚，第 2 金屬層 52 與第 1 電極區域 56 之間之段差便越大。此處，凸塊 106 之材料例如由 Au 所構成，連接前之凸塊高度例如為 15~50 μm 左右。另一方面，第 2 金屬層 52 即使為 1~2 μm 左右之厚度，在功能上亦充足，而且，介電體層 54 可藉由氣相沉積法等來形成 1 μm 以下之膜。亦即，第 3 及第 4 實施形態之段差，可以相對於凸塊 106 之高度不必太大之方式構成。因此，即便被設置於半導體元件 100 之複數個凸塊 106 為相同之高度，段差也不會在安裝半導體元件 100 等時成為大的障礙。換言之，以如下方式進行設計：於將具有相同高度之複數個凸塊之半導體元件安裝於電路基板時，成為在連接上不產生障礙之段

差大小(層之厚度)與凸塊高度之關係。

【0154】再者，如圖 3 所示，在前述之第 1 實施形態已例示被形成於第 1 金屬層 50 上之第 1 電極區域 56 上表面之位置與第 2 金屬層 52 上表面之位置一致之形態並進行說明。又，如圖 12 所示，前述之第 3 實施形態已例示被形成於第 1 金屬層 50 上之第 1 電極區域 56 上表面之位置與介電體層 54 上表面之位置一致之形態並進行說明。又，如圖 16 所示，前述之第 4 實施形態已例示作為第 1 金屬層 50 之一部分之第 1 電極區域 56 上表面之位置與介電體層 54 下表面之位置一致之形態並進行說明。然而，第 1 電極區域 56 厚度方向之位置與介電體層 54 厚度方向之位置之關係並不限定於此。例如，亦存在有因第 1 金屬層 50、第 2 金屬層 52、介電體層 54 等之製造變異、設計或製造上之限制等，而使各實施形態之第 1 電極區域 56 與介電體層 54 及第 2 電極區域 58 之位置關係變化之情形。

【0155】亦即，例如，圖 12 所示之第 1 電極區域 56 之上表面，存在有因前述之各層之製造變異、設計或製造上之限制等，而如圖 20(a)所示般位於介電體層 54 之厚度方向之範圍(介電體層 54 之上表面與下表面之間)之情形。此外，如圖 20(b)所示，亦存在位於第 1 金屬層 50 之厚度方向之範圍(較第 1 金屬層 50 之上表面低，且較基材 80 之上表面高之範圍)之情形。又，亦存在圖 16 所示之第 1 電極區域之上表面因前述之各層之製造變異等，而如圖 20(b)所示，位於第 1 金屬層 50 之厚度方向之範圍(較第 1 金屬層 50 之上表面低，且較基材 80 之上表面高之範圍)之情形。因此，各實施形態包含如此之位置之變異者。

【0156】以上，雖已對本發明之實施形態進行詳述，但本發明並非限定於特定之實施形態者，在申請範圍所記載之本案發明主旨之範圍內，可進行各種變形、變更。亦即，例如某實施形態所記載之構造、材料、處理等，只要不存在技術上之矛盾，皆可應用於其他實施形態。作為一例，第 2 實施形態之電容器層亦可為藉由第 3 及第 4 實施形態所製造者。

【0157】又，包含各實施形態之金屬層與介電體層之電容器層、亦可不被形成為在電路基板上擴大至半導體元件之周圍，而可僅被形成於電路基板上之一部分的部位。作為一例，包含金屬層與介電體層之電容器層，亦可形成為較一般配線寬度更加夠寬之 $500\mu\text{m}$ 以上之寬度之配線，而於沒有空間之情形時等，亦可以未滿 $500\mu\text{m}$ 之寬度之配線來構成。又，第 1 金屬層 50 與第 2 金屬層 52 之一者亦可為 $500\mu\text{m}$ 以上之寬度之面狀之金屬面，而另一者為未滿 $500\mu\text{m}$ 之寬度之金屬面。

【0158】又，各實施形態之電源電位層與基準電位層亦可分別被分割為複數個區域，而且，亦可僅電源電位層與基準電位層之一者被分割為複數個區域。

【0159】又，構成電容器層之各金屬層亦可不必一定被形成為單一層。例如，亦可於成為母體之單一金屬層之表面或背面，層積由較該金屬層薄之厚度之其他金屬所構成的功能層。

【0160】又，於第 1 實施形態中，第 1 電極區域 56 上表面之位置亦可不必一定為與第 2 電極區域 58 上表面之位置相同之位置。亦即，第 1 電極區域 56 及第 2 電極區域 58 雙方只要位於較介電體層 54 上表面之位置更高之位置即可。又，各實施形態之「上

表面」，係指於假設以使電容器層 12 相對於基板 14 位於上側之方式配置之情形時之上表面。

【0161】又，作為本發明之實施形態之變形例，亦可將第 2 實施形態所揭示之將表面背面之電極間距設為相同之構成之電路基板 10a，應用於第 1 至 4 實施形態所揭示之電容器層以外之構成。亦即，作為第 2 實施形態所揭示之電路基板 10a，亦可應用於並非在表面而在內層具有電容器層之電路基板、或取代電容器層而於內層具有電容器元件之電路基板。

【0162】又，於各實施形態中信號用之電極之高度位置雖為任意，但若使信號用之電極之高度位置配合電源電位用之電極或基準電位用之電極之任一者的高度，則相較於高度不同之情況，可使製造步驟簡化。

【0163】再者，各圖式之比例尺或形狀，存在有為了容易理解而將發明之特徵加以強調之情形，應注意實際之基板與各層之比例尺或形狀並不一定相同。

【0164】本案係基於 2016 年 11 月 26 日提出申請之日本專利申請案(特願 2016-239093)者，並將該等之內容(作為參照)而放入本說明書中。

【符號說明】

【0165】	
10、10a、10b、10c	電路基板
12、12a、12b、12c	電容器層
14	基板
16	焊墊

18	焊料凸塊
20	層間絕緣層
22	基板
24	凸塊
26	焊墊
27	焊墊
28	焊料凸塊
29	焊墊
30	基材
32	介電體膜
34	金屬膜
40	基材
42、42a、42b	金屬膜
44	層間絕緣膜
46	核心基板
48	抗焊劑
50	第 1 金屬層
52	第 2 金屬層
54	介電體層
56	第 1 電極區域
58	第 2 電極區域
59	突出部
60	基材
62	介電體膜

64、64a	金屬膜
66	層間絕緣膜
69	抗焊劑
70	基材
71、71a	金屬膜
72	介電體膜
74	金屬膜
76	層間絕緣膜
77	抗焊劑
78	抗蝕劑
80	基材
90	基材
91	金屬膜
92	介電體膜
93	抗蝕劑
94	絕緣層
95	抗蝕劑
96、96a	金屬膜
97	抗焊劑
100	半導體元件
102	電容器元件
104(104a、104b)	焊料
106(106a、106b、106c)	凸塊
130	印刷基板

140	電源電位層
141	配線層
142	接地層
144	層間絕緣層
A、B	連接
d	距離
G	接地
P	電源
S	信號
V、V1、V2、V3、V4、V5	連通柱
VH1、VH2、VH3、VH4、VH5	通孔
VDD	電源
Zpg	阻抗

申請專利範圍

1. 一種電路基板，其具備有：

基材；及

電容器層，其具有被設置於上述基材上之第 1 金屬層、被設置於該第 1 金屬層上之介電體層、及被設置於該介電體層上之第 2 金屬層；

上述第 1 金屬層具有連接有被設置於上述基材上並經由上述電容器層將電流供給至電路零件之電容器元件之第 1 端子且自上述介電體層露出之第 1 電極區域，

上述第 2 金屬層具有連接有上述電容器元件之第 2 端子且該第 2 金屬層露出之第 2 電極區域。

2. 如請求項 1 之電路基板，其中，上述第 1 金屬層具有自上述介電體層之下表面之高度的位置朝向上述第 1 電極區域突出之突出部，

於上述第 1 金屬層與上述突出部之間不形成界面。

3. 如請求項 1 之電路基板，其中，上述第 1 電極區域於上述介電體層之上表面之高度的位置，或於較上述介電體層之上表面之高度更低之位置露出。

4. 如請求項 1 之電路基板，其中，上述第 1 電極區域於上述介電體層之上表面之高度的位置露出。

5. 如請求項 1 之電路基板，其中，上述第 1 電極區域於上述介電體層之下表面之高度的位置，或於較上述介電體層之下表面之高度更低之位置露出。

6. 如請求項 5 之電路基板，其中，上述第 1 電極區域於上述介電

體層之下表面之高度的位置露出。

7. 如請求項 1 之電路基板，其中，上述第 2 電極區域於較上述介電體層之上表面之高度的位置更高之位置露出。

8. 如請求項 1 至 7 中任一項之電路基板，其中，上述第 1 金屬層具有連接有上述電路零件所具有之電源電位用端子或基準電位用端子之一者且自上述介電體層露出之第 3 電極區域，

上述第 2 金屬層具有連接有上述電源電位用端子或上述基準電位用端子之另一者且該第 2 金屬層露出之第 4 電極區域。

9. 如請求項 8 之電路基板，其中，於上述第 1 電極區域及上述第 2 電極區域連接有上述電容器元件，

於上述第 3 電極區域及上述第 4 電極區域作為上述電路零件連接有半導體積體電路。

10. 如請求項 8 之電路基板，其中，其具有：

第 1 導電部，其自上述第 1 電極區域之附近朝向上述基材之內層側延伸，用以將上述第 1 金屬層連接於外部之電源電位或基準電位之一者；

第 2 導電部，其自上述第 2 電極區域之附近朝向上述基材之內層側延伸，用以將上述第 2 金屬層連接於外部之電源電位或基準電位之另一者；

第 3 導電部，其自上述第 3 電極區域之附近朝向上述基材之內層側延伸，用以將上述第 1 金屬層連接於外部之電源電位或基準電位之一者；及

第 4 導電部，其自上述第 4 電極區域之附近朝向上述基材之內層側延伸，用以將上述第 2 金屬層連接於外部之電源電位或基準電位

之另一者。

11. 如請求項 10 之電路基板，其中，上述第 1 至第 4 導電部中至少 1 個導電部係於自一面側穿透上述基材而進行觀察之情形時，在與對應之上述電極區域重疊之位置，被連接於上述第 1 金屬層或上述第 2 金屬層。

12. 如請求項 10 之電路基板，其中，上述第 1 至第 4 導電部係於自一面側穿透上述基材而進行觀察之情形時，在與上述第 1 至第 4 導電部所分別對應之上述電極區域重疊之位置，被連接於上述第 1 金屬層及上述第 2 金屬層。

13. 如請求項 1 或 2 之電路基板，其中，上述第 1 金屬層具有連接有上述電路零件所具有之電源電位用端子或基準電位用端子之一者且自上述介電體層露出之第 3 電極區域，

上述第 2 金屬層具有連接有上述電源電位用端子或上述基準電位用端子之另一者且該第 2 金屬層露出之第 4 電極區域，

上述第 3 電極區域於較上述介電體層之上表面之高度的位置更高之位置露出，

上述第 1 金屬層與上述第 3 電極區域係經由貫穿上述第 1 金屬層及上述介電體層且不具有界面之導電部所連接。

14. 如請求項 8 之電路基板，其中，上述基材具有包含上述第 3 及第 4 電極區域之複數個表面側之電極區域、及經由上述基材之內部分別與該複數個表面側之電極區域電性連接之複數個背面側之電極區域，

上述複數個表面側之電極區域間之距離與上述複數個背面側之電極區域間之距離相等。

15. 如請求項 8 之電路基板，其中，上述基材具有包含上述第 3 及第 4 電極區域之複數個表面側之電極區域、及經由上述基材之內部分別與該複數個表面側之電極區域電性連接之複數個背面側之電極區域，

連接有上述電路零件之上述複數個表面側之電極區域之各者、及分別對應於該等電極區域之上述複數個背面側之電極區域係設置於自一面側穿透上述基材而進行觀察之情形時重疊之位置。

16. 一種電路基板之製造方法，該電路基板具備有具有第 1 金屬層、被設置於該第 1 金屬層上之介電體層、及被設置於該介電體層上之第 2 金屬層的電容器層，

上述第 1 金屬層具有連接有被設置於基材上並經由上述電容器層將電流供給至電路零件之電容器元件之第 1 端子且自上述介電體層露出之第 1 電極區域，

上述第 2 金屬層具有連接有上述電容器元件之第 2 端子且該第 2 金屬層露出之第 2 電極區域，

如此之電路基板之製造方法；其具備有：

於第 1 基材上形成上述介電體層之步驟；

於上述介電體層上形成上述第 1 金屬層之步驟；

以上述第 1 金屬層成為較上述介電體層更內層側之方式，將被形成於上述第 1 基材上之上述介電體層及上述第 1 金屬層移至第 2 基材上之步驟；及

於移至上述第 2 基材上之上述介電體層上形成上述第 2 金屬層之步驟。

17. 如請求項 16 之電路基板之製造方法，其中，上述第 1 基材為

金屬。

18. 如請求項 16 之電路基板之製造方法，其中，上述第 1 基材之耐熱溫度較上述第 2 基材之耐熱溫度更高。

19. 如請求項 16 至 18 中任一項之電路基板之製造方法，其中，將上述第 1 金屬層及上述介電體層移至上述第 2 基材上之步驟，包含在以上述第 1 金屬層成為較上述介電體層更內層側之方式，將形成有上述第 1 金屬層及上述介電體層之上述第 1 基材貼附於第 2 基材後，去除上述第 1 基材之步驟。

20. 如請求項 19 之電路基板之製造方法，其中，去除上述第 1 基材之步驟，包含藉由溶液去除上述第 1 基材之步驟。

21. 如請求項 16 之電路基板之製造方法，其中，上述第 2 基材之表面在將被形成於上述第 1 基材上之上述介電體層及上述第 1 金屬層移至上述第 2 基材上之時間點具有柔軟性，

形成上述第 1 金屬層之步驟，包含將上述第 1 金屬層圖像化之步驟，

在將被形成於上述第 1 基材上之上述介電體層及上述第 1 金屬層移至上述第 2 基材上之步驟中，將上述經圖像化之第 1 金屬層之至少一部分埋入上述第 2 基材之表面。

22. 如請求項 16 之電路基板之製造方法，其中，形成上述介電體層之步驟，包含將上述介電體層圖像化之步驟，

形成上述第 1 金屬層之步驟，包含在上述介電體層上及不存在上述介電體層之上述第 1 基材上形成上述第 1 金屬層之步驟。

23. 如請求項 22 之電路基板之製造方法，其中，形成上述第 2 金屬層之步驟包含有：

以覆蓋上述介電體層及上述第 1 金屬層之方式形成上述第 2 金屬層，藉此連接上述第 2 金屬層與上述第 1 金屬層之步驟；及

將上述第 2 金屬層分離成作為上述第 1 電極區域而發揮功能之金屬層、及作為上述第 2 電極區域而發揮功能之金屬層之步驟。

24. 如請求項 16 之電路基板之製造方法，其中，上述第 1 金屬層及上述介電體層係在被移至上述第 2 基材上之狀態下以上述第 1 金屬層之至少一部分區域自上述介電體層露出之方式被形成於上述第 2 基材上，

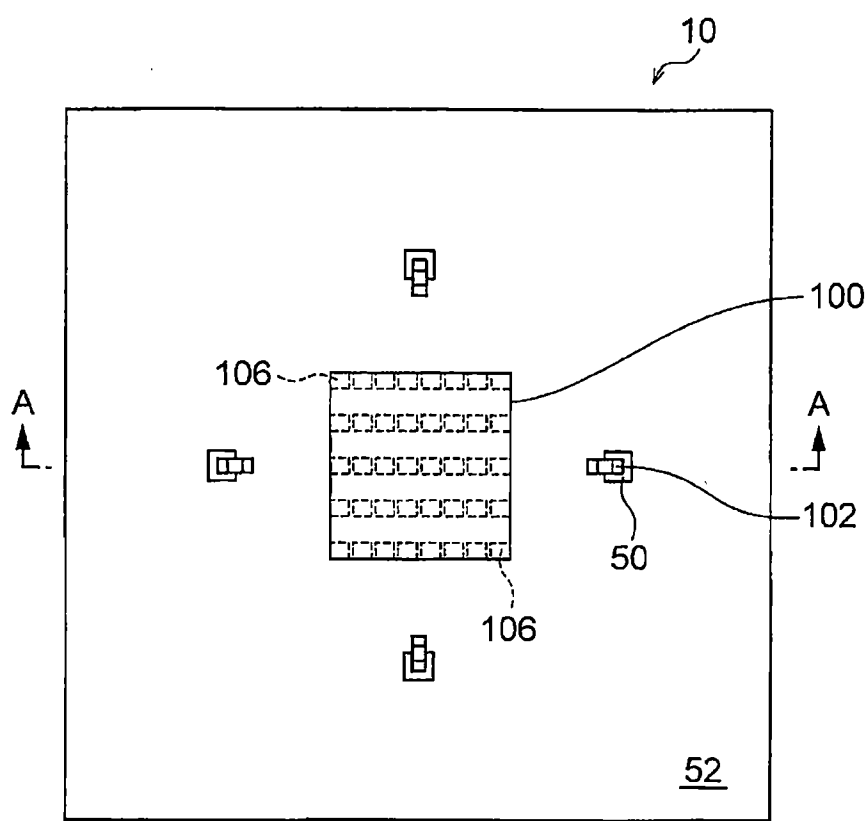
上述第 2 金屬層係以成為上述第 1 金屬層之上述一部分區域自上述介電體層露出之狀態之方式，被形成於上述介電體層上。

25. 如請求項 16 之電路基板之製造方法，其中，上述第 1 基材為鋁。

圖式

圖 1

(a)



(b)

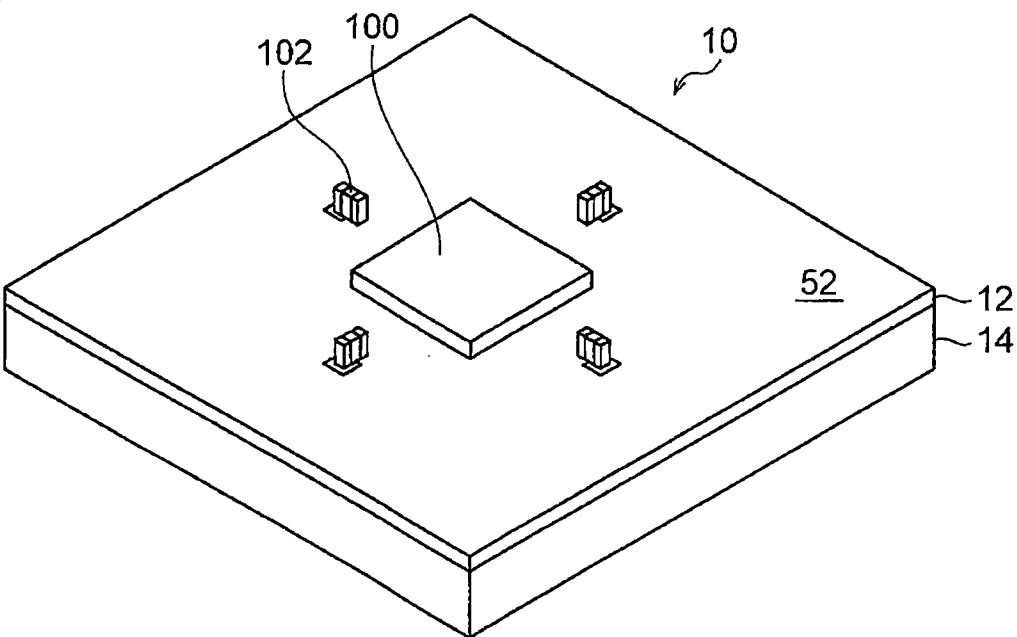


圖 2

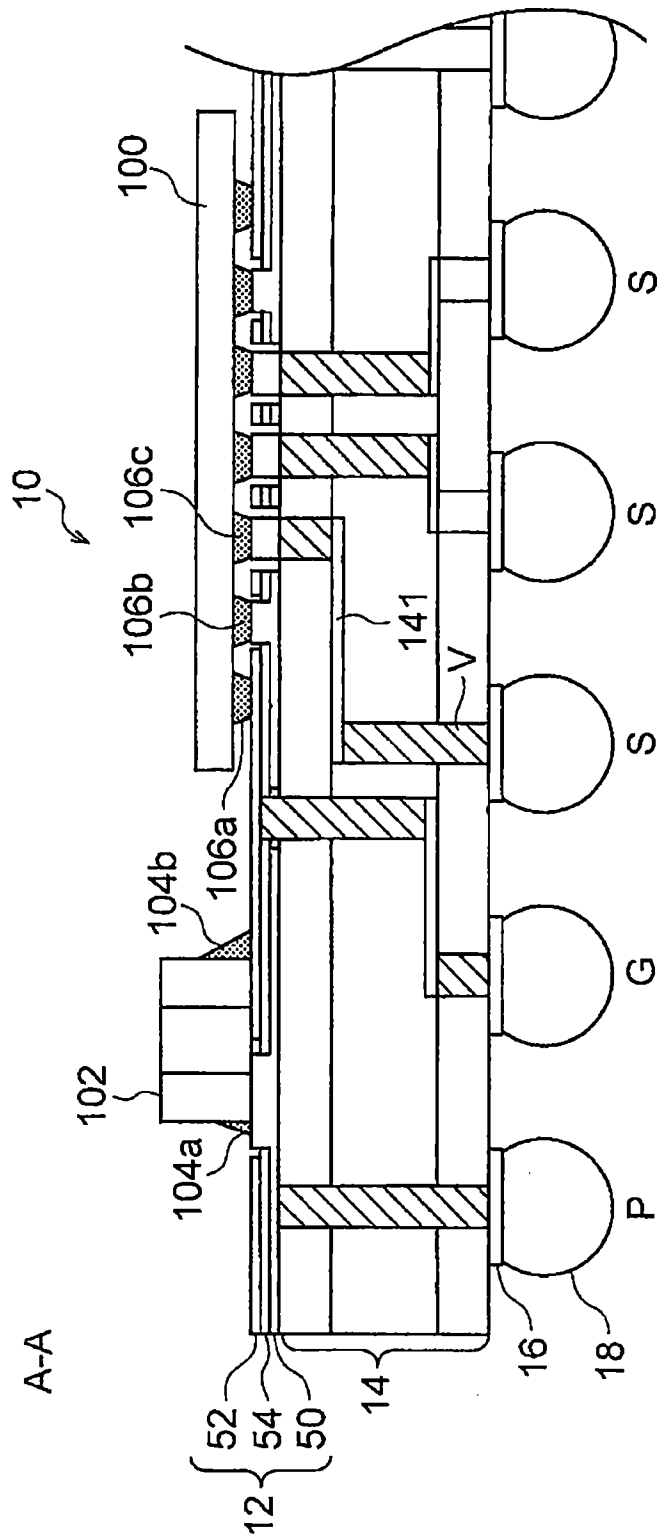


圖 3

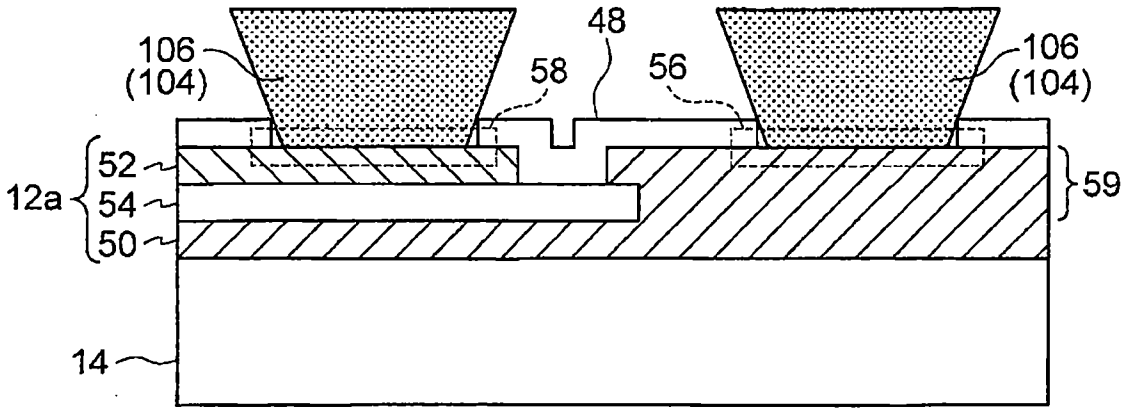


圖 4

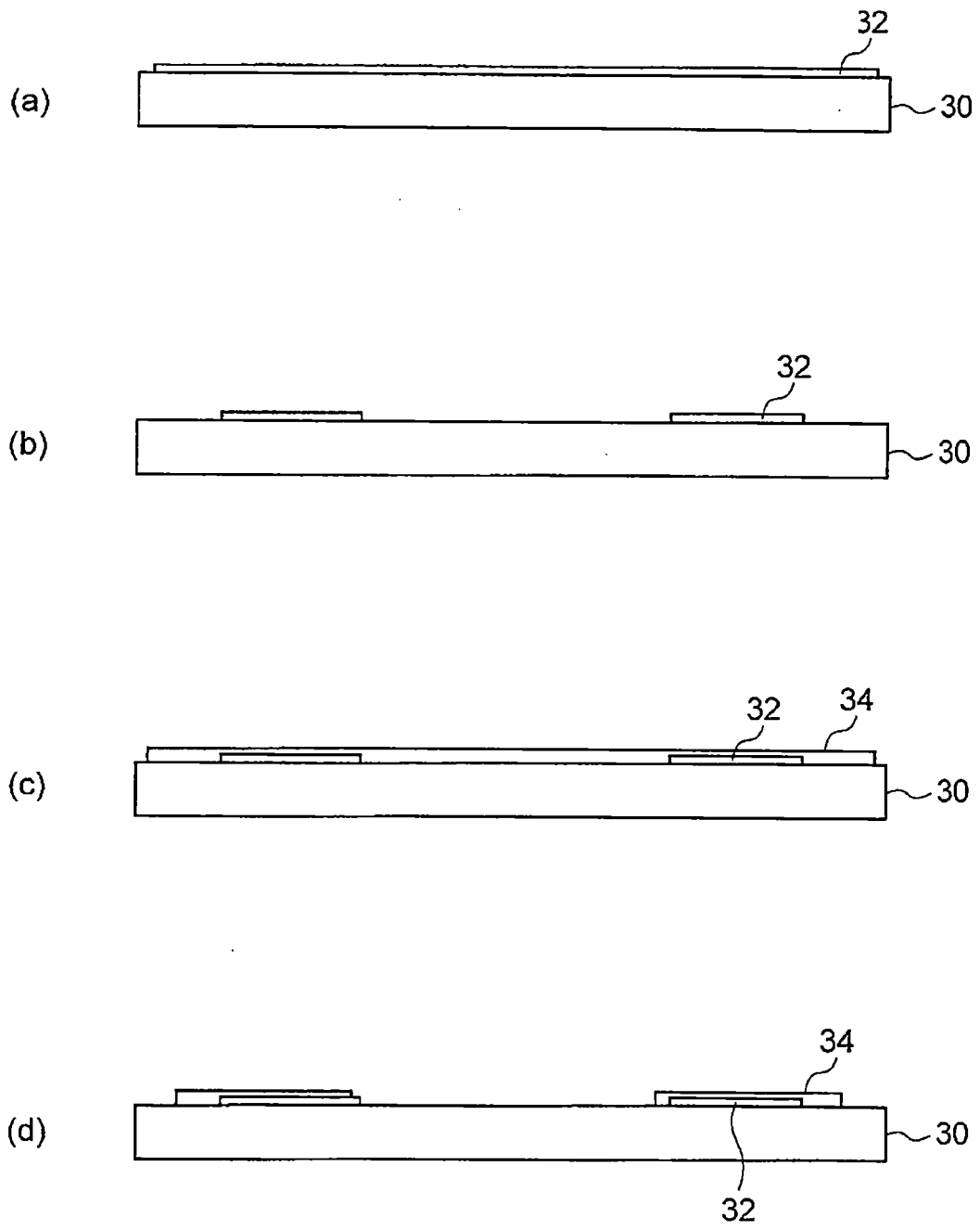


圖 5

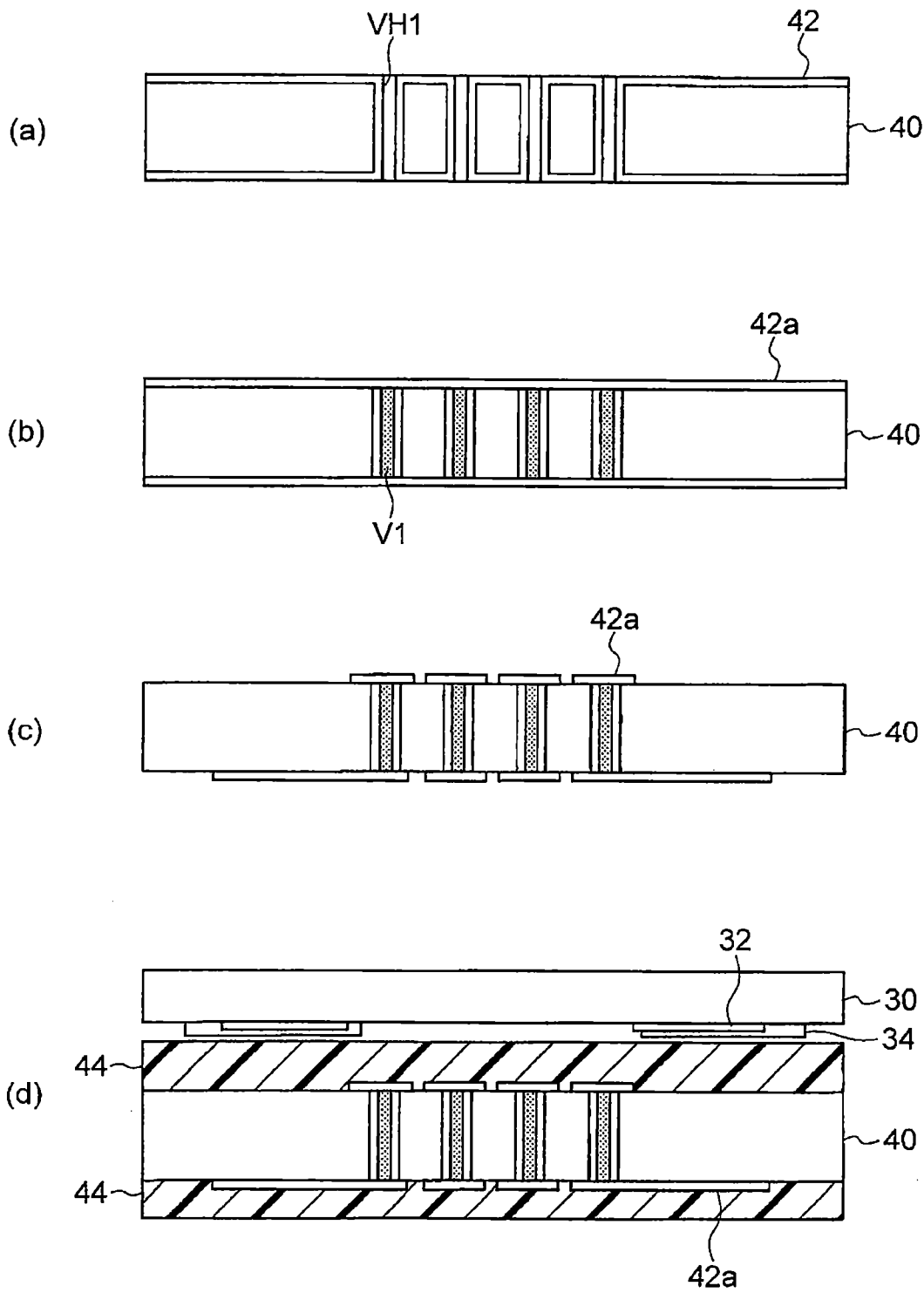


圖 6

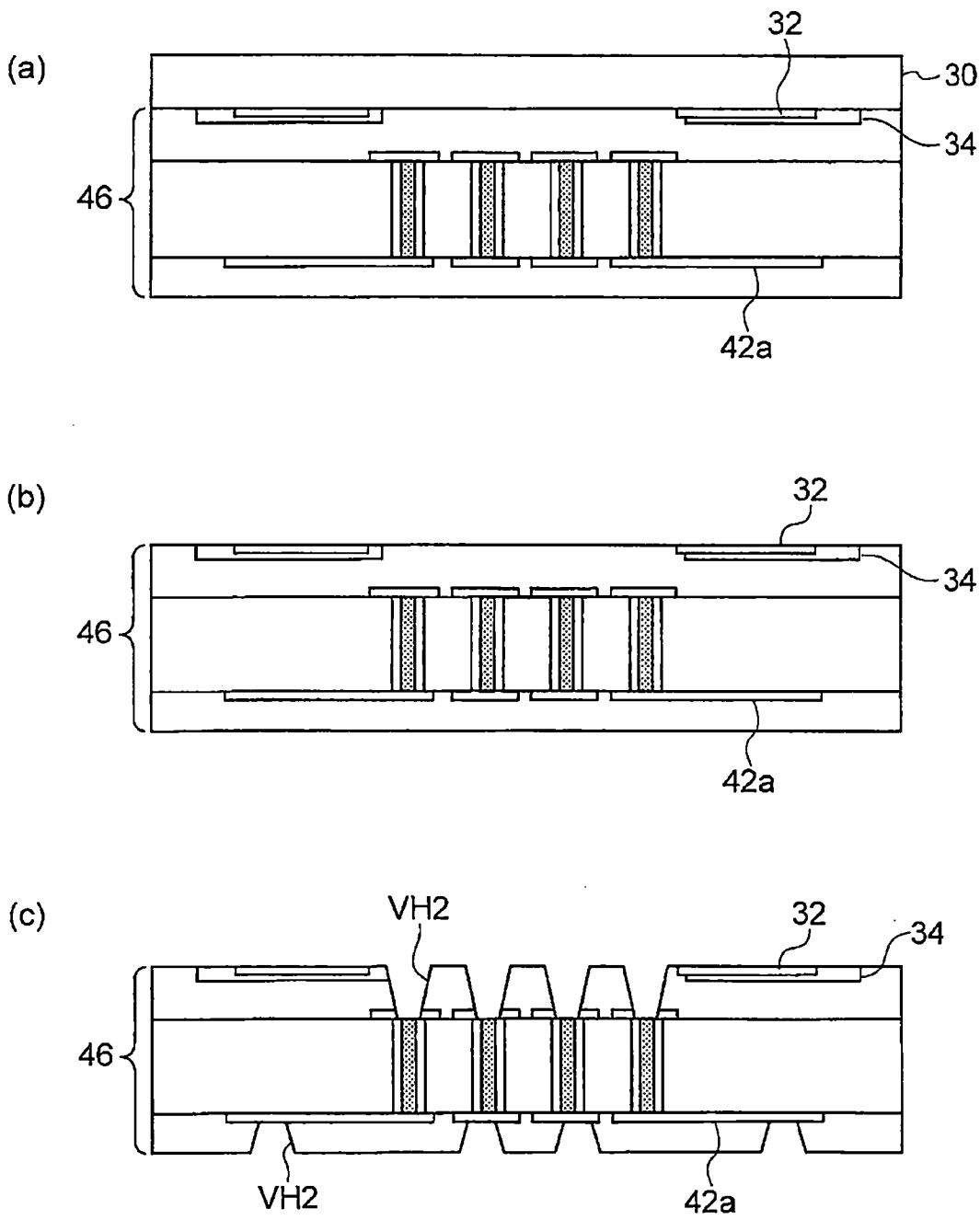


圖 7

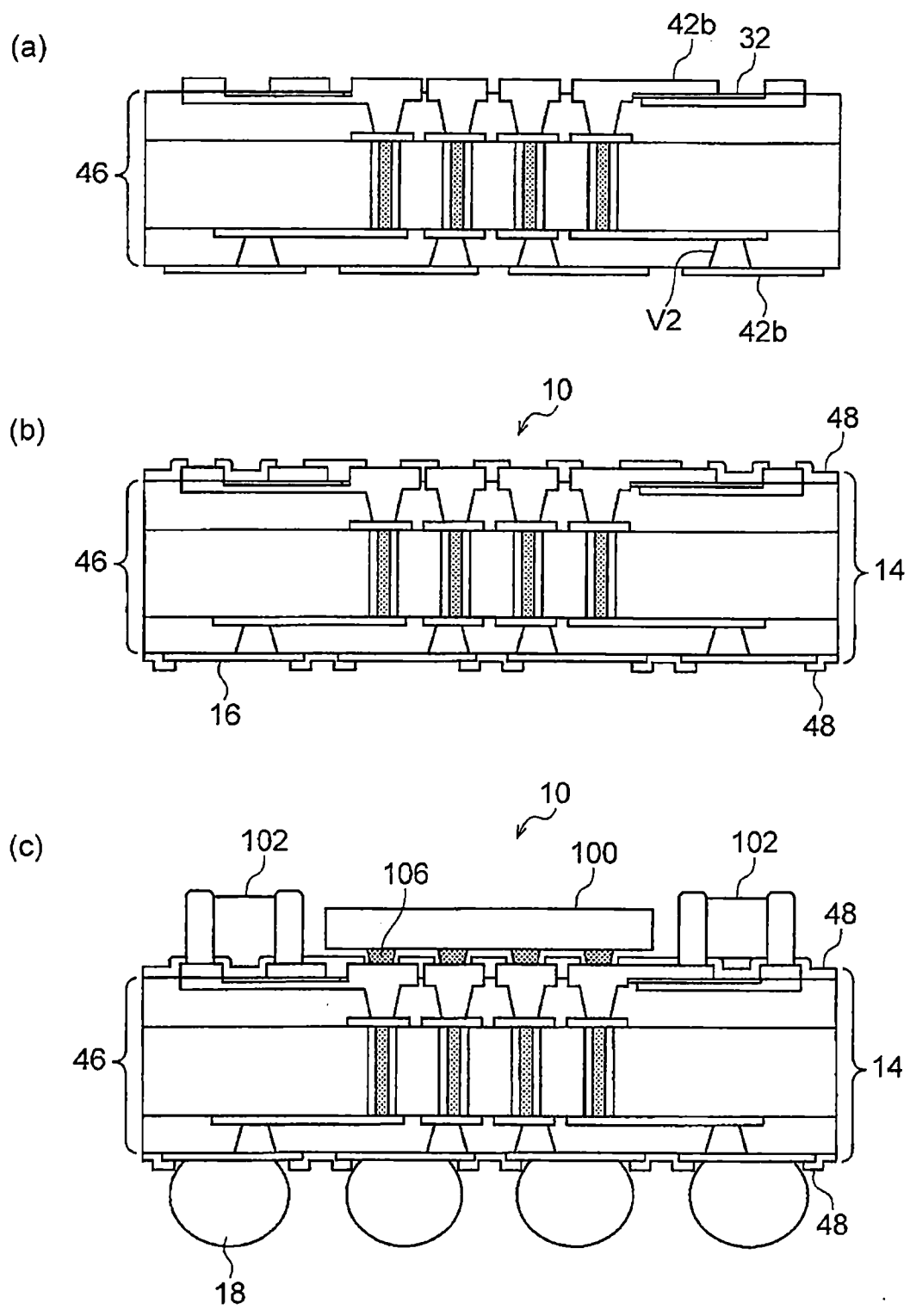


圖 8

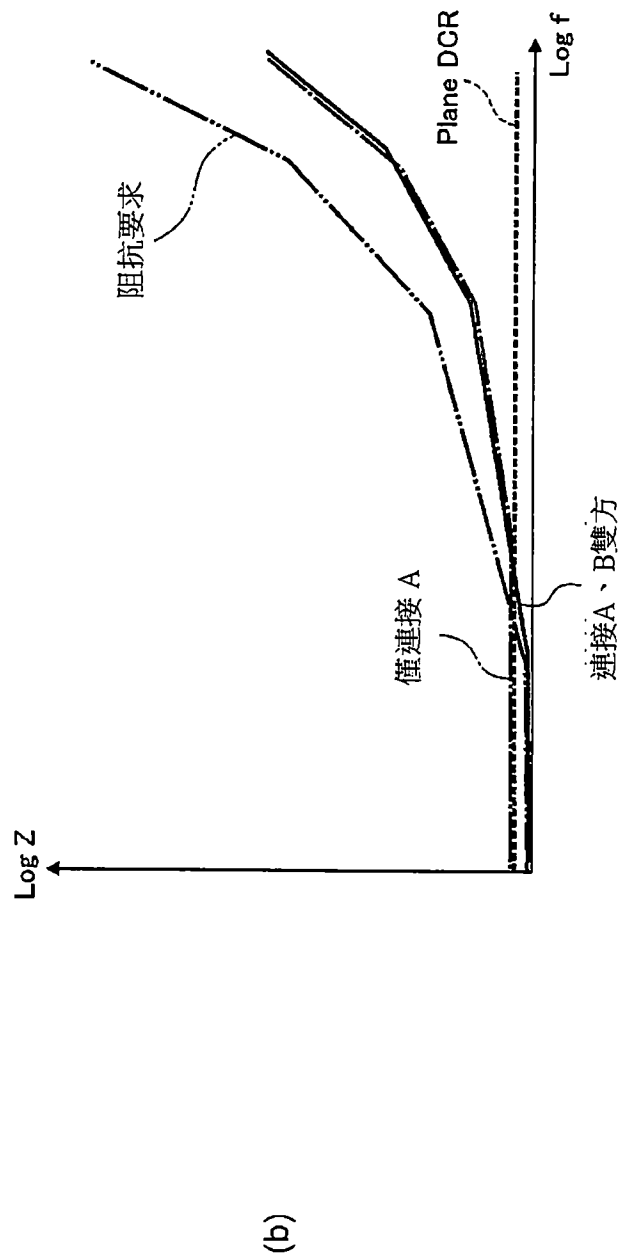
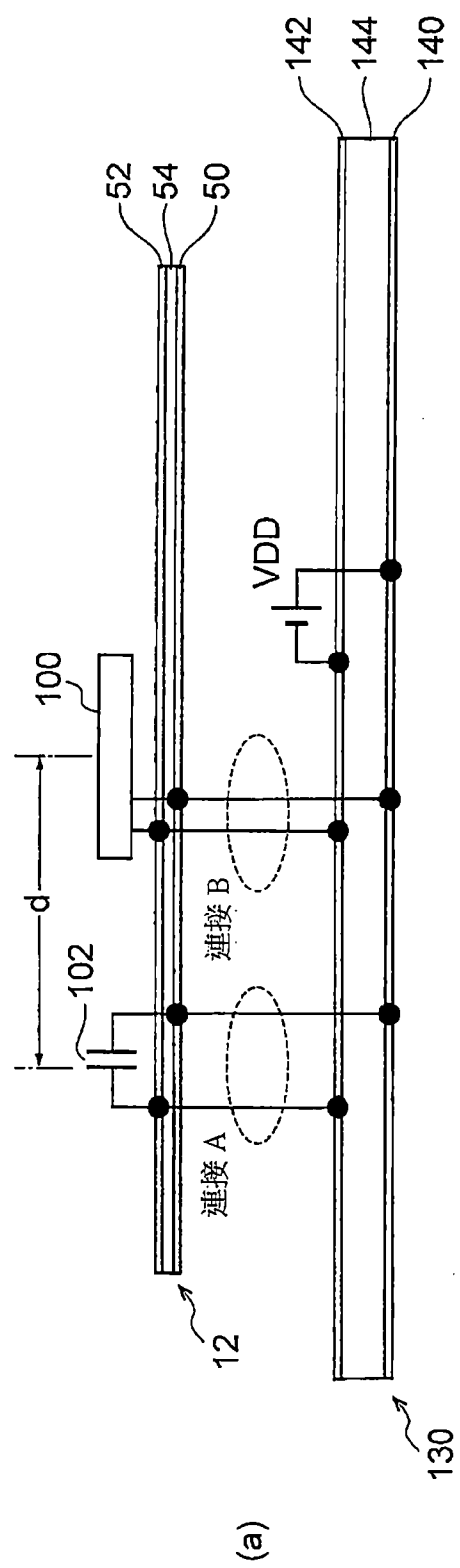


圖 9

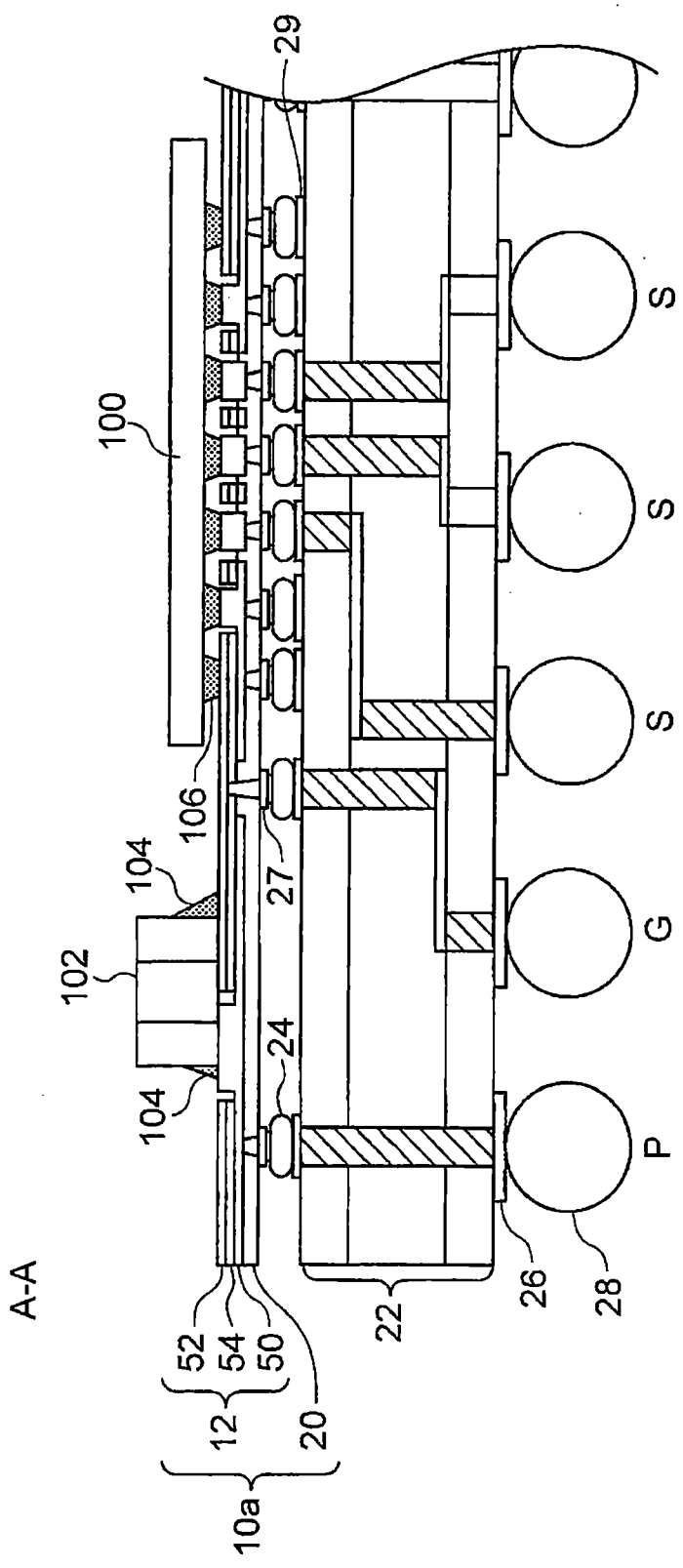


圖 10

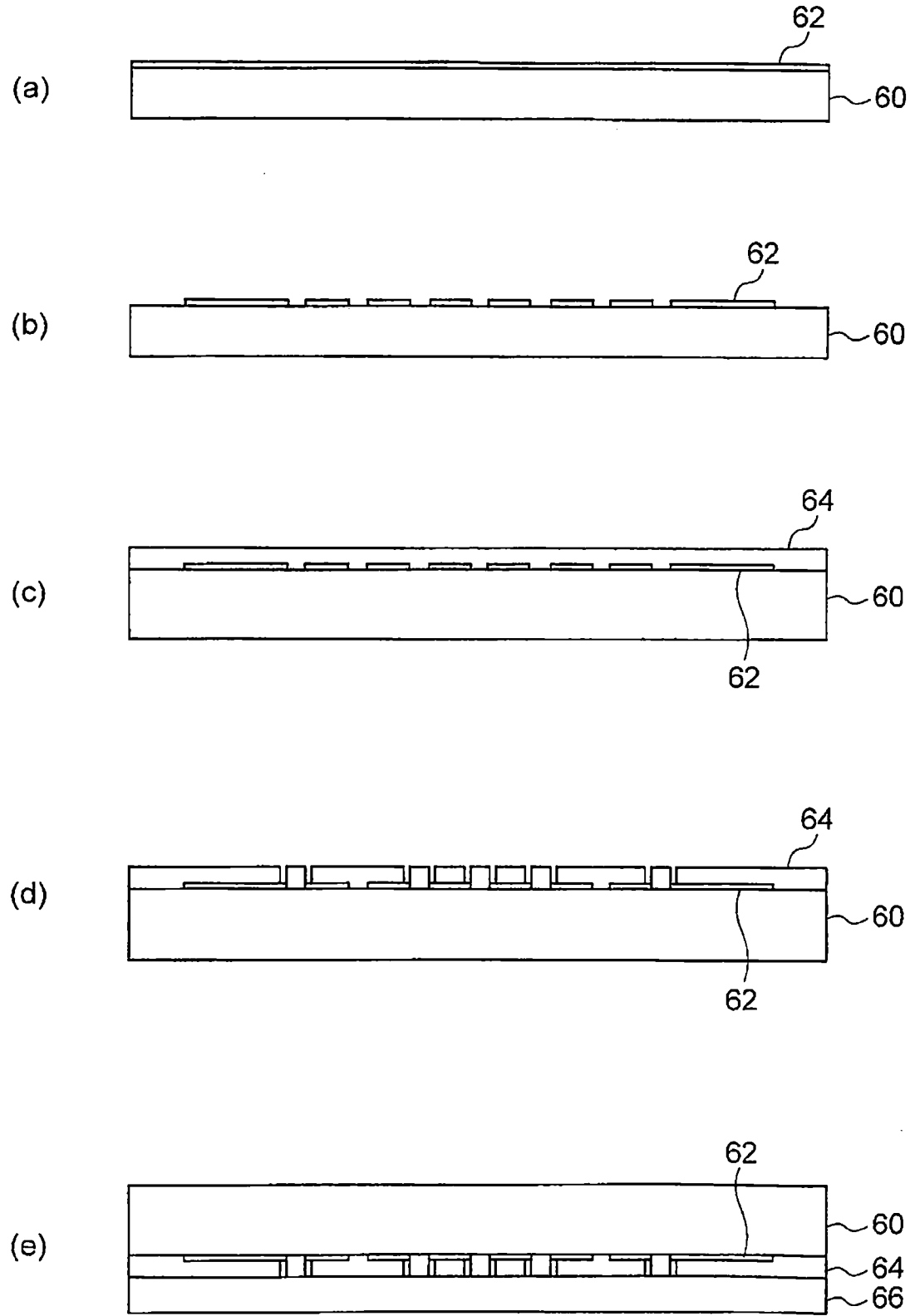


圖 11

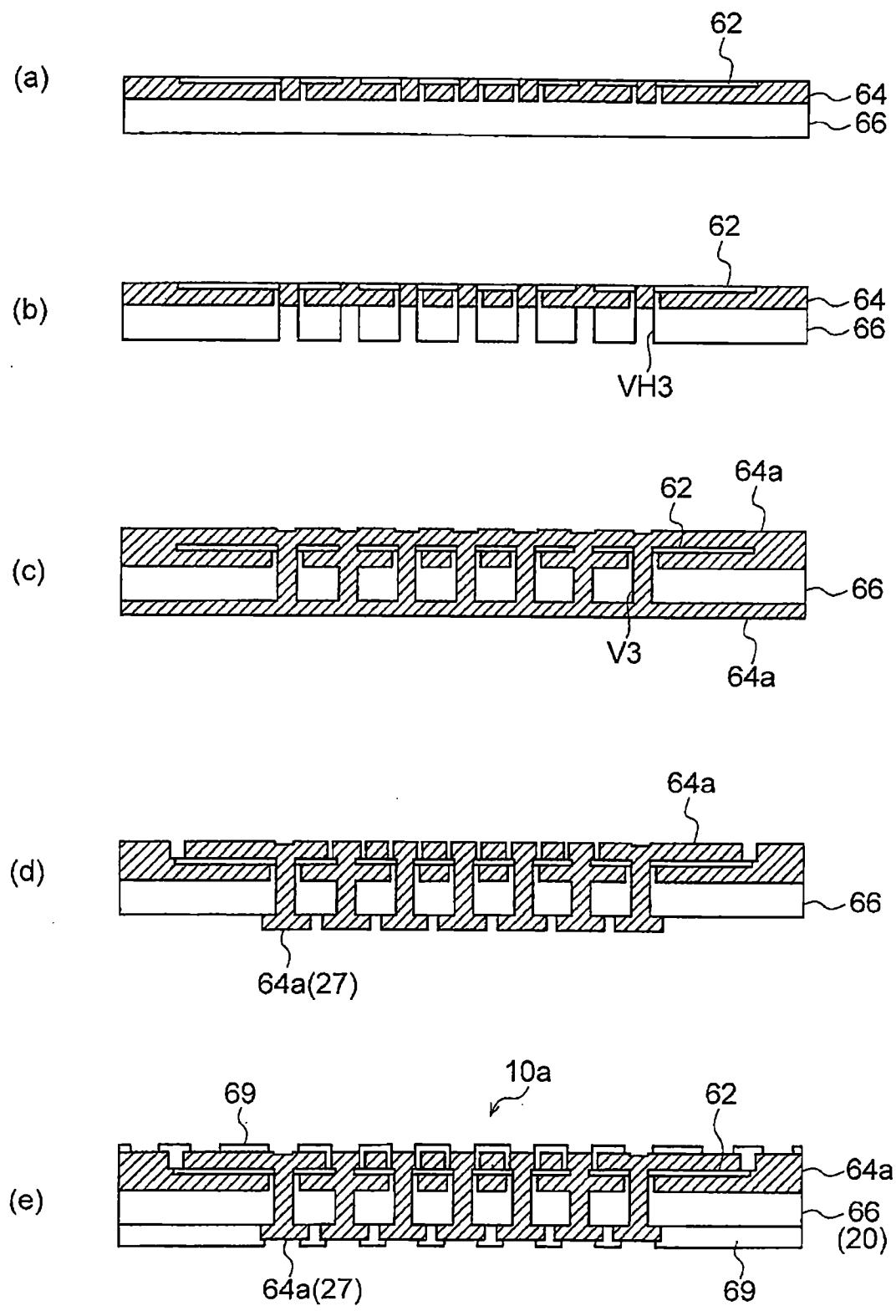


圖 12

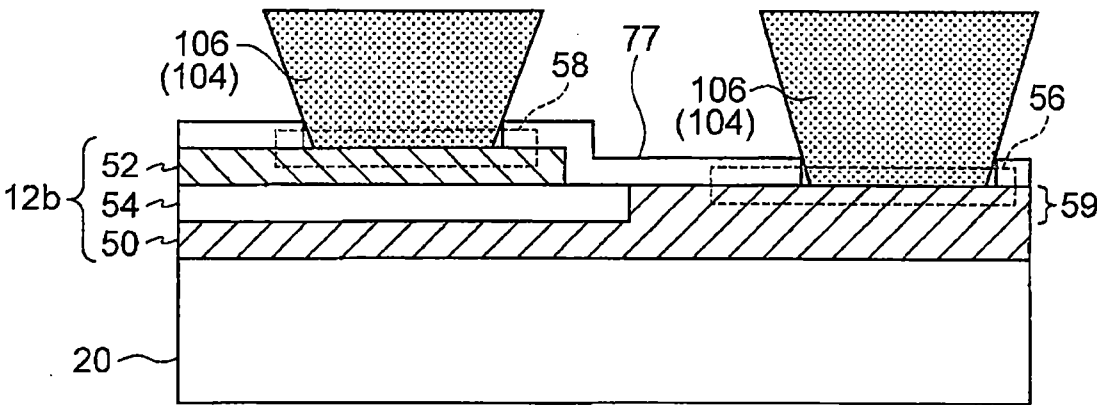


圖 13

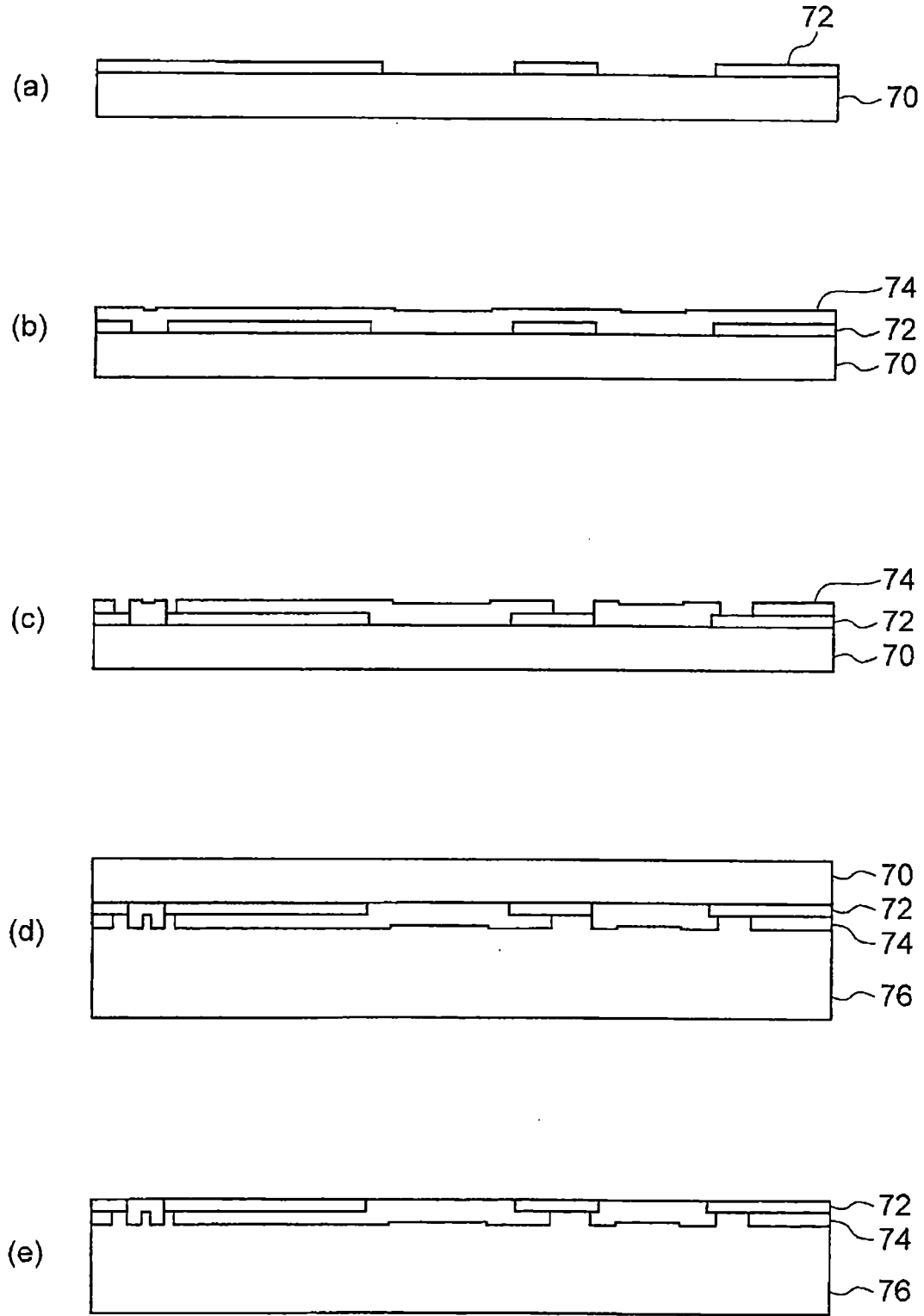


圖 14

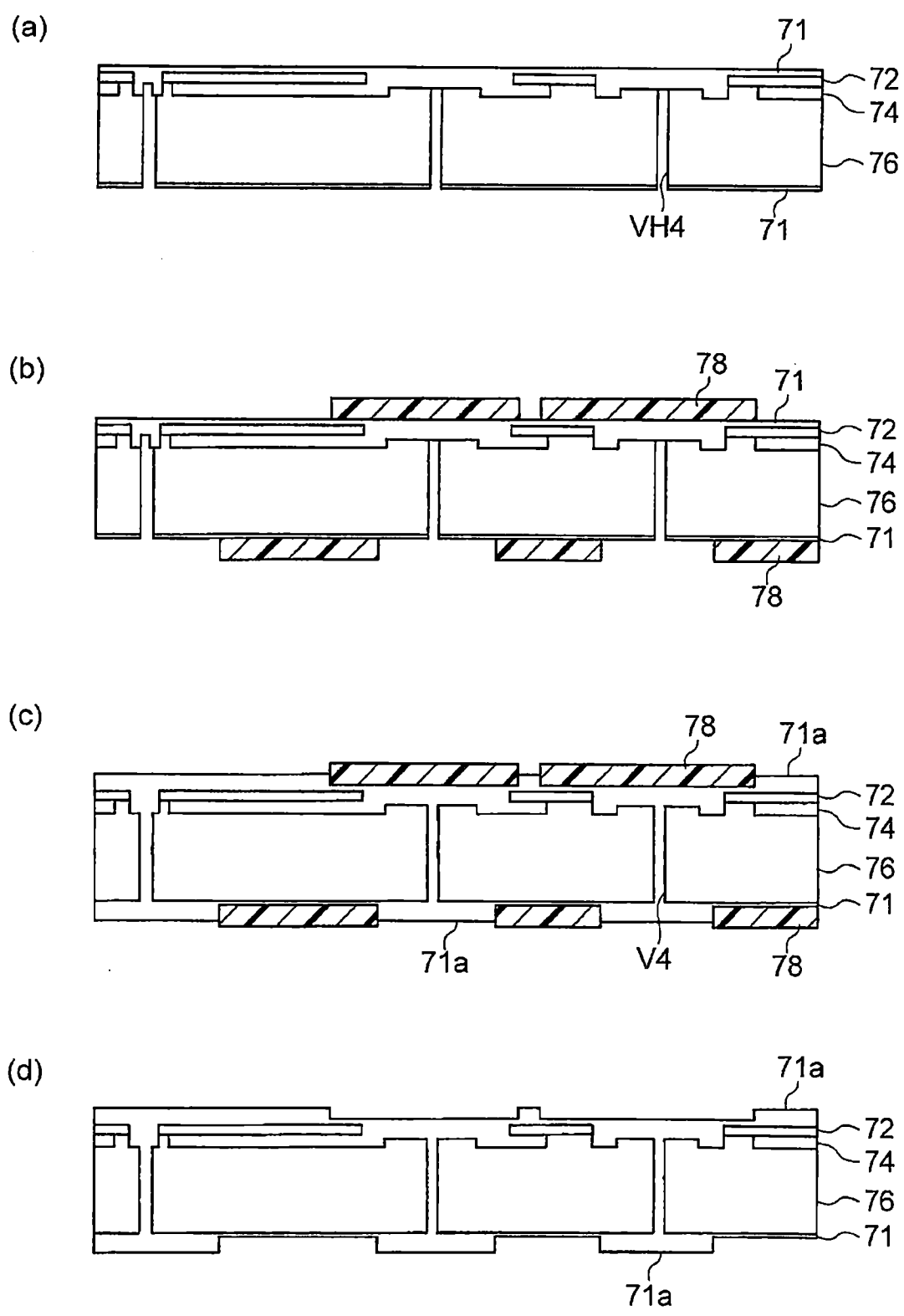


圖 15

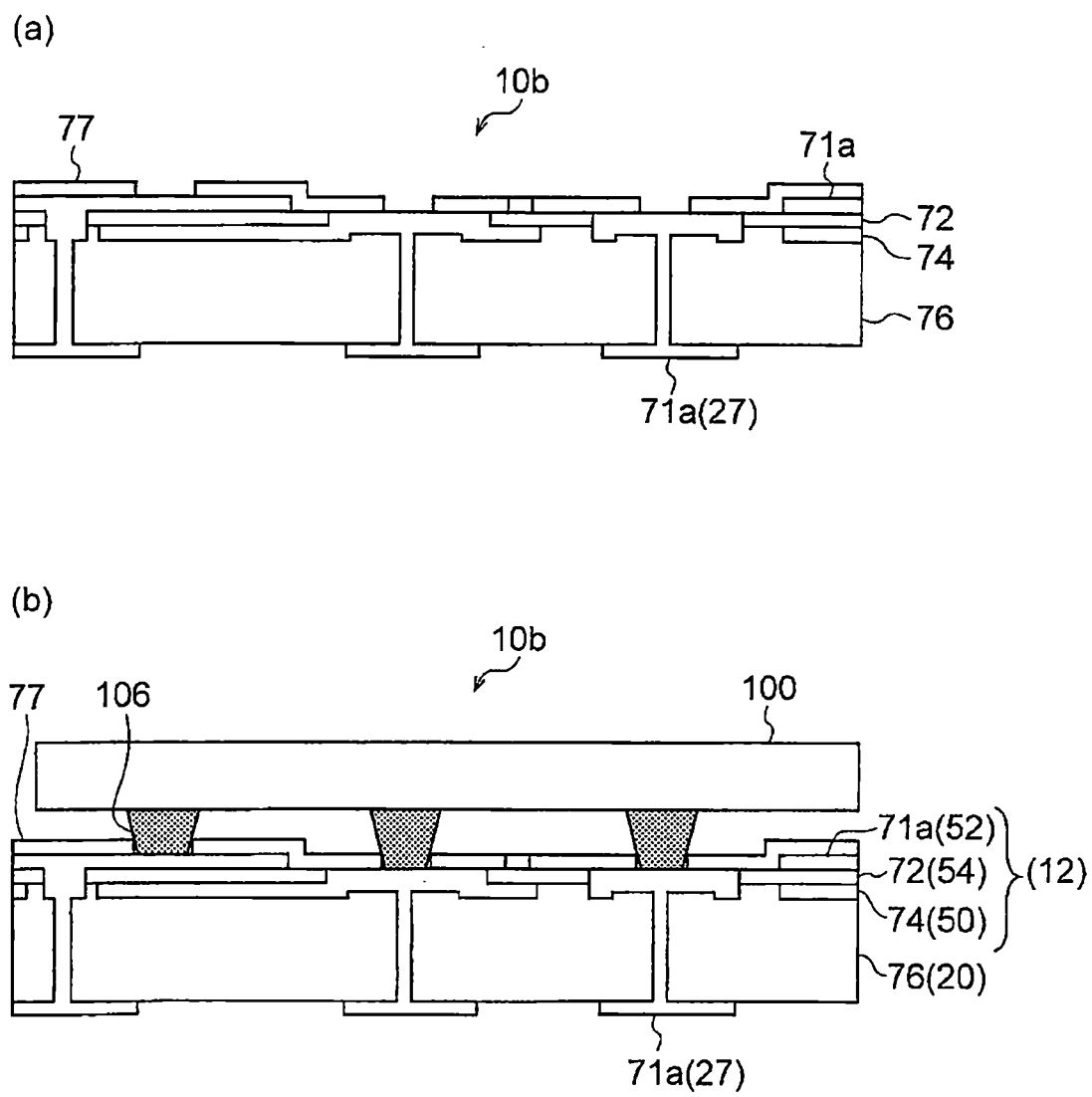


圖 16

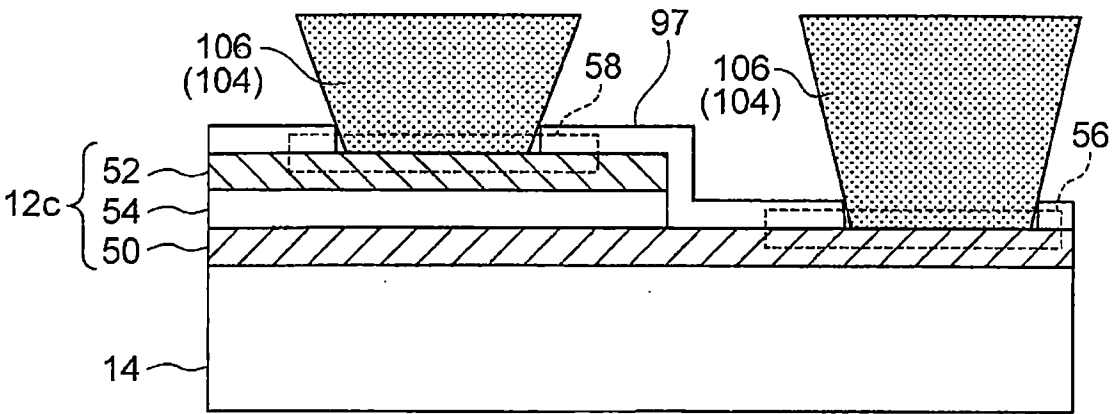


圖 17

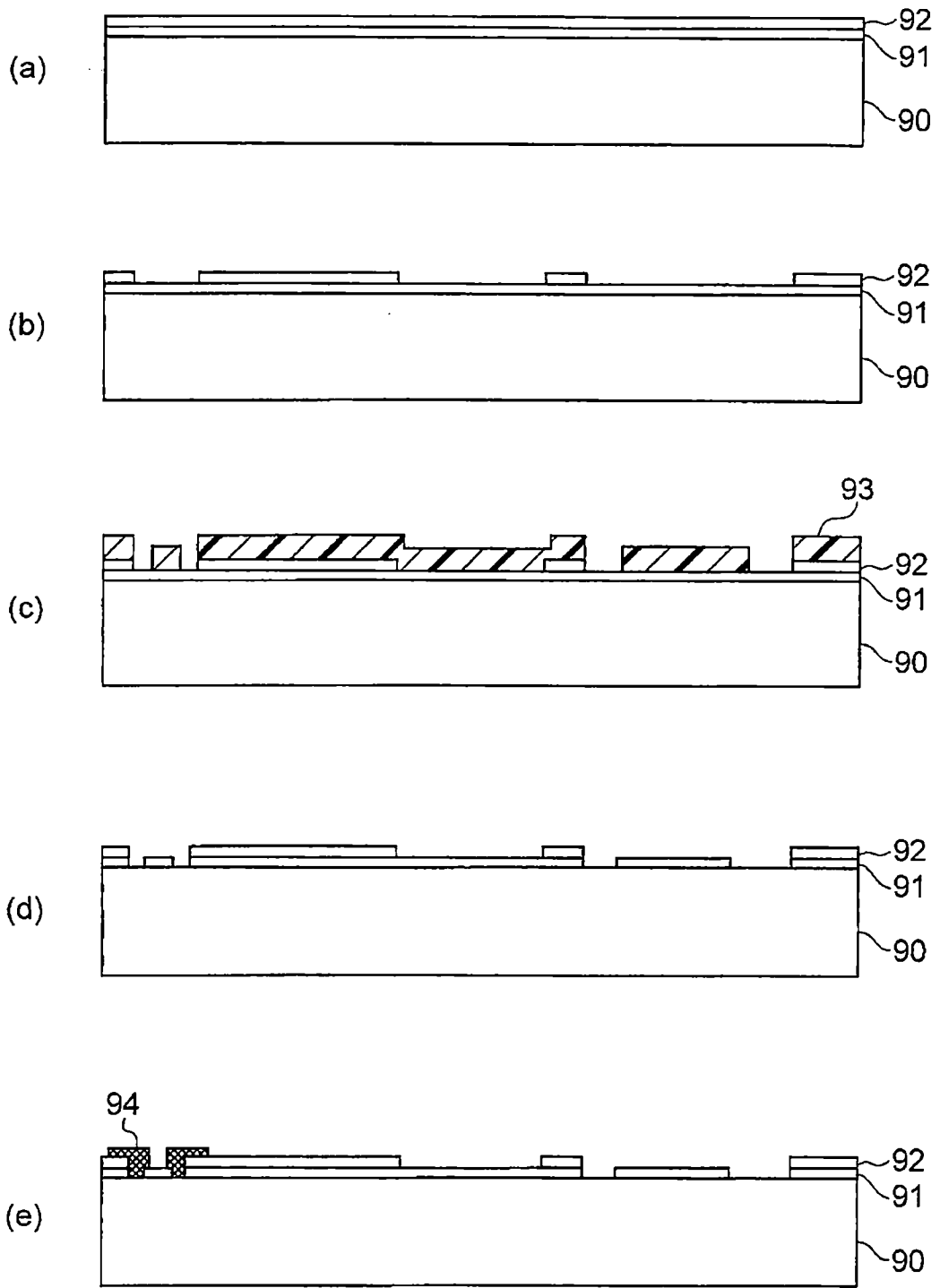


圖 18

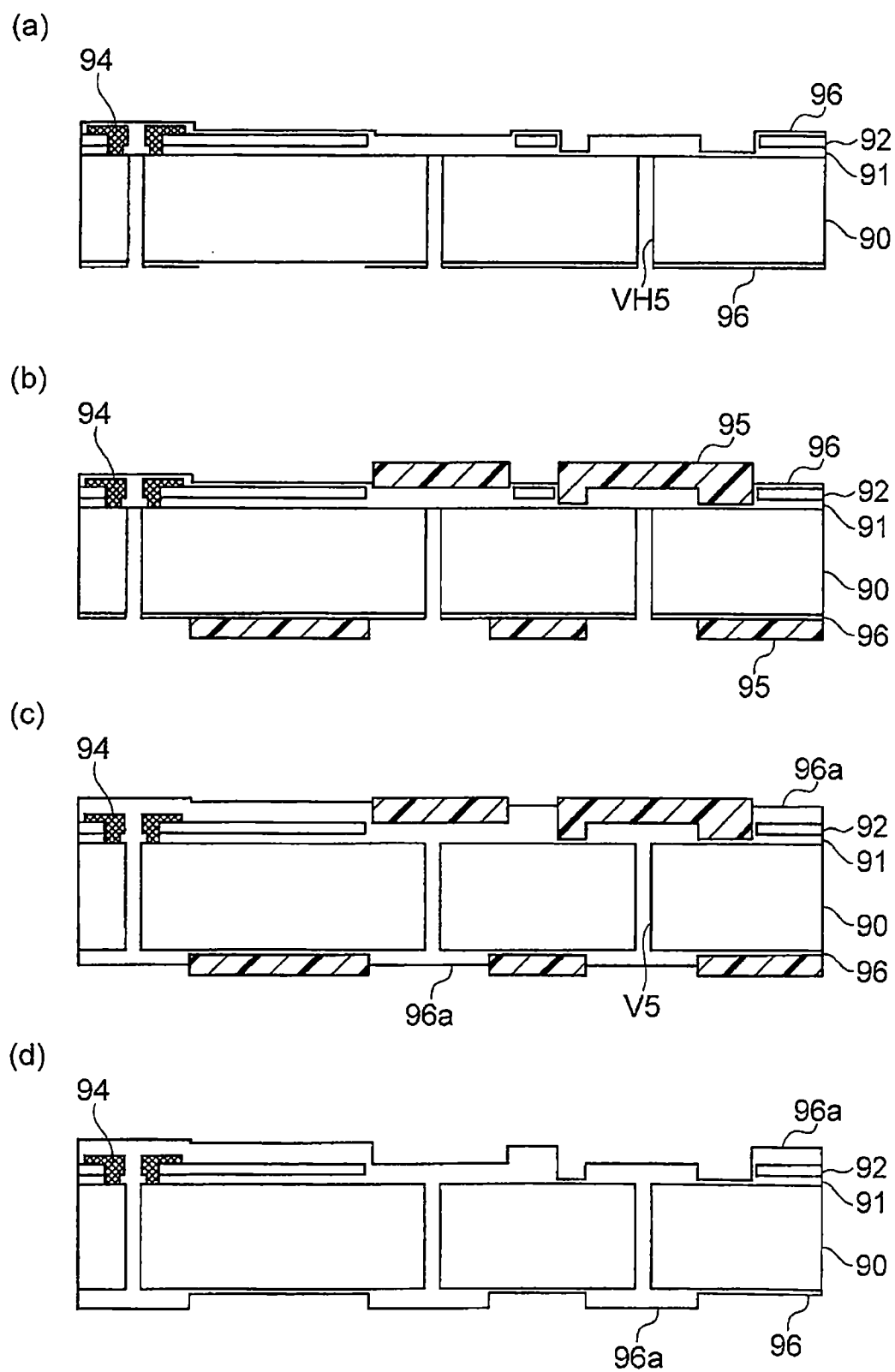


圖19

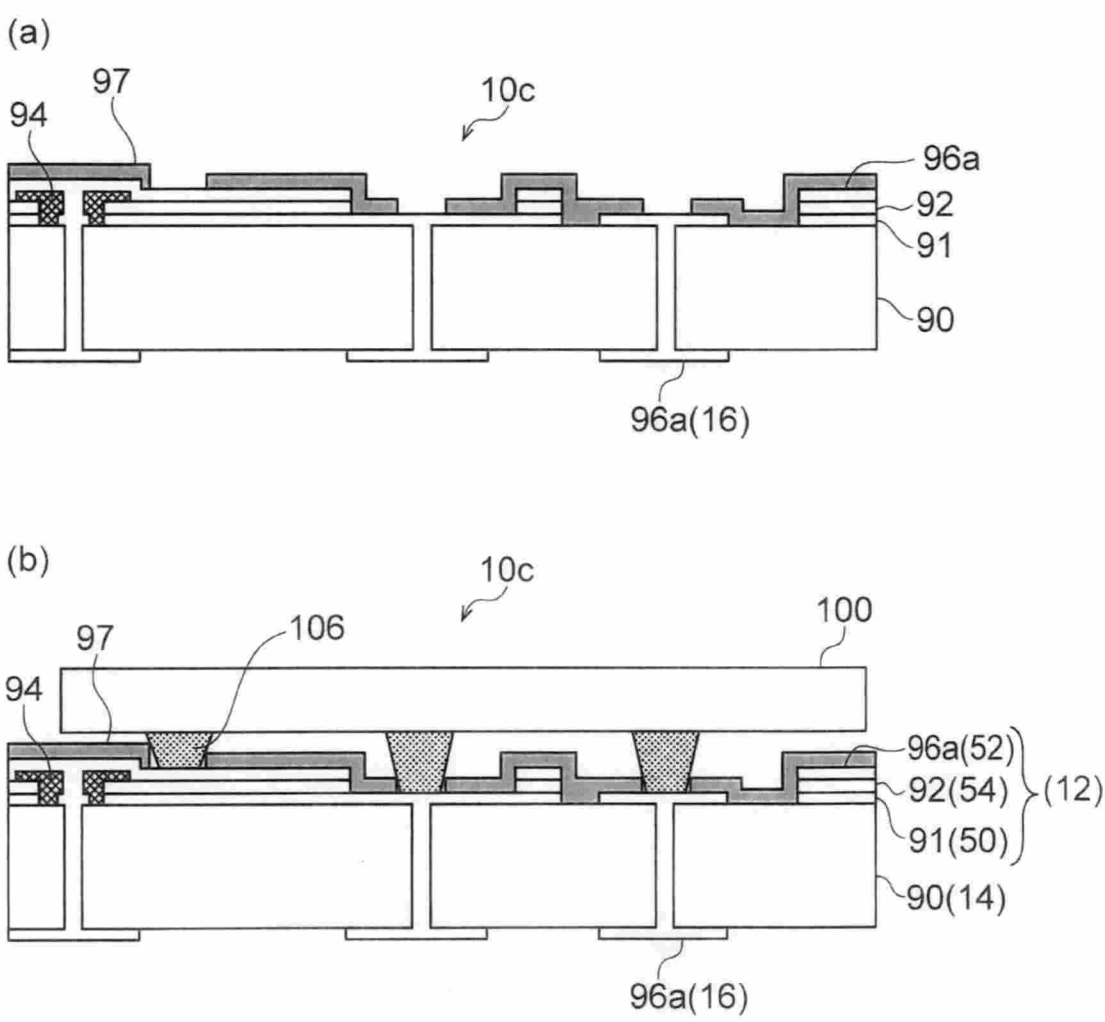
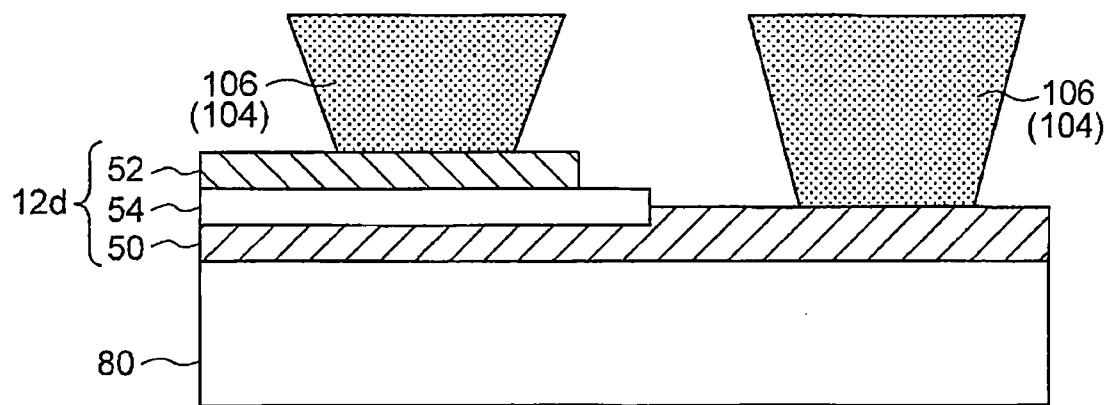


圖 20

(a)



(b)

