

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2019年6月27日(27.06.2019)



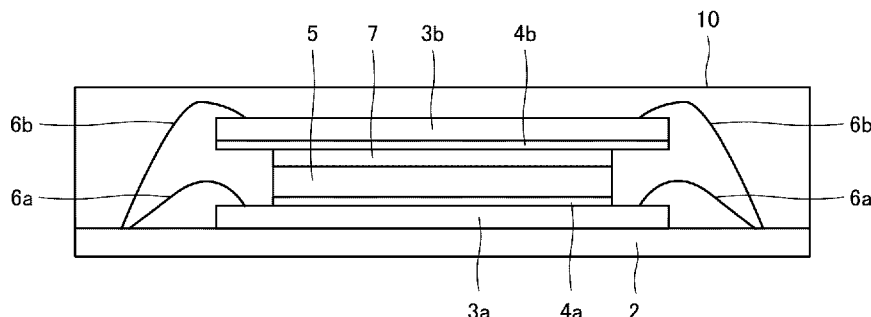
(10) 国際公開番号

WO 2019/123777 A1

- (51) 国際特許分類:  
*H01L 23/00* (2006.01)    *H01L 25/18* (2006.01)  
*H01L 25/065* (2006.01)   *H03B 5/12* (2006.01)  
*H01L 25/07* (2006.01)    *H05K 9/00* (2006.01)
- (21) 国際出願番号:                    PCT/JP2018/037389
- (22) 国際出願日:                    2018年10月5日(05.10.2018)
- (25) 国際出願の言語:                    日本語
- (26) 国際公開の言語:                    日本語
- (30) 優先権データ:  
特願 2017-244239    2017年12月20日(20.12.2017) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).
- (72) 発明者: 吉田 成宏 (YOSHIDA, Naruhiro); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 木本 卓也(KIMOTO, Takuya); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 深井 誠一郎 (FUKAI, Seiichiro); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 杉浦 正知, 外(SUGIURA, Masatomo et al.); 〒1710022 東京都豊島区南池袋1-1-11 カドラービル402 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device having a plurality of semiconductor chips disposed vertically via spacers, wherein a shielding layer having a thickness for sufficiently absorbing electromagnetic field radiation generated by a generating source in the semiconductor chips is disposed between the semiconductor chips.

(57) 要約: 複数の半導体チップを、スペーサを介して縦型に配置した半導体装置であって、半導体チップの間に、半導体チップの発生源から発生する電磁界放射を十分吸収可能な厚みを持ったシールド層を配置した半導体装置である。図1

WO 2019/123777 A1

SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,  
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

## 明 細 書

**発明の名称**：半導体装置

**技術分野**

[0001] 本技術は、例えばテレビジョン放送を受信するチューナに適用できる半導体装置に関する。

**背景技術**

[0002] 複数の半導体チップを1つのパッケージに実装する半導体装置の場合、複数の半導体チップを横に並べて配置した構成が採用される。かかる従来の半導体装置では、半導体装置の面積が大きくなるという問題がある。また、複数の半導体チップを縦に重ねて配置した半導体装置では、上下の半導体チップが近接配置されていることに伴う、半導体チップ間の電磁界干渉により影響されて半導体チップの特性劣化を招くという問題があった。

[0003] 例えばテレビジョン放送（地上波放送、衛星放送、ケーブルテレビ等）の受信のために使用されるチューナ装置の場合、PLL回路がLC共振型発振回路によって構成される。例えばダイバーシティ受信のために、二つのチューナ部が使用される。縦に重ねられた二つの半導体チップのそれぞれによってチューナ部を構成する場合、各半導体チップ上でLC共振型発振回路のコイルの形成されている位置が同一位置となる。したがって、一方の発振器のコイルから発生した磁束が他方のコイルに対して交差し、他方の発振器の発振周波数が揺らぐ問題が生じる。

[0004] また、下記特許文献1には、半導体積層パッケージにおける撓み回避の技術として、半導体チップの間に面積の異なる2層以上のスペーサを挟む技術が提案されている。

**先行技術文献**

**特許文献**

[0005] 特許文献1：特開2005-243754号公報

**発明の概要**

## 発明が解決しようとする課題

- [0006] 特許文献1に記載の技術は、撓みの防止とボイドの抑制に主眼が置かれており、上述したような上下の半導体チップの電磁的結合の抑制を行うものではない。引用文献1は、例えば、金属膜厚が薄い場合やノイズ源の周波数が低い場合は、ノイズの金属膜内での十分な吸収損が得られずに、十分なノイズ抑制効果を得られない場合がある。また、金属膜はアースに電氣的に接地されておらず、シールド効果としては限定的なものとなる。
- [0007] したがって、本技術の目的は、半導体チップを縦に重ねて配置した半導体装置において、互いの電磁界干渉の影響を受けないようにした半導体装置を提供することにある。

## 課題を解決するための手段

- [0008] 上述した課題を解決するために、本技術は、複数の半導体チップを、スペーサを介して縦型に配置した半導体装置であって、
- 半導体チップの間に、半導体チップの発生源から発生する電磁界放射を十分吸収可能な厚みを持ったシールド層を配置した半導体装置である。

## 発明の効果

- [0009] 少なくとも一つの実施形態によれば、簡易な構造でありながら、上下の半導体チップ同士の電磁界干渉を軽減することが可能になり、2つ以上の半導体チップを重ねた小型の半導体装置を提供することができる。なお、ここに記載された効果は必ずしも限定されるものではなく、本技術中に記載されたいずれかの効果又はそれらと異質な効果であっても良い。また、以下の説明における例示された効果により本技術の内容が限定して解釈されるものではない。

## 図面の簡単な説明

- [0010] [図1]図1は、本技術の第1の実施の形態の断面図である。
- [図2]図2は、シールド層の機能の説明に用いる略線図である。
- [図3]図3は、本技術の第2の実施の形態の断面図である。

[図4]図4は、本技術の第3の実施の形態の断面図である。

[図5]図5は、本技術の第4の実施の形態の断面図である。

[図6]図6は、本技術の応用例のブロック図である。

[図7]図7は、従来の半導体装置の説明に用いる断面図である。

[図8]図8は、従来の半導体装置の問題点の説明に用いる略線図である。

[図9]図9は、従来の半導体装置の他の例を示す断面図である。

### 発明を実施するための形態

[0011] 以下に説明する実施の形態は、本技術の好適な具体例であり、技術的に好ましい種々の限定が付されている。しかしながら、本技術の範囲は、以下の説明において、特に本技術を限定する旨の記載がない限り、これらの実施の形態に限定されないものとする。

なお、本技術の説明は、下記の順序にしたがってなされる。

[0012] <1. 問題点の説明>

<2. 本技術の第1の実施の形態>

<3. 本技術の第2の実施の形態>

<4. 本技術の第3の実施の形態>

<5. 本技術の第4の実施の形態>

<6. 応用例>

<7. 変形例>

[0013] <1. 問題点の説明>

本技術の説明に先立って従来の半導体装置の問題点について説明する。図7に示す従来の半導体装置11Aは、共通の基板12上に同一構成の二つの半導体チップ13a及び13bを配置したものである。半導体チップ13a及び13bには、発振器、増幅器、メモリ、ロジックなど様々な回路（集積回路IC）が含まれている。図7に示すように、平面的に半導体チップ13a及び13bを配置する構成は、半導体装置11Aの形状（面積）が大きくなる問題がある。

[0014] 図8に示すように、従来の半導体装置11Bとして、半導体チップ13a

及び13bを縦方向に重ねて配置するものが知られている。半導体チップ13aが基板12に配置され、半導体チップ13aの上に接着剤14aによってスペーサ15が接着される。スペーサ15の上に半導体チップ13bが接着剤14bによって接着される。半導体チップ13aと基板12の間がワイヤ16aによって接続され、半導体チップ13bと基板12の間がワイヤ16bによって接続される。

[0015] 図9は、回路が生じる磁界放射による相互干渉の模式図を示す。半導体チップ13aに含まれるLC共振型発振器のインダクタ21aの位置と、半導体チップ13bに含まれるLC共振型発振器のインダクタ21bの位置がほぼ同一である。インダクタ21aを交流電流22aが流れ、交流電流22aにより磁束23が生じる。この磁束23がインダクタ21bを通過することで交流電流22bが生じ、半導体チップ13bの発振器の動作に悪影響を与える場合がある。本技術は、かかる問題点を解決するものである。

[0016] <2. 本技術の第1の実施の形態>

図1は、第1の実施形態による半導体装置10の断面図である。基板2上に半導体チップ3aが接着剤又は銀ペースト等で固定されている。この半導体チップ3aには、発振器、増幅器、メモリ、ロジックなど様々な回路が含まれ、例えば、テレビジョン受信装置のチューナ部が構成される。半導体チップ3bも同様である。なお、半導体チップ3a及び3bのそれぞれは、複数のICやチップ部品からなる構成に限らず、1個のチップ上にこれらの機能を取り込んだ構成(SoC(System on a Chip))も可能である。

[0017] 半導体チップ3aの上面にはスペーサ5が接着剤4aを介して固定されている。スペーサ5は、例えばシリコンウェハをダイシングしたチップにより構成される。スペーサ5を設ける第1の目的は、基板2のワイヤ6aを半導体チップ3aに接続するための空間を確保することである。そのため、スペーサ5の面積は半導体チップ3aよりも小さく設計されている。

[0018] スペーサ5が設置される第2の目的は例えば、半導体チップ3aが発振器や増幅器などのアナログ回路や高速ロジック回路を持ち、且つ、半導体チッ

プ3 bに比較的低抵抗な基材が使用された際に、半導体チップ3 aの回路（例えばLC回路）の動作に影響を与えないように絶縁性を確保することである。そのため、スペーサ5は、半導体チップ3 aの基材よりも十分に高抵抗であることと、十分な厚みが必要である。第1の実施形態ではスペーサ5として、抵抗率が $100\Omega \cdot \text{cm}$ で厚さが $200\mu\text{m}$ のシリコンチップを使用した。また、上述のシリコンと同様に抵抗率が $>10^{14}\Omega \cdot \text{cm}$ の窒化珪素（ $\text{Si}_3\text{N}_4$ ）、抵抗率が $10^5\Omega \cdot \text{cm}$ の炭化珪素（ $\text{SiC}$ ）、抵抗率が $>10^{14}\Omega \cdot \text{cm}$ のアルミナ（ $\text{Al}_2\text{O}_3$ ）、抵抗率が $>10^{13}\Omega \cdot \text{cm}$ のジルコニア（ $\text{ZrO}_2$ ）および抵抗率が $>10^{14}\Omega \cdot \text{cm}$ の窒化アルミニウム（ $\text{AlN}$ ）もスペーサに適用できる。

[0019] スペーサ5の上面には、シールド層7が形成されている。シールド層7の上面には半導体チップ3 bが接着剤4 bにより固定される。シールド層7は、半導体チップ3 aのインダクタにより生じた磁束を遮断することを目的としている。接着剤4 a及び4 bも、スペーサ5と同様に、絶縁性の材料で構成される必要がある。例えば、接着剤4 a及び4 bは両面が粘着性のある薄いテープであっても良い。具体的には接着剤4 a及び4 bは、エポキシ系接着剤を使用した。上述の接着剤と同様にシリコン系接着剤、フェノール系接着剤及びシアノアクリル系も適用できる。

[0020] 一例として、シールド層7は、スペーサ5の上にアルミニウムをスパッタリングすることによって作製したアルミニウム薄膜である。アルミニウムと同程度に高い導電率が得られる金属であれば同様の効果が得られる。シールド層7は、必ずしも接地されている必要は無い。周辺の誘電材料（本実施例ではスペーサ5のシリコン）とシールド材（本実施例ではアルミニウムのシールド層7）のインピーダンスの違いによる電磁界の反射損の他に、特に防ぎたい電磁界の周波数が数GHzという高周波帯である場合には、シールド層7の厚みが数 $\mu\text{m}$ 程度であっても、シールド層7内での吸収損が期待できる。さらに、スペーサ5の上に銅（Cu）、ニッケル（Ni）、金（Au）および銀（Ag）をそれぞれスパッタリングすることによって金属薄膜を作

製することができる。また、上述の金属材料を真空蒸着法で形成することで薄膜を作製し同様な効果が得られる。

[0021] 図2に示すように、磁界を遮る形で挿入されたシールド層7には、逆向きの磁界を生じさせる渦電流が流れ、吸収損が生じることが知られている。この電磁波の吸収によって電磁波エネルギーを減衰させることができる。電磁波を減衰させることにより、電子機器、電子デバイスへの影響が回避される。この吸収損は、次式で表される。

[0022]  $20 \log \{e^{-t/\delta}\}$  [dB]

[0023] ここで、 $\delta$ は表皮深さであり、シールド層7の材質と電磁界の周波数で決まり、次式で表される。

[0024]  $\delta = \sqrt{(\pi \times \text{周波数} \times \text{導電率} \times \text{透磁率})}$  [m]

tはシールド層7の厚さである。

[0025] シールド層7としてアルミニウムを用いた例では、電磁界の周波数が1 GHzにおける表皮深さ $\delta$ は、 $2.6 \mu\text{m}$ である。さらに、(シールド層の厚さ $t = 2.6 \mu\text{m}$ )としたとき、吸収損の計算値は8.7 dBとなる。

[0026] 例えば、半導体チップ3a及び3bが共にテレビジョン放送受信用のチューナ部である場合には、テレビジョンの周波数という類似の周波数の信号を2つの半導体チップ3a及び3bで受けることがあるため、類似の周波数を持つ電磁界が半導体チップ3aから放射される。

[0027] 半導体チップ3a及び3bの中には、それぞれPLL (Phase Locked Loop) 回路(位相同期回路)があり、外部の電磁界に敏感なコイルなどが含まれている。この場合、反射損と吸収損を合わせて50 dB程度となるようにスペーサ5やシールド層7などを設計することが好適である。設計するシールド層7の厚さを、上述した吸収損の計算値(8.7 dB)に用いたシールド層7の厚さ $t$ ( $2.6 \mu\text{m}$ )よりも大きくすれば、半導体チップ3aのインダクタから放射される電磁界をより吸収できる。銅(Cu)、ニッケル(Ni)および銀(Ag)においてもアルミニウムと同様の効果が得られる。

[0028] 上述した本技術の第1の実施の形態は、半導体チップ3aに設けられてい

るインダクタから発生した磁束が半導体チップ3 bに設けられているインダクタを通過することを抑圧することができ、半導体チップ3 bの発振器の動作に悪影響が与えられることを防止することができる。

[0029] <3. 本技術の第2の実施の形態>

図3は、本技術の第2の実施の形態による半導体装置20を示す断面図である。第2の実施の形態では、スペーサ5にシールド層を設けずに、接着剤4 bに導電性材料を用いるものである。この構成によって第1の実施の形態と同様の効果が得られる。シールド層7を形成しない点と、接着剤4 bの特性以外の構成については、上述した第1の実施の形態にすることで半導体チップのインダクタから放射される電磁界を減衰させる効果が得られる。具体的には、電子・電気用途に用いられる導電性接着剤は、アルミニウム（Al）、銅（Cu）、銀（Ag）、金（Au）をはじめとする金属微粒子や金属めっき樹脂粒子などの導電粒子をエポキシ樹脂などの有機バインダに均一分散させた有機・無機混合系の材料である。

[0030] <4. 本技術の第3の実施の形態>

図4は、本技術の第3の実施の形態による半導体装置30を示す断面図である。第3の実施の形態は、スペーサ5の上面に形成するシールド層7の領域を限定したものである。シールド層として、広範な面積のアルミニウム層を形成する場合に、アルミスライドと呼ばれるアルミニウム層の割れが生じる場合がある。そこで、アルミニウム層のアルミスライドを回避するため、シールド層7のシールド領域を最小化するようになされることで半導体チップのインダクタから放射される電磁界を減衰させる効果が得られる。

[0031] 具体的には、シールド層7は、半導体チップ3 a、3 bの妨害源回路（例えばLC共振型発振器）を覆うことができる領域（面積及び位置）に限定して形成されている。放射ノイズが等方的に拡散するので、シールド層7の被覆範囲としては、妨害源回路の直上からスペーサの厚さ分を足した範囲を覆う必要がある。シールド層7の被覆範囲以外の構成については、基本的に第1の実施の形態と同様の構成にすることで半導体チップのインダクタから放

射される電磁界を減衰させる効果が得られる。

[0032] <5. 本技術の第4の実施の形態>

図5は、本技術の第4の実施の形態による半導体装置40を示す断面図である。第4の実施の形態においては、下側の半導体チップ3aをフリップチップ実装とし、基板2及び半導体チップ3a間のワイヤ接続を省略したものである。このフリップチップ実装は、実装基板上にチップを実装する方法の一つであり、チップ表面と基板を電氣的に接続する際にワイヤ・ボンディングのようにワイヤによって接続するのではなく、アレイ状に並んだバンプと呼ばれる突起状の端子によって接続することでワイヤ・ボンディングに比べて実装面積を小さくできるメリットがある。半導体チップ3aの実装方法以外の構成については、基本的に第1の実施の形態と同様の構成にすることで半導体チップのインダクタから放射される電磁界を減衰させる効果が得られる。

[0033] <6. 応用例>

上述した第1乃至第4の実施の形態として記載された半導体装置は、例えば地上デジタル放送又はデジタル衛星放送を受信する受信装置のチューナ部に適用することができる。チューナ部の構成として、フェージングに対する有効な対策の一つであるダイバーシティ受信技術がある。通信での電波は建物や樹木、地形の起伏など障害物や反射物の影響を受けて反射や回折、散乱を起こす。その結果、さまざまな経路を通った多数の電波が互いに干渉し合っていて、電波の強さが激しく変化する。これをフェージングと呼び、ダイバーシティ技術 (Diversity) とは、複数のアンテナで受信した同一の無線信号について、電波状況の優れたアンテナの信号を優先的に用いたり、受信した信号を合成してノイズを除去したりすることによって、通信の質や信頼性の向上を図る技術のことである。電波は物体にあたると反射するため、たとえば大きなビルのそばで通信機を使うと、直接とどく電波と、ビルに反射してとどく電波があり、2つの電波はわずかに到達時間に差が生じ (マルチパス)、2つの電波が干渉して通信の質が落ちる。これを防止するため、2本以上のア

ンテナを使って複数の電波を受信し、最も強い電波を選択するあるいは合成する技術をダイバーシティと呼ぶ。ダイバーシティ受信は、複数のアンテナを空間的に離したり、方向、偏波を変えたりして設置することによって得られる複数の受信系の出力を合成したり、切り替えたりすることで、受信電波のレベル変動を極力少なくする技術である。ダイバーシティ受信系における出力の合成方法としては、主に最大比合成受信法、選択合成受信法、等利得合成受信法がある。

[0034] ダイバーシティ受信技術は、図6に示すように、二つのアンテナAT1及びAT2を設け、各アンテナの出力をチューナ部TU1及びTU2に供給する。チューナ部TU1は、アンテナAT1の出力を増幅するRFアンプ31とミキサ32と発振器33とA/D変換器34を有する。ミキサ32及び発振器33によって受信チャンネルが選択される。

[0035] チューナ部TU2も同様に、RFアンプ41とミキサ42と発振器43とA/D変換器44を有する。チューナ部TU1及びTU2がそれぞれ上述した本技術による半導体装置として構成される。発振器33及び43がLC発振器の構成とされており、それぞれコイルを有する。また、発振器33及び43によってPLLが構成されている。上述した本発明の形態の半導体装置にすることで半導体チップのインダクタから放射される電磁界を減衰させる効果が得られる。

[0036] チューナ部TU1及びTU2の出力が復調及びダイバーシティ合成部45に供給され、OFDM復調の処理などがなされ、トランスポートストリームが形成される。さらに、復調及びダイバーシティ合成部45では、二つのチューナ部の出力をそれぞれ復調した後に、合成するようになされる。例えば二つのアンテナAT1及びAT2の出力を選択するセレクタを設け、復調及びダイバーシティ合成部45において形成されたアンテナ制御信号によって、一方のアンテナの出力が選択される。選択処理以外に二つのアンテナAT1及びAT2の出力を最大比合成する処理も可能である。

[0037] <7. 変形例>

以上、本技術の実施の形態について具体的に説明したが、上述の各実施の形態に限定されるものではなく、本技術の技術的思想に基づく各種の変形が可能である。また、上述の実施の形態の構成、方法、工程、形状、材料及び数値などは、本技術の主旨を逸脱しない限り、互いに組み合わせることが可能である。

[0038] 例えば上述した各実施の形態では、スペーサ5にシリコンチップを使用した例を説明したが、これに限らず、スペーサ5は高抵抗でかつ低誘電率の材料、例えばガラスエポキシ基板（FR-4）基板等で構成しても同様の効果が得られる。FR-4は、（Flame Retardant Type 4）の略で、ガラス繊維の布にエポキシ樹脂をしみ込ませ熱硬化処理を施し板状にしたもので、難燃性と低導電率を両立した素材である。このFR4の板を基材として、これに銅箔を貼付けたものが「ガラスエポキシ基板」で、プリント基板の材料として多用される。またシールド層7についても、アルミニウムによる実施例を説明したが、これに限らず、金や銅などアルミニウムと同程度の導電率が得られる材料を用いても同様の効果が得られる。

[0039] なお、本技術は、以下のような構成も取ることができる。

(1)

複数の半導体チップを、スペーサを介して縦型に配置した半導体装置であって、

前記半導体チップの間に、前記半導体チップの発生源から発生する電磁界放射を十分吸収可能な厚みを持ったシールド層を配置した半導体装置。

(2)

前記シールド層が前記発生源と前記スペーサの配置による前記電磁界放射の広がり分に対応する領域を有する(1)に記載の半導体装置。

(3)

前記シールド層は、前記半導体チップの発生源を覆うことができる面積及び位置に形成され、該シールド層の被覆範囲は、発生源の直上から前記スペーサの厚さ分を足した範囲を覆う(2)に記載の半導体装置。

(4)

前記スペーサは、シリコン、アルミナ、ジルコニアおよびチッ化アルミニウムのいずれか一つを含む(1)に記載の半導体装置。

(5)

前記シールド層が金属製の薄膜である(1)から(4)に記載の半導体装置。

(6)

前記シールド層の金属製の薄膜は、アルミニウム、銅、ニッケルおよび銀のいずれか一つを含む(5)に記載の半導体装置。

(7)

前記発生源がインダクタとコンデンサによるLC共振器を有する(1)から(6)までの何れかに記載の半導体装置。

(8)

前記半導体チップが前記LC共振器を使用した発振器を有する(1)から(7)までの何れかに記載の半導体装置。

(9)

前記半導体チップがテレビジョン放送受信チューナを構成するようにした(1)から(10)までの何れかに記載の半導体装置。

## 符号の説明

[0040] 10, 20, 30, 40・・・半導体装置

2・・・基板、

3a, 3b・・・半導体チップ

4a, 4b・・・接着剤

5・・・スペーサ、

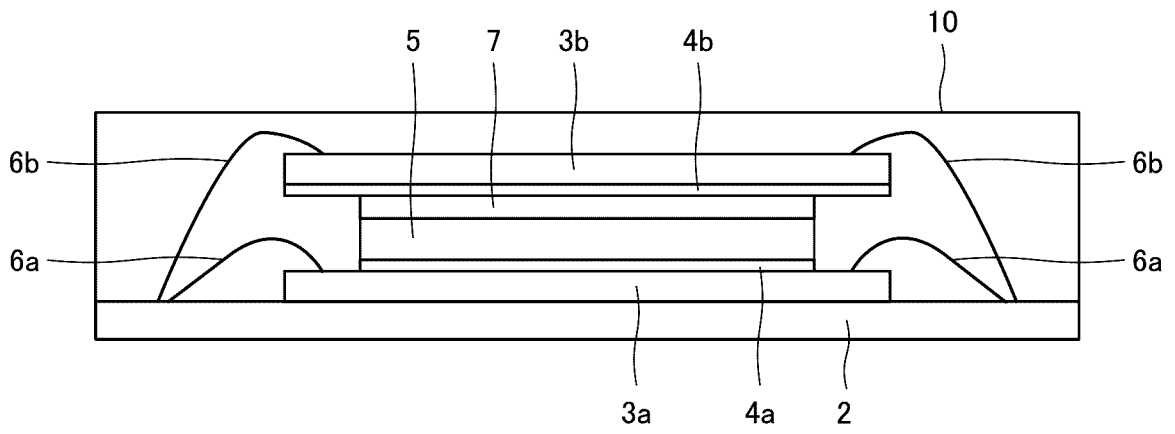
6a, 6b・・・ワイヤ

7・・・シールド層、

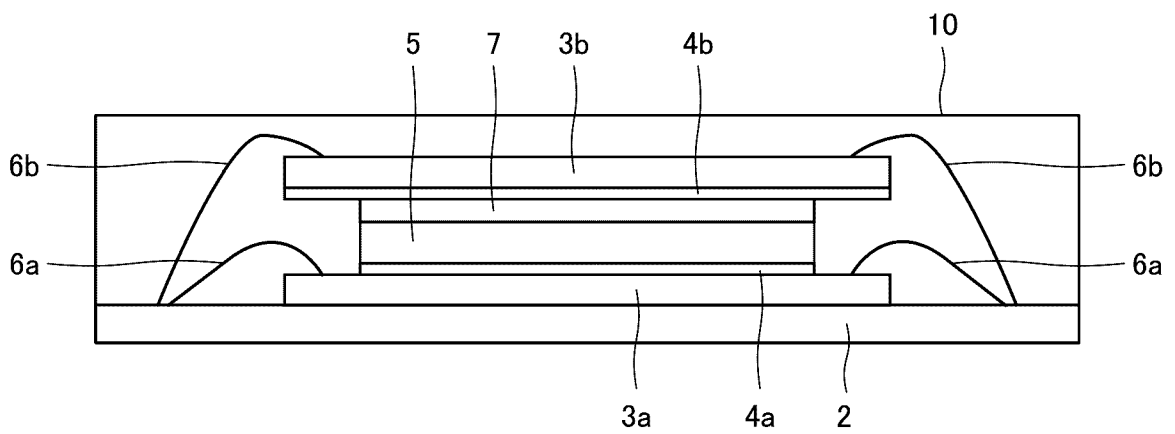
## 請求の範囲

- [請求項1] 複数の半導体チップを、スペーサを介して縦型に配置した半導体装置であって、
- 前記半導体チップの間に、前記半導体チップの発生源から発生する電磁界放射を十分吸収可能な厚みを持ったシールド層を配置した半導体装置。
- [請求項2] 前記シールド層が前記発生源と前記スペーサの配置による前記電磁界放射の広がり分に対応する領域を有する請求項1に記載の半導体装置。
- [請求項3] 前記シールド層は、前記半導体チップの発生源を覆うことができる面積及び位置に形成され、該シールド層の被覆範囲は、発生源の直上から前記スペーサの厚さ分を足した範囲を覆う請求項2に記載の半導体装置。
- [請求項4] 前記スペーサは、シリコン、アルミナ、ジルコニアおよびチッ化アルミニウムのいずれか一つを含む請求項1に記載の半導体装置。
- [請求項5] 前記シールド層が金属製の薄膜である請求項1に記載の半導体装置。
- [請求項6] 前記シールド層の金属製の薄膜は、アルミニウム、銅、ニッケルおよび銀のいずれか一つを含む請求項4に記載の半導体装置。
- [請求項7] 前記発生源がインダクタとコンデンサによるLC共振器を有する請求項1に記載の半導体装置。
- [請求項8] 前記半導体チップが前記LC共振器を使用した発振器を有する請求項7に記載の半導体装置。
- [請求項9] 前記半導体チップがテレビジョン放送受信チューナを構成するようにした請求項1に記載の半導体装置。

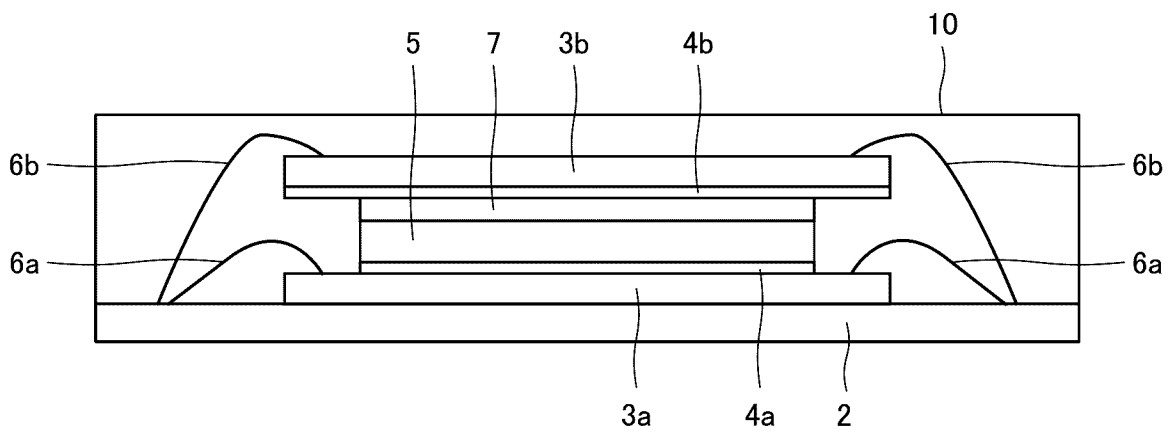
[図1]



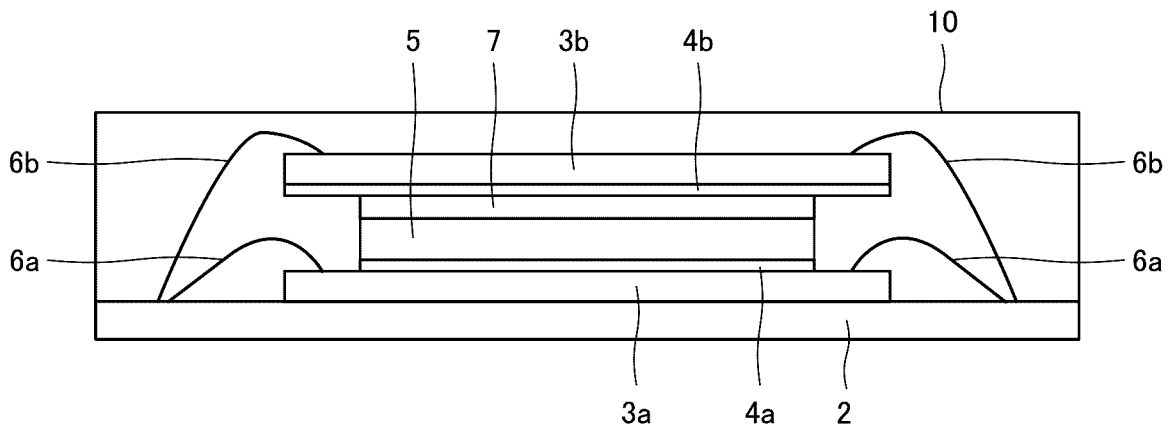
[図2]



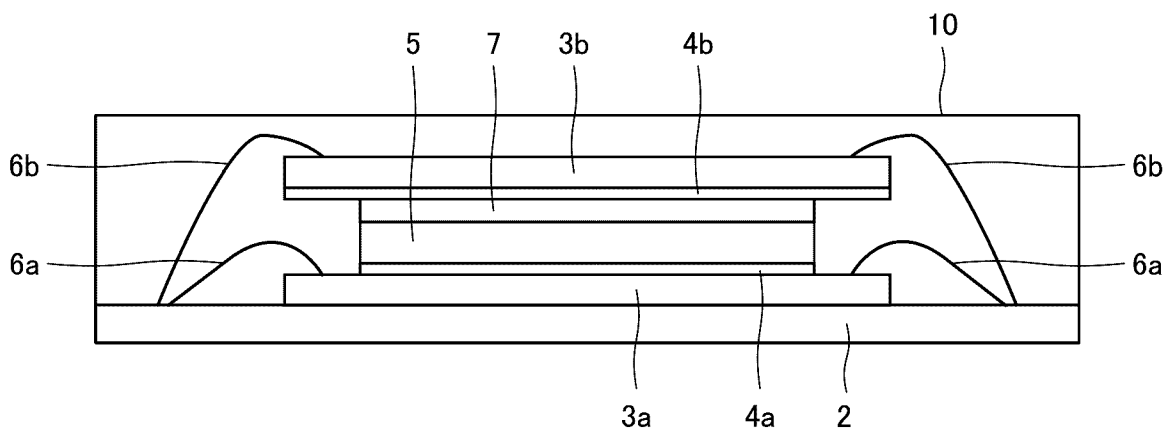
[図3]



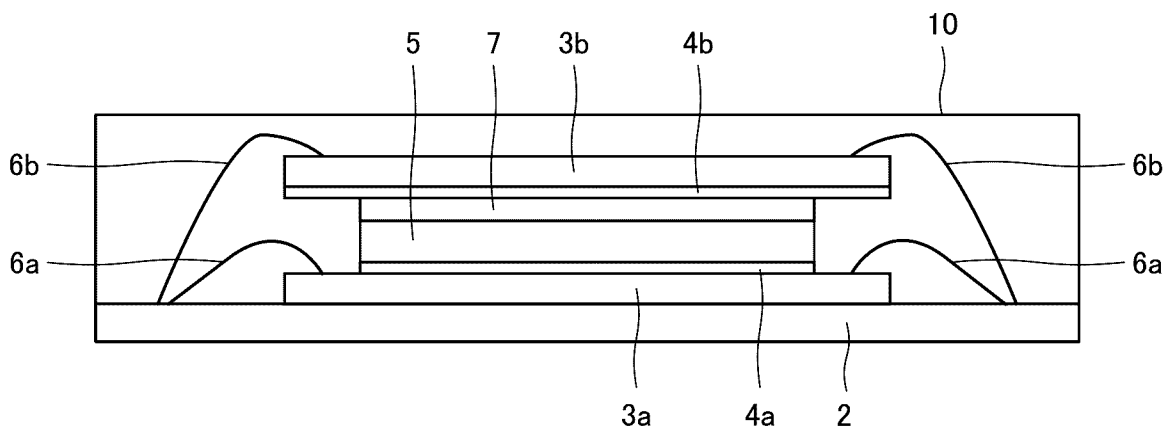
[図4]



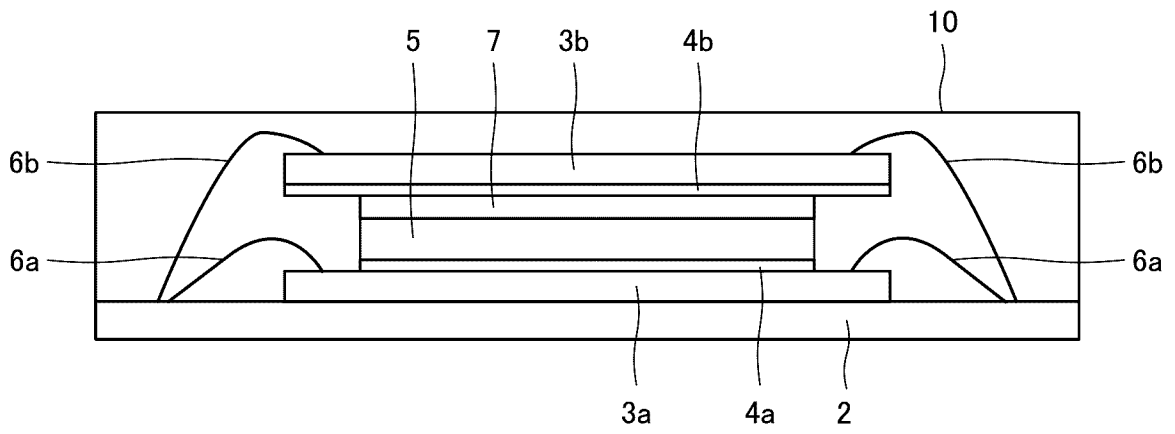
[図5]



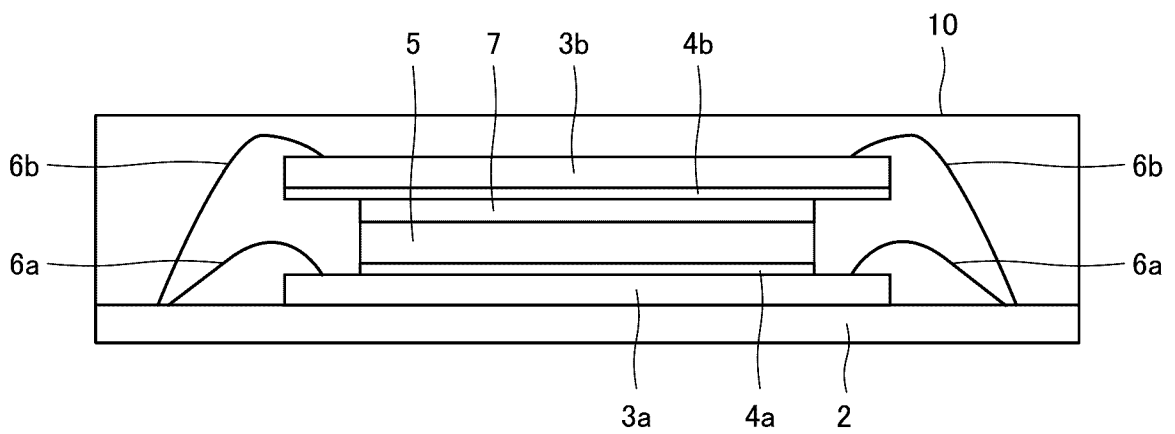
[図6]



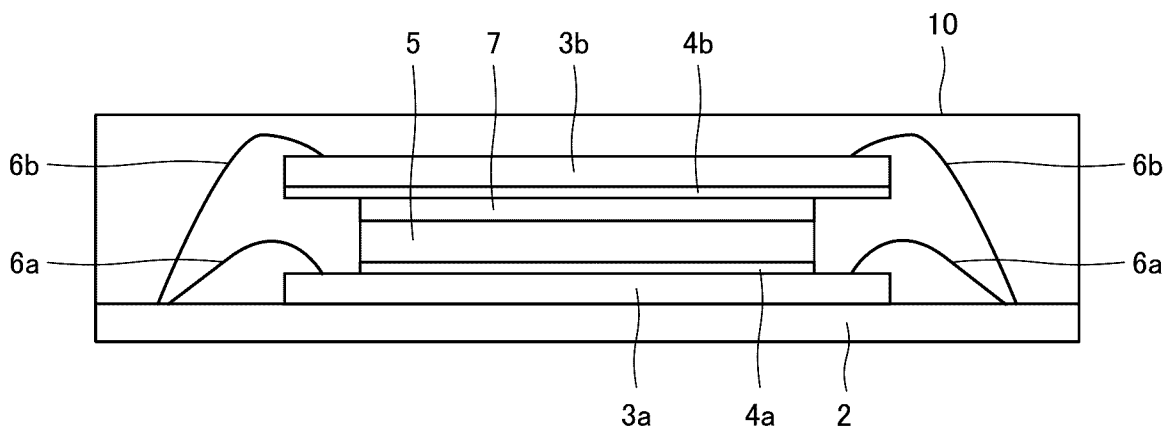
[図7]



[図8]



[図9]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2018/037389

**A. CLASSIFICATION OF SUBJECT MATTER**

Int.Cl. H01L23/00 (2006.01) i, H01L25/065 (2006.01) i, H01L25/07 (2006.01) i, H01L25/18 (2006.01) i, H03B5/12 (2006.01) i, H05K9/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L23/00, H01L25/065, H01L25/07, H01L25/18, H03B5/12, H05K9/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2007-227414 A (SEIKO EPSON CORPORATION) 06 September 2007, paragraphs [0011]-[0020], fig. 1 & US 2007/0296087 A1, paragraphs [0025]-[0038], fig. 1	1-6 7-9
X Y	JP 2010-199286 A (ELPIDA MEMORY INC.) 09 September 2010, paragraphs [0022]-[0038], fig. 1 & US 2010/0213585 A1, paragraphs [0034]-[0067], fig. 1	1-6 7-9

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 19.11.2018	Date of mailing of the international search report 27.11.2018
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.
--	---

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/037389

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2005-243754 A (NEC ELECTRONICS CORP.) 08	1-6
Y	September 2005, paragraphs [0015]-[0025], [0032]-[0034], fig. 4 & US 2005/0184378 A1, paragraphs [0018]-[0029], [0036]-[0038], fig. 4	7-9
Y	WO 2017/122416 A1 (SONY CORPORATION) 20 July 2017, paragraphs [0022]-[0045], fig. 1-4 (Family: none)	7-9
Y	JP 2005-39596 A (SONY CORPORATION) 10 February 2005, paragraphs [0011]-[0046], fig. 1-6 (Family: none)	9

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L23/00(2006.01)i, H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i, H03B5/12(2006.01)i, H05K9/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L23/00, H01L25/065, H01L25/07, H01L25/18, H03B5/12, H05K9/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2007-227414 A（セイコーエプソン株式会社）2007.09.06, 段落[0011]-[0020], 図1 & US 2007/0296087 A1, 段落[0025]-[0038], 図1	1-6 7-9
X Y	JP 2010-199286 A（エルピーダメモリ株式会社）2010.09.09, 段落[0022]-[0038], 図1 & US 2010/0213585 A1, 段落[0034]-[0067], 図1	1-6 7-9

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 19.11.2018	国際調査報告の発送日 27.11.2018
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 木下 直哉 電話番号 03-3581-1101 内線 3551	5D	6310
--	---	----	------

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2005-243754 A (NEC エレクトロニクス株式会社) 2005.09.08,	1-6
Y	段落[0015]-[0025], [0032]-[0034], 図 4 & US 2005/0184378 A1, 段落[0018]-[0029], [0036]-[0038], 図 4	7-9
Y	WO 2017/122416 A1 (ソニー株式会社) 2017.07.20, 段落[0022]-[0045], 図 1-4 (ファミリーなし)	7-9
Y	JP 2005-39596 A (ソニー株式会社) 2005.02.10, 段落[0011]-[0046], 図 1-6 (ファミリーなし)	9