(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년11월04일
(11) 등록번호 10-1079348
(24) 등록일자 2011년10월27일

(51) Int. Cl.
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
(21) 출원번호 10-2005-7018754
(22) 출원일자(국제출원일자) 2004년03월30일
심사청구일자 2009년03월26일
(85) 번역문제출일자 2005년09월30일
(65) 공개번호 10-2005-0119679
(43) 공개일자 2005년12월21일
(86) 국제출원번호 PCT/US2004/009669
(87) 국제공개번호 WO 2004/093181
국제공개일자 2004년10월28일
(30) 우선권주장
10/405,342 2003년04월03일 미국(US)
(56) 선행기술조사문헌
US06225173 B1
US06413802 B1
US06583469 B1
US20020093053 A1
전체 청구항 수 : 총 9 항

(73) 특허권자
어드밴스드 마이크로 디바이시즈, 인코포레이티드
미국 캘리포니아 94088-3453 서니베일 원 에이엠디 플레이스 메일 스톱68
(72) 발명자
유 빈
미국 캘리포니아 95014 쿠퍼티노 포피 웨이 1373
왕 하이홍
미국 캘리포니아 95035 밀피타스 티303 아파트 밀몬트 드라이브아파트먼트 1775
(74) 대리인
박장원

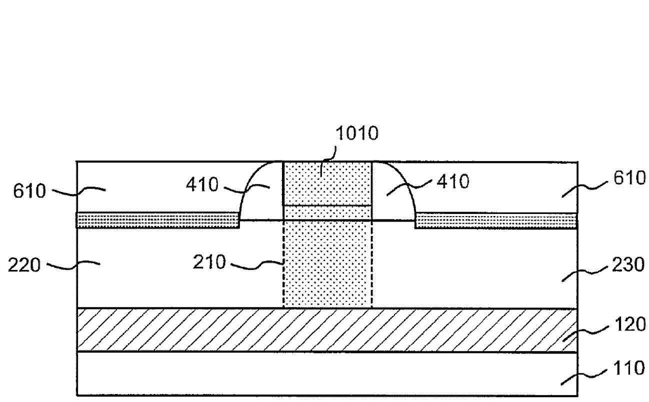
심사관 : 권순근

(54) FinFET 디바이스에 게이트를 형성하고 FinFET디바이스의 채널 영역의 핀을 가늘게 하는 방법

(57) 요 약

FinFET 디바이스(100)를 제조하는 방법은 절연 층(120) 위에 핀 구조(210)를 형성하는 단계를 포함한다. 핀 구조(210)는 전도성 핀을 포함한다. 상기 방법은 또한 소스/드레인 영역(220/230)을 형성하는 단계와 핀(210) 위에 더미 게이트(300)를 형성하는 단계를 더 포함한다. 더미 게이트(300)는 제거되고 채널 영역에서 핀(210)의 폭은 줄어든다. 상기 방법은 또한 게이트 물질(1010)을 적층하여 제거된 더미 게이트(300)를 대체한다.

대 표 도



특허청구의 범위

청구항 1

FinFET 디바이스(100)에 게이트를 형성하는 방법으로서,

실리콘 온 절연체(SOI) 웨이퍼 위에 제 1 유전체 층(140)을 적층하는 단계와, 상기 SOI 웨이퍼는 절연 층(120) 위의 실리콘 층(130)을 포함하며;

상기 제 1 유전체 층(140)의 일부분 위에 레지스트 마스크(150)를 형성하는 단계와;

핀(210) 및 상기 핀(210)의 상면(top surface)을 덮는 유전체 캡(140)을 형성하도록, 상기 레지스트 마스크(150)에 의해 덮이지 않은 상기 제 1 유전체 층(140)과 실리콘 층(130) 부분을 식각하는 단계와;

상기 유전체 캡(140) 위에 게이트 층(310)을 적층하는 단계와;

상기 게이트 층(310) 위에 제 2 유전체 층(320)을 적층하는 단계와;

게이트 구조(300)를 형성하기 위해, 상기 게이트 층(310)과 제 2 유전체 층(320)을 식각하는 단계와;

상기 게이트 구조(300)에 인접하게 측벽 스페이서들(410)을 형성하는 단계와;

상기 FinFET 디바이스(100) 위에 제 3 유전체 층(610)을 형성하는 단계와;

상기 제 2 유전체 층(320)의 상면을 노출하도록, 상기 제 3 유전체 층(610)을 평탄화하는 단계와;

상기 게이트 구조(300)에서 상기 제 2 유전체 층(320)과 상기 게이트 층(310)을 제거하는 단계와;

상기 제 2 유전체 층(320)과 상기 게이트 층(310)을 제거하는 단계 후에, 상기 FinFET 디바이스(100)의 채널 영역에서 상기 핀(210)의 폭을 축소하기 위해, 상기 핀(210)을 식각하는 단계와; 그리고

상기 제거된 게이트 층(310)을 대체하도록 게이트 물질(1010)을 적층하는 단계를 포함하는 것을 특징으로 하는 FinFET 디바이스(100)에 게이트를 형성하는 방법.

청구항 2

제 1항에 있어서,

상기 제 1 유전체 층(140)과 실리콘 층(130) 부분을 식각하는 단계 후 상기 유전체 캡(140) 위에 게이트 층(310)을 적층하는 단계 전에,

상기 핀(210)의 제 1 종단에 인접한 상기 절연 층(120) 위에 소스 영역(220)을 형성하는 단계와;

상기 핀(210)의 제 2 종단에 인접한 상기 절연 층(120) 위에 드레인 영역(230)을 형성하는 단계를 더 포함하는 것을 특징으로 하는 FinFET 디바이스(100)에 게이트를 형성하는 방법.

청구항 3

제 2항에 있어서,

상기 게이트 구조(300)에 인접하게 측벽 스페이서들(410)을 형성하는 단계 후 상기 FinFET 디바이스(100) 위에 제 3 유전체 층(610)을 형성하는 단계 전에,

상기 소스 및 드레인 영역(220/230) 위에 금속(510)을 적층하는 단계와; 그리고

상기 소스 및 드레인 영역(220/230) 위에 금속-실리사이드 화합물(520)을 형성하기 위해, 상기 FinFET 디바이스(100)를 어닐링하는 단계를 더 포함하는 것을 특징으로 하는 FinFET 디바이스(100)에 게이트를 형성하는 방법.

청구항 4

제 1항에 있어서,

상기 게이트 층(310)을 제거하는 단계는,

상기 제 1 유전체 층(140)과 상기 측벽 스페이서들(410)에 비해서 상기 게이트 층(310)에 대해서 높은 식각 선택도를 갖는 식각 화학물질을 사용하여 상기 게이트 층(310)을 식각하는 단계를 포함하는 것을 특징으로 하는 FinFET 디바이스(100)에 게이트를 형성하는 방법.

청구항 5

제 1항에 있어서,

상기 핀(210)을 식각하는 단계는 상기 핀(210)을 습식 식각하는 단계를 포함하는 것을 특징으로 하는 FinFET 디바이스(100)에 게이트를 형성하는 방법.

청구항 6

제 1항에 있어서,

상기 핀(210)을 식각하는 단계는 상기 채널 영역에서 상기 핀(210)의 폭을 20nm에서 100nm 까지 범위의 양만큼 줄이는 것을 특징으로 하는 FinFET 디바이스(100)에 게이트를 형성하는 방법.

청구항 7

제 1항에 있어서,

상기 게이트 물질(1010)을 적층하는 단계는 W, Ti, Ni, Ta, TaN 및 TaSiN 중 적어도 하나를 적층하는 단계를 포함하는 것을 특징으로 하는 FinFET 디바이스(100)에 게이트를 형성하는 방법.

청구항 8

제 1항에 있어서,

상기 게이트 물질(1010)을 적층하는 단계 후에,

적어도 하나의 게이트 전극(1012)을 형성하도록 상기 게이트 물질(1010)을 평탄화하는 단계를 더 포함하는 것을 특징으로 하는 FinFET 디바이스(100)에 게이트를 형성하는 방법.

청구항 9

제 1항에 있어서,

상기 게이트 물질(1010)을 적층하는 단계 후에,

상기 게이트 물질(1010)이 상기 측벽 스페이서들(410)의 상면들과 실질적으로 평면을 이루도록, 상기 게이트 물질(1010)을 평탄화하는 단계를 더 포함하는 것을 특징으로 하는 FinFET 디바이스(100)에 게이트를 형성하는 방법.

청구항 10

삭제

명 세 서

기 술 분 야

[0001] 본 발명은 반도체 디바이스와 이를 제조하는 방법에 관한 것이다. 본 발명은 특히 이중-게이트 디바이스에 응용 가능성을 갖는다.

배 경 기 술

[0002] 극대규모 집적회로(ultra large scale integration) 반도체 디바이스에 관련된 고밀도와 고성능에 대한 점증하는 요구는, 100nm(nanometer) 미만의 게이트 길이와 같은 디자인 피처(feature)와, 고 신뢰도, 및 증대된 제조 수율을 필요로 한다. 100nm 미만으로의 디자인 피처의 축소는 종래 방법론의 한계에 대한 해결과제이다.

[0003] 예를 들면, 종래의 평면 금속 옥사이드 반도체 전계 효과 트랜지스터(MOSFET)의 게이트 길이가 100nm 미만으로

축소되면, 소스와 드레인 사이의 과도한 누설전류와 같은 짧은 채널 효과(short channel effect)에 관련된 문제가 점차 극복하기 어려워진다. 게다가, 이동도(mobility) 저하와 수많은 공정 문제도 또한, 종래의 MOSFET을 점진적으로 작아지는 디바이스 피처들을 포함하도록 축소하는 것을 어렵게 한다. 따라서, FET 성능을 개선하고 디바이스를 더 축소하기 위한 신규한 디바이스 구조가 연구되고 있다.

[0004] 이중-게이트 MOSFET이 기존의 평면 MOSFET의 뒤를 잇는 후보자로 간주되는 신규한 구조를 대표한다. 이중-게이트 MOSFET에서, 두 개의 게이트가 짧은 채널 효과를 제어하는데 사용될 것이다. FinFET은 좋은 짧은 채널 특성을 나타내는 최근의 이중-게이트 구조이다. FinFET는 버티컬(vertical) 핀 내에 형성된 채널을 포함한다. FinFET 구조는 종래의 평면 MOSFET에 사용되는 것과 유사한 레이아웃(layout)과 공정 기술을 사용하여 제조될 것이다.

발명의 상세한 설명

[0005] 본 발명에 따른 실시는 FinFET 디바이스에서 게이트를 형성하고 핀(fin)을 가늘게 하는 방법을 제공한다. 핀은 채널 영역에서 가늘어져서 FinFET 디바이스의 상기 채널 영역에서의 핀의 폭을 줄인다.

[0006] 본 발명의 추가 장점과 다른 특징의 일부는 하기의 상세한 설명에서 열거되고, 일부는 본 명세서를 숙지한 기술분야의 당업자에게는 명백하거나 본 발명을 실시함으로써 습득될 것이다. 본 발명의 장점 및 특징은 첨부된 청구항에서 특별히 지시하는 바와 같이 실현되고 달성될 것이다.

[0007] 본 발명에 따른, 전술한 사항 및 다른 장점은 부분적으로 FinFET 디바이스의 게이트를 형성하는 방법에 의해 달성된다. 이 방법은 실리콘 온 절연체(SOI) 웨이퍼 위에 제 1 유전체 층을 적층하는 단계를 포함하며, 여기서 이 SOI 웨이퍼는 절연 층 위에 실리콘층을 포함한다. 이 방법은 또한 제 1 유전체 층의 일부분 위에 레지스트 마스크(resist mask)를 형성하고, 상기 레지스트 마스크에 의해 덮이지 않은 제 1 유전체 층과 실리콘층 부분들을 식각하여, 핀과 이 핀의 상면(top surface)을 덮는 유전체 캡(cap)을 형성하는 단계를 포함한다. 상기 방법은 또한 유전체 캡 위에 게이트 층을 적층하는 단계와, 상기 게이트 층 위에 제 2 유전체 층을 적층하는 단계와, 게이트 층과 제 2 유전체 층을 식각하여 게이트 구조를 형성하는 단계와, 게이트 구조에 인접한 측벽 스페이서를 형성하는 단계와, 그리고 게이트 구조와 측벽 스페이서 위에 제 3 유전체 층을 형성하는 단계를 포함한다. 상기 방법은 또한 제 2 유전체 층의 상면을 노출하도록 제 3 유전체 층을 평탄화하는 단계와, 게이트 구조에서 게이트 층과 제 2 유전체 층을 제거하는 단계와, 반도체 디바이스의 채널 영역에서 핀의 폭을 축소하도록 핀을 식각하는 단계와, 그리고 상기 제거된 게이트 층을 대체하도록 게이트 물질을 적층하는 단계를 포함한다.

[0008] 본 발명의 다른 양상에 따르면, 반도체 디바이스를 제조하는 방법이 제공된다. 이 방법은 절연 층 위에 핀 구조를 형성하는 단계를 포함하며, 여기서 상기 핀 구조는 전도성 핀을 포함한다. 상기 방법은 또한 소스와 드레인 영역을 형성하는 단계와, 핀 구조 위에 게이트를 형성하는 단계와, 그리고 오목부(recessed area)를 형성하기 위해 게이트를 제거하는 단계를 포함한다. 상기 방법은 또한 반도체 디바이스의 채널 영역에서 핀의 폭을 가늘게 하는 단계와 오목부에 금속을 적층하는 단계를 포함한다.

[0009] 본 발명의 다른 장점 및 특징은, 하기의 상세한 설명으로부터 당해 기술분야의 당업자에게 용이하게 명백해질 것이다. 도시되고 기술된 실시예는 본 발명을 실시하는데 구상된 최상의 모드를 설명한다. 본 발명은 발명의 범위를 벗어나지 않으면서도, 다양한 관점에서 변경이 가능하다. 따라서, 도면은 본질적으로 예시적인 것으로 간주되며, 한정적인 것이 아니다.

실 시 예

[0026] 본 발명의 하기의 상세한 설명은 첨부된 도면을 참조한다. 서로 다른 도면에서 동일한 참조 번호는 동일하거나 유사한 소자를 정의한다. 또한, 하기의 상세한 설명은 본 발명을 제한하지 않는다. 대신에, 본 발명의 범위는 첨부된 청구항과 그들의 균등물에 의해 한정된다.

[0027] 본 발명에 따른 실시는 FinFET 디바이스를 제조하는 방법을 제공한다. 일 실시에서, 더미 게이트가 FinFET 디바이스의 게이트 영역에 형성된다. 더미 게이트는 제거되고 핀이 식각되어, FinFET 디바이스의 채널 영역에서의 핀의 폭을 축소시킨다. 그 다음, 전도성 물질이 적층되어 게이트를 형성한다.

[0028] 도 1은 본 발명의 실시예에 따라 형성된 반도체 디바이스(100)의 단면을 도시한다. 도 1에서, 반도체 디바이스(100)는 실리콘 기판(110), 매립 옥사이드 층(120), 및 상기 매립 옥사이드층(120) 위의 실리콘 층(130)을 포함하는 실리콘 온 절연체(SOI) 구조를 포함한다. 매립 옥사이드층(120)과 실리콘 층(130)은 종래 방식으로 기판

(110) 위에 형성된다.

[0029] 예시적인 실시에서, 매립 옥사이드 층(120)은 SiO_2와 같은 실리콘 옥사이드를 포함하고, 대략 1500Å 내지 대략 3000Å 범위의 두께를 갖는다. 실리콘 층(130)은 대략 200Å 내지 대략 1000Å 범위의 두께를 갖는 단결정성(monocrystalline) 또는 다결정성(polycrystalline) 실리콘을 포함한다. 실리콘 층(130)은, 하기에서 더욱 상세하게 설명되는 바와 같이, FinFET 트랜지스터 디바이스에 대한 핀을 형성하는데 사용된다.

[0030] 본 발명의 대안적인 실시에서, 기판(110) 및 층(130)은 게르마늄과 같은 다른 반도체성 물질, 또는 실리콘-게르마늄과 같은 반도체성 물질의 화합물을 포함한다. 매립 옥사이드 층(120)은 또한 다른 유전체 물질을 포함할 수 있다.

[0031] 실리콘 나이트라이드 층이나 실리콘 옥사이드 층과 같은 유전체 층(140)은 실리콘 층(130) 위에 형성되어, 후속 식각 공정 동안에 보호 캡으로서 기능한다. 예시적인 실시에서, 유전체 층(140)은 대략 100Å 내지 대략 250Å 범위의 두께로 적층된다. 그 다음, 포토레지스트 물질이 적층되고 패터닝(pattern)되어, 후속 공정을 위한 포토레지스트 마스크(150)를 형성한다. 포토레지스트는 임의의 종래 방식으로 적층되고 패터닝될 수 있다.

[0032] 그 다음, 반도체 디바이스(100)는 식각된다. 예시적인 실시에서, 도 2A에 도시된 것과 같이, 실리콘 층(130)은 매립 옥사이드 층(120) 위에서 식각이 종결되도록 종래의 방식으로 식각된다. 도 2A에서, 유전체 층(140)과 실리콘 층(130)이 식각되어, 유전체 캡(140)을 갖는 실리콘을 포함하는 핀(210)이 형성되었다.

[0033] 핀(210)의 형성 후에, 소스 및 드레인 영역이 핀(210)의 종단부 각각에 인접하여 형성된다. 예를 들면, 예시적인 실시예에서, 실리콘, 게리마늄, 또는 실리콘 및 게르마늄의 화합물 층이 종래 방식으로 적층되고, 패터닝되고, 그리고 식각되어 소스 및 드레인 영역을 형성한다. 도 2B는 본 발명의 예시적인 실시예에 따라 매립 옥사이드 층(120) 위의 핀(210)에 인접하여 형성된 소스 영역(220)과 드레인 영역(230)을 포함하는 반도체(100)의 평면도이다. 도 2B의 평면도는 도 2B의 라인 AA에 따라 절취하면 도 2A의 단면을 취할 수 있도록 한다. 포토레지스트 마스크(150)는 간결함을 위해 도 2B에서 도시되지 않는다.

[0034] 포토레지스트 마스크(150)가 제거되고 게이트 구조가 반도체 디바이스(100) 위에 형성된다. 반도체 디바이스(100) 위에 최초로 형성된 게이트 구조는 "더미 게이트"로 불리는바, 이는 상기 게이트 구조는 하기에 상세하게 설명하는 바와 같이 추후에 제거되기 때문이다. 예시적인 실시에서, 게이트 층과 보호 유전체 층이 핀(210)과 유전체 캡(140) 위에 적층되고 식각되어, 더미 게이트 구조를 형성한다. 도 3A는 더미 게이트(300)를 도시하는 평면도이다. 도 3B는 더미 게이트(300)의 형성 후에, 도 3A에서 라인BB를 따라 취해지는 반도체 디바이스(100)의 단면도이다. 도 3B에서, 더미 게이트(300)는 폴리실리콘이나 비정질 실리콘 층(310)을 포함하며, 반도체 디바이스(100)의 채널 영역에서 대략 300Å 내지 대략 1000Å 범위의 두께와 대략 50Å 내지 대략 500Å의 범위의 폭을 갖는다. 또한, 더미 게이트(300)는, 예를 들면, 실리콘 나이트라이드를 포함하고 대략 100Å 내지 300Å 범위의 두께를 갖는 유전체 층(320)을 포함한다. 유전체 층(320)은 실리콘 층(310)에 대한 보호 캡으로서 기능한다.

[0035] 그 다음, 도 4에 도시된 바와 같이, 유전체 층이 적층되고 식각되어 더미 게이트(300)의 대향 측에 인접한 스페이서(410)를 형성한다. 스페이서(410)는 실리콘 옥사이드(예컨대, SiO_2) 또는 다른 유전체 물질을 포함한다. 예시적인 실시에서, 스페이서(410)의 폭은 대략 50Å 내지 대략 1000Å 범위이다. 스페이서(410)는 후속 공정 동안에, 하부의 핀(210)을 보호하고 소스/드레인 영역(220 및 230)의 도핑을 촉진한다.

[0036] 도 5A에 도시된 바와 같이, 금속 층(510)이 소스/드레인 영역(220 및 230) 위에 적층된다. 예시적인 실시에서, 금속 층(510)은 니켈, 코발트, 또는 다른 금속을 포함하며, 대략 50Å 내지 대략 200Å 범위의 두께로 적층된다. 그 다음, 도 5B에 도시된 바와 같이, 열적 어닐링(annealing)이 수행되어 금속-실리사이드 층(520)을 형성한다. 어닐링 동안에, 금속은 소스/드레인 영역(220 및 230) 내의 실리콘과 반응하여, 적층된 특정 금속 층(510)에 따라서 NiSi나 $CoSi_2$와 같은 금속-실리사이드 화합물을 형성한다.

[0037] 그 다음, 유전체 층(610)이 반도체 디바이스(100) 위에 적층된다. 예시적인 실시에서, 유전체 층(610)은 테트라에틸 오르토실리케이트(tetraethyl orthosilicate)(TEOS) 화합물을 포함하며 대략 2000Å 내지 3000Å 범위의 두께로 적층된다. 대안적인 실시에서, 다른 유전체 물질이 사용될 수 있다. 그 다음, 유전체 층(610)은 평탄화된다. 예를 들면, 도 7A에 도시된 바와 같이, 화학 기계적 연마(CMP)를 수행하여, 유전체 층(610)을 유전체 캡(320)의 상면과 같도록 평탄화하고 유전체 캡(320)의 상면을 노출시킨다. 그 다음, 도 7B에 도시된 바와 같이, 유전체 캡(320)은, 예컨대, 습식 식각법(wet etching procedure)을 사용하여 제거된다. 예시적인 실시에서, 습

식 식각은 H_3PO_4와 같은 산을 사용하여 유전체 캡(320)을 제거한다. 유전체 캡(320)을 제거하는 식각 공정 동안에, 스페이서(410) 및 유전체 층(610)의 상면도 또한 제거되어, 도 7B에 도시된 바와 같이, 실리콘 층(310)의 상면은 스페이서(410) 및 유전체 층(610)의 상면과 실질적으로 평면을 이룬다.

[0038] 그 다음, 도 8에 도시된 바와 같이, 실리콘 층(310)이 제거된다. 예를 들면, 폴리실리콘에 대한 높은 식각 선택도(selectivity)를 갖는 반응물질(reactant)을 사용하여 실리콘 층(310)이 식각된다. 이는 스페이서(410)와 유전체 층(140)과 같은 주변의 유전체 층들의 어떠한 중요한 부분도 제거함이 없이 실리콘 물질(310)이 제거되도록 한다. 실리콘 층(310)이 제거된 후에, 도 8에 도시된 바와 같이, 게이트 개구부(opening) 또는 오목부(810)가 형성된다. 즉, 게이트 오목부(810)로 불리는 게이트 형상의 공간이 유전체 층(610)에 의해 에워싸이도록 이 유전체 층(610) 내에 형성된다.

[0039] 게이트 오목부(810)가 형성된 후에, 실리콘 핀의 측면이 반도체 디바이스(100)의 채널 영역에서 노출된다. 그 다음, 핀(210)이 식각되어 채널 영역에서 핀(210)의 폭을 축소시킨다. 예를 들면, 습식 식각 공정이 수행되어 채널 영역에서 핀(210)의 폭을 축소시킨다. 채널 영역에 있지 않은 핀(210)의 부분과 소스/드레인 영역(220 및 230)은 유전체 층(610)에 의해 덮이며, 이는 핀(210)의 필요한 부분이 가늘어지는 동안에 반도체 디바이스(100)의 상기 부분들이 식각되는 것을 방지한다.

[0040] 도 9는 식각 후에 반도체 디바이스(100)의 평면도를 도시한다. 도 9에서, 점선은 채널 영역에서 핀(210)의 가늘어진 부분을 도시한다. 예시적인 실시에서, 식각의 결과로 핀(210)의 전체 폭은 대략 20nm 내지 100nm 만큼 줄어든다. 식각 후에 채널 영역에서 핀(210)의 폭(도 9에서 W로 표시됨)은 본 발명의 예시적인 실시에서 대략 30Å 내지 대략 500Å의 범위이다. 핀(210)의 폭은 게이트 길이와 같은 다른 파라미터와 특정 디바이스 필요조건에 따른다. 도 9의 영역(810)은 더미 게이트(300) 제거 후의 게이트 오목부를 도시한다. 유전체 층(610)과 측벽 스페이서(410)는 간결함을 위해 도 9에 도시되지 않는다.

[0041] 유리하게, 채널 영역에서 핀(210)의 폭을 가늘게 하는 것은 반도체 디바이스(100)가 좋은 짧은 채널 제어를 달성할 수 있도록 한다. 예를 들면, 일부 실시에서, 핀(210)의 폭은 게이트 길이보다 작은 것(예컨대, 게이트 길이의 절반보다 작은 것)이 바람직하다. 종래의 리소그래피를 사용하여 이러한 파라미터를 얻는 것은 매우 어렵다. 즉, 도 1 및 2A에 관해서 전술한 바와 같이 핀(210)을 형성하는 것은, 실리콘 핀의 폭을 필요한 만큼 작게 하는 것을 매우 어렵게 한다. 본 발명은 전술한 방식으로 핀(210)과 더미 게이트(300)를 형성한 다음, 더미 게이트를 제거하고 핀을 가늘게 한다. 그 결과, 핀의 폭이 바람직스럽게 좁아짐과 아울러, 리소그래피만을 사용하여 그러한 가는 핀을 얻고자 하는데 있어서의 공정상의 어려움을 피할 수 있다._

[0042] 추가로, 핀(210)을 가늘게 하는 단계는 습식 식각 공정을 사용하여 수행되기 때문에, 리소그래피만을 사용하는 것보다 핀(210)의 측면이 더욱 평탄하고 균일해진다. 핀(210)의 이러한 평탄한 측면은 반도체 디바이스(100)의 수직 방향 채널들의 캐리어 이동도를 개선한다.

[0043] 그 다음, 도 10A에 도시된 바와 같이, 금속 층(1010)이 적층되어 게이트 오목부(810)를 채운다. 도 10A는 도 9의 라인CC를 따라 취해진 단면이다. 금속 물질은 텅스텐(W), 탄탈(Ta), 티탄(Ti), 니켈(Ni), TaSiN, TaN, 또는 일부 다른 금속을 포함하고, 대략 200Å 내지 대략 1000Å 범위의 두께로 적층된다. 실리콘이나 게르마늄과 같은 반도체성 물질이 또한 게이트 물질로서 사용될 수 있다. 도 10A에 도시된 바와 같이, 금속 층(1010)은 연마되어, 금속이 스페이서(410)의 상면과 실질적으로 평면을 이루도록 한다. 도 10A의 점선 라인은 핀(210)의 채널 영역을 도시한다.

[0044] 도 10B는 게이트 물질(1010)이 적층되고 평탄화된 후에, 본 발명에 따른 반도체 디바이스(100)의 평면도를 도시한다. 도시된 바와 같이, 반도체 디바이스(100)는 핀(210)의 양쪽에 위치한 게이트(1010)를 갖는 이중-게이트 구조를 포함한다. 도 10B의 어두운 영역은 소스/드레인 영역(220 및 230) 위에 형성된 금속-실리사이드(metal-silicide) 층(520)을 나타낸다. 게이트(1010)는 도 10B에서 게이트(1010)의 한쪽 끝에 형성된 게이트 전극(1012)으로서 도시된 게이트 전극이나 컨택을 포함한다. 게다가, 제 2 게이트 전극/컨택이 게이트(1010)의 반대쪽 끝에 형성될 것이다.

[0045] 그 다음, 소스/드레인 영역(220 및 230)이 도핑된다. 예를 들면, n-타입 또는 p-타입 불순물이 소스/드레인 영역(220 및 230)에 주입된다. 특정 주입량과 에너지는 특정 엔드 디바이스 필요조건(end device requirement)에 따라 선택된다. 당해 기술분야의 당업자는 회로 필요조건에 기초하여 소스/드레인 주입 공정을 최적화할 수 있으며, 이러한 스텝들은 본 발명의 요점을 과도하게 모호하게 하지 않기 위해 본 명세서에서는 개시되지 않는다. 측벽 스페이서(410)는 채널 영역에서 핀(210) 부분에 불순물이 주입되는 것을 차폐함으로써, 소스/드레인 정션

(junction)의 위치를 제어하는데 도움을 준다. 그 다음, 활성화 어닐링이 수행되어 소스/드레인 영역(220 및 230)을 활성화한다.

[0046] 도 10B에 도시된 결과 반도체 디바이스(100)는 핀(210)까지 확장된 게이트(1010)를 갖는 이중-게이트 디바이스이다. 본 발명에 따른 일부 실시에서, 도 10A에 도시된 반도체 디바이스(100)는, 예컨대 화학적-기계적 연마(CMP)를 통해, 평탄화되어 핀(210) 위의 게이트 층(1010)의 일부분을 제거한다. 이러한 실시에서, 전기적 및 물리적으로 분리된 게이트는 핀(210)의 양측에 형성된다. 이러한 게이트는 반도체 디바이스(100)의 동작 동안에 개별적으로 바이어스될 것이다.

[0047] 그러므로, 본 발명에 따라서, FinFET 디바이스의 채널 영역에서 가는 핀을 구비한 이중-게이트 FinFET 디바이스가 형성된다. 결과 구조는 좋은 짧은 채널 특성을 나타낸다. 추가로, 금속 게이트는 게이트 저항을 줄이고, 폴리실리콘 게이트와 관련된 폴리 공핍 문제(poly depletion problem)를 피한다. 본 발명은 또한 종래의 반도체 제조 공정에 용이하게 통합될 수 있다.

[0048] 본 발명의 다른 실시예에서, 게이트로 둘러싸인 MOSFET이 형성된다. 예를 들면, 도 11A는 기판(도시되지 않음) 위에 형성된 매립 옥사이드 층(1110)을 포함하는 FinFET 디바이스(1100)의 단면을 도시하며, 상기 매립 옥사이드 층(1110) 위에는 핀(1120)이 형성되어 있다. 도 11B에 도시된 바와 같이, 건식 식각 공정(dry etch process)이 수행되어 매립 옥사이드 층(1110)의 일부분을 식각한다. 식각 동안에, 핀(1120) 아래에 위치한 매립 옥사이드 층(1110)의 일부가 제거된다. 즉, 식각은 도 11B에 영역(1130)으로 도시된 바와 같이, 핀(1120) 아래에 위치한 매립 옥사이드 층(1110)의 일부를 측면에서 잘라낸다.

[0049] 그 다음, 도 11C에 도시된 바와 같이, 습식 식각과 같은 제 2 식각이 수행되어, 핀(1120)의 아래에 위치한 매립 옥사이드 층(1110)의 잔존 부분을 식각한다. 채널 영역의 매립 옥사이드 층(1110) 위에 핀(1120)을 효과적으로 부유(suspend)시키면서, 습식 식각은 핀(1120) 아래에 위치한 매립 옥사이드 층(1110)의 상기 부분을 측면에서 잘라낸다. 그러나, 핀(1120)은 매립 옥사이드 층(1110) 위에 형성된 핀(1020)의 다른 부분들에 연결되어 있으며, 소스 및 드레인 영역(도시되지 않음)에도 연결되어 있다.

[0050] 그 다음, 도 11D에 도시된 바와 같이, 게이트 옥사이드 층(1140)이 핀(1120)의 노출된 표면에 형성된다. 그 다음, 도 11D에 도시된 바와 같이, 게이트 층(1150)이 핀(1120) 위에 적층된다. 게이트 층(1150)은 반도체 디바이스(1100)의 채널 영역에서 핀(1120)을 둘러싼다. 결과 반도체 디바이스(1100)는 반도체 디바이스(1100)의 채널 영역에서 핀을 둘러싸는 게이트 물질을 구비한 게이트로 둘러싸인 FinFET이다.

[0051] 상기 설명에서, 본 발명의 완전한 이해를 제공하기 위해 특정 물질, 구조, 화학 물질, 공정, 등과 같은 다양한 세부 사항들이 설명되었다. 그러나, 본 발명은 본 명세서에서 열거된 세부 사항들 없이도 실시될 수 있다. 다른 예로서, 잘 알려진 공정 구조는 상세하게 설명되지 않았는바, 이는 본 발명의 요지를 불필요하게 모호하게 하지 않기 위함이다.

[0052] 본 발명에 따라 반도체 디바이스를 제조하는데 사용되는 유전체 및 전도 층은 종래의 적층 기술에 의해 적층될 수 있다. 예를 들면, 저압 CVD(LPCVD) 및 인핸스드 CVD(enhanced CVD)(ECVD)를 포함하는 다양한 타입의 CVD와 같은 금속화 기술들이 이용될 수 있다.

[0053] 본 발명은 이중-게이트 반도체 디바이스의 제조, 특히 100nm 보다 작은 디자인 피처를 갖는 FinFET 디바이스에서 응용가능하다. 본 발명은 모든 다양한 타입의 반도체 디바이스의 형성에도 응용가능하므로, 본 발명의 요지를 모호하게 하는 것을 피하기 위해 세부사항을 열거하지 않았다. 본 발명의 실시에 있어서, 종래의 포토리소그래피 및 식각 기술이 이용되므로, 이러한 기술의 세부사항은 본 명세서에서 상세하게 설명하지 않았다. 추가로, 도 10B의 반도체 디바이스를 형성하기 위한 일련의 공정들이 상세하게 설명되었지만, 상기 공정 순서는 본 발명에 따르는 다른 실시에서 변경될 수 있다.

[0054] 또한, 본 출원의 명세서에서 사용된 그 어떠한 요소, 단계, 혹은 지시도 명시적으로 본 발명에 대해 필수적이거나 본질적이라고 설명되지 않은 이상, 본 발명에 대해 필수 또는 본질적이라고 해석되지 않는다. 또한, 본 명세서에서 사용하는 단수는 하나 이상의 아이템들을 나타내는 복수의 의미를 갖는 것으로 의도된다. 오직 하나의 아이템을 나타내는 경우에는 하나 또는 이와 유사한 용어가 사용된다.

[0055] 본 명세서는 단지 발명의 선호하는 실시예와 수많은 예들 중 일부만을 도시하고 설명한다. 본 발명은 다양한 다른 조합 및 환경에서 사용될 수 있고, 본 명세서에서 표현된 발명의 범위 내에서 변경이 가능함을 이해해야 한다.

도면의 간단한 설명

[0010] 첨부된 도면에 대해서 기술하며, 여기서 동일한 참조 번호 표시를 갖는 소자들은 본 명세서를 통해 동일한 소자를 나타낸다.

[0011] 도 1은 본 발명의 실시예에 따라 핀을 형성하는데 사용되는 예시적인 층들을 도시하는 단면도이다.

[0012] 도 2A는 본 발명의 예시적인 실시예에 따른 핀의 형성을 도시하는 단면도이다.

[0013] 도 2B는 본 발명의 예시적인 실시예에 따른 도 2A의 반도체 디바이스의 평면도를 개략적으로 도시한다.

[0014] 도 3A는 본 발명의 예시적인 실시예에 따른 게이트 구조의 형성을 도시하는 평면도이다.

[0015] 도 3B는 본 발명의 예시적인 실시예에 따른 도 3A의 게이트 형성을 도시하는 단면도이다.

[0016] 도 4는 본 발명의 예시적인 실시예에 따른 게이트 구조에 인접한 측벽 스페이서의 형성을 도시하는 단면도이다.

[0017] 도 5A 및 5B는 본 발명의 예시적인 실시예에 따른 도 4의 디바이스 위에 금속-실리사이드 화합물(metal-silicide compound)의 형성을 도시하는 단면도이다.

[0018] 도 6은 본 발명의 예시적인 실시예에 따른 도 5의 디바이스 위에 유전체 층의 형성을 도시하는 단면도이다.

[0019] 도 7A는 본 발명의 예시적인 실시예에 따른 도 6의 디바이스 위의 유전체 층의 평탄화를 도시하는 단면도이다.

[0020] 도 7B는 본 발명의 예시적인 실시예에 따른 더미(dummy) 게이트 구조의 일부분의 제거를 도시한다.

[0021] 도 8은 본 발명의 예시적인 실시예에 따른 더미 게이트 구조의 다른 부분의 제거를 도시한다.

[0022] 도 9는 본 발명의 예시적인 실시예에 따라 채널 영역에서의 핀을 가늘게하는 것을 도시하는 단면도이다.

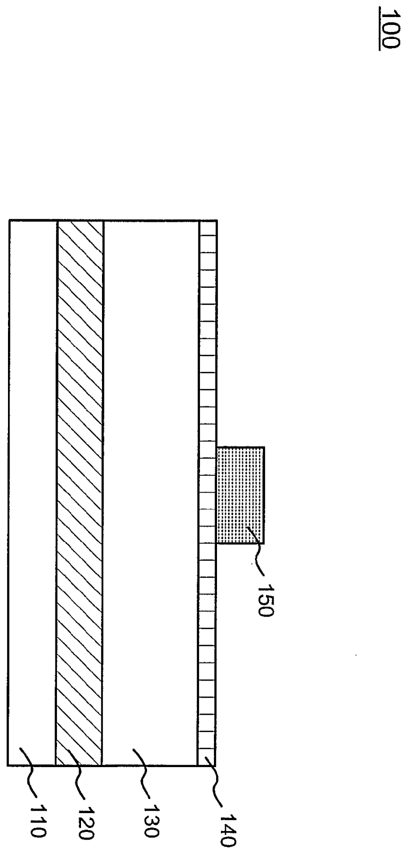
[0023] 도 10A는 본 발명의 예시적인 실시예에 따른 게이트의 형성을 도시하는 단면도이다.

[0024] 도 10B는 본 발명의 예시적인 실시예에 따른 도 10A의 반도체 디바이스의 평면도를 도시한다.

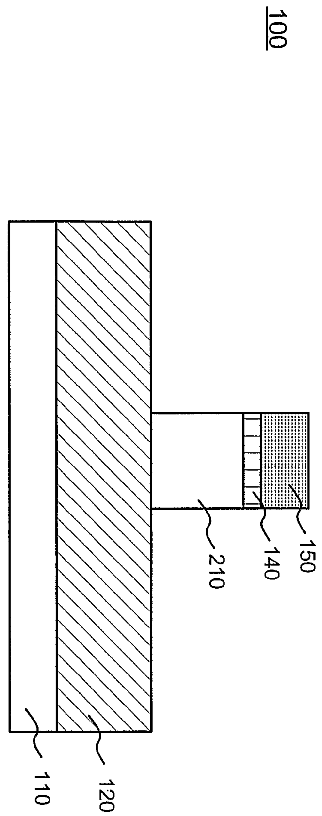
[0025] 도 11A-11D는 본 발명의 다른 실시예에 따른 게이트로 둘러싸인(gate-all-around) 구조의 형성을 도시하는 단면도이다.

도면

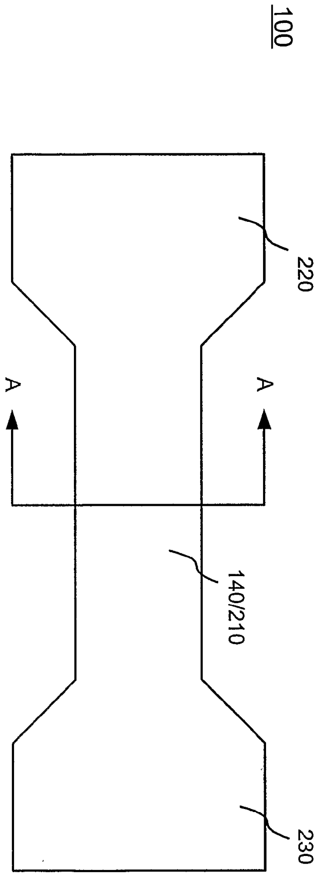
도면1



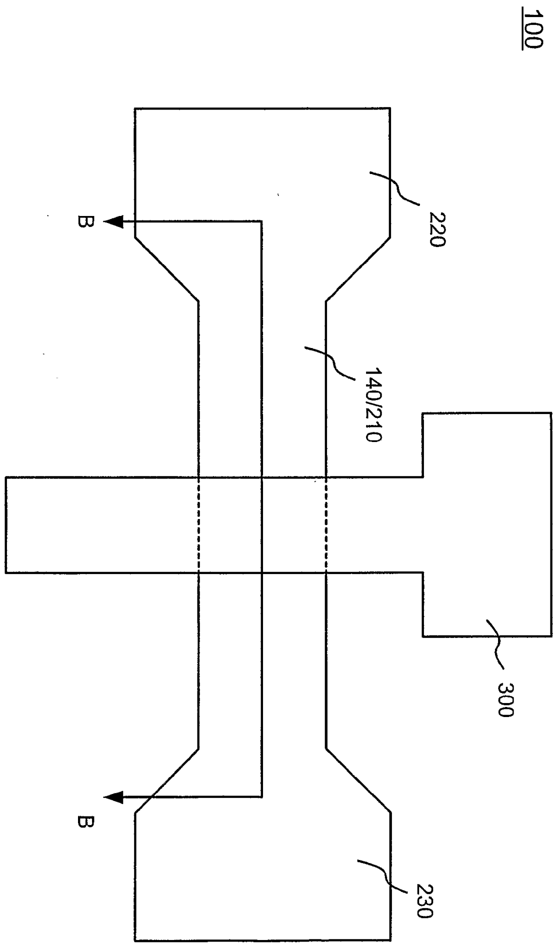
도면2A



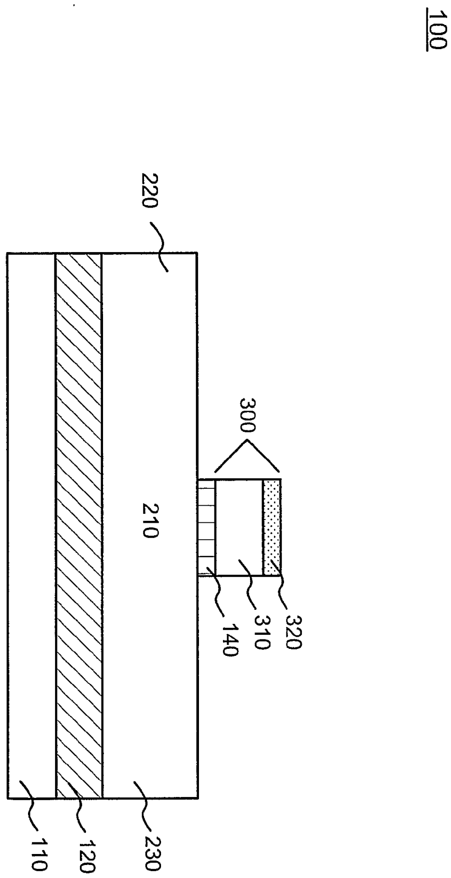
도면2B



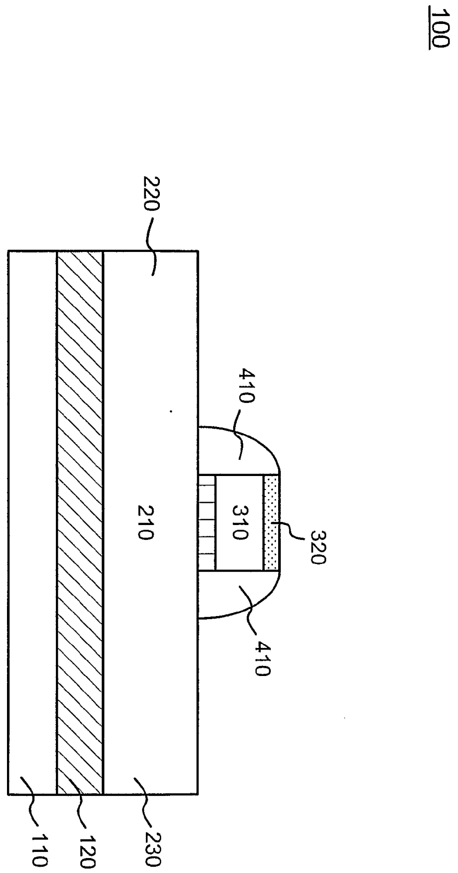
도면3A



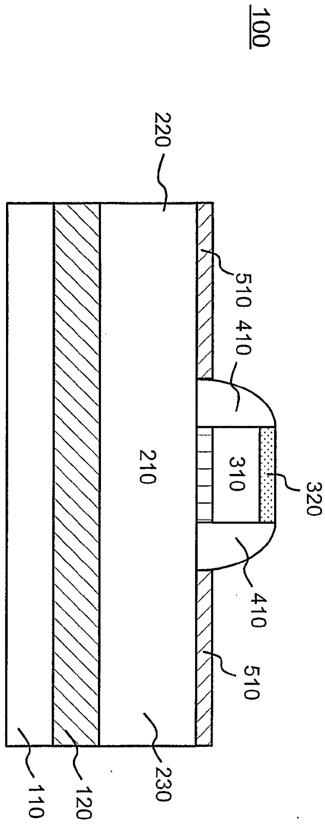
도면3B



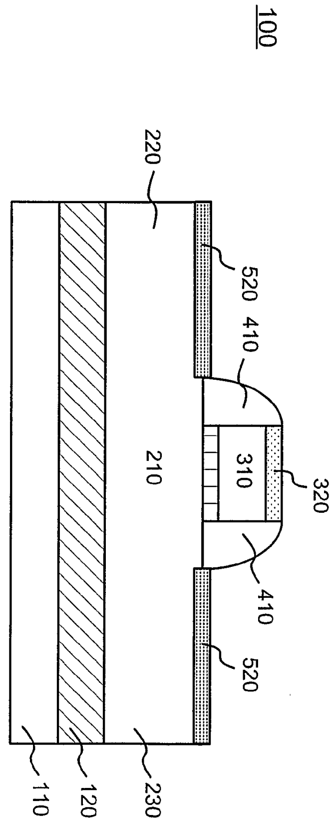
도면4



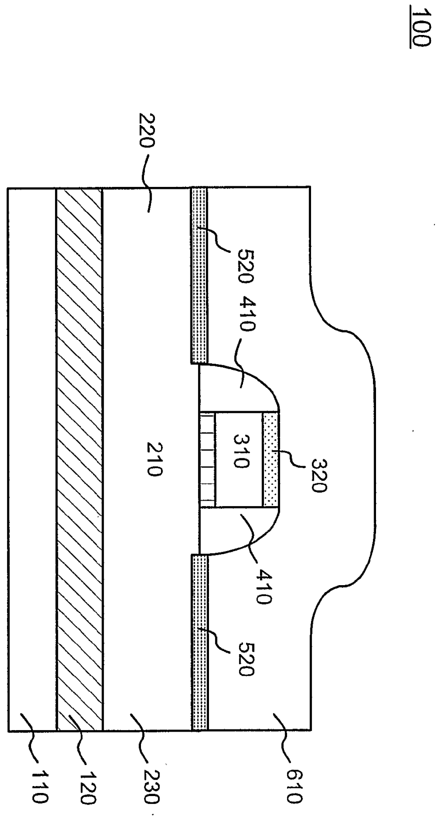
도면5A



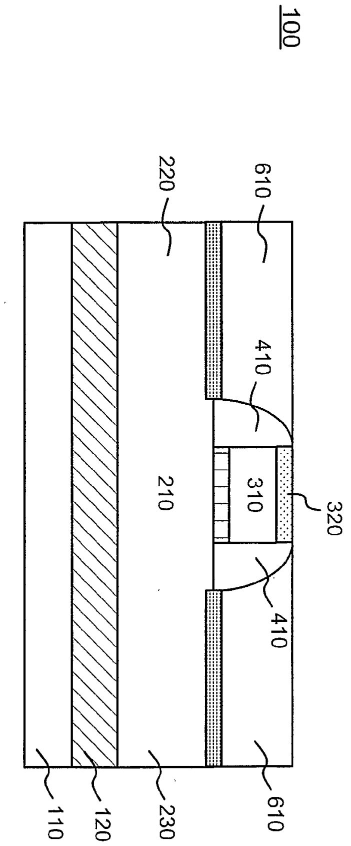
도면5B



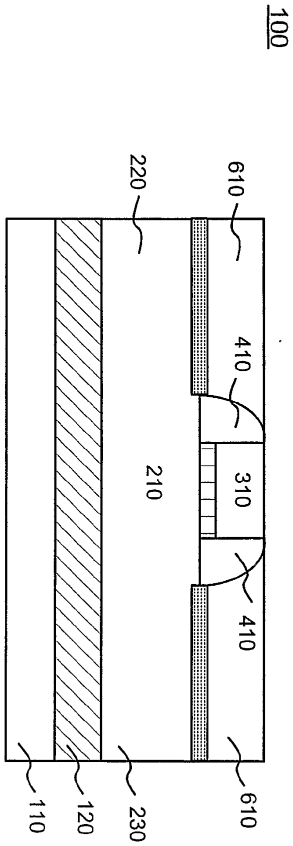
도면6



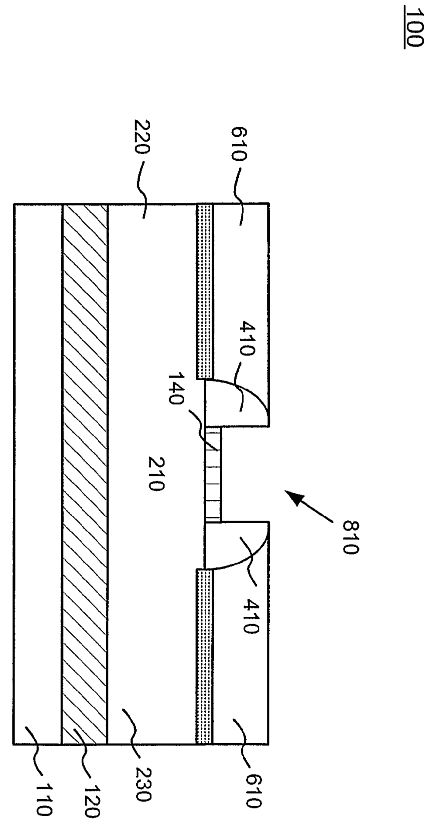
도면7A



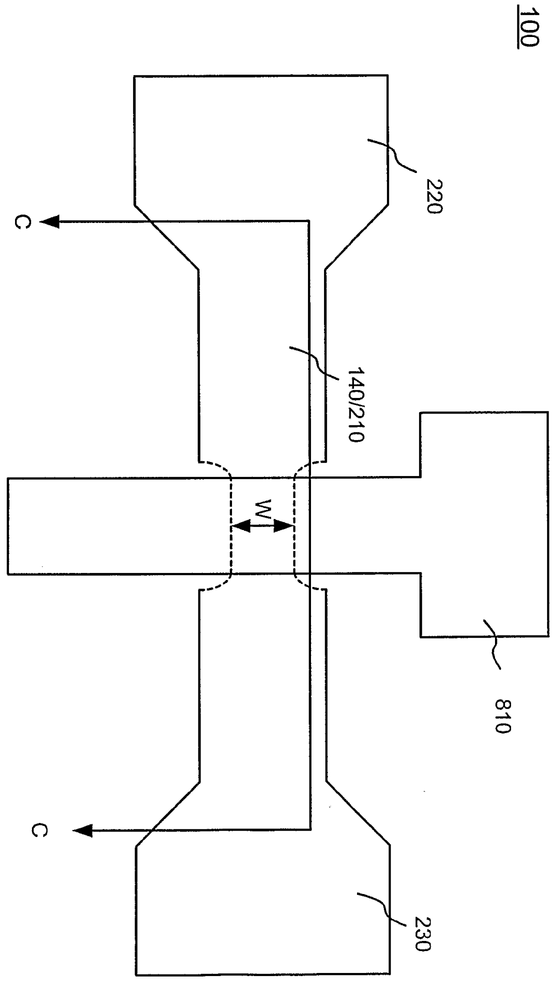
도면7B



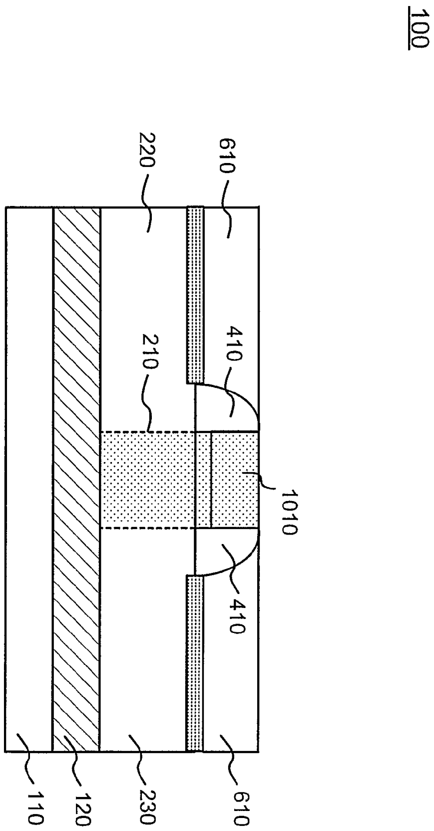
도면8



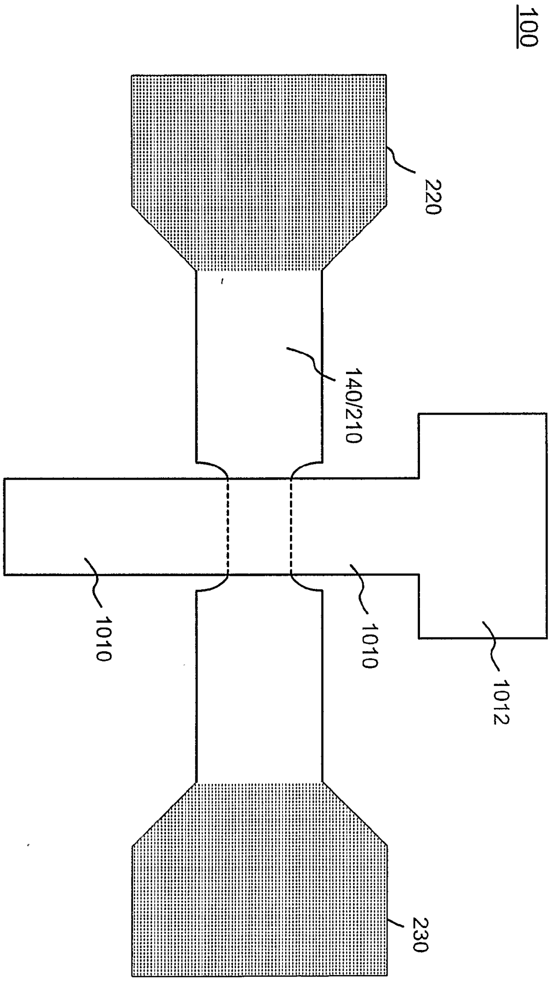
도면9



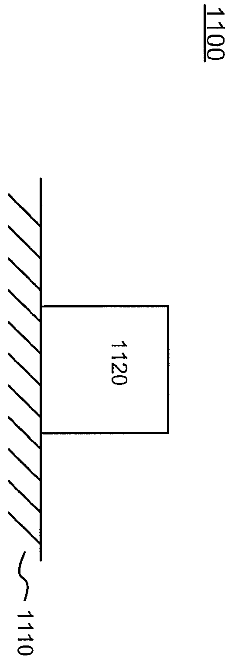
도면10A



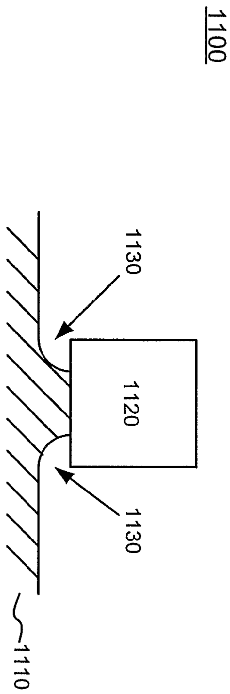
도면10B



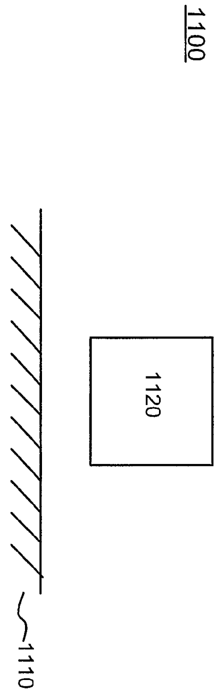
도면11A



도면11B



도면11C



도면11D