(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2001年2月1日 (01.02.2001)

PCT

(10) 国際公開番号
WO 01/08014 A1

(51) 国際特許分類[7]: G06F 12/00

(21) 国際出願番号: PCT/JP00/05055

(22) 国際出願日: 2000年7月28日 (28.07.2000)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願平11/214089 1999年7月28日 (28.07.1999) JP

(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 中西健一 (NAKANISHI, Kenichi) [JP/JP]. 荒木茂生 (ARAKI, Shigeo) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).

(74) 代理人: 杉浦正知(SUGIURA, Masatomo); 〒171-0022 東京都豊島区南池袋2丁目49番7号 池袋パークビル7階 Tokyo (JP).

(81) 指定国 (国内): CN, JP, KR, US.

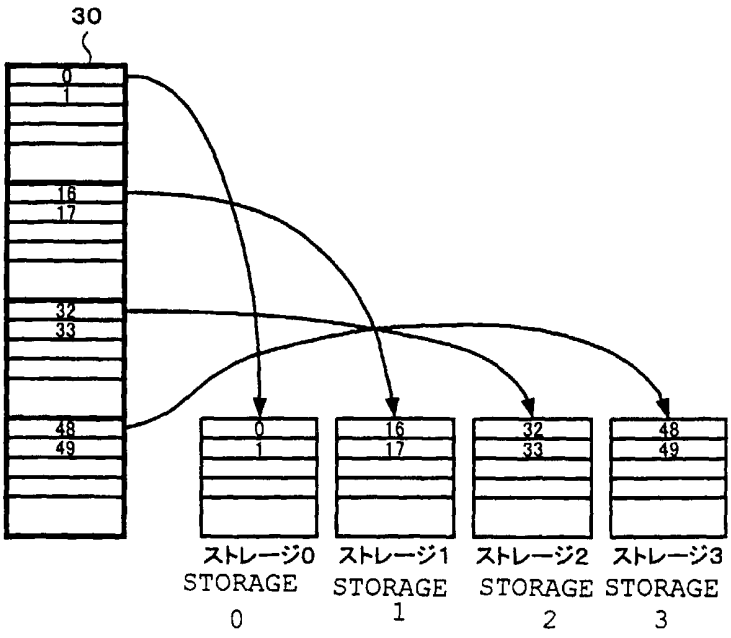
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: RECORDING SYSTEM, DATA RECORDING DEVICE, MEMORY DEVICE, AND DATA RECORDING METHOD

(54) 発明の名称: 記録システム、データ記録装置、メモリ装置およびデータ記録方法



(57) Abstract: In each of four storages, 128 clusters are distributed from one segment including 512 clusters. A logical-to-physical address translation table is generated for each segment. Therefore as long as the segment is not modified, the logical-to-physical address translation table referred to or updated is not changed, and it is possible to prevent degradation of the read performance due to an access to the table and to an update of the table. Further it is possible to write data simultaneously at continuous logical cluster address, e.g., 0x0004 to 0x0007, achieving high-rate write.

[続葉有]

WO 01/08014 A1

(57) 要約:

１セグメントに含まれる５１２クラスタは、４個のストレージにそれぞれ含まれる１２８個のクラスタに分散される。このセグメント毎に論理－物理アドレス変換テーブルが生成される。従って、セグメントが変更されなければ、参照または更新する論理－物理アドレス変換テーブルが変わらず、テーブルをアクセスしたり、テーブルを更新することによる読み出し性能の低下を防止することができる。また、連続した論理クラスタアドレス例えば０ｘ０００４～０ｘ０００７に対して同時にデータを書き込むことが可能となり、高速の書き込み可能となる。

明　細　書

記録システム、データ記録装置、メモリ装置およびデータ記録方法

技術分野

この発明は、記録媒体として、機器に着脱自在のメモリカードを使用するようにした記録システム、データ記録装置、メモリ装置およびデータ記録方法に関する。

背景技術

ＥＥＰＲＯＭ(Electrically Erasable Programmable ROM)と呼ばれる電気的に書き換え可能な不揮発性メモリは、１ビットを２個のトランジスタで構成するために、１ビット当たりの占有面積が大きく、集積度を高くするのに限界があった。この問題を解決するために、全ビット一括消去方式により１ビットを１トランジスタで実現することが可能なフラッシュメモリが開発された。フラッシュメモリは、磁気ディスク、光ディスク等の記録媒体に代わりうるものとして期待されている。

フラッシュメモリを有するメモリカードを機器に対して着脱自在に構成することが知られている。このメモリカードを使用すれば、従来のＣＤ（コンパクトディスク）、ＭＤ（ミニディスク）等のディスク状媒体に代えてメモリカードを使用するディジタルオーディオ記録／再生装置を実現することができる。また、オーディオデータ以外に静止画データ、動画データをメモリカードに記録することもでき、ディジタルスチルカメラ、ディジタルビデオカメラの記録媒体として使用することができる。

フラッシュメモリは、セグメントと称されるデータ単位が所定数のクラスタ（固定長）へ分割され、１クラスタが所定数のセクタ（固定長）へ分割される。クラスタは、ブロックとも呼ばれ、セクタは、ペ

ージとも呼ばれる。フラッシュメモリでは、クラスタ単位で消去が一括して行われ、書き込みと読み出しは、セクタ単位で一括して行われる。

一例として、４ＭＢ（メガバイト）のフラッシュメモリの場合、第１２図に示すように、１セグメントが５１２個のクラスタへ分割される。セグメントは、所定数のクラスタを管理する単位である。１クラスタが１６個のセクタへ分割される。１クラスタは、８ＫＢ（Ｋバイト）の容量とされ、１セクタが５１２Ｂの容量とされる。４ＭＢのセグメントを４個使用して１６ＭＢの容量のメモリを構成することができる。

１６ＭＢのメモリ空間に対して、第１３図Ａに示すように、論理クラスタアドレスが割り振られる。論理クラスタアドレスは、５１２×４＝２０４８個のクラスタを区別するために２バイト長とされる。第１３図では、論理クラスタアドレスが１６進で表記されている。０ｘは、１６進表記を意味する。論理アドレスは、データ処理装置（ソフトウェア）が論理的に扱うアドレスである。物理アドレスは、フラッシュメモリの各クラスタに対して付されたもので、クラスタと物理アドレスの対応関係は、不変である。

フラッシュメモリは、データの書き換えを行うことにより絶縁膜の劣化を生じ、書き換え回数が制限される。従って、ある同一の記憶領域（クラスタ）に対して繰り返し集中的にアクセスがなされることを防止する必要がある。従って、ある物理アドレスに格納されているある論理アドレスのデータを書き換える場合、フラッシュメモリのファイルシステムでは、同一のクラスタに対して更新したデータを再度書き込むことはせずに、未使用のクラスタに対して更新したデータを書き込むようになされる。その結果、データ更新前における論理アドレ

スと物理アドレスの対応関係が更新後では、変化する。このようなスワップ処理を行うことで、同一のクラスタに対して繰り返して集中的にアクセスがされることが防止され、フラッシュメモリの寿命を延ばすことが可能となる。

論理クラスタアドレスは、一旦クラスタに対して書き込まれたデータに付随するので、更新前のデータと更新後のデータの書き込まれる物理クラスタアドレスが変更されても、ファイル管理システムからは、同一のアドレスが見えることになり、以降のアクセスを適正に行うことができる。スワップ処理により論理アドレスと物理アドレスとの対応関係が変化するので、両者の対応を示す論理－物理アドレス変換テーブルが必要となる。このテーブルを参照することによって、指定した論理クラスタアドレスに対応する物理クラスタアドレスが特定され、特定された物理クラスタアドレスが示すクラスタに対するアクセスが可能となる。

論理－物理アドレス変換テーブルは、データ処理装置によってメモリ上に格納される。若し、データ処理装置のメモリ容量が少ない時は、フラッシュメモリ中に格納することができる。第１３図Ｂは，セグメント１に関する論理－物理アドレス変換テーブルの一例を示す。第１３図Ｂに示すように、論理－物理アドレス変換テーブルは、昇順に並べた論理クラスタアドレス（２バイト）に物理クラスタアドレス（２バイト）をそれぞれ対応させたものである。また、論理－物理アドレス変換テーブルは、セグメント毎に管理され、そのサイズは、フラッシュメモリの容量に応じて大きくなる。

また、フラッシュメモリの複数のストレージを並列動作させることによって、データの書き込み速度を通常のものより高速とすることが望ましい場合がある。例えばネットワークを介して音楽データを配信

する電子音楽配信ＥＭＤが実用化されつつある。パーソナルコンピュータのハードディスクに配信された音楽データを蓄え、所望の曲のデータをパーソナルコンピュータによってメモリカードにコピーまたはムーブし、そのメモリカードを携帯型のレコーダに装着することによって、簡単に好みの音楽を自宅以外で聞くことができる。ハードディスクからメモリカードに複数の曲のデータを並列書き込み（高速）でダウンロードし、再生時には、通常の速度でメモリカードから曲データを読み出すようになされる。

第１４図は、４個のストレージに対する従来の論理アドレスの構成を示す。図の例では、メモリのアドレス空間がＡ０，Ａ１，・・・，Ａ１０の１１ビットで表される。Ａ０がＬＳＢ（最下位ビット）であり、Ａ１０がＭＳＢ（最上位ビット）である。ＭＳＢおよび第２番目のＭＳＢ（Ａ１０，Ａ９）によって、各４ＭＢのストレージが切り換えられる。また、各ストレージのセクタおよびセグメントに対して、Ａ０～Ａ８の９ビットのアドレスが割り振られる。

また、データを書き込む時には、第１５図に示すようなタイミングで動作がなされる。最初にホスト側からセクタサイズのページバッファに対してデータが転送される。転送のためにＴなる時間を要する。次のライトビジーの期間では、ページバッファからフラッシュメモリ内部のフラッシュバッファに対してデータが転送され、ストレージに対してデータが書き込まれる。

読み出し時には、第１６図に示すように、リードビジーの期間においてフラッシュメモリからデータが読み出され、セクタサイズのページバッファに対して読み出しデータが転送される。次の転送時間Ｔにおいて、ページバッファからホスト側に対してデータが転送される。

第１７図は、あるセグメント内でそれぞれが異なるクラスタに属す

る連続する論理セクタ０～３に対してデータを書き込む時の処理の流れを示すフローチャートである。最初のステップＳ１１では、書き込み対象のセグメントに関して論理物理変換テーブルが作成される。ステップＳ１２では、ホスト側からセクタ０が送出される。この転送に時間Ｔを要する。そして、ステップＳ１３では、セクタ０がフラッシュメモリに書き込まれる。ステップＳ１４では、ホスト側からセクタ１が送出され、ステップＳ１５では、セクタ１がフラッシュメモリに書き込まれる。以下、セクタ２の送出（ステップＳ１６）、セクタ２の書き込み（ステップＳ１７）、セクタ３の送出（ステップＳ１８）、セクタ３の書き込み（ステップＳ１９）の処理が順になされる。従来では、例えば４個のストレージを並列に備えていても、一つのストレージにアクセスが集中するために処理の高速化ができない。

フラッシュメモリ上の１セクタのデータ構成は、第１８図に示すように、５１２バイトのデータに対して、管理情報が記録される１６バイト長のエリアが付加されている。管理情報は、論理クラスタ番号、クラスタ管理情報および属性情報からなる。クラスタ管理情報は、あるクラスタ内の全セクタで同じ情報とされており、クラスタの有効／無効の情報等を含む。属性情報は、セクタ毎の情報であり、著作権情報等を含む。例えばフラッシュメモリが機器に装着される時に、ホスト側が管理情報を読み、そのセグメントについての論理クラスタと物理クラスタのテーブルを作成する。

複数のストレージを並列動作させる時には、複数のストレージに対するアクセス方法について考慮する必要がある。第１９図は、４個のストレージに対するアドレス供給の構成を示し、第２０図は、４ＭＢ×４＝１６ＭＢのフラッシュメモリのアドレスを示す。アドレスは、第１４図を参照して説明したように、Ａ０，Ａ１，・・・，Ａ１０の

１１ビットで表される。Ａ０がＬＳＢ（最下位ビット）であり、Ａ１０がＭＳＢ（最上位ビット）である。ＭＳＢおよび第２番目のＭＳＢ（Ａ１０，Ａ９）によって、各４ＭＢのストレージが切り換えられる。また、各ストレージのクラスタに対して、Ａ０～Ａ８の９ビットのアドレスが割り振られる。

従来では、４個のストレージを切り換えるために、第１９図に示すように、アドレスをフラッシュメモリに対して供給している。下位側の９ビットのアドレスＡ０～Ａ８が４個のストレージ（０～３）に対して共通に与えられる。また、上位側の２ビットのアドレスＡ９およびＡ１０が２to４デコーダ６０に供給され、デコーダ６０から各ストレージを選択するための選択信号ＣＳ０，ＣＳ１，ＣＳ２，ＣＳ３が発生する。

（Ａ１０，Ａ９）＝００の場合には、ストレージ０を選択する選択信号ＣＳ０がデコーダ６０から発生する。また、（Ａ１０，Ａ９）＝０１、（Ａ１０，Ａ９）＝１０、（Ａ１０，Ａ９）＝１１の場合に、ストレージ１、ストレージ２、ストレージ３をそれぞれ選択する選択信号ＣＳ１、ＣＳ２、ＣＳ３がデコーダ６０から発生する。

このようなストレージの切り換えによって、１１ビットが全て０からこれが全て１までアドレスをインクリメントさせた時のアドレス変化を、第２０図において矢印で示す。すなわち、ストレージ０の先頭クラスタからストレージ０の最終クラスタまでアドレスが変化すると、次にストレージ１の先頭クラスタに移るように、クラスタアドレスが変化する。第２１図は、セグメントおよび論理クラスタアドレスの配置を示す。

上述した従来のフラッシュメモリのストレージの切り換えでは、アドレスのＭＳＢから数ビットを使用してストレージ選択信号を生成し

ている。それによって、セグメントが一つのストレージ上に集中して配置され、また、ストレージ毎にセグメントが異なるものとなる。このような方法によっては、同一セグメントの複数のクラスタを並列化して同時に書き込むことができない。例えば第２１図における（０ｘ０００４、０ｘ０００５、０ｘ０００６、０ｘ０００７）の４クラスタは、同一のストレージ０に含まれるために同時に書き込むことができない。

また、複数のセグメントのクラスタ例えば第２１図における（０ｘ０００４、０ｘ０２０４、０ｘ０４０４、０ｘ０６０４）の４クラスタを同時にストレージ０～ストレージ３に書き込むことはできる。しかしながら、フラッシュメモリでは、論理－物理アドレス変換テーブルがセグメント毎に構成されているので、アクセス時に論理－物理アドレス変換テーブルを参照する必要がある。従って、上述の例のように、４セグメントにわたって４個のクラスタを同時に書き込む時に、４セグメントのアドレス変換テーブルを持つためのメモリを必要とし、また、各セグメントに１セクタのデータを書き込む度にアドレス変換テーブルを参照する必要が生じ、そこで生じるオーバーヘッドによって書き込み時（または読み出し時）の性能が低下する。

従って、この発明の目的は、複数のストレージに対して並列書き込みが可能で、読み出し時の性能を向上させることが可能なデータ処理システム、データ処理装置、メモリ装置およびデータ記録方法を提供することにある。

発明の開示

上述した課題を解決するために、請求の範囲１の発明は、複数のセクタによって１クラスタが構成され、複数のクラスタによって１セグメントが構成されるストレージを複数備える不揮発性のメモリ装置が

データ処理装置に対して着脱自在とされたデータ処理システムにおいて、

データ処理装置は、

データを記録するクラスタのアドレスを指定するアドレス指定手段を備え、

メモリ装置は、

アドレス指定手段により指定されたアドレスに対してデータの記録を行う記録手段を備え、

1セグメント内の複数のクラスタのデータが複数のストレージに分散して配置されることを特徴とするデータ処理システムである。

請求の範囲2の発明は、複数のセクタによって1クラスタが構成され、複数のクラスタによって1セグメントが構成されるストレージを複数備える不揮発性のメモリ装置を記録媒体として使用するデータ処理装置において、

メモリ装置に対して、1セグメント内の複数のクラスタのデータが複数のストレージに分散して配置されるように、データを書き込むことを特徴とするデータ処理装置である。

請求の範囲3の発明は、データ処理装置に対して着脱自在で、複数のセクタによって1クラスタが構成され、複数のクラスタによって1セグメントが構成されるストレージを複数備える不揮発性のメモリ装置において、

1セグメント内の複数のクラスタのデータが複数のストレージに分散して配置されることを特徴とするメモリ装置である。

請求の範囲6の発明は、複数のセクタによって1クラスタが構成され、複数のクラスタに跨がるデータを複数のストレージに対して並列的に記録するデータ記録方法において、

クラスタアドレスを指定し、指定されたクラスタアドレスに対して書き込みを行い、

並列書き込み処理後に、1セグメント内の複数のクラスタのデータが複数のストレージに分散して配置されることを特徴とするデータ記録方法である。

この発明では、1セグメント内の複数のクラスタのデータを並列的に書き込むことが可能となる。また、書き込まれたデータを読み出す時に、同一セグメント内であれば、論理－物理アドレス変換テーブルの切り換えが発生しないので、読み出し時の性能を向上できる。

図面の簡単な説明

第1図は、この発明の一実施形態の全体的構成を示すブロック図である。

第2図は、この発明の一実施形態におけるメモリカードの構成を概略的に示すブロック図である。

第3図は、この発明の一実施形態におけるメモリカードのより詳細な構成を示すブロック図である。

第4図は、この発明の一実施形態におけるアドレス構成を説明するための略線図である。

第5図は、この発明の一実施形態における並列書き込み動作を説明するための略線図である。

第6図は、この発明の一実施形態の書き込み動作を説明するためのタイミングチャートである。

第7図は、この発明の一実施形態の読み出し動作を説明するためのタイミングチャートである。

第8図は、この発明の一実施形態の書き込み動作を説明するためのフローチャートである。

第９図は、この発明の一実施形態におけるストレージの切り換えを説明するためのブロック図である。

第１０図は、この発明の一実施形態におけるストレージの切り換えを説明するための略線図である。

第１１図は、この発明の一実施形態におけるセグメントと論理クラスタアドレスの関係を示す略線図である。

第１２図は、この発明を適用できるフラッシュメモリの一例の構成を示す略線図である。

第１３図は、この発明を適用できるフラッシュメモリの論理－物理アドレス変換テーブルの一例を示す略線図である。

第１４図は、従来のアドレス構成を説明するための略線図である。

第１５図は、従来の書き込み動作を説明するためのタイミングチャートである。

第１６図は、従来の読み出し動作を説明するためのタイミングチャートである。

第１７図は、従来の書き込み動作を説明するためのフローチャートである。

第１８図は、セクタ構成と管理情報を説明するための略線図である。

第１９図は、従来のストレージの切り換えを説明するためのブロック図である。

第２０図は、従来のストレージの切り換えを説明するための略線図である。

第２１図は、従来のセグメントと論理クラスタアドレスの関係を示す略線図である。

発明を実施するための最良の形態

以下、この発明の一実施形態について説明する。第１図は、この発明を適用できるシステムの構成を示す。このシステムでは、ホスト側のデータ処理装置とメモリカードとがシリアルインターフェースを介して接続される。第１図において、１がＣＰＵであり、ＣＰＵ１のバスに対してメモリ２、ディスプレイ３および入力／出力部４が接続される。

シリアルインターフェース５がＣＰＵバスと破線で囲んだメモリカード６との間に配される。メモリ２は、プログラム格納用のＲＯＭ、ワークエリアとして使用されるＲＡＭを含む。データ処理装置は、具体的には、パーソナルコンピュータ、ディジタルスチルカメラ、ディジタルビデオカメラ、ディジタルオーディオレコーダ等である。メモリカード６は、フラッシュメモリ７を有する。フラッシュメモリ７は、例えばＮＡＮＤ型フラッシュメモリ（不揮発性メモリ）である。メモリカード６には、記憶されるコンテンツの著作権保護のために、暗号化回路が組み込まれる場合もある。

なお、この発明は、データ処理装置とメモリカード６との間のデータの授受をシリアルインターフェースではなく、パラレルインターフェースにより行う場合に対しても適用できる。

フラッシュメモリ７は、例えば４ＭＢ×４＝１６ＭＢのものである。第１２図を参照して上述したように、４ＭＢ（メガバイト）のフラッシュメモリの場合、１セグメントが５１２個のクラスタへ分割され、１クラスタが１６個のセクタへ分割される。１クラスタが８ＫＢ（Ｋバイト）バイトの容量とされ、１セクタが５１２Ｂの容量とされる。そして、第１３図Ａを参照して説明したように、１６ＭＢのメモリ空間に対して、論理クラスタアドレスが割り振られ、第１３図Ｂを参照して説明したように、論理クラスタアドレスと物理クラスタアドレ

スとの対応関係を示す論理－物理アドレス変換テーブルがセグメント単位で作成される。さらに、上述したように、４ＭＢ×４＝１６ＭＢのフラッシュメモリには、Ａ０，Ａ１，・・・，Ａ１０の１１ビットの物理クラスタアドレスが使用される。

フラッシュメモリ７は、第２図に示すように、並列書き込みが可能なものとされている。第２図は、簡単のためにデータ入力／出力に関連する部分のみを示している。ストレージ０～ストレージ３にそれぞれ対応する４個のメモリセルＭＣ０～ＭＣ３が備えられ、各メモリセルＭＣ０～ＭＣ３に対するデータは、データバスおよびフラッシュバッファＢＦ０～ＢＦ３をそれぞれ介して供給される。すなわち、データバスを介してフラッシュバッファＢＦ０～ＢＦ３にそれぞれ１ページの書き込みデータが蓄えられると、フラッシュバッファＢＦ０～ＢＦ３から同時にメモリセルＭＣ０～ＭＣ３に対してデータが転送される。第２図の例は、一つのＩＣパッケージが４個のストレージを備える例であるが、別々のパッケージのフラッシュメモリを４個使用してもよい。さらに、複数のストレージをパッケージ内に有するフラッシュメモリを複数個組み合わせても良い。

第３図は、この発明を適用できるメモリカード６のより具体的な構成を示す。メモリカード６は、コントロールブロック１１とフラッシュメモリ７とが１チップＩＣとして構成されたものである。データ処理装置のＣＰＵ１とメモリカード６との間の双方向シリアルインタフェース５は、１０本の線からなる。主要な４本の線は、データ伝送時にクロックを伝送するためのクロック線ＳＣＫと、ステータスを伝送するためのステータス線ＳＢＳと、データを伝送するデータ線ＤＩＯ、インターラプト線ＩＮＴとである。その他に電源供給用線として、２本のＧＮＤ線および２本のＶＣＣ線が設けられる。２本の線Ｒｅｓ

ｅｒｖは、未定義の線である。

クロック線ＳＣＫは、データに同期したクロックを伝送するための線である。ステータス線ＳＢＳは、メモリカード６のステータスを表す信号を伝送するための線である。データ線ＤＩＯは、コマンドおよび暗号化されたオーディオデータを入出力するための線である。インターラプト線ＩＮＴは、メモリカード６からデータ処理装置のＣＰＵ１に対しての割り込みを要求するインターラプト信号を伝送する線である。メモリカード６を装着した時にインターラプト信号が発生する。但し、この一実施形態では、かかるインターラプト信号をデータ線ＤＩＯを介して伝送するようにしているので、インターラプト線ＩＮＴを接地し、使用していない。

コントロールブロック１１のシリアル／パラレル変換・パラレル／シリアル変換・インタフェースクラスタ（Ｓ／Ｐ，Ｐ／Ｓ，ＩＦクラスタと略す）１２は、上述したインターフェース５と接続される。Ｓ／Ｐ，Ｐ／Ｓ，ＩＦブロック１２は、データ処理装置から受け取ったシリアルデータをパラレルデータに変換し、コントロールブロック１１に取り込み、コントロールブロック１１からのパラレルデータをシリアルデータに変換してデータ処理装置に送る。

データ線ＤＩＯを介して伝送されるフォーマットでは、最初にコマンドが伝送され、その後にデータが伝送される。Ｓ／Ｐ，Ｐ／Ｓ，ＩＦブロック１２は、コマンドをコマンドレジスタ１３に格納し、データをページバッファ１４およびライトレジスタ１５に格納する。ライトレジスタ１５と関連してエラー訂正符号化回路１６が設けられている。ページバッファ１４に一時的に蓄えられたデータに対して、エラー訂正符号化回路１６がエラー訂正符号の冗長コードを生成する。

コマンドレジスタ１３、ページバッファ１４、ライトレジスタ１５

およびエラー訂正符号化回路１５の出力データがフラッシュメモリインタフェースおよびシーケンサ（メモリＩ／Ｆ，シーケンサと略す）１７に供給される。メモリＩＦ，シーケンサ１７は、コントロールブロック１１とフラッシュメモリ７とのインタフェースであり、両者の間のデータのやり取りを制御する。メモリＩＦ，シーケンサ１７を介してデータがフラッシュメモリ７に書き込まれる。

フラッシュメモリ７から読み出されたデータがメモリＩＦ，シーケンサ１７を介してページバッファ１４、リードレジスタ１８、エラー訂正回路１９に供給される。ページバッファ１４に記憶されたデータがエラー訂正回路１９によってエラー訂正がなされる。エラー訂正がされたページバッファ１４の出力およびリードレジスタ１８の出力がＳ／Ｐ，Ｐ／Ｓ，ＩＦブロック１２に供給され、シリアルインタフェース５を介してデータ処理装置のＣＰＵ１に供給される。

なお、２０は、メモリカード６のバージョン情報、各種の属性情報等が格納されているコンフィグレーションＲＯＭである。また、メモリカード６には、ユーザが必要に応じて操作可能な誤消去防止用のスイッチ２１が備えられている。このスイッチ２１が消去禁止の接続状態にある場合には、フラッシュメモリ７を消去することを指示するコマンドがデータ処理装置側から送られてきても、フラッシュメモリ７の消去が禁止される。さらに、２２は、メモリカード６の処理のタイミング基準となるクロックを発生する発振器である。

この発明の一実施形態におけるデータ処理装置とメモリカード６との間のシリアンインタフェースについてより詳細に説明する。メモリカード６からデータを読み出す時には、データ処理装置からメモリカード６に対して読み出しコマンドが送信され、メモリカード６が読み出しコマンドを受信する。コマンドの送信が完了すると、メモリカー

ド６が受信した読み出しコマンドで指定されたアドレスのデータをフラッシュメモリ７から読み出す処理を行う。この処理がなされている間、データ線ＤＩＯを介してビジー信号（ハイレベル）がデータ処理装置に送信される。そして、フラッシュメモリ７からデータの読み出しが完了すると、ビジー信号の出力が停止され、データ処理装置に対してメモリカード６からデータを送出する準備ができたことを示すレディー信号（ローレベル）の出力が開始される。

データ処理装置は、メモリカード６からレディー信号を受信することによって、読み出しコマンドに対応する処理が準備できたことを知り、メモリカード６は、ページバッファに読み出したデータをデータ線ＤＩＯを介してデータ処理装置に対して出力する。これらの各処理がなされる状態がステータス線ＳＢＳのレベル変化で示される。

メモリカード６のフラッシュメモリ７に対してデータを書き込む時には、データ処理装置からメモリカード６に対してデータ線ＤＩＯを介して書き込みコマンドが伝送される。書き込みコマンドと関連して書き込みアドレスが伝送される。フラッシュメモリ７では、セクタ単位でデータの書き込み、読み出しがなされるが、データ処理装置では、クラスタ単位でファイルを管理しており、データ処理装置からのアドレスは、クラスタ単位である。次に、データ処理装置が書き込みデータをデータ線ＤＩＯを介してメモリカード６に伝送する。メモリカード６では、受け取った書き込みデータがページバッファに蓄えられる。書き込みデータの伝送が終了すると、メモリカード６は、書き込みデータをフラッシュメモリ７へ書き込む処理を行う。書き込み処理の間にビジー信号が出力され、メモリカード６において、書き込みデータの書き込み処理が終了すると、ビジー信号の出力を停止し、レディー信号（ローレベル）をデータ処理装置に対して送信する。

並列的な書き込みをシリアルインターフェースを介して行う場合には、ストレージ０に書き込むためのコマンド、アドレス、データを伝送した後にビジー信号が立っている状態において、ストレージ１に書き込むためのコマンド、アドレス、データと、ストレージ２に書き込むためのコマンド、アドレス、データと、ストレージ３に書き込むためのコマンド、アドレス、データとを順次伝送する。そして、再びストレージ０に書き込むためのコマンド、アドレス、データを伝送する。この時点では、以前のストレージ０に対するデータの書き込み処理が終了しており、ビジー信号が立ち下がっている。このような動作を繰り返すことによって並列的書き込みを行うことができる。但し、４個のシリアルインターフェースを並列に使用するような方法でもって、同時にコマンド、アドレス、データを伝送することも可能である。

上述したこの発明の一実施形態についてさらに詳細に説明する。第４図は、一実施形態におけるアドレスの構成を示す。メモリのアドレス空間がＡ０，Ａ１，・・・，Ａ１０の１１ビットで表される。Ａ０がＬＳＢ（最下位ビット）であり、Ａ１０がＭＳＢ（最上位ビット）である。ＬＳＢおよび第２番目のＬＳＢ（Ａ００，Ａ１）によって、各４ＭＢのストレージが切り換えられる。また、各ストレージのセクタおよびセグメントに対して、Ａ２～Ａ１０の９ビットのアドレスが割り振られる。

第５図は、メモリカード６を記憶媒体とする第１図のシステムにおいて、ファイル管理の方法を説明するための図である。第５図において、３０は、データファイル例えば圧縮されたオーディオデータファイルのデータを示す。圧縮オーディオデータは、通常、曲ごとにファイルが作成され、そのファイルがセクタ単位でメモリカード６のフラッシュメモリ７に対して記録され、フラッシュメモリ７から読み出さ

れる。

このようなデータ３０を並列的にフラッシュメモリ７に記録する場合に、第５図に示すように、書き込み処理後に、各クラスタ内でセクタが連続で並ぶように、複数のクラスタから書き込みセクタを選択し、選択したセクタに対して同時にデータを書き込む。データ３０のサイズが４個のクラスタに一致しているものとすると、データ３０がフラッシュメモリ７の４個のクラスタに記録される。

第５図に示すように、書き込み後に各ストレージの各クラスタ内で、セクタが元の順序で並ぶようになされる。例えば０，１，２，３、・・・と元の順序に従って番号付けされたセクタをストレージ０～ストレージ３に対して並列的に書き込む場合に、番号０のデータをストレージ０のクラスタの先頭セクタに記録し、番号１６のデータをストレージ１のクラスタの先頭セクタに記録し、番号３２のデータをストレージ２のクラスタの先頭セクタに記録し、番号４８のデータをストレージ３のクラスタの先頭セクタに記録する。

このように、セクタ毎にデータを番号付けした時に、クラスタのセクタ数に等しい数のオフセットを有する番号の４個のデータ単位を並列化し、４個のストレージに対して同時に書き込む。その結果、フラッシュメモリ７の各ストレージでは、既存のフラッシュメモリと同様に同一ストレージ内で構成されるクラスタ内に、データが元の順序で配列される。従って、既存のフラッシュメモリのファイルフォーマットとの互換性が保たれる。

このように記録されたフラッシュメモリからデータが１クラスタ毎に順番に読み出される。例えば第５図のストレージ０のクラスタの先頭セクタから順にデータを読み出し、次に、ストレージ１のクラスタの先頭セクタから順にデータを読み出し、以下、ストレージ２のクラ

スタ、ストレージ３のクラスタというように順にデータを読み出すようになされる。読み出されたデータの順序は、元の順序と同一である。消去動作は、各ストレージ毎に構成されるクラスタ単位でなされる。

このように、一実施形態における並列書き込み後のデータ配置は、既存のフラッシュメモリと同様に、同一ストレージ内にクラスタが構成されるものとなる。従って、既存のフラッシュメモリとファイルフォーマット上で互換性を保つことができる。

第６図は、一実施形態における書き込み動作を示すものである。最初にホスト側からセクタサイズのページバッファに対してデータが転送され、さらに、ページバッファからストレージ０のフラッシュバッファＢＦ０に対してデータが転送される。転送のためにＴなる時間を要する。次のライトビジーの期間では、フラッシュバッファＢＦ０から、ストレージ０に対してデータが書き込まれる。最初の転送期間Ｔの後では、次のセクタのデータが転送され、ライトビジーの期間でストレージ１に書き込まれる。このようにして、並行してストレージ０～ストレージ３に対する書き込み動作がなされるので、第１５図に示される従来の書き込み動作に比して書き込みの高速化が達成される。

読み出し時には、第７図に示すように、リードビジーの期間において、ストレージ０～３のそれぞれからデータが読み出され、セクタサイズのフラッシュバッファＢＦ０～ＢＦ３に対して読み出しデータが転送される。次の転送時間Ｔにおいて、フラッシュバッファＢＦ０からページバッファに対してデータが転送され、さらに、ページバッファからホスト側に対してデータが転送される。以下、フラッシュバッファＢＦ１、ＢＦ２、ＢＦ３から順にページバッファに対してデータが出力され、ページバッファからホスト側に対してデータが転送され

る。リードビジーを順に行う従来の読み出し動作の処理（第１６図）に比して読み出しの高速化が達成される。

第８図は、あるセグメント内でそれぞれが異なるクラスタに属する連続する論理セクタ０～３に対してデータを書き込む時の処理の流れを示すフローチャートである。最初のステップＳ１では、書き込み対象のセグメントに関して論理物理変換テーブルが作成される。ステップＳ２では、ホスト側からページバッファに対してセクタ０が送出され、ページバッファからフラッシュバッファに対してセクタ０のデータが転送される。この転送に時間Ｔを要する。次のステップＳ３では、セクタ１の送出がなされるのと並行して、ステップＳ４でセクタ０がフラッシュメモリの一つのストレージに書き込まれる。

ステップＳ５では、セクタ２が送出され、ステップＳ６では、並行してセクタ１がフラッシュメモリの一つのストレージに書き込まれる。以下、セクタ３の送出（ステップＳ７）、セクタ２の書き込み（ステップＳ８）、セクタ３の書き込み（ステップＳ９）の処理が同様になされる。この発明の一実施形態では、従来のように、一つのストレージに対してアクセスが集中することがなく、また、セグメントが切り替わらないので、論理物理変換テーブルを作成する必要がないので、処理を高速化することができる。

上述したような並列書き込みを行い、また、書き込まれたデータを読みだす時のストレージ切り換えの方法の一例について説明する。第９図は、一実施形態における４個のストレージに対するアドレス供給の構成を示し、第１０図は、４ＭＢ×４＝１６ＭＢのフラッシュメモリの物理アドレスを示す。

第４図を参照して説明したように、物理アドレスは、Ａ０，Ａ１，・・・，Ａ１０の１１ビットで表される。Ａ０がＬＳＢ（最下位ビッ

ト）であり、Ａ１０がＭＳＢ（最上位ビット）である。

この発明の一実施形態では、生成した１１ビットのアドレスＡ０～Ａ１０をフラッシュメモリに与える時に、アドレスＡ２～Ａ１０をセクタおよびセグメントのアドレスを規定するアドレスとしてフラッシュメモリに供給し、また、下位のＡ０、Ａ１の２ビットをストレージ切り換えを規定するアドレスとしてフラッシュメモリに供給する。すなわち、第９図に示すように、上位側の９ビットのアドレスＡ２～Ａ１０が４個のストレージ（０～３）に対して共通に与えられる。また、下位側の２ビットのアドレスＡ０およびＡ１が２to４デコーダ４０に供給され、デコーダ４０から各ストレージを選択するための選択信号ＣＳ０，ＣＳ１，ＣＳ２，ＣＳ３が発生する。（Ａ１，Ａ０）＝００の場合には、ストレージ０を選択する選択信号ＣＳ０がデコーダ４０から発生する。また、（Ａ１，Ａ０）＝０１、（Ａ１，Ａ０）＝１０、（Ａ１，Ａ０）＝１１の場合に、ストレージ１、ストレージ２、ストレージ３をそれぞれ選択する選択信号ＣＳ１、ＣＳ２、ＣＳ３がデコーダ４０から発生する。デコーダ４０は、第３図の構成例では、メモリＩＦ，シーケンサ１７内に設けられる。

このようなストレージの切り換えを行う場合、１１ビットが全て０からこれが全て１まで物理アドレスをインクリメントさせた時のアドレス変化を、第１０図において矢印で示す。すなわち、ストレージ０の先頭クラスタからアドレス変化が開始し、次にストレージ１の先頭クラスタが指定される。そして、ストレージ２の先頭クラスタを経て、ストレージ３の先頭クラスタまでアドレスが変化すると、次にストレージ０の第２番目のクラスタに移るように、物理クラスタアドレスが変化する。

この発明の一実施形態におけるセグメントと論理クラスタアドレス

の配置を第１１図に示す。第１１図の論理クラスタアドレスの配置から分かるように、１セグメントに含まれる５１２クラスタは、４個のストレージにそれぞれ含まれる１２８個のクラスタによって構成される。このセグメント毎に論理－物理アドレス変換テーブルが生成される。従って、セグメントが変更されなければ、参照または更新する論理－物理アドレス変換テーブルが変わらず、テーブルをアクセスしたり、テーブルを更新することによる読み出し性能の低下を防止することができる。また、連続した論理クラスタアドレス例えば０ｘ０００４～０ｘ０００７に対して同時にデータを書き込むことができる。

なお、論理クラスタアドレスが０ｘ０００００，０ｘ０２００，０ｘ０４００，０ｘ０６００のように、不連続な場合には、一つのストレージ上にこれらのアドレスが存在するので、同時に書き込むことが不可能である。しかしながら、このような不連続なクラスタアドレスに対して連続した論理セクタを書き込む処理が実際に発生する確率が非常に低いので、大きな問題とならない。

なお、以上説明した一実施形態では、１セクタが５１２Ｂ、１クラスタが８Ｋバイト、１ストレージが５１２クラスタとされる４ＭＢのフラッシュメモリについて説明したが、これらの値は、一例であって他の数値のフラッシュメモリに対しても、この発明を適用できる。例えば１クラスタの容量を１６ＫＢとしても良い。また、１個のストレージの容量が８ＭＢ（１０２４クラスタ×８ＫＢ）、１６ＭＢ（１０２４クラスタ×１６ＫＢ）、３２ＭＢ（２０４８クラスタ×１６ＫＢ）、６４ＭＢ（４０９６クラスタ×１６ＫＢ）等のフラッシュメモリに対してもこの発明を適用することができる。

この発明によれば、複数クラスタにわたるデータの書き込み時には、同時にデータを書き込むことができ、それによって高速の書き込み

が可能となる。また、複数クラスタにわたるデータの書き込み時または読み出す時に、同一セグメントであれば、論理－物理アドレス変換テーブルの切り換えを不要とできるので、アクセスを高速化することができる。

請求の範囲

1．複数のセクタによって1クラスタが構成され、複数のクラスタによって1セグメントが構成されるストレージを複数備える不揮発性のメモリ装置がデータ処理装置に対して着脱自在とされたデータ処理システムにおいて、

上記データ処理装置は、

データを記録するクラスタのアドレスを指定するアドレス指定手段を備え、

上記メモリ装置は、

上記アドレス指定手段により指定されたアドレスに対してデータの記録を行う記録手段を備え、

1セグメント内の複数のクラスタのデータが複数のストレージに分散して配置されることを特徴とするデータ処理システム。

2．複数のセクタによって1クラスタが構成され、複数のクラスタによって1セグメントが構成されるストレージを複数備える不揮発性のメモリ装置を記録媒体として使用するデータ処理装置において、

メモリ装置に対して、1セグメント内の複数のクラスタのデータが複数のストレージに分散して配置されるように、上記データを書き込むことを特徴とするデータ処理装置。

3．データ処理装置に対して着脱自在で、複数のセクタによって1クラスタが構成され、複数のクラスタによって1セグメントが構成されるストレージを複数備える不揮発性のメモリ装置において、

1セグメント内の複数のクラスタのデータが複数のストレージに分散して配置されることを特徴とするメモリ装置。

4．請求の範囲1、2または3において、

論理クラスタアドレス－物理クラスタアドレス変換テーブルを参照

してアクセスすることを特徴とする装置。

5．請求の範囲3において、

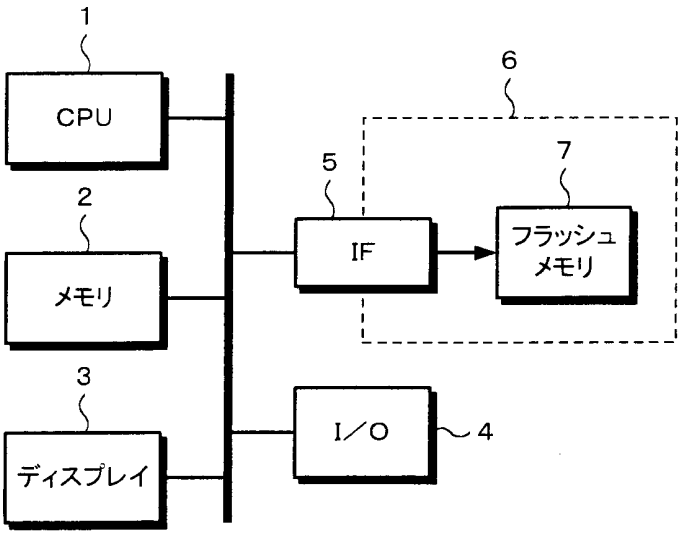
複数のストレージを切り換えるための信号を、アドレスの下位側の1または複数のビットから生成することを特徴とするメモリ装置。

6．複数のセクタによって1クラスタが構成され、複数の上記クラスタに跨がるデータを複数のストレージに対して並列的に記録するデータ記録方法において、

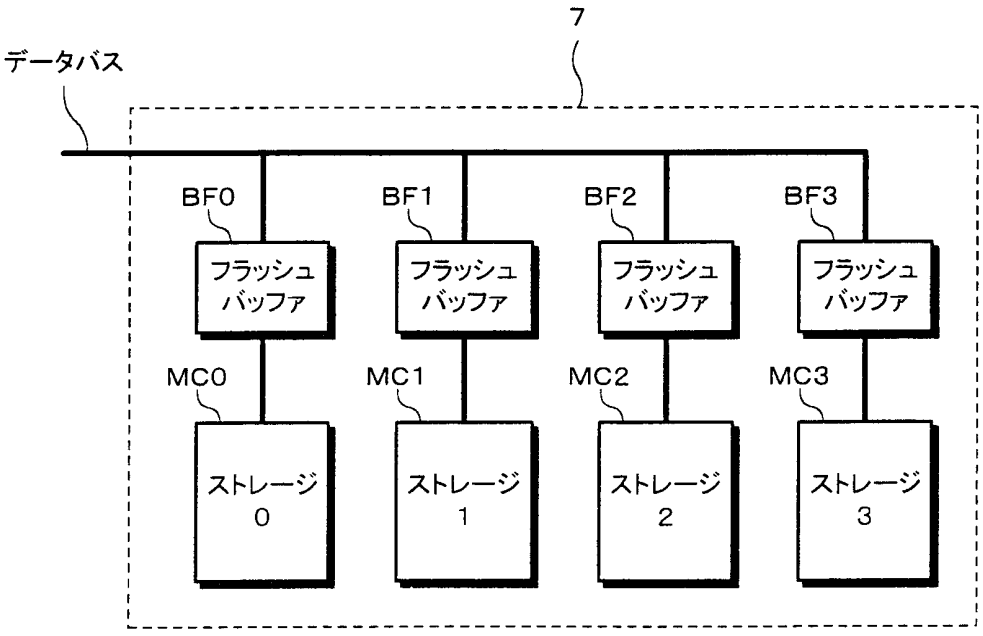
クラスタアドレスを指定し、指定されたクラスタアドレスに対して書き込みを行い、

並列書き込み処理後に、1セグメント内の複数のクラスタのデータが複数のストレージに分散して配置されることを特徴とするデータ記録方法。

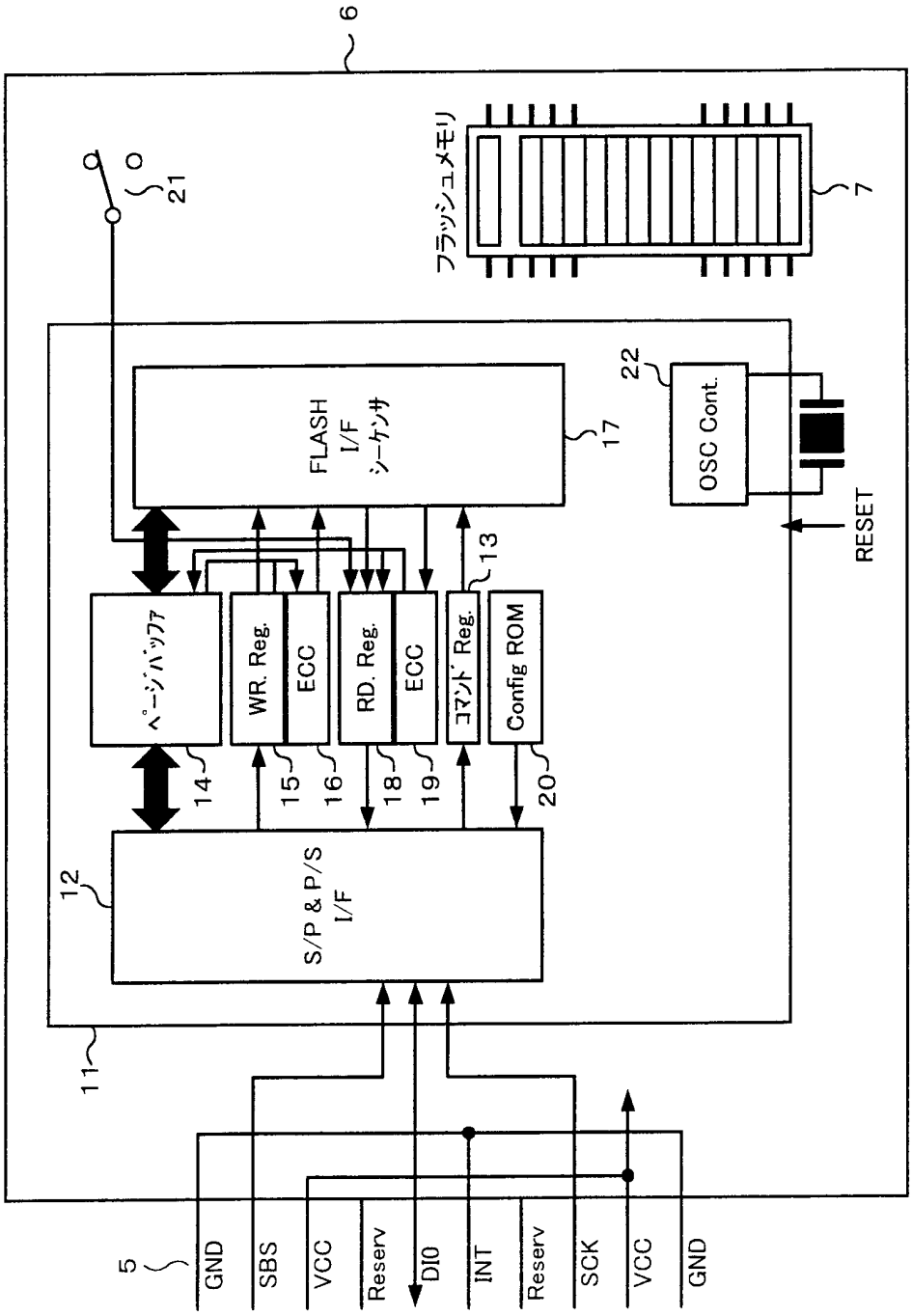
第１図


1
CPU
2
メモリ
3
ディスプレイ
5
IF
6
7
フラッシュ
メモリ
I／O
4

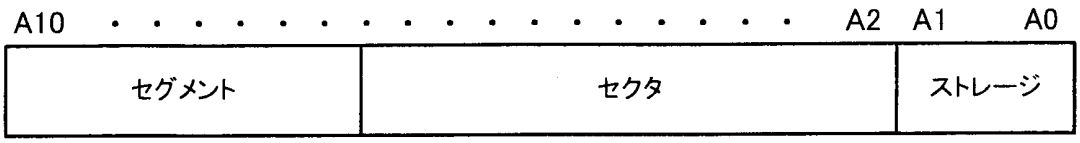
第２図


データバス
7
BF0
BF1
BF2
BF3
フラッシュ
バッファ
フラッシュ
バッファ
フラッシュ
バッファ
フラッシュ
バッファ
MC0
MC1
MC2
MC3
ストレージ
0
ストレージ
1
ストレージ
2
ストレージ
3

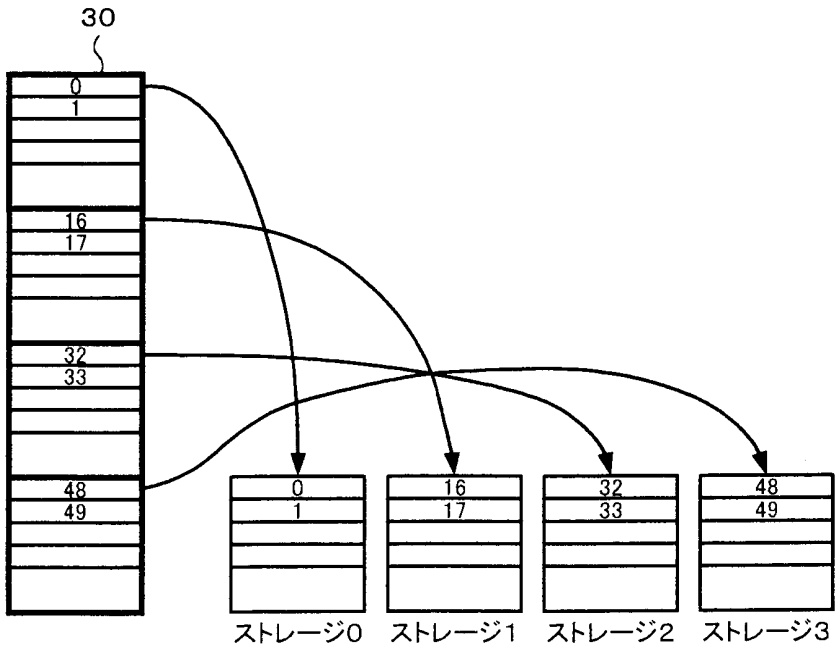
第３図


6
フラッシュメモリ
7
21
FLASH I/F シーケンサ
17
22
OSC Cont.
RESET
13
ページバッファ
WR. Reg.
ECC
RD. Reg.
ECC
コマンド Reg.
Config ROM
14
15
16
18
19
20
12
S/P & P/S I/F
11
5
GND
SBS
VCC
Reserv
DI0
INT
Reserv
SCK
VCC
GND

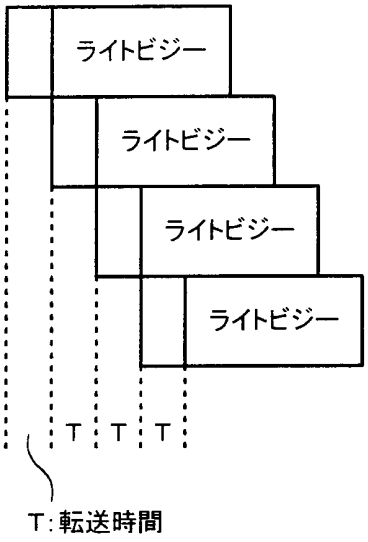
第４図


A10
A2
A1
A0
セグメント
セクタ
ストレージ

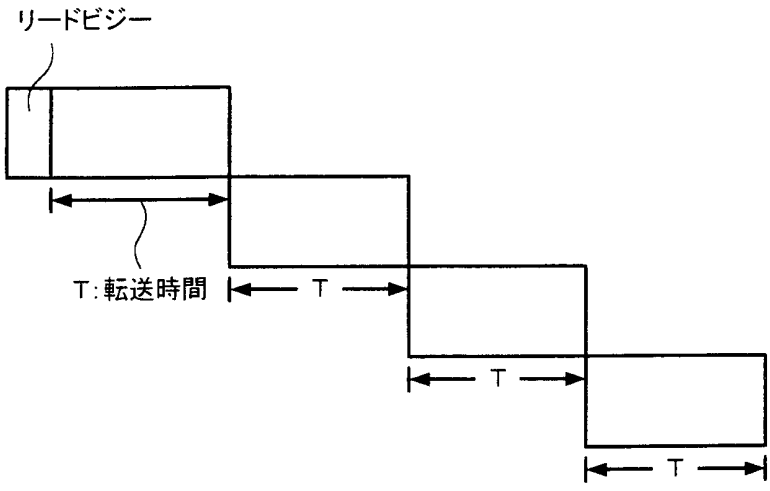
第５図


30
0
1
16
17
32
33
48
49
0
1
16
17
32
33
48
49
ストレージ0
ストレージ1
ストレージ2
ストレージ3

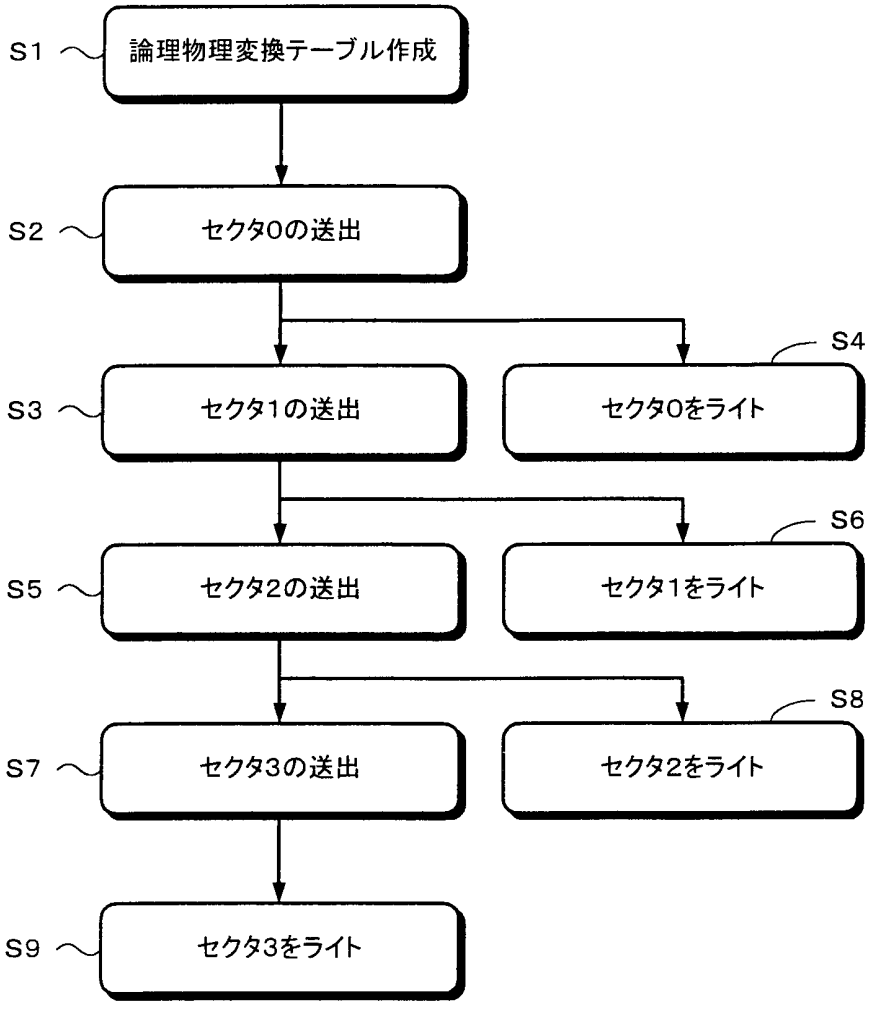
第６図



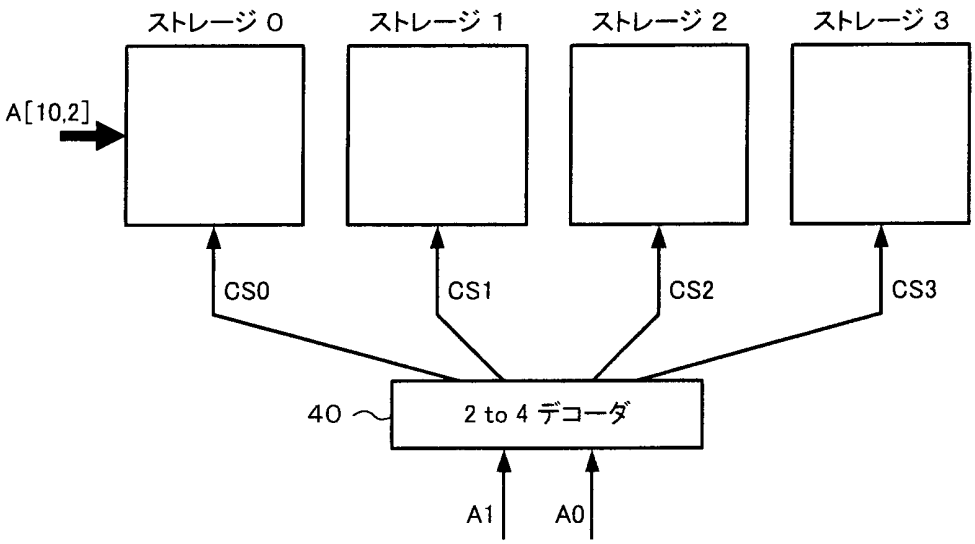
第７図



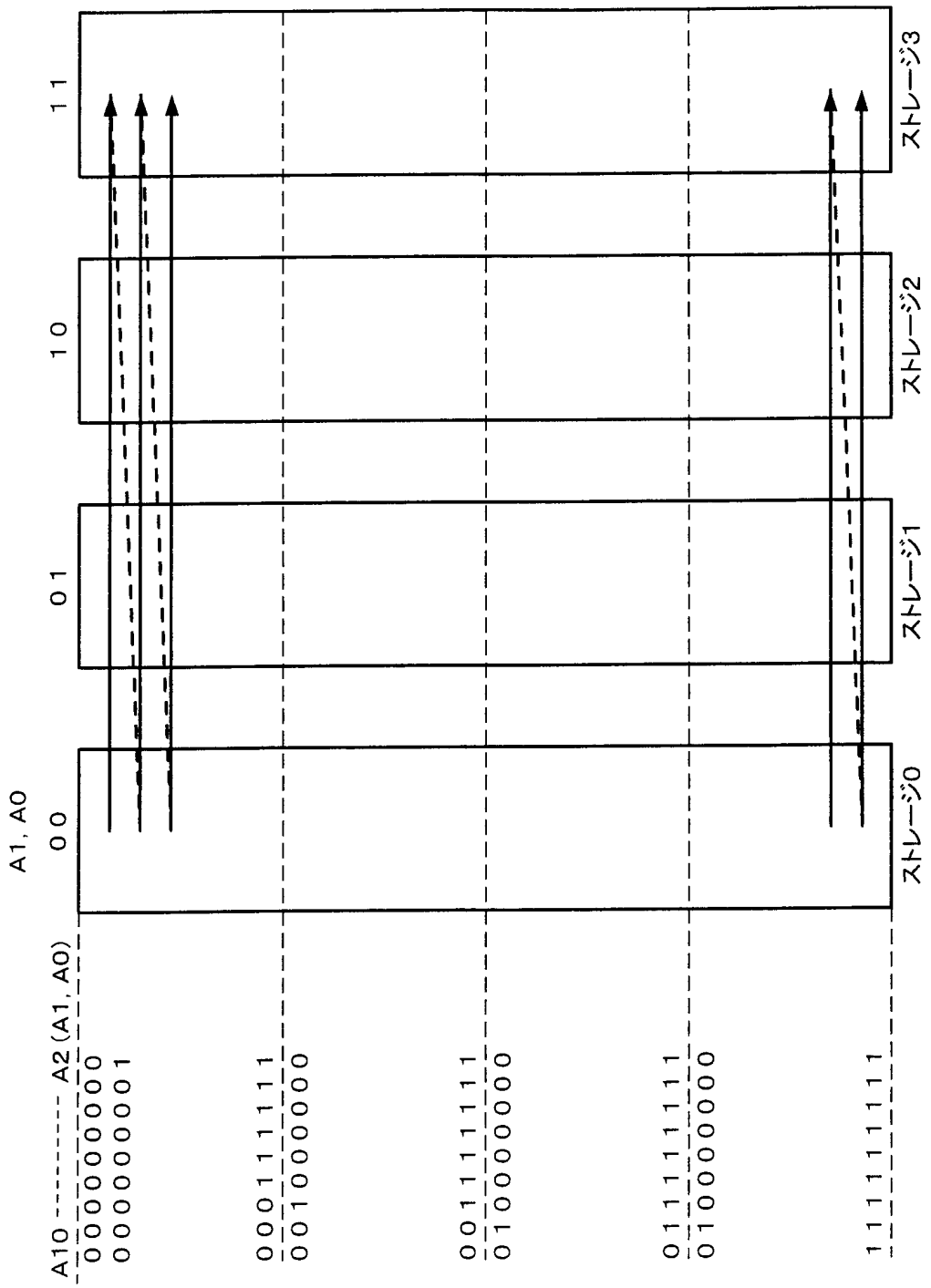
第８図


S1
論理物理変換テーブル作成
S2
セクタ0の送出
S3
セクタ1の送出
S4
セクタ0をライト
S5
セクタ2の送出
S6
セクタ1をライト
S7
セクタ3の送出
S8
セクタ2をライト
S9
セクタ3をライト

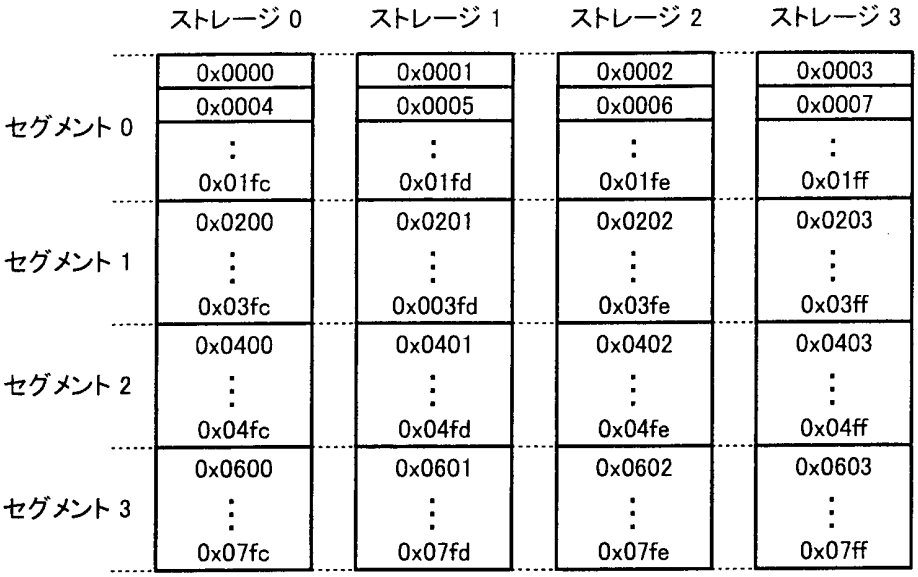
第９図


ストレージ０
ストレージ１
ストレージ２
ストレージ３
A[10,2]
CS0
CS1
CS2
CS3
40
2 to 4 デコーダ
A1
A0

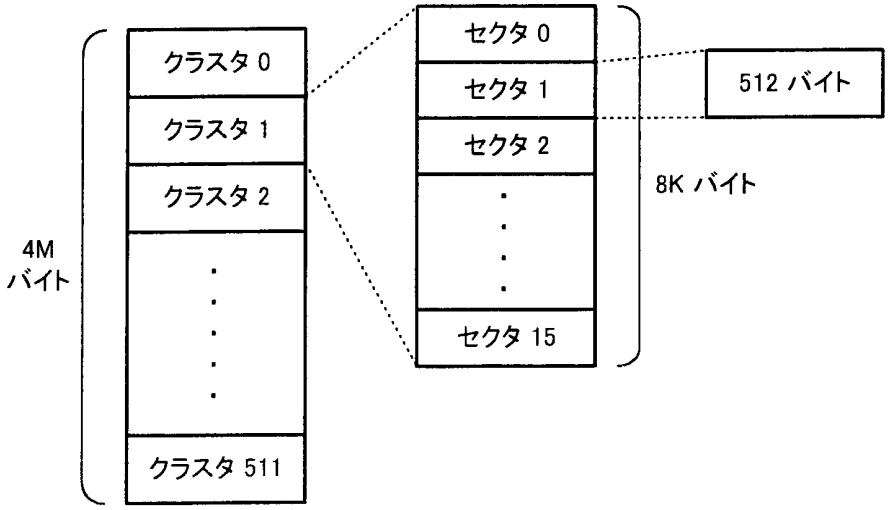
第１０図


A1, A0
00
01
10
11
ストレージ0
ストレージ1
ストレージ2
ストレージ3
A10 ------- A2 (A1, A0)
0 0 0 0 0 0 0 0 0 0
0 0 0 0 0 0 0 0 0 1
0 0 0 1 1 1 1 1 1 1
0 0 1 0 0 0 0 0 0 0
0 0 1 1 1 1 1 1 1 1
0 1 0 0 0 0 0 0 0 0
0 1 1 1 1 1 1 1 1 1
0 1 0 0 0 0 0 0 0 0
1 1 1 1 1 1 1 1 1 1

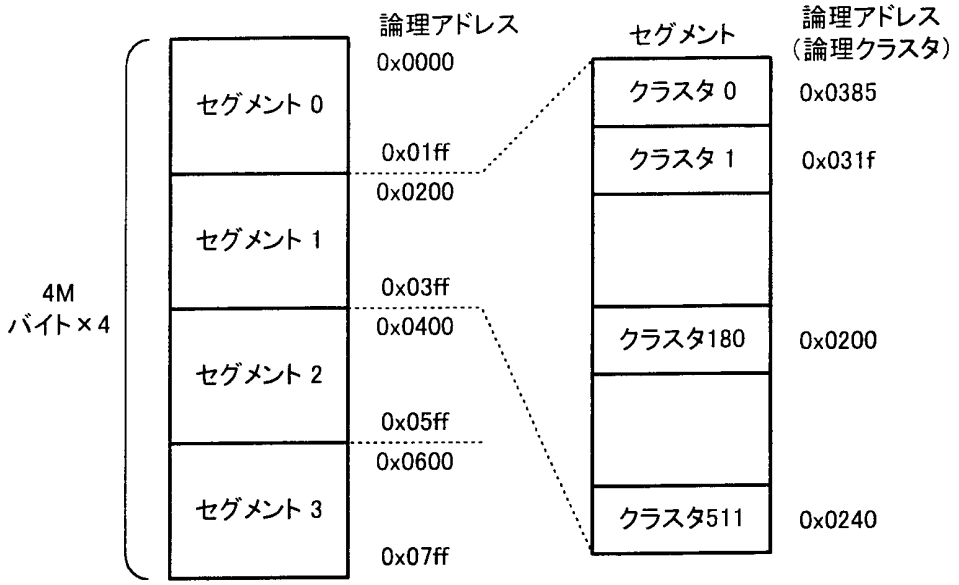
第１１図


ストレージ 0
ストレージ 1
ストレージ 2
ストレージ 3
セグメント 0
セグメント 1
セグメント 2
セグメント 3
0x0000
0x0001
0x0002
0x0003
0x0004
0x0005
0x0006
0x0007
0x01fc
0x01fd
0x01fe
0x01ff
0x0200
0x0201
0x0202
0x0203
0x03fc
0x03fd
0x03fe
0x03ff
0x0400
0x0401
0x0402
0x0403
0x04fc
0x04fd
0x04fe
0x04ff
0x0600
0x0601
0x0602
0x0603
0x07fc
0x07fd
0x07fe
0x07ff

第１２図


4M
バイト
クラスタ 0
クラスタ 1
クラスタ 2
クラスタ 511
セクタ 0
セクタ 1
セクタ 2
セクタ 15
8K バイト
512 バイト

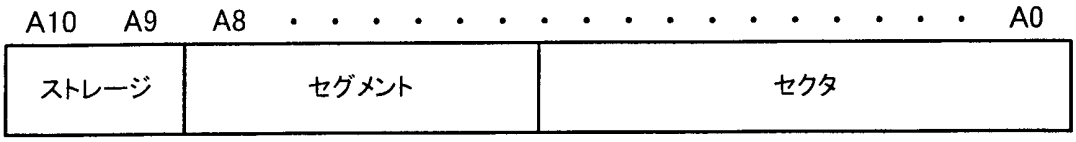
第１３図Ａ



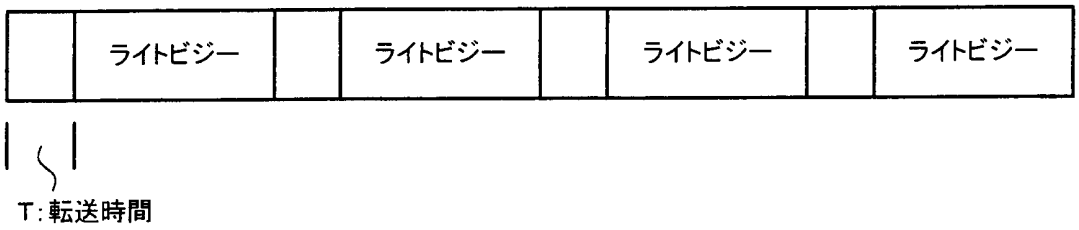
第１３図Ｂ

論理アドレス	物理アドレス
0x0200	180
0x0240	511
0x031f	1
0x0385	0

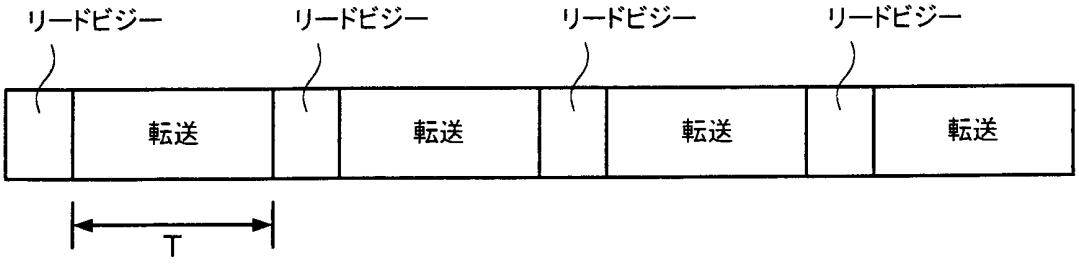
第１４図



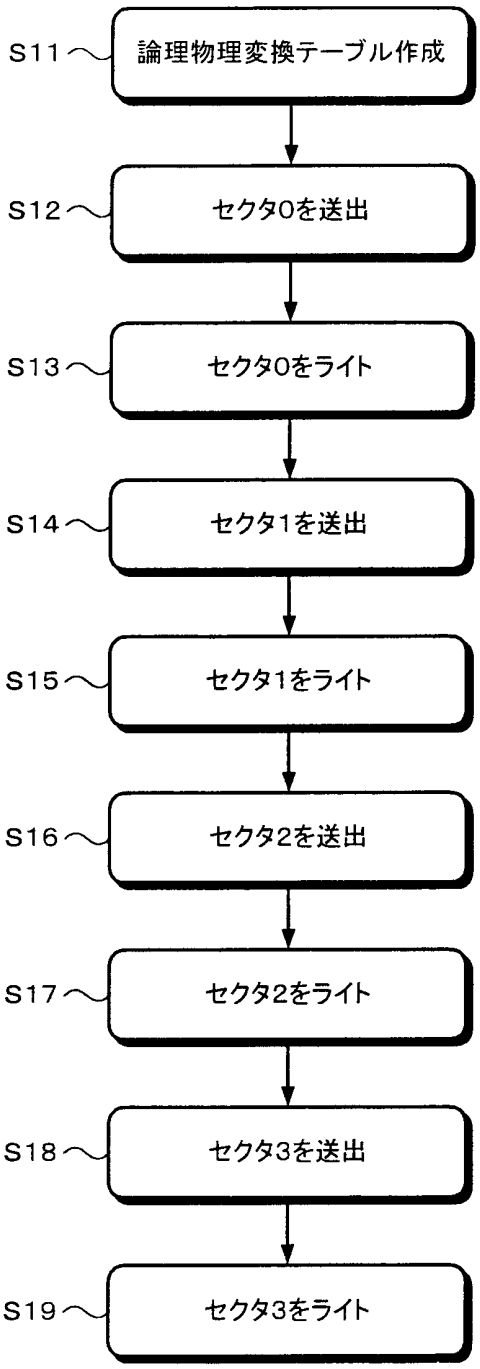
第１５図



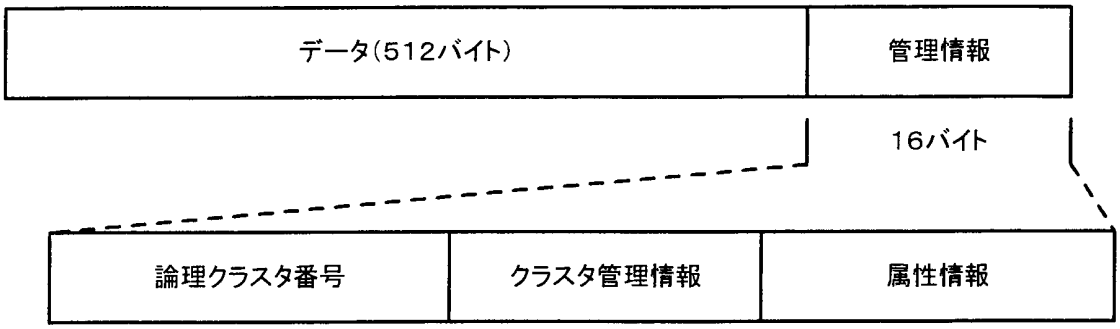
第１６図



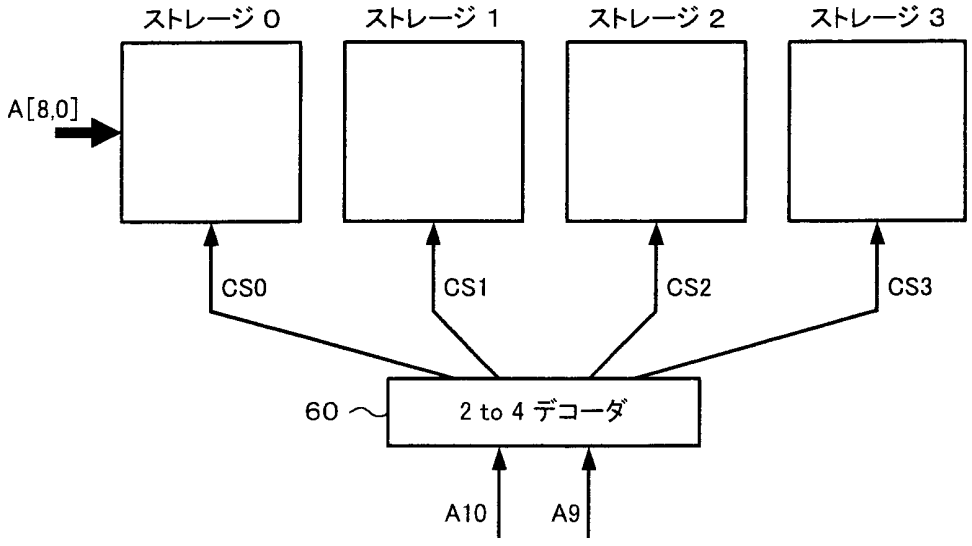
第１７図


S11
論理物理変換テーブル作成
S12
セクタ0を送出
S13
セクタ0をライト
S14
セクタ1を送出
S15
セクタ1をライト
S16
セクタ2を送出
S17
セクタ2をライト
S18
セクタ3を送出
S19
セクタ3をライト

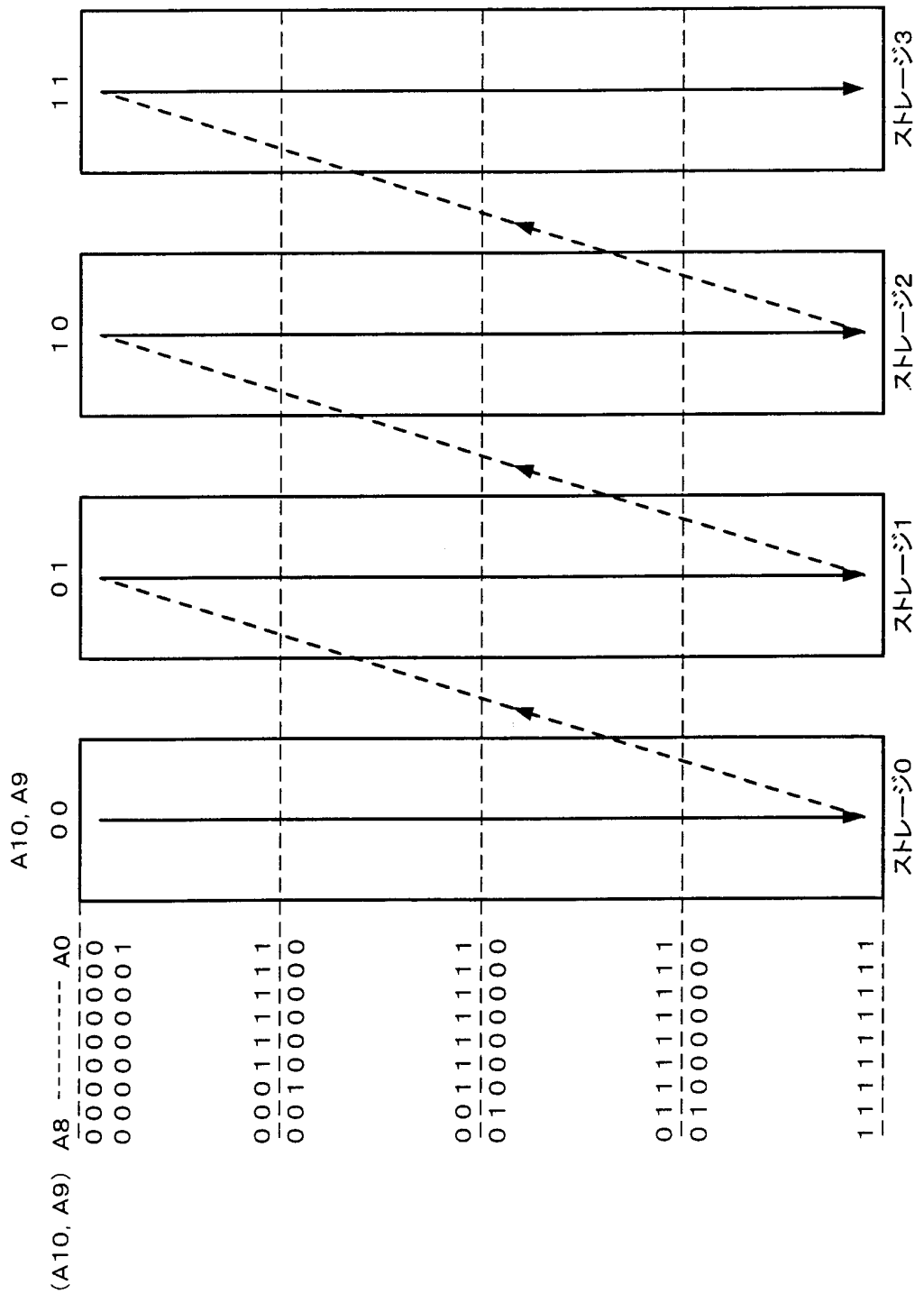
第１８図


データ(512バイト)
管理情報
16バイト
論理クラスタ番号
クラスタ管理情報
属性情報

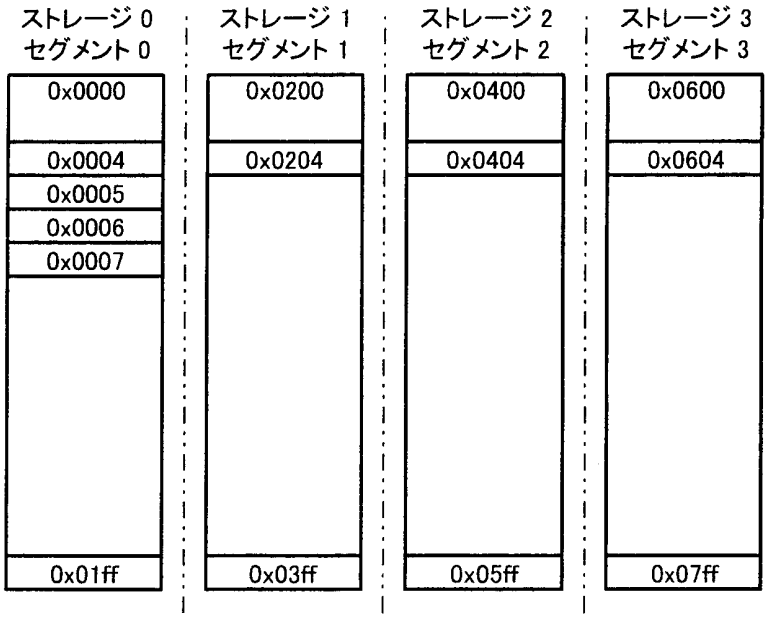
第１９図


ストレージ 0
ストレージ 1
ストレージ 2
ストレージ 3
A[8,0]
CS0
CS1
CS2
CS3
60
2 to 4 デコーダ
A10
A9

第２０図


A10, A9
0 0
0 1
1 0
1 1
ストレージ0
ストレージ1
ストレージ2
ストレージ3
(A10, A9) A8 ---------- A0
0 0 0 0 0 0 0 0 0
0 0 0 0 0 0 0 0 1
0 0 0 1 1 1 1 1 1
0 0 1 0 0 0 0 0 0
0 0 1 1 1 1 1 1 1
0 1 0 0 0 0 0 0 0
0 1 1 1 1 1 1 1 1
0 1 0 0 0 0 0 0 0
1 1 1 1 1 1 1 1 1

第２１図


ストレージ 0
セグメント 0
0x0000
0x0004
0x0005
0x0006
0x0007
0x01ff
ストレージ 1
セグメント 1
0x0200
0x0204
0x03ff
ストレージ 2
セグメント 2
0x0400
0x0404
0x05ff
ストレージ 3
セグメント 3
0x0600
0x0604
0x07ff

1　ＣＰＵ

5　インターフェース

6　メモリカード

7　フラッシュメモリ

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP00/05055

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] G06F12/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] G06F12/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US, 5572466, A (Kabushiki Kaisha Toshiba), 05 November, 1996 (05.11.96) & JP, 6-119128, A	1 - 6
Y	Nikkei Electronics, No. 696, (18 August, 1997), Nikkei BP K.K. (Tokyo), "Sony, Format Kotei no Flash Memory Card wo Kaihatsu", p. 13, 14	1 - 6
Y	JP, 8-87441, A (Fujitsu Limited), 02 April, 1996 (02.04.96) (Family: none)	5
A	JP, 6-4399, A (Hitachi, Ltd.), 14 January, 1994 (14.01.94) (Family: none)	1 - 6

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
07 November, 2000 (07.11.00)

Date of mailing of the international search report
14 November, 2000 (14.11.00)

Name and mailing address of the ISA/
Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ００／０５０５５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））
Int. Cl⁷　G06F12/00

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））
Int. Cl⁷　G06F12/00

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報　1926－1996
日本国公開実用新案公報　1971－2000
日本国登録実用新案公報　1994－2000
日本国実用新案登録公報　1996－2000

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	US,5572466,A(Kabushiki Kaisha Toshiba) 5.11月.1996(05.11.96) & JP,6-119128, A	1 - 6
Y	日経エレクトロニクス, No. 696, (18.8月.1997) 日経BP社（東京), "ソニー, フォーマット固定のフラッシュ・メモリ・カードを開発", p. 13, 14	1 - 6
Y	JP,8-87441, A(富士通株式会社), 2.4月.1996 (02.04.96), ファミリーなし	5
A	JP,6-4399, A(株式会社日立製作所), 14.1月.1994 (14.01.94), ファミリーなし	1 - 6

☐ Ｃ欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
07.11.00	14.11.00
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員） 原　秀人　印　5N　9644 電話番号　０３－３５８１－１１０１　内線　３５８５

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（１９９８年７月）