(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年2月6日(06.02.2025)

WIPO | PCT

(10) 国際公開番号
WO 2025/027845 A1

(51) 国際特許分類:
H01L 23/12 (2006.01) *H01L 23/36* (2006.01)

(21) 国際出願番号： PCT/JP2023/028403

(22) 国際出願日： 2023年8月3日(03.08.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人:三菱電機株式会社(**MITSUBISHI ELECTRIC CORPORATION**) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).

(72) 発明者: 吉松 直樹 (**YOSHIMATSU Naoki**); 〒8190192 福岡県福岡市西区今宿東一丁目1番1号 メルコセミコンダクタエンジニアリング株式会社内 Fukuoka (JP). 河面 英夫(**KOMO Hideo**); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

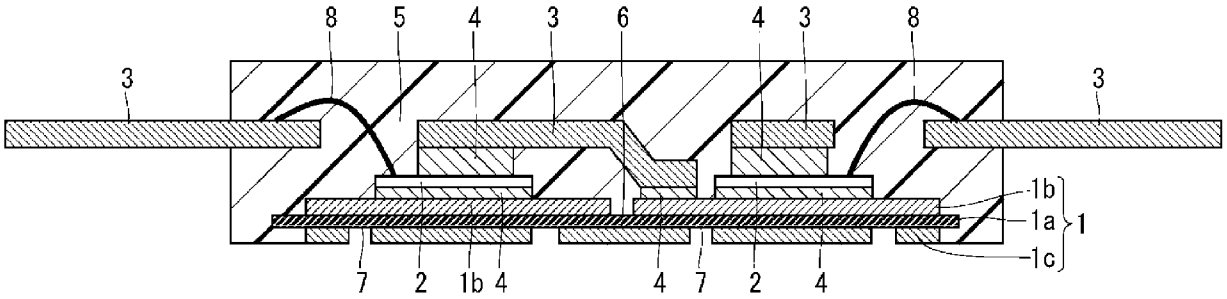
(74) 代理人: 吉竹 英俊, 外(**YOSHITAKE Hidetoshi et al.**); 〒5400001 大阪府大阪市中央区城見1丁目4番70号住友生命OBPプラザビル10階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS,

(54) **Title:** SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置および半導体装置の製造方法



(57) **Abstract:** The objective of the present invention is to provide a technology that can suppress cracking of an insulating substrate even when a product warps after transfer molding. Provided is a semiconductor device comprising: an insulating substrate having an insulating layer, a front surface pattern, and a back surface pattern; a semiconductor element mounted on the front surface pattern; and a mold resin that seals the insulating substrate and the semiconductor element in a state in which the surface of the back surface pattern on the opposite side of the surface thereof that opposes the insulating layer is exposed. The back surface pattern is joined to a heatsink through use of solder, the surface of the back surface pattern that is joined to the heat sink is located at the same height as the surface of the mold resin that opposes the heatsink, the front surface pattern is provided with a first slit for dividing the front surface pattern into a plurality of regions, the back surface pattern is provided with a second slit for dividing the back surface pattern into a plurality of regions. The first slit and the second slit do not overlap or only partially overlap as viewed from the thickness direction of the insulating substrate.

WO 2025/027845 A1

[続葉有]

MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

(57) 要約：トランスファーモールド後に製品の反りが発生した場合にも、絶縁基板が割れることを抑制可能な技術を提供することを目的とする。半導体装置は、絶縁層と表面パターンと裏面パターンとを有する絶縁基板と、表面パターン上に搭載された半導体素子と、裏面パターンにおける絶縁層に対向する面とは反対側の面を露出させた状態で、絶縁基板および半導体素子を封止するモールド樹脂とを備えている。裏面パターンは、ヒートシンクにはんだで接合され、裏面パターンにおけるヒートシンクに接合される面は、モールド樹脂におけるヒートシンクに対向する面と同じ高さ位置に位置し、表面パターンには、表面パターンを複数の領域に分割するための第１スリットが設けられ、裏面パターンには、裏面パターンを複数の領域に分割するための第２スリットが設けられ、絶縁基板の厚み方向から視て、第１スリットと第２スリットは重なっていない、または一部のみが重なっている。

明　細　書

発明の名称 ： 半導体装置および半導体装置の製造方法

技術分野

[0001]　本開示は、半導体装置および半導体装置の製造方法に関するものである。

背景技術

[0002]　例えば、特許文献１には、複数の配線層（表面パターンに相当する）と、複数の配線層の第１裏面が接合された絶縁基板（絶縁層に相当する）と、第２主面が絶縁基板に接合された複数の放熱層（裏面パターンに相当する）と、複数の配線層の前記第１主面のいずれかに接合された半導体素子と、絶縁基板、複数の配線層、および半導体素子を覆う封止樹脂とを備えた半導体装置が開示されている。絶縁基板の表面に接合された複数の配線層と絶縁基板の裏面に接合された複数の放熱層とを、絶縁基板の厚み方向から視て重なるように配置することで、温度変化に伴う絶縁基板の表面側と裏面側の膨張収縮量の差を小さくして絶縁基板に発生する反りを抑制している。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第２０２０／１４９２２５号

発明の概要

発明が解決しようとする課題

[0004]　しかしながら、特許文献１に記載の技術では、トランスファーモールド後に発生する製品の反りに対して考慮されていない。特に、絶縁基板の表面側において複数の配線層に分割するスリットと、裏面側において複数の放熱層に分割するスリットが絶縁基板の厚み方向から視て同じ位置にあるため、複数の配線層と複数の放熱層とを含む基板全体が折れ曲がりやすくなり割れやすいという問題があった。

[0005]　そこで、本開示は、トランスファーモールド後に製品の反りが発生した場合にも、絶縁基板が割れることを抑制可能な技術を提供することを目的とす

る。

課題を解決するための手段

[0006] 本開示に係る半導体装置は、絶縁層と、前記絶縁層の表面に形成された表面パターンと、前記絶縁層の裏面に形成された裏面パターンとを有する絶縁基板と、前記表面パターン上に搭載された半導体素子と、前記裏面パターンにおける前記絶縁層に対向する面とは反対側の面を露出させた状態で、前記絶縁基板および前記半導体素子を封止する封止樹脂と、を備え、前記裏面パターンは、ヒートシンクにはんだで接合され、前記裏面パターンにおける前記ヒートシンクに接合される面は、前記封止樹脂における前記ヒートシンクに対向する面と同じ高さ位置に位置し、前記表面パターンには、前記表面パターンを複数の領域に分割するための第１スリットが設けられ、前記裏面パターンには、前記裏面パターンを複数の領域に分割するための第２スリットが設けられ、前記絶縁基板の厚み方向から視て、前記第１スリットと前記第２スリットは重なっていない、または一部のみが重なっている。

発明の効果

[0007] 本開示によれば、絶縁基板の厚み方向から視て、絶縁基板の表面側の第１スリットと裏面側の第２スリットとの重なり部分が少なくなるため、トランスファーモールド後に製品の反りが発生した場合にも、絶縁基板が割れることを抑制できる。

[0008] この開示の目的、特徴、局面、および利点は、以下の詳細な説明と添付図面とによって、より明白となる。

図面の簡単な説明

[0009] [図1]実施の形態に係る半導体装置の断面図である。

[図2]実施の形態に係る半導体装置の製造方法を示すフローチャートである。

[図3]実施の形態においてダイボンド工程を示す断面図である。

[図4]実施の形態においてリードボンド工程を示す断面図である。

[図5]実施の形態においてワイヤボンド工程を示す断面図である。

[図6]実施の形態においてモールド工程を示す断面図である。

[図7]実施の形態においてはんだ実装工程を示す断面図である。

[図8]実施の形態においてはんだボイドの発生を説明するための半導体装置の断面図である。

[図9]実施の形態に係る半導体装置が備える絶縁基板の一例を示す底面図である。

[図10]実施の形態に係る半導体装置が備える絶縁基板の他の例を示す底面図である。

[図11]実施の形態に係る半導体装置が備える裏面パターンに設けられた第２スリット周辺の拡大断面図である。

[図12]実施の形態の変形例に係る半導体装置が備える裏面パターンに設けられた第２スリット周辺の拡大断面図である。

[図13]関連技術においてはんだボイドの発生を説明するための半導体装置の断面図である。

発明を実施するための形態

[0010] ＜実施の形態＞

＜半導体装置の構成＞

実施の形態について、図面を用いて以下に説明する。図１は、実施の形態に係る半導体装置の断面図である。

[0011] 図１に示すように、半導体装置は、絶縁基板１と、複数の半導体素子２と、複数のリードフレーム３と、封止樹脂としてのモールド樹脂５とを備えている。

[0012] 絶縁基板１は、絶縁層１ａと、表面パターン１ｂと、裏面パターン１ｃとを備えている。絶縁層１ａは、セラミックスにより構成されている。表面パターン１ｂは、銅またはアルミニウムなどの金属により構成され、絶縁層１ａの表面に形成されている。表面パターン１ｂには、表面パターン１ｂを複数の領域に分割するための第１スリット６が設けられている。裏面パターン１ｃは、銅またはアルミニウムなどの金属により構成され、絶縁層１ａの裏面に形成されている。裏面パターン１ｃには、裏面パターン１ｃを複数の領

域に分割するための第２スリット７が設けられている。第２スリット７は、絶縁基板１の厚み方向から視て格子状に設けられている。また、第２スリット７は、絶縁基板１の厚み方向から視て、半導体素子２の周囲を囲むように設けられている。

[0013] 複数の半導体素子２は、表面パターン１ｂ上にはんだ４を介して搭載されている。複数の半導体素子２は、例えばスイッチング素子または整流素子として機能する素子である。スイッチング素子は、例えばＩＧＢＴ（Insulated Gate Bipolar Transistor）、またはＭＯＳＦＥＴ（Metal-Oxide-Semiconductor Field-Effect Transistor）等である。整流素子は、ダイオード素子である。

[0014] 複数の半導体素子２を構成する材料は、例えばシリコン（Ｓｉ）である。なお、複数の半導体素子２を構成する材料は、シリコンに限定されず、例えば、炭化珪素（ＳｉＣ）、窒化ガリウム（ＧａＮ）、またはダイヤモンド（Ｃ）等のワイドバンドギャップ半導体材料であってもよい。ワイドバンドギャップ半導体材料は、Ｓｉのバンドギャップよりも広いバンドギャップを有する材料である。ワイドバンドギャップ半導体材料で構成される複数の半導体素子２は、大電流を使用した動作、および高温環境下における動作等を行うことが可能になる。そのため、複数の半導体素子２を構成する材料は、ワイドバンドギャップ半導体材料であることが好ましい。

[0015] 複数のリードフレーム３の材料は、例えば銅である。複数のリードフレーム３は、はんだ４により半導体素子２の表面電極に接合されたり、はんだ４により表面パターン１ｂに接合されたり、アルミワイヤ８を介して半導体素子２のワイヤパッドに接続されている。

[0016] モールド樹脂５は、例えばエポキシ系の熱硬化性樹脂である。モールド樹脂５は、裏面パターン１ｃにおける絶縁層１ａに対向する面とは反対側の面を露出させた状態で、絶縁基板１および半導体素子２を封止している。

[0017] ここで、半導体装置は、ヒートシンク１０（図７参照）に接合されるが、裏面パターン１ｃにおけるヒートシンク１０に接合される面は、モールド樹

脂５におけるヒートシンク１０に対向する面と同じ高さ位置に位置しているため、裏面パターン１ｃとモールド樹脂５との間に段差が発生しない。

[0018] ＜半導体装置の製造方法＞

次に、図２～図７を用いて、半導体装置の製造方法について説明する。図２は、実施の形態に係る半導体装置の製造方法を示すフローチャートである。図３は、実施の形態においてダイボンド工程を示す断面図である。図４は、実施の形態においてリードボンド工程を示す断面図である。図５は、実施の形態においてワイヤボンド工程を示す断面図である。図６は、実施の形態においてモールド工程を示す断面図である。図７は、実施の形態においてはんだ実装工程を示す断面図である。なお、図２は、半導体装置の製造方法のうちの主要な工程だけを抽出し簡易的に記載したものである。

[0019] 先ず、図２と図３に示すように、ステップＳ１において、絶縁基板１の表面パターン１ｂ上にはんだ４を配置し、その上に半導体素子２を搭載してリフローなどによりはんだ４を溶融させて半導体素子２を絶縁基板１に接合する。なお、実施の形態では、はんだ４による接合を例に挙げているが、これに限らず銀または銅による焼結を実施してもよい。

[0020] 次に、図２と図４に示すように、ステップＳ２において、半導体素子２の表面電極と表面パターン１ｂにはんだ４を配置し、それらの上にリードフレーム３を配置してリフローなどによりはんだ４を溶融させることで、半導体素子２の表面電極とリードフレーム３を接合するとともに、表面パターン１ｂとリードフレーム３を接合する。

[0021] 次に、図２と図５に示すように、ステップＳ３において、半導体素子２のワイヤパッドとリードフレーム３の信号端子を線径１００～４００μｍ程度のアルミワイヤ８で超音波により接合する。

[0022] 次に、図２と図６に示すように、ステップＳ４において、図示しない金型の下型に、ワイヤボンド完了品と、モールド樹脂５の材料となるタブレット状の樹脂をセットし、上型を閉じて１８０℃程度の高温により樹脂をゲル化させ、圧力をかけてランナー、ゲートを通って金型内の空間（キャビティ）

内に流し込む。ゲル化した樹脂は高温下で再び硬化してキャビティと同じ形状を有するモールド樹脂５となる。これを金型から取り出す。

[0023] 次に、図２と図７に示すように、ステップＳ５において、放熱部材であるヒートシンク１０上にはんだ１１と、モールド完了品である半導体装置を配置し、リフローなどによりはんだ１１を溶融させて半導体装置とヒートシンク１０を接合する。

[0024] 上記の工程のうち、ダイボンド工程（ステップＳ１）、リードボンド工程（ステップＳ２）、モールド工程（ステップＳ４）、およびはんだ実装工程（ステップＳ５）では、絶縁基板１は高温下に晒されることになる。絶縁基板１の絶縁層１ａを構成するセラミックスは脆性材料であるため、曲げに対する耐量が低く、各工程において極力反らせないことが重要である。

[0025] しかしながら、絶縁基板１はその機能上、通電性と放熱性を必要とするため、表面および裏面にそれぞれ表面パターン１ｂおよび裏面パターン１ｃが接合されパターニングされている。性能的には銅が優れているため、表面パターン１ｂおよび裏面パターン１ｃに対して銅が一般に使用されている。銅は剛性の高い材料であり、かつ、セラミックスと線膨張係数に差があるため、絶縁層１ａの表面側と裏面側でバランスが悪いと温度変化に伴って反りが起こる。表面パターン１ｂは通電するために第１スリット６によって複数の領域に分割されていることが一般的であり、分割されていない表面パターン１ｂよりも剛性が低くなる。剛性が低くなった表面パターン１ｂとバランスをとるために、裏面パターン１ｃに第２スリット７を設けることで剛性を低くしている。

[0026] また、裏面パターン１ｃは半導体素子２から発生する熱をヒートシンク１０に伝える放熱経路となるため、第２スリット７は半導体素子２の直下には設けられず、半導体素子２の直下の周囲に設けられている。つまり、第２スリット７は、表面パターン１ｂにおける半導体素子２が搭載された箇所に対応する位置の周囲を囲むように設けられている。

[0027] 次に、はんだ１１中に発生するはんだボイド１２について説明する。図１

３は、関連技術においてはんだボイド１２の発生を説明するための半導体装置の断面図である。図８は、実施の形態においてはんだボイド１２の発生を説明するための半導体装置の断面図である。

[0028] ヒートシンク１０にはんだ接合する際に空気を巻き込んで、はんだ１１に空気が残存すると、図１３に示すように、放熱を阻害するはんだボイド１２となる。ヒートシンク１０に接合される接合部材の面積が小さいほどはんだボイド１２は抜けやすいが、絶縁基板１のような面積の大きな接合部材からは抜けにくい。しかし、大きな面積の絶縁基板１の中でも放熱に寄与するのは主に半導体素子２の直下である。そのため、図８に示すように、裏面パターン１ｃに設けられた第２スリット７へはんだボイド１２を排出できれば放熱性に与える影響が小さくなり、放熱性の良い半導体装置を実現することができる。はんだボイド１２が発生する位置は不特定であるため、減圧雰囲気にしたり、揺動させたりすることで、半導体素子２の直下からのはんだボイド１２の排出効果が更に高まる。

[0029] 上記のように、はんだボイド１２を第２スリット７へ排出するためには、第２スリット７がモールド樹脂５で充填されないようにする必要がある。金型の下型にワイヤボンド完了品をセットする際、その位置決めはリードフレーム３で行なう必要がある。これは上型と下型を閉じて樹脂をキャビティ内に注入するときに樹脂が漏れないようにするために、リードフレーム３と金型との間に隙間ができないように加工されているためである。しかしながら、リードフレーム３と絶縁基板１をはんだ４で接合するときに使用する治具の精度とクリアランスによって若干のずれが生じるため、下型の表面にのみ絶縁基板１を接触させることは可能であるが、裏面パターン１ｃの周囲を隙間なく下型に嵌め込むことは困難である。

[0030] そこで、裏面パターン１ｃを表面パターン１ｂのように完全に分割させることなく、最外周のみ繋げておくことで第２スリット７へのモールド樹脂５の流入を抑制することが可能となる。裏面パターン１ｃにおける最外周の繋がっている部分の幅は樹脂が注入される際の圧力および絶縁基板１の平面度

にもよるが、１ｍｍ程度はあった方がよい。

[0031] 図９は、実施の形態に係る半導体装置が備える絶縁基板１の一例を示す底面図である。図１０は、実施の形態に係る半導体装置が備える絶縁基板１の他の例を示す底面図である。図９に示すように、裏面パターン１ｃにおける最外周が繋がっていない場合、トランスファーモールド時にクッション性を有するシートなどを裏面パターン１ｃに押し当てることで、裏面パターン１ｃの最外周からの樹脂の流入を抑制する必要があるが、裏面パターン１ｃの厚みが大きいほど困難となる。図１０に示すように、裏面パターン１ｃの最外周では、裏面パターン１ｃが繋がっていることで、クッション性を有するシートなども不要となるため、裏面パターン１ｃの厚みの制約もなく樹脂の流入を抑制することが可能となる。

[0032] 絶縁基板１単体での反り抑制に関しては上記において説明したとおりであるが、トランスファーモールド後に製品の反りが発生した場合にも、絶縁基板１の割れを抑制することも重要である。トランスファーモールド後の製品の反りは、モールド樹脂５と絶縁基板１の膨張差および収縮差に起因している。したがって、モールド樹脂５と絶縁基板１の線膨張係数を近付けることが重要である。

[0033] モールド樹脂５の線膨張係数などの機械特性を決めるための主要な成分は樹脂とフィラーであり、フィラーの比率を高くすることで線膨張係数を小さくすることができる。但し、フィラーの比率が高くなりすぎると、トランスファーモールド時において樹脂の流動性が悪化するため、現実的には線膨張係数が１０ｐｐｍ／℃～２０ｐｐｍ／℃の範囲となるようなフィラーの比率に調整される。

[0034] 一方、絶縁基板１は、セラミックス（絶縁層１ａ）と表裏の銅パターン（表面パターン１ｂと裏面パターン１ｃ）の複合体とすると、その厚みを変えることにより線膨張係数の調整が可能となる。セラミックスは例えば窒化珪素が多く使用されており、線膨張係数は３．５ｐｐｍ／℃、銅パターンは１６．７ｐｐｍ／℃であり、これらの複合体の線膨張係数はその間の値となり

、どちらに近づくかは、それぞれの剛性の比率によって決まる。剛性の比率はそれぞれのボリュームと弾性係数の積の比率で近似できる。

[0035] モールド樹脂５の線膨張係数１０ｐｐｍ／℃は窒化珪素と銅の線膨張係数の中間であり、それぞれの剛性が同等であればよい。窒化珪素の弾性係数は３００ＧＰａ、銅の弾性係数は１１７ＧＰａ、窒化珪素の厚みをｔ１、銅の厚みをｔ２、銅の面積率は設計仕様により異なってくるが約９割とすると、３００×ｔ１×１＝１１７×ｔ２×０．９となり、ｔ２＝３００／（１１７×０．９）×ｔ１≒２．８５×ｔ１となる。

[0036] つまり、表裏の銅パターンの厚みの合計がセラミックスの厚みの２．８倍、表裏の銅パターンを同じ厚みとすると１．４倍であれば１０ｐｐｍ／℃程度の線膨張係数となる。ここから更に銅パターンの厚みを増加させることで１０ｐｐｍ／℃よりも大きくすることができ、銅リッチにすることで理論的には線膨張係数を限りなく銅に近づけることができる。しかし、絶縁基板１の製造制約と半導体装置のサイズ制約などを考慮すると、表裏の銅パターンの厚みはセラミックスの厚みの３倍～３．５倍程度が上限と考えられる。

[0037] 絶縁基板１単体の反り、およびトランスファーモールド後の製品の反りはなくすことができない。したがって、脆性材料であるセラミックスにより構成された絶縁層１ａを割れにくくしておくことも重要である。

[0038] 表面パターン１ｂと裏面パターン１ｃにスリットが設けられていない場合、表面パターン１ｂと裏面パターン１ｃは絶縁層１ａを保護し曲げにも強くなる。一方、スリットが設けられている場合、表面パターン１ｂ（または裏面パターン１ｃ）のある部分と第１スリット６（または第２スリット７）の部分の剛性差が大きいため、第１スリット６（または第２スリット７）の部分に折れ曲がりが生じて割れやすくなる。絶縁基板１の厚み方向から視て、第１スリット６と第２スリット７が重なっている場合には更に割れやすくなる。

[0039] このような問題を解消するために、実施の形態では、絶縁基板１の厚み方向から視て、第１スリット６と第２スリット７は重なっていない、または一

部のみが重なっている。以下、第１スリット６と第２スリット７の一部のみが重なっている場合について説明する。第１スリット６と第２スリット７は共に少なくとも１つの直線部を有しており、絶縁基板１の厚み方向から視て、第１スリット６と第２スリット７の一部が重なっている場合、絶縁基板１の厚み方向から視て、第１スリット６の予め定められた直線部と、第２スリット７の予め定められた直線部との重なり部分の長さは、第１スリット６の予め定められた直線部の長さと第２スリット７の予め定められた直線部の長さの合計の５０％以下である。なお、図９と図１０では、第２スリット７は格子状に形成されており、複数の直線部を有している。

[0040] このように、第１スリット６と第２スリット７との重なり部分を少なくすることで、トランスファーモールド後に製品の反りが発生した場合にも、絶縁基板１が割れにくい構造を実現することができる。

[0041] ＜効果＞

以上のように、実施の形態に係る半導体装置は、絶縁層１ａと、絶縁層１ａの表面に形成された表面パターン１ｂと、絶縁層１ａの裏面に形成された裏面パターン１ｃとを有する絶縁基板１と、表面パターン１ｂ上に搭載された半導体素子２と、裏面パターン１ｃにおける絶縁層１ａに対向する面とは反対側の面を露出させた状態で、絶縁基板１および半導体素子２を封止するモールド樹脂５とを備えている。裏面パターン１ｃは、ヒートシンク１０にはんだ１１で接合され、裏面パターン１ｃにおけるヒートシンク１０に接合される面は、モールド樹脂５におけるヒートシンク１０に対向する面と同じ高さ位置に位置し、表面パターン１ｂには、表面パターン１ｂを複数の領域に分割するための第１スリット６が設けられ、裏面パターン１ｃには、裏面パターン１ｃを複数の領域に分割するための第２スリット７が設けられ、絶縁基板１の厚み方向から視て、第１スリット６と第２スリット７は重なっていない、または一部のみが重なっている。

[0042] 具体的には、第１スリット６と第２スリット７は共に、少なくとも１つの直線部を有し、絶縁基板１の厚み方向から視て、第１スリット６の少なくと

も１つの直線部のうち予め定められた直線部と、第２スリット７の少なくとも１つの直線部のうち予め定められた直線部との重なり部分の長さは、第１スリット６の予め定められた直線部の長さと第２スリット７の予め定められた直線部の長さの合計の５０％以下である。

[0043] したがって、絶縁基板１の厚み方向から視て、絶縁基板１の表面側の第１スリット６と裏面側の第２スリット７との重なり部分が少なくなるため、トランスファーモールド後に製品の反りが発生した場合にも、絶縁基板１が割れることを抑制できる。以上より、半導体装置の長期使用が可能となる。

[0044] また、第２スリット７内には、モールド樹脂５は充填されていないため、はんだ接合時にはんだ４中に残存するはんだボイド１２を第２スリット７へ排出することができる。これにより、半導体素子２から発生する熱を効率良く放熱することができる。

[0045] また、裏面パターン１ｃの最外周では、裏面パターン１ｃは繋がっているため、トランスファーモールド時の第２スリット７内へのモールド樹脂５の流入を抑制することができる。

[0046] また、第２スリット７は、表面パターン１ｂにおける半導体素子２が搭載された箇所に対応する位置の周囲を囲んでいるため、半導体素子２の直下にはんだボイド１２が発生しにくくなる。これにより、半導体装置の放熱性が向上する。

[0047] また、表面パターン１ｂと裏面パターン１ｃの厚みは共に、絶縁層１ａの厚みの１．４倍以上である。したがって、絶縁基板１の反りを抑制する効果が大きくなり、ひいてはトランスファーモールド後の製品の反りを抑制する効果も大きくなる。

[0048] また、半導体素子２は、ワイドバンドギャップ半導体素子であるため、Ｓｉ半導体素子と比較して高温動作が可能であるが、上記のように半導体装置の放熱効果を高めることができるため、半導体素子２の温度上昇を抑制することができる。これにより、半導体素子２の損失を抑制することが可能となる。

[0049] また、ＳｉＣ製のＭＯＳＦＥＴは、高温でも動作は可能であるが高温になると極端に損失が悪化するため、極力低温での使用が望まれる。半導体素子２から発生する熱を効率良くヒートシンク１０に伝えて半導体素子２の温度上昇を抑制できるため、実施の形態に係る半導体装置の構成は、特にＳｉＣ製のＭＯＳＦＥＴに適している。

[0050] ＜実施の形態の変形例＞

次に、実施の形態の変形例について説明する。図１１は、実施の形態に係る半導体装置が備える裏面パターン１ｃに設けられた第２スリット７周辺の拡大断面図である。図１２は、実施の形態の変形例に係る半導体装置が備える裏面パターン１ｃに設けられた第２スリット７周辺の拡大断面図である。

[0051] 半導体装置では、絶縁基板１の表面側と裏面側に高電圧がかかることがある。例えば電気自動車であれば、４００Ｖ～１０００Ｖ程度の電圧である。図１１に示すように、第２スリット７が裏面パターン１ｃを貫通して絶縁層１ａの裏面まで形成されている場合、第２スリット７にはんだボイド１２（図８参照）が存在すると、はんだボイド１２が絶縁層１ａに接触することで、絶縁層１ａから部分放電１３が発生する可能性がある。

[0052] この問題を回避するために、図１２に示すように、実施の形態の変形例では、第２スリット７は、裏面パターン１ｃを貫通することなく絶縁層１ａの裏面まで形成されていない。つまり、第２スリット７が設けられている箇所においても絶縁層１ａの裏面には裏面パターン１ｃが密着している。

[0053] 次に、絶縁基板１の製造方法について説明する。プレス加工などで打ち抜くことで第２スリット７が形成された裏面パターン１ｃを絶縁層１ａに貼り付ける方法と、第２スリット７が形成されていない裏面パターン１ｃを貼り付けてから、エッチング加工により銅を溶かしてパターニングすることで第２スリット７を形成する方法があり、一般には後者の製造方法を採用することが多い。

[0054] 裏面パターン１ｃにおいて、第２スリット７を形成しない部分にマスクをして、第２スリット７を形成する部分にのみエッチング液を噴射させて溶か

すことでパターニングする。通常はエッチングした部分に絶縁層１ａが露出するが、実施の形態の変形例では、第２スリット７は、裏面パターン１ｃに対するエッチングの際に絶縁基板１の厚み方向の途中でエッチングを止めるハーフエッチングにより形成されている。そのため、エッチングした部分に絶縁層１ａが露出していない。その結果、はんだボイド１２が絶縁層１ａに接触しないため、部分放電１３の発生を抑制することができる。

[0055] この開示は詳細に説明されたが、上記した説明は、すべての局面において、例示であって、限定的なものではない。例示されていない無数の変形例が、想定され得るものと解される。

[0056] なお、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

符号の説明

[0057] １ 絶縁基板、１ａ 絶縁層、１ｂ 表面パターン、１ｃ 裏面パターン、２ 半導体素子、５ モールド樹脂、６ 第１スリット、７ 第２スリット、１０ ヒートシンク、１１ はんだ。

請求の範囲

[請求項1] 絶縁層と、前記絶縁層の表面に形成された表面パターンと、前記絶縁層の裏面に形成された裏面パターンとを有する絶縁基板と、

前記表面パターン上に搭載された半導体素子と、

前記裏面パターンにおける前記絶縁層に対向する面とは反対側の面を露出させた状態で、前記絶縁基板および前記半導体素子を封止する封止樹脂と、を備え、

前記裏面パターンは、ヒートシンクにはんだで接合され、

前記裏面パターンにおける前記ヒートシンクに接合される面は、前記封止樹脂における前記ヒートシンクに対向する面と同じ高さ位置に位置し、

前記表面パターンには、前記表面パターンを複数の領域に分割するための第１スリットが設けられ、

前記裏面パターンには、前記裏面パターンを複数の領域に分割するための第２スリットが設けられ、

前記絶縁基板の厚み方向から視て、前記第１スリットと前記第２スリットは重なっていない、または一部のみが重なっている、半導体装置。

[請求項2] 前記第２スリット内には、前記封止樹脂は充填されていない、請求項１に記載の半導体装置。

[請求項3] 前記裏面パターンの最外周では、前記裏面パターンは繋がっている、請求項１または請求項２に記載の半導体装置。

[請求項4] 前記第２スリットは、前記表面パターンにおける前記半導体素子が搭載された箇所に対応する位置の周囲を囲んでいる、請求項１から請求項３のいずれか１項に記載の半導体装置。

[請求項5] 前記第１スリットと前記第２スリットは共に、少なくとも１つの直線部を有し、

前記絶縁基板の前記厚み方向から視て、前記第１スリットの少なく

とも１つの前記直線部のうち予め定められた前記直線部と、前記第２スリットの少なくとも１つの前記直線部のうち予め定められた前記直線部との重なり部分の長さは、前記第１スリットの予め定められた前記直線部の長さと前記第２スリットの予め定められた前記直線部の長さの合計の５０％以下である、請求項１から請求項４のいずれか１項に記載の半導体装置。

[請求項6] 前記表面パターンと前記裏面パターンの厚みは共に、前記絶縁層の厚みの１．４倍以上である、請求項１から請求項５のいずれか１項に記載の半導体装置。

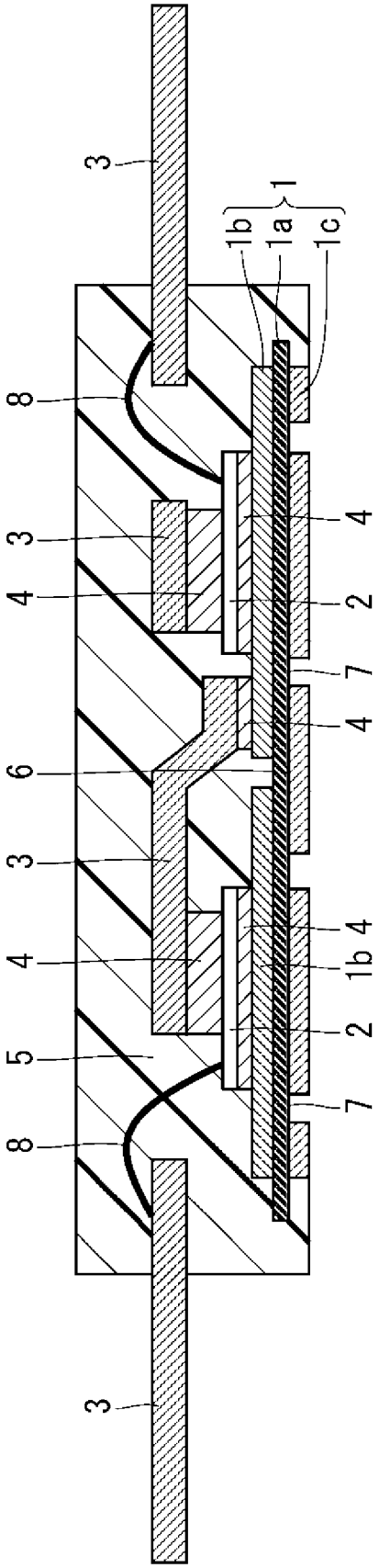
[請求項7] 前記第２スリットは、前記裏面パターンを貫通することなく前記絶縁層の前記裏面まで形成されていない、請求項１から請求項６のいずれか１項に記載の半導体装置。

[請求項8] 前記半導体素子は、ワイドバンドギャップ半導体素子である、請求項１から請求項７のいずれか１項に記載の半導体装置。

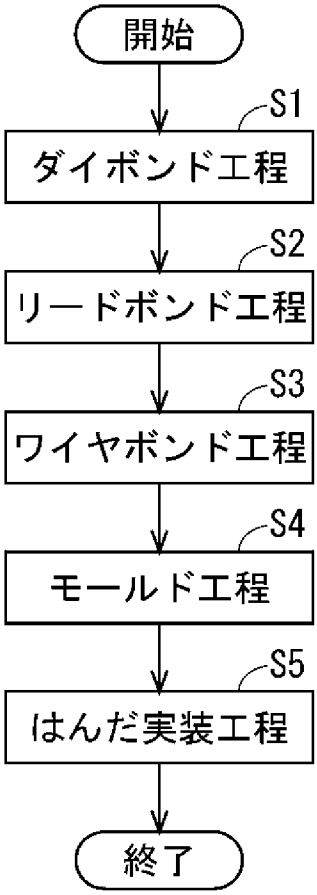
[請求項9] 請求項７に記載の半導体装置を製造する製造方法であって、

前記第２スリットは、前記裏面パターンに対するエッチングの際に前記絶縁基板の前記厚み方向の途中でエッチングを止めるハーフエッチングにより形成されている、半導体装置の製造方法。

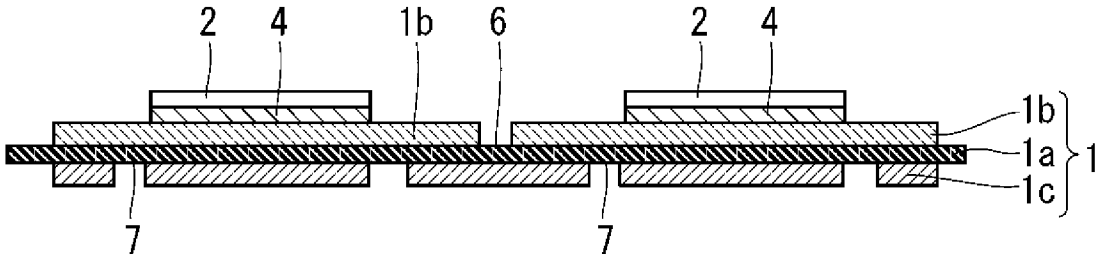
[図1]



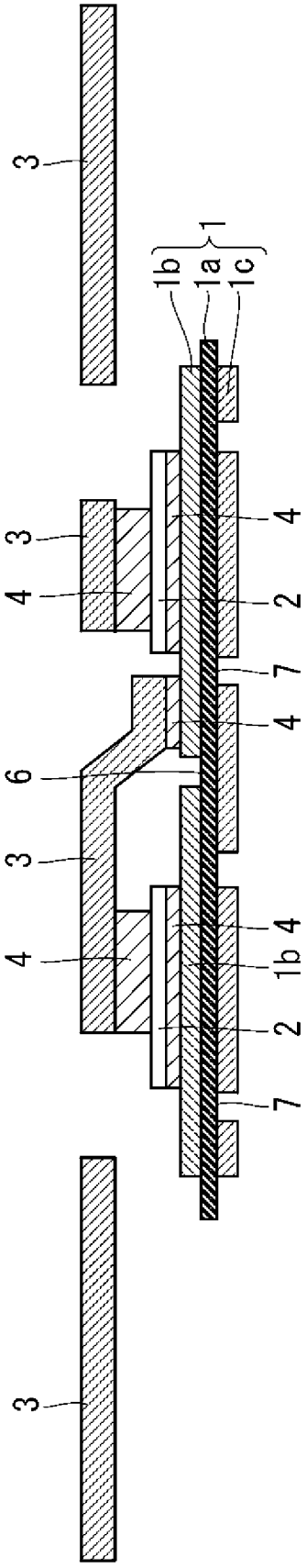
[図2]


開始
S1
ダイボンド工程
S2
リードボンド工程
S3
ワイヤボンド工程
S4
モールド工程
S5
はんだ実装工程
終了

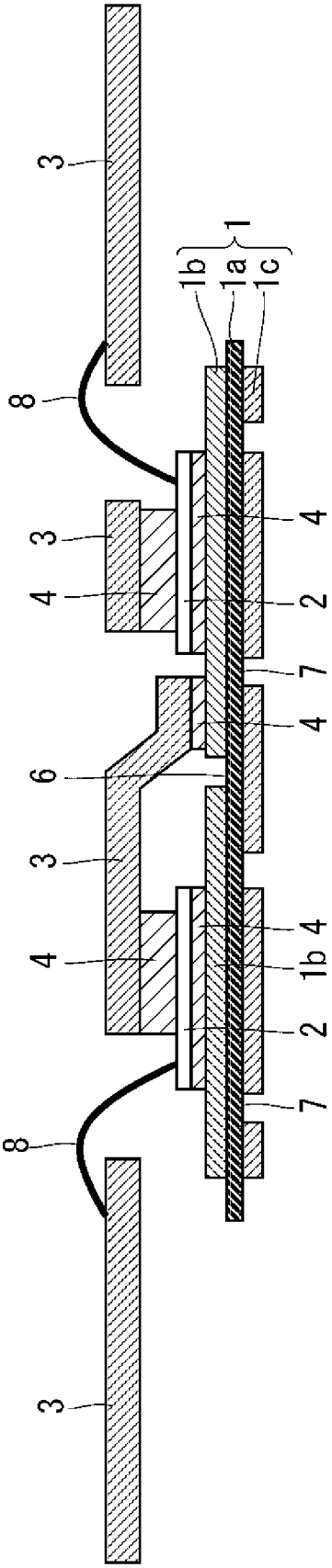
[図3]


2
4
1b
6
2
4
1b
1a
1c
1
7
7

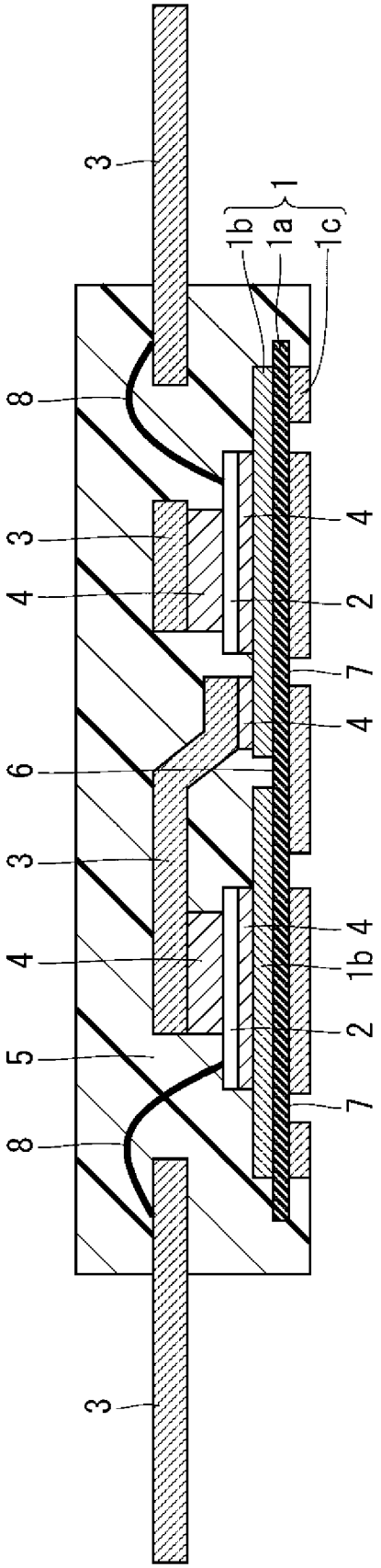
[図4]



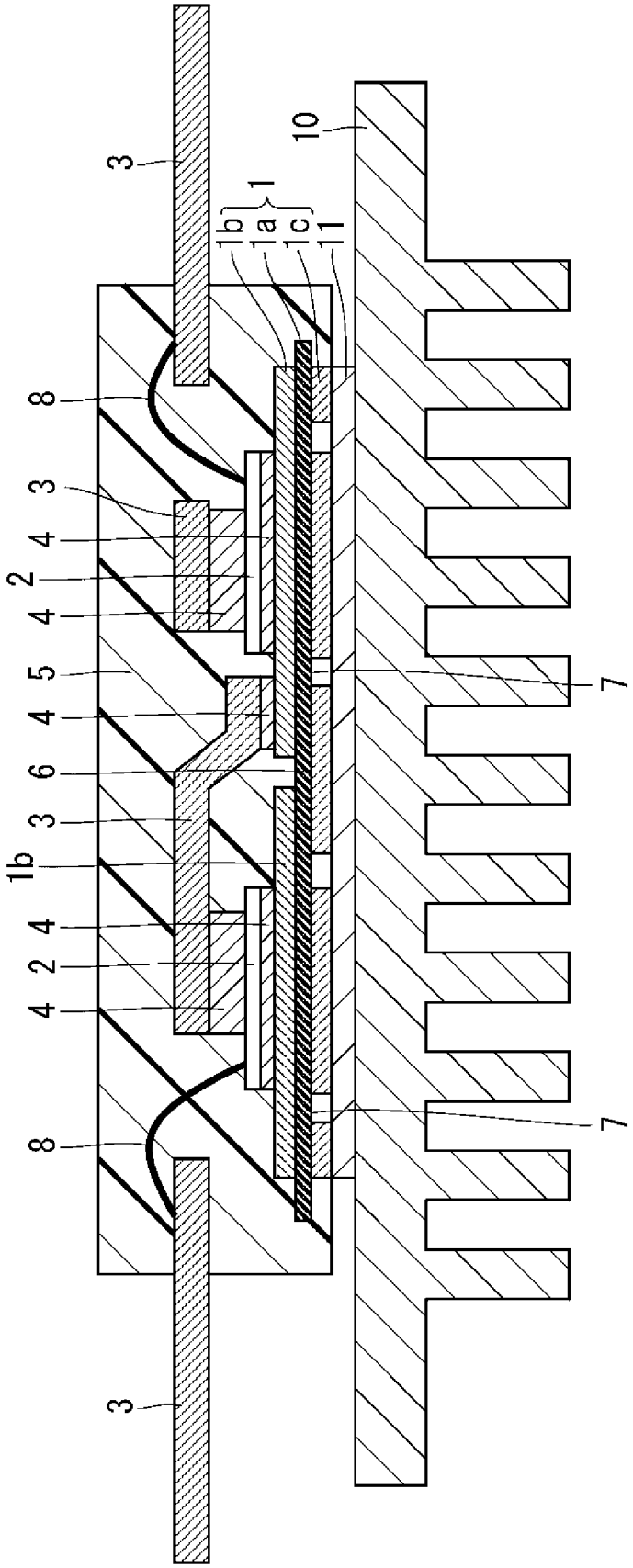
[図5]



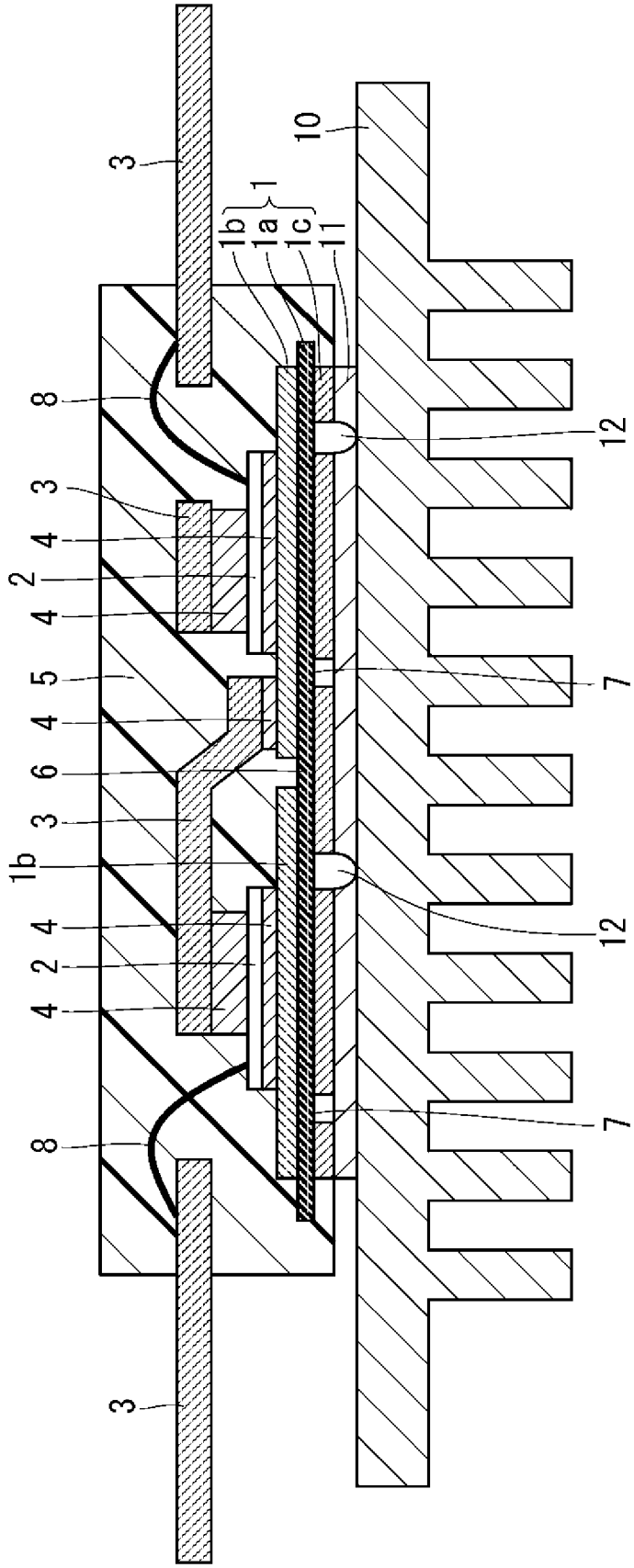
[図6]



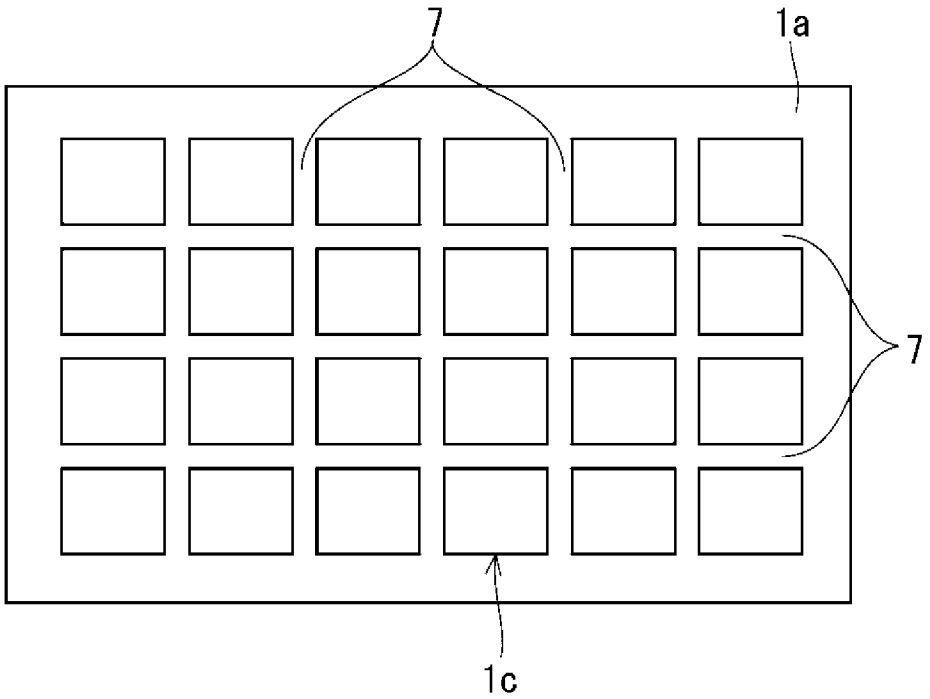
[図7]



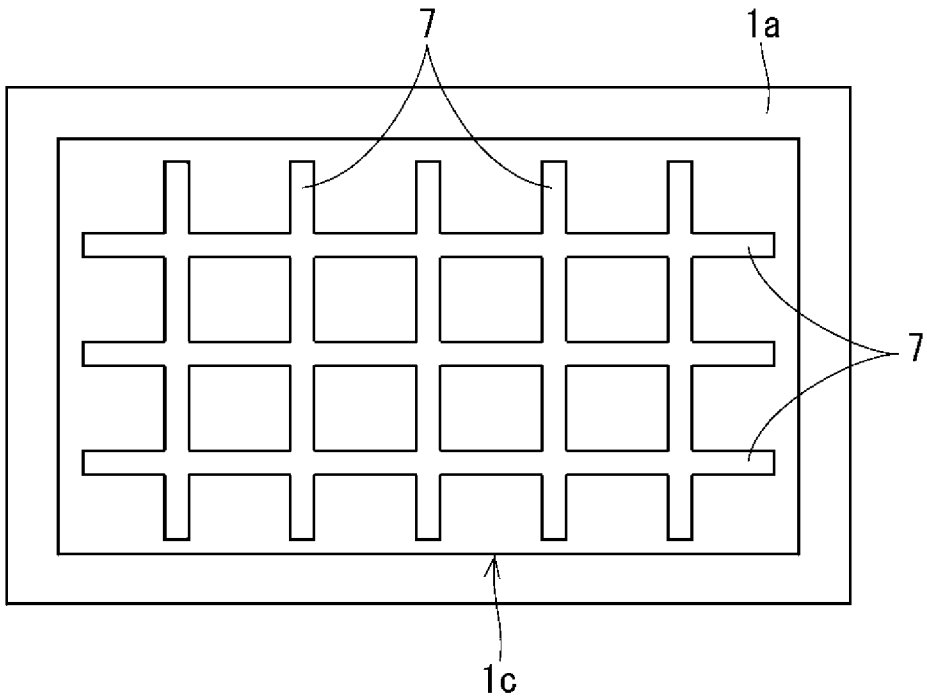
[図8]



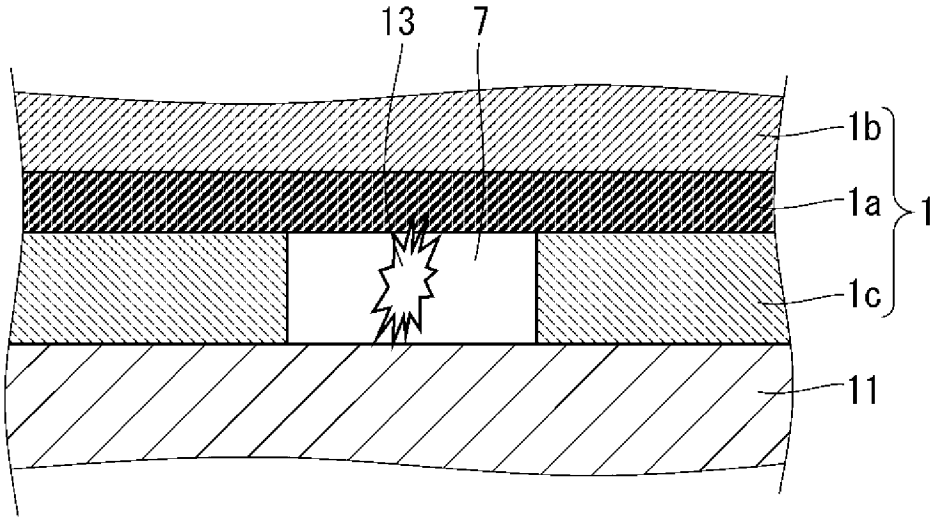
[図9]



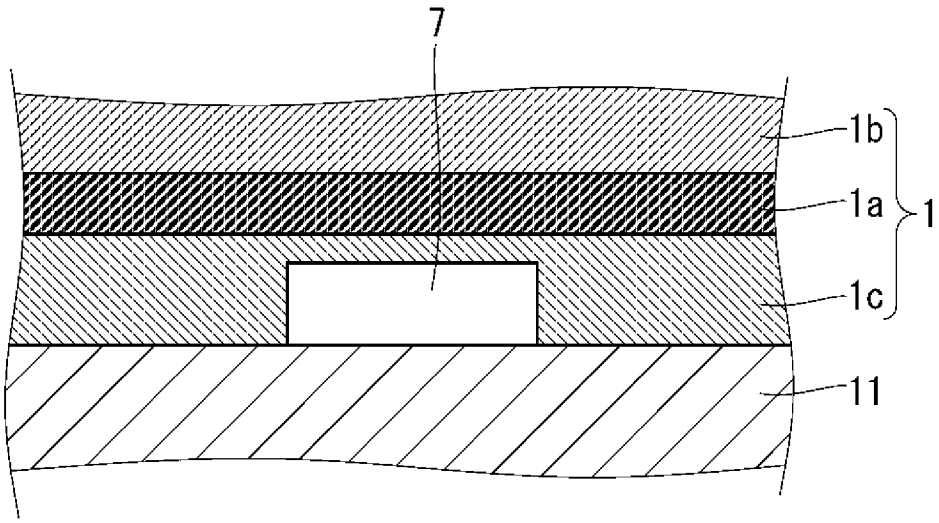
[図10]



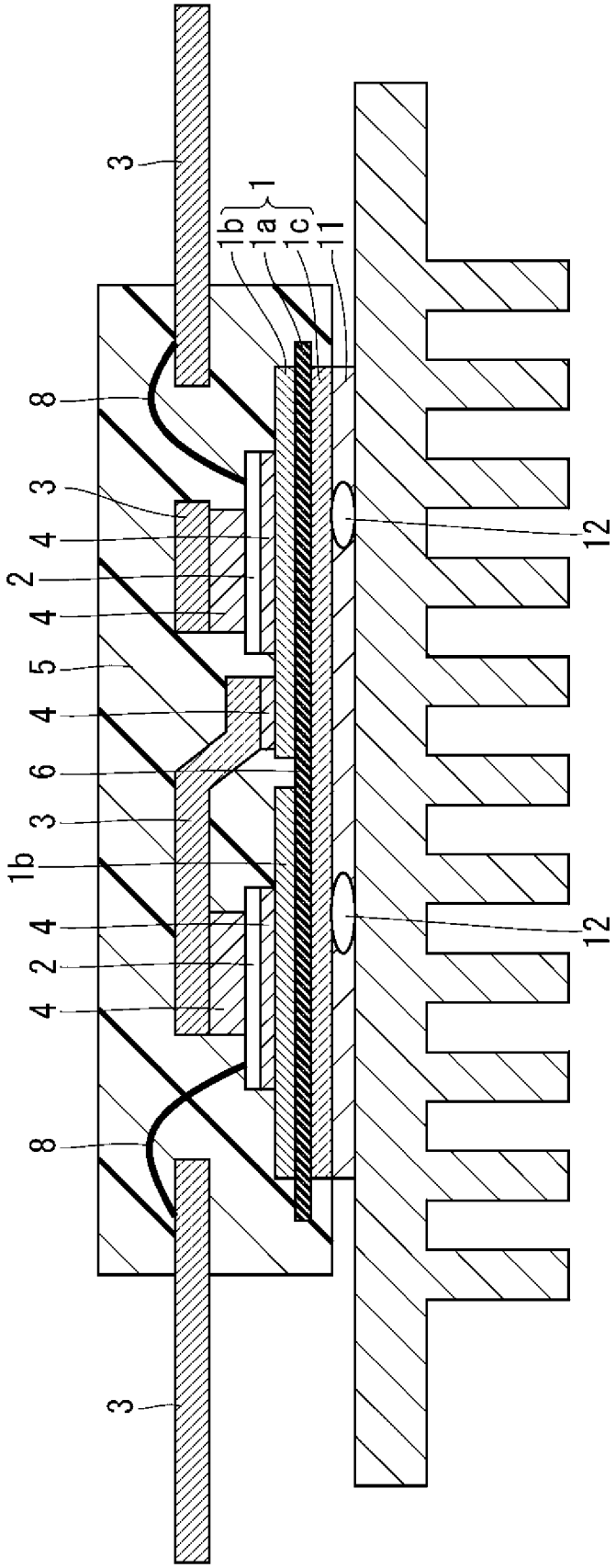
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/028403

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/12(2006.01)i; ***H01L 23/36***(2006.01)i
FI: H01L23/12 J; H01L23/36 C

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/12; H01L23/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2021-97071 A (MITSUBISHI MATERIALS CORPORATION) 24 June 2021 (2021-06-24) paragraphs [0039]-[0063], fig. 2-14	1, 3, 4, 6-9
A		2,5
Y	JP 2014-216459 A (MITSUBISHI ELECTRIC CORPORATION) 17 November 2014 (2014-11-17) paragraph [0096], fig. 6	1, 3, 4, 6-9
A		2,5
Y	JP 2016-143846 A (MITSUBISHI ELECTRIC CORPORATION) 08 August 2016 (2016-08-08) paragraphs [0018], [0023], [0060], fig. 6	1, 3, 4, 6-9
A		2,5
Y	WO 2019/146640 A1 (MITSUBISHI MATERIALS CORPORATION) 01 August 2019 (2019-08-01) paragraph [0055], fig. 6	1, 3, 4, 6-9
A		2,5

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
05 October 2023	**17 October 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-17627 A (KABUSHIKI KAISHA TOSHIBA) 17 January 2003 (2003-01-17) paragraph [0044], fig. 3	3, 4, 6-9
A		2,5
Y	WO 2018/173921 A1 (KABUSHIKI KAISHA TOSHIBA) 27 September 2018 (2018-09-27) paragraph [0018]	9
A		2,5
A	JP 2004-158613 A (NISSAN MOTOR CO., LTD.) 03 June 2004 (2004-06-03) entire text, all drawings	1-9
A	JP 2017-17297 A (RICOH COMPANY, LTD.) 19 January 2017 (2017-01-19) entire text, all drawings	1-9

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/028403

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2021-97071 A	24 June 2021	(Family: none)	
JP 2014-216459 A	17 November 2014	(Family: none)	
JP 2016-143846 A	08 August 2016	(Family: none)	
WO 2019/146640 A1	01 August 2019	US 2021/0074607 A1 paragraph [0062], fig. 6 EP 3745453 A1 CN 111602238 A KR 10-2020-0112845 A TW 201933560 A	
JP 2003-17627 A	17 January 2003	(Family: none)	
WO 2018/173921 A1	27 September 2018	US 2019/0385926 A1 paragraph [0090] EP 3608951 A1 CN 110313064 A	
JP 2004-158613 A	03 June 2004	(Family: none)	
JP 2017-17297 A	19 January 2017	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2023/028403

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 23/12(2006.01)i; H01L 23/36(2006.01)i
FI: H01L23/12 J; H01L23/36 C

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L23/12; H01L23/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2021-97071 A (三菱マテリアル株式会社) 24.06.2021 (2021-06-24) 段落[0039]-[0063],図2-14	1,3,4,6-9
A		2,5
Y	JP 2014-216459 A (三菱電機株式会社) 17.11.2014 (2014-11-17) 段落[0096],図6	1,3,4,6-9
A		2,5
Y	JP 2016-143846 A (三菱電機株式会社) 08.08.2016 (2016-08-08) 段落[0018],[0023],[0060],図6	1,3,4,6-9
A		2,5
Y	WO 2019/146640 A1 (三菱マテリアル株式会社) 01.08.2019 (2019-08-01) 段落[0055],図6	1,3,4,6-9
A		2,5
Y	JP 2003-17627 A (株式会社東芝) 17.01.2003 (2003-01-17) 段落[0044],図3	3,4,6-9
A		2,5

☑ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
05.10.2023	17.10.2023

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

佐藤　靖史 5F 5895

電話番号 03-3581-1101 内線 3516

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	WO 2018/173921 A1 (株式会社東芝) 27.09.2018 (2018-09-27) 段落[0018]	9
A		2,5
A	JP 2004-158613 A (日産自動車株式会社) 03.06.2004 (2004-06-03) 全文,全図	1-9
A	JP 2017-17297 A (株式会社リコー) 19.01.2017 (2017-01-19) 全文,全図	1-9

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/028403

引用文献	公表日	パテントファミリー文献	公表日
JP 2021-97071 A	24.06.2021	（ファミリーなし）	
JP 2014-216459 A	17.11.2014	（ファミリーなし）	
JP 2016-143846 A	08.08.2016	（ファミリーなし）	
WO 2019/146640 A1	01.08.2019	US 2021/0074607 A1 段落[0062],図6 EP 3745453 A1 CN 111602238 A KR 10-2020-0112845 A TW 201933560 A	
JP 2003-17627 A	17.01.2003	（ファミリーなし）	
WO 2018/173921 A1	27.09.2018	US 2019/0385926 A1 段落[0090] EP 3608951 A1 CN 110313064 A	
JP 2004-158613 A	03.06.2004	（ファミリーなし）	
JP 2017-17297 A	19.01.2017	（ファミリーなし）	