(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0136076
(43) 공개일자 2021년11월16일

(51) 국제특허분류(Int. Cl.)
H01L 23/58 (2006.01) *H01L 23/31* (2006.01)
H01L 23/498 (2006.01) *H01L 25/18* (2006.01)
H01L 37/00 (2006.01) *H05K 1/18* (2006.01)
(52) CPC특허분류
H01L 23/58 (2013.01)
H01L 23/3128 (2013.01)
(21) 출원번호 10-2021-7032068
(22) 출원일자(국제) 2020년03월02일
심사청구일자 2021년10월06일
(85) 번역문제출일자 2021년10월06일
(86) 국제출원번호 PCT/JP2020/008578
(87) 국제공개번호 WO 2020/184234
국제공개일자 2020년09월17일
(30) 우선권주장
JP-P-2019-044970 2019년03월12일 일본(JP)

(71) 출원인
가부시키가이샤 지씨이 인스티튜트
일본국 도쿄도 추오쿠 긴자 6쵸메 6-1
(72) 발명자
고토 히로시
일본국 1040061 도쿄도 추오쿠 긴자 6쵸메 6-1 가부시키가이샤 지씨이 인스티튜트 내
사카타 미노루
일본국 1040061 도쿄도 추오쿠 긴자 6쵸메 6-1 가부시키가이샤 지씨이 인스티튜트 내
(74) 대리인
특허법인와이에스장

전체 청구항 수 : 총 5 항

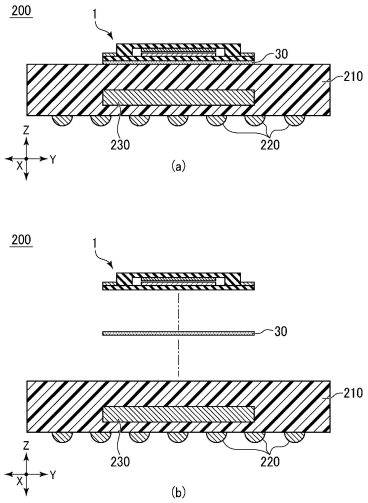
(54) 발명의 명칭 **발전 기능 보유 반도체 집적 회로 장치**

(57) 요 약

[과제] 회로 기판의 대형화를 억제 가능한 발전 기능 보유 반도체 집적 회로 장치를 제공하는 것.

[해결 수단] 발전 기능 보유 반도체 집적 회로 장치(200)는 반도체 집적 회로 장치와, 열전 소자(1)를 가진다. 반도체 집적 회로 장치는 반도체 집적 회로 칩(230)을 수용하는 패키지(210)를 포함한다. 반도체 집적 회로 칩(230)은 회로 기판과 대향되는 하면, 및 상기 탑재면과 대향한 상면을 가진다. 열전 소자(1)는 수용부를 가지는 케이싱부와, 수용부 내에 설치된 제1 전극부와, 수용부 내에 설치되고, 제1 전극부와 제1 방향으로 이간하여 대향하고, 제1 전극부와는 다른 일함수를 가지는 제2 전극부와, 수용부 내의, 제1 전극부와 제2 전극부의 사이에 설치되고, 제1 전극부의 일함수와 제2 전극부의 일함수 사이의 일함수를 가지는 나노 입자를 포함하는 중간부를 포함한다. 케이싱부는 반도체 집적 회로 칩(230)의 상면측에 설치되어 있다.

대 표 도 - 도1



(52) CPC특허분류
H01L 23/49816 (2013.01)
H01L 25/18 (2013.01)
H01L 37/00 (2021.01)
H05K 1/18 (2020.08)

명 세 서

청구범위

청구항 1

반도체 집적 회로 장치와, 상기 반도체 집적 회로 장치로부터 방출된 열 에너지를 전기 에너지로 변환하는 열전 소자를 가지는 발전 기능 보유 반도체 집적 회로 장치로서,

상기 반도체 집적 회로 장치는 반도체 집적 회로 칩을 수용하는 패키지를 포함하고,

상기 반도체 집적 회로 칩은 회로 기판과 대향되는 하면, 및 상기 하면과 대향한 상면을 가지고,

상기 열전 소자는

수용부를 가지는 케이싱부와,

상기 수용부 내에 설치된 제1 전극부와,

상기 수용부 내에 설치되고, 상기 제1 전극부와 제1 방향으로 이간하여 대향하고, 상기 제1 전극부와는 다른 일함수를 가지는 제2 전극부와,

상기 수용부 내의, 상기 제1 전극부와 상기 제2 전극부의 사이에 설치되고, 상기 제1 전극부의 일함수와 상기 제2 전극부의 일함수 사이의 일함수를 가지는 나노 입자를 포함하는 중간부

를 포함하고,

상기 케이싱부는 상기 반도체 집적 회로 칩의 상기 상면측에 설치되어 있는 것을 특징으로 하는 발전 기능 보유 반도체 집적 회로 장치.

청구항 2

제1항에 있어서,

상기 열전 소자는

상기 제1 전극부와 전기적으로 접속되고, 상기 제1 전극부를 상기 수용부의 밖으로 도출하는 제1 접속 배선과,

상기 제2 전극부와 전기적으로 접속되고, 상기 제2 전극부를 상기 수용부의 밖으로 도출하는 제2 접속 배선

을 더 포함하고,

상기 제1 전극부와 상기 제1 접속 배선과의 제1 전기적 접점, 및 상기 제2 전극부와 상기 제2 접속 배선과의 제2 전기적 접점의 각각은 상기 수용부 내에 설치되어 있는 것을 특징으로 하는 발전 기능 보유 반도체 집적 회로 장치.

청구항 3

제2항에 있어서,

상기 케이싱부는 제1 주면과, 상기 제1 주면과 대향하고, 상기 반도체 집적 회로 칩의 상기 상면과 마주 향하는 제2 주면을 가지는 제1 기판을 포함하고,

상기 열전 소자는

상기 제1 접속 배선과 전기적으로 접속된 제1 외부 단자와,

상기 제2 접속 배선과 전기적으로 접속된 제2 외부 단자

를 더 포함하고,

상기 제1 외부 단자 및 상기 제2 외부 단자의 각각은 상기 제1 기판의 상기 제1 주면 위에 설치되어 있는 것을 특징으로 하는 발전 기능 보유 반도체 집적 회로 장치.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 열전 소자는 평행 평판형 열전 소자, 및 빗살형 열전 소자의 적어도 하나를 포함하는 것을 특징으로 하는 발전 기능 보유 반도체 집적 회로 장치.

청구항 5

제1항 내지 제3항 중 어느 한 항에 있어서,

외부로부터 공급되는 외부 입력 전력, 및 상기 열전 소자로부터 공급되는 보조 입력 전력의 각각의 입력이 가능한, 상기 외부 입력 전력 및 상기 보조 입력 전력의 각각을 반도체 집적 회로 장치 입력 전력으로 변환하고, 상기 반도체 집적 회로 장치 입력 전력을 상기 반도체 집적 회로 장치에 출력하는 전원 회로

를 더 갖추는 것을 특징으로 하는 발전 기능 보유 반도체 집적 회로 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 발전 기능 보유 반도체 집적 회로 장치에 관한 것이다.

배 경 기 술

[0002] 최근, 인공 열원이 발하는 열의 유효 이용이 고려되고 있다. 인공 열원의 하나로서 반도체 집적 회로 장치가 있다. 반도체 집적 회로 장치는, 동작 시, 높은 열을 발한다. 이 열은 현재 히트싱크 등을 통하여 반도체 집적 회로 장치의 밖으로 발산되고 있다.

[0003] 특허문헌 1에는, 에미터 전극층과 콜렉터 전극층을 서브마이크로 간격으로 이간하는 전기절연성의 구상 나노 비드를 갖추고, 에미터 전극층의 일함수를 콜렉터 전극층의 일함수보다도 작게 하고, 에미터 전극층과 콜렉터 전극층의 중간의 일함수를 가지며, 또한 구상 나노 비드보다도 입자 직경이 작은 금속 나노 입자가 분산된 금속 나노 입자 분산액을, 구상 나노 비드에 의해 이간된 전극 간의 공간에 충전한 열전 소자가 개시되어 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 특허 제6147901호 공보

발명의 내용

해결하려는 과제

[0005] 특허문헌 1에 개시된 열전 소자에서는, 에미터 전극층의 일함수를 콜렉터 전극층의 일함수보다 작게 하고, 금속 나노 입자 분산액을 구상 나노 비드로 이간된 전극 간의 공간에 충전한다. 이것에 의해, 제벡 소자와 같이, 열전 소자의 전극 간에 온도차를 생기게 하는 것과 같은 기구가 없어도, 열전 소자는 발전할 수 있다.

[0006] 이러한 전극 간에 온도차를 필요로 하지 않는 열전 소자에 의해, 반도체 집적 회로 장치가 발하는 열 에너지를 수확하여 발전할 수 있으면, 반도체 집적 회로 장치가 이용된 전자기기의 보조 전원 등으로서 유망하다.

[0007] 그러나, 열전 소자를 회로 기판 등에 탑재할 필요가 있어, 회로 기판의 대형화를 조장한다고 하는 사정이 있다.

[0008] 본 발명은 상기 사정을 감안하여 행해진 것으로, 그 목적은 회로 기판의 대형화를 억제 가능한 발전 기능 보유 반도체 집적 회로 장치를 제공하는 것에 있다.

과제의 해결 수단

[0009] 제1 발명에 따른 발전 기능 보유 반도체 집적 회로 장치는 반도체 집적 회로 장치와, 상기 반도체 집적 회로 장치로부터 방출된 열 에너지를 전기 에너지로 변환하는 열전 소자를 가지는 발전 기능 보유 반도체 집적 회로 장치로서, 상기 반도체 집적 회로 장치는 반도체 집적 회로 칩을 수용하는 패키지를 포함하고, 상기 반도체 집적 회로 칩은 회로 기판과 대향되는 하면, 및 상기 하면과 대향한 상면을 가지고, 상기 열전 소자는 수용부를 가지는 케이싱부와, 상기 수용부 내에 설치된 제1 전극부와, 상기 수용부 내에 설치되고, 상기 제1 전극부와 제1 방향으로 이간하여 대향하고, 상기 제1 전극부와는 상이한 일함수를 가지는 제2 전극부와, 상기 수용부 내의, 상기 제1 전극부와 상기 제2 전극부의 사이에 설치되고, 상기 제1 전극부의 일함수와 상기 제2 전극부의 일함수 사이의 일함수를 가지는 나노 입자를 포함하는 중간부를 포함하고, 상기 케이싱부는 상기 반도체 집적 회로 칩의 상기 상면측에 설치되어 있는 것을 특징으로 한다.

[0010] 제2 발명에 따른 발전 기능 보유 반도체 집적 회로 장치는, 제1 발명에 있어서, 상기 열전 소자는 상기 제1 전극부와 전기적으로 접속되고, 상기 제1 전극부를 상기 수용부의 밖으로 도출하는 제1 접속 배선과, 상기 제2 전극부와 전기적으로 접속되고, 상기 제2 전극부를 상기 수용부의 밖으로 도출하는 제2 접속 배선을 더 포함하고, 상기 제1 전극부와 상기 제1 접속 배선과의 제1 전기적 접점, 및 상기 제2 전극부와 상기 제2 접속 배선과의 제2 전기적 접점의 각각은 상기 수용부 내에 설치되어 있는 것을 특징으로 한다.

[0011] 제3 발명에 따른 발전 기능 보유 반도체 집적 회로 장치는, 제2 발명에 있어서, 상기 케이싱부는 제1 주면과, 상기 제1 주면과 대향하고, 상기 반도체 집적 회로 칩의 상기 상면과 마주 향하는 제2 주면을 가지는 제1 기판을 포함하고, 상기 열전 소자는 상기 제1 접속 배선과 전기적으로 접속된 제1 외부 단자와, 상기 제2 접속 배선과 전기적으로 접속된 제2 외부 단자를 더 포함하고, 상기 제1 외부 단자 및 상기 제2 외부 단자의 각각은 상기 제1 기판의 상기 제1 주면 위에 설치되어 있는 것을 특징으로 한다.

[0012] 제4 발명에 따른 발전 기능 보유 반도체 집적 회로 장치는, 제1~제3 발명의 어느 하나에 있어서, 상기 열전 소자는 평행 평판형 열전 소자, 및 빗살형 열전 소자의 적어도 하나를 포함하는 것을 특징으로 한다.

[0013] 제5 발명에 따른 발전 기능 보유 반도체 집적 회로 장치는, 제1~제4 발명의 어느 하나에 있어서, 외부로부터 공급되는 외부 입력 전력, 및 상기 열전 소자로부터 공급되는 보조 입력 전력의 각각의 입력이 가능한, 상기 외부 입력 전력 및 상기 보조 입력 전력의 각각을 반도체 집적 회로 장치 입력 전력으로 변환하고, 상기 반도체 집적 회로 장치 입력 전력을 상기 반도체 집적 회로 장치에 출력하는 전원 회로를 더 갖추는 것을 특징으로 한다.

발명의 효과

[0014] 제1 발명에 따른 발전 기능 보유 반도체 집적 회로 장치에 의하면, 열전 소자의 케이싱부의 수용부 내에, 제1 전극부와, 제1 전극부와는 다른 일함수를 가지는 제2 전극부와, 제1 전극부의 일함수와 제2 전극부의 일함수 사이의 일함수를 가지는 나노 입자를 포함하는 중간부를 포함한다. 이것에 의해, 열전 소자 속에 온도차를 생기게 하지 않아도, 열전 소자는 발전할 수 있다. 따라서, 저온 재료나, 저온 재료를 냉각하는 칠러가 불필요하게 된다. 또한, 열전 소자의 케이싱부는 반도체 집적 회로 칩의 상면측에 설치한다. 이것에 의해, 열전 소자를 탑재하는 에리어를, 예를 들면, 회로 기판에 새롭게 늘리지 않아도 되어, 회로 기판의 대형화를 억제하는 것이 가능하게 된다.

[0015] 제2 발명에 따른 발전 기능 보유 반도체 집적 회로 장치에 의하면, 제1, 제2 전기적 접점의 각각을 수용부 내에 설치한다. 이것에 의해, 발전 기능 보유 반도체 집적 회로 장치를, 2차 제품에 넣을 때, 예를 들면, 발전 기능 보유 반도체 집적 회로 장치의 핸들링 중이나, 발전 기능 보유 반도체 집적 회로 장치의 부착 작업 중 등에 있어서, 제1, 제2 전기적 접점이 파단되거나, 손상되거나 하는 것을 억제할 수 있다. 이것에 의해, 2차 제품 제조 중에 발생할 가능성이 있는, 발전 기능 보유 반도체 집적 회로 장치의 로스를 줄일 수 있다.

[0016] 제3 발명에 따른 발전 기능 보유 반도체 집적 회로 장치에 의하면, 케이싱부는 제1 주면과, 제1 주면과 대향하고, 반도체 집적 회로 칩의 상면과 마주 향하는 제2 주면을 가지는 제1 기판을 포함한다. 그리고, 제1, 제2 외부 단자의 각각을 제1 기판의 제1 주면 위에 설치한다. 제1 주면은, 예를 들면, 케이싱부의 측면과 비교하여, 제1, 제2 외부 단자의 각각에 넓은 면적을 제공할 수 있다. 또, 케이싱부의 측면과 비교하여, 작업자에 의한 시인, 혹은 작업 로봇에 의한 워크 포인트의 추출이 용이하다. 이것들에 의해, 예를 들면, 열전 소자와, 2차 제품과의 전기적인 접속 작업을 용이하게 할 수 있어, 예를 들면, 2차 제품의 스루풋을 향상할 수 있다. 또, 발전 기능 보유 반도체 집적 회로 장치를 구비한, 2차 제품의 조립의 확실성도 향상된다.

[0017] 제4 발명에 따른 발전 기능 보유 반도체 집적 회로 장치에 의하면, 열전 소자는 평행 평판형 열전 소자, 및 빗

살형 열전 소자의 어느 하나를 포함한다. 이것에 의해, 열전 소자의 1 구조예가 구현화된다.

[0018] 제5 발명에 따른 발전 기능 보유 반도체 집적 회로 장치에 의하면, 전원 회로를 더 갖춘다. 전원 회로는 외부로부터 공급되는 외부 입력 전력, 및 상기 열전 소자로부터 공급되는 보조 입력 전력의 각각을 반도체 집적 회로 장치 입력 전력으로 변환하여 반도체 집적 회로 장치에 출력한다. 이것에 의해, 발전 기능 보유 반도체 집적 회로 장치의 소비 전력을 절감할 수 있다.

도면의 간단한 설명

[0019] 도 1(a)는 제1 실시형태에 따른 발전 기능 보유 반도체 집적 회로 장치의 1 예를 도시하는 모식 단면도이며, 도 1(b)는 제1 실시형태에 따른 발전 기능 보유 반도체 집적 회로 장치의 1 예를 분해하여 도시한 모식 분해 단면도이다.

도 2는 제1 실시형태에 따른 발전 기능 보유 반도체 집적 회로 장치를 사용한 전자기기의 1 예를 도시하는 모식 단면도이다.

도 3(a)는 열전 소자의 1 예를 도시하는 모식 단면도이며, 도 3(b)는 도 3(a) 중의 IIIB-IIIB선을 따르는 모식 평면도이다.

도 4는 열전 소자의 접합의 1 예를 도시하는 모식 단면도이다.

도 5(a)는 중간부의 1 예를 도시하는 모식 단면도이며, 도 5(b)는 중간부의 다른 예를 도시하는 모식 단면도이다.

도 6(a) 및 도 6(b)는 제1 변형예에 따른 열전 소자의 1 예를 도시하는 모식 단면도이며, 도 6(c)는 도 6(a)의 VIC-VIC선을 따르는 모식 평면도이다.

도 7은 제1 변형예에 따른 열전 소자의 접합의 1 예를 도시하는 모식 단면도이다.

도 8은 슬릿의 1 예를 도시하는 모식 단면도이다.

도 9(a) 및 도 9(b)는 용매 주입의 1 예를 도시하는 모식 단면도이다.

도 10은 제2 실시형태에 따른 발전 기능 보유 반도체 집적 회로 장치의 1 예를 도시하는 모식 블럭도이다.

도 11은 제2 실시형태에 따른 발전 기능 보유 반도체 집적 회로 장치의 1 예를 도시하는 모식 회로도이다.

도 12는 제2 실시형태의 제1 변형예에 따른 발전 기능 보유 반도체 집적 회로 장치의 1 예를 도시하는 모식 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0020] (발명을 실시하기 위한 형태)

[0021] 이하, 본 발명의 실시형태의 몇 개를 도면을 참조하면서 설명한다. 또한, 각 도면에 있어서, 높이 방향을 제1 방향(Z)으로 하고, 제1 방향(Z)과 교차, 예를 들면, 직교하는 1개의 평면 방향을 제2 방향(X)으로 하고, 제1 방향(Z) 및 제2 방향(X)의 각각과 교차, 예를 들면, 직교하는 다른 평면 방향을 제3 방향(Y)으로 한다. 또, 각 도면에 있어서, 공통되는 부분에 대해서는, 공통되는 참조 부호를 붙이고, 중복되는 설명은 생략한다.

[0022] (제1 실시형태)

[0023] <발전 기능 보유 반도체 집적 회로 장치>

[0024] 도 1(a)는 제1 실시형태에 따른 발전 기능 보유 반도체 집적 회로 장치의 1 예를 도시하는 모식 단면도이다. 도 1(b)는 제1 실시형태에 따른 발전 기능 보유 반도체 집적 회로 장치의 1 예를 분해하여 도시한 모식 분해 단면도이다. 도 2는 제1 실시형태에 따른 발전 기능 보유 반도체 집적 회로 장치를 사용한 전자기기의 1 예를 도시하는 모식 단면도이다.

[0025] 도 1 및 도 2에 도시하는 바와 같이, 제1 실시형태에 따른 발전 기능 보유 반도체 집적 회로 장치(이하, 반도체 집적 회로 장치로 약기)(200)는 패키지(210)와, 열전 소자(1)를 가진다. 패키지(210)는, 예를 들면, 절연성 수지제이며, 내부에는 반도체 집적 회로 칩(230)이 수용되어 있다. 또한, 패키지(210)는 절연성 수지제에 한정되지는 않는다. 또, 반도체 집적 회로 칩(230)은 회로 기판(260)과 대향되는 하면, 및 하면과 대향한 상면을 가

진다. 반도체 집적 회로 칩(230)의 하면측에는, 외부 단자(220)가 복수 설치되어 있다. 외부 단자(220)는 반도체 집적 회로 칩(230)과 회로 기판(260)에 설치된 전기적 배선(270)을 전기적으로 접속한다.

[0026] 열전 소자(1)는, 반도체 집적 회로 장치(200)의, 특히 반도체 집적 회로 칩(230)으로부터 발생한 열 에너지를 전기 에너지로 변환한다. 열전 소자(1)의 상세에 대해서는 후술하지만, 열전 소자(1)는, 예를 들면, 도 3에 도시하는 바와 같이, 수용부(10d)를 가지는 케이싱부(10)와, 수용부(10d) 내에 설치된 제1 전극부(11)와, 수용부(10d) 내에 설치되고, 제1 전극부(11)와 제1 방향(Z)으로 이간하여 대향하고, 제1 전극부(11)와는 상이한 일함수를 가지는 제2 전극부(12)와, 수용부(10d) 내의, 제1 전극부(11)와 제2 전극부(12)의 사이에 설치되고, 제1 전극부(11)의 일함수와 제2 전극부(12)의 일함수 사이의 일함수를 가지는 나노 입자를 포함하는 중간부(14)를 포함한다. 케이싱부(10)는 반도체 집적 회로 칩(230)의 상면측의 패키지(210) 위에 설치되어 있다. 또한, 케이싱부(10)의 적어도 일부는, 예를 들면, 패키지(210)에 수용되어도 된다.

[0027] 열전 소자(1)는 제1 전극부(11)와 전기적으로 접속되고, 제1 전극부(11)를 수용부(10d)의 밖으로 도출하는 제1 접속 배선(15a)과, 제2 전극부(12)와 전기적으로 접속되고, 제2 전극부(12)를 수용부(10d)의 밖으로 도출하는 제2 접속 배선(16a)을 더 포함한다. 제1 접속 배선(15a)은, 제1 본딩 와이어(221a)를 통하여, 회로 기판(260)에 설치된 전기적 배선(270a)과 전기적으로 접속된다. 제2 접속 배선(16a)은 제2 본딩 와이어(221b)를 통하여, 회로 기판(260)에 설치된 전기적 배선(270b)과 전기적으로 접속된다.

[0028] 이러한 반도체 집적 회로 장치(200)가, 회로 기판(260) 위에, 다른 반도체 집적 회로 장치(200b)와 함께 탑재되어 전자기기, 예를 들면, pc 등의 전자기기용 회로 기판이 구성된다.

[0029] <<열전 소자: 1>>

[0030] 열전 소자(1)는 패키지(210)와 전기적으로 절연되고, 패키지(210)와 열적으로 접속되어 있다. 열전 소자(1)는 패키지(210) 위에 1개 이상 설치된다.

[0031] 도 3(a) 및 도 3(b)는 열전 소자(1)의 1 예를 도시하는 모식도이다. 도 3(a)에 도시하는 모식 단면은 도 3(b) 중의 IIIA-IIIA선에 따른 것이다. 도 3(b)에 도시하는 모식 단면은 도 3(a) 중의 IIIB-IIIB선에 따른 것이다. 도 4는 열전 소자(1)의 접합의 1 예를 도시하는 모식 단면도이다. 도 4는 도 3(a)에 도시하는 모식 단면에 대응한다.

[0032] 도 3(a) 및 도 3(b)에 도시하는 바와 같이, 열전 소자(1)는 케이싱부(10)와, 제1 전극부(11)와, 제2 전극부(12)와, 중간부(14)를 포함한다. 열전 소자(1)는 반도체 집적 회로 칩(230)의 상면측에서의 패키지(210)의 표면에, 예를 들면, 접착 부재(30)에 의해 접착된다(도 1(a) 및 도 1(b)). 또는, 케이싱부(10)는 반도체 집적 회로 칩(230)의 상면측에서의 패키지(210)의 표면에, 땜납 등의 납재에 의해 고착된다. 열전 소자(1)의 제1 방향(Z)을 따른 두께는 약 20㎛~약 6㎜이다.

[0033] 케이싱부(10)는, 열전 소자(1)에서는, 제1 기판(10a)과, 제2 기판(10b)을 포함한다. 제1, 제2 기판(10a 및 10b)의 각각의 제1 방향(Z)을 따른 두께는, 예를 들면, 10㎛ 이상 2㎜ 이하이다. 제1, 제2 기판(10a 및 10b)의 각각의 재료로서는 절연성을 가지는 판 형상의 재료를 선택할 수 있다. 절연성의 재료의 예로서는 실리콘, 석영, 파이렉스(등록상표) 등의 글라스, 및 절연성 수지 등을 들 수 있다. 제1, 제2 기판(10a 및 10b)은 박판 형상인 것 외에, 예를 들면, 플렉서블 필름 형상이어도 된다. 예를 들면, 제1, 제2 기판(10a 또는 10b)을, 플렉서블 필름 형상으로 하는 경우에는, 예를 들면, PET(polyethylene terephthalate), PC(polycarbonate), 및 폴리이미드 등을 사용할 수 있다. 또, 제1, 제2 기판(10a 및 10b)은 절연성이 아니어도 된다. 반도체 기판이나 금속 기판의 표면을, 예를 들면, 절연막으로 피복해도 된다. 이러한 절연 피막 부착 기판으로서는, 예를 들면, 실리콘(Si) 기판의 표면에, 실리콘 산화물(예를 들면, SiO_2)막을 형성한 것을 들 수 있다.

[0034] 제1 기판(10a)은, 예를 들면, 제1 지지부(13a)를 포함한다. 제1 지지부(13a)는 제1 기판(10a)으로부터 제1 방향(Z)을 따라 제2 기판(10b)을 향해 뻗는다. 제1 지지부(13a)의 평면 형상은, 제1 방향(Z)에서 보아, 제2 방향(X) 및 제3 방향(Y)의 각각으로 뻗어 있는 L자 형상이다. 제2 기판(10b)은, 예를 들면, 제2 지지부(13b)를 포함한다. 제2 지지부(13b)는 제2 기판(10b)으로부터 제1 방향(Z)을 따라 제1 기판(10a)을 향해 뻗는다. 제2 지지부(13b)의 평면 형상은, 제1 방향(Z)에서 보아, 제2 방향(X) 및 제3 방향(Y)의 각각으로 뻗어 있는 L자 형상이다. 제1, 제2 지지부(13a 및 13b)의 각각의 제1 방향(Z)을 따른 두께는, 예를 들면, 10㎚ 이상 10㎛ 이하이다. 제2 지지부(13b)와, 제1 지지부(13a)는, 예를 들면, 2개의 슬릿(17a 및 17b)을 사이에 두고 떨어져 있다.

[0035] 제1, 제2 지지부(13a 및 13b)는, 각각, 제1, 제2 기판(10a 및 10b)과 일체로 설치되어도 되고, 따로따로 설치되

어도 된다. 일체로 설치하는 경우, 제1, 제2 지지부(13a 및 13b)의 각각의 재료는 제1, 제2 기판(10a 및 10b)과 동일한 재료가 된다. 따로따로 설치하는 경우, 제1, 제2 지지부(13a 및 13b)의 재료의 예로서는 실리콘 산화물, 및 폴리머 등을 들 수 있다. 폴리머의 예로서는 폴리이미드, PMMA(Polymethyl methacrylate), 및 폴리스티렌 등을 들 수 있다.

[0036] 슬릿(17a 및 17b)은, 각각, 밀봉 부재(31a 및 31b)에 의해 밀봉된다. 밀봉 부재(31a 및 31b)는 일체이어도 된다. 이 경우, 밀봉 부재(31a)와 밀봉 부재(31b)는 하나의 밀봉 부재(31)가 되어, 제1, 제2 지지부(13a 및 13b)의 각각의 외측면을 따라, 환상으로 설치된다. 밀봉 부재(31a 및 31b)의 재료의 예로서는 절연성 수지를 들 수 있다. 절연성 수지의 예로서는 불소계 절연성 수지를 들 수 있다.

[0037] 제1 전극부(11)는 수용부(10d) 내에 설치된다. 제1 전극부(11)는, 열전 소자(1)에서는, 제1 기판(10a) 위에 설치된다. 제2 전극부(12)는 수용부(10d) 내에 설치된다. 제2 전극부(12)는, 열전 소자(1)에서는, 제2 기판(10b) 위에 설치된다. 제1 전극부(11)와, 제2 전극부(12)는 1쌍의 평행 평판형 전극쌍을 구성한다. 열전 소자(1)는 평행 평판형 열전 소자이다.

[0038] 열전 소자(1)에서는, 제1 전극부(11)는, 예를 들면, 백금(일함수: 약 5.65eV)을 포함한다. 제2 전극부(12)는, 예를 들면, 텅스텐(일함수: 약 4.55eV)을 포함한다. 일함수가 큰 전극부는 애노드(A)(콜렉터 전극)로서 기능하고, 일함수가 작은 전극부는 캐소드(K)(에미터 전극)로서 기능한다. 열전 소자(1)에서는, 제1 전극부(11)가 애노드(A)이고, 제2 전극부(12)가 캐소드(K)이다. 이러한 열전 소자(1)에서는, 일함수차를 가지는 제1 전극부(11)와 제2 전극부(12) 사이에 발생하는, 절대온도에 의한 전자 방출 현상이 이용된다. 이 때문에, 열전 소자(1)는, 제1 전극부(11)와 제2 전극부(12)의 온도차가 작은 경우이더라도, 열 에너지를 전기 에너지로 변환할 수 있다. 또한, 열전 소자(1)는 제1 전극부(11)와 제2 전극부(12) 사이에 온도차가 없는 경우이더라도, 열 에너지를 전기 에너지로 변환할 수 있다. 또한, 제1 전극부(11)를 캐소드(K)로 하고, 제2 전극부(12)를 애노드(A)로 해도 된다.

[0039] 제1, 제2 전극부(11 및 12)의 각각의 제1 방향(Z)을 따른 두께는, 예를 들면, 1nm 이상 1㎛ 이하이다. 보다 바람직하게는 1nm 이상 50nm 이하이다. 제1, 제2 전극부(11 및 12)의 각각의 재료는, 예를 들면, 이하에 나타내는 금속으로부터 선택할 수 있다.

[0040] 백금(Pt)

[0041] 텅스텐(W)

[0042] 알루미늄(Al)

[0043] 티타늄(Ti)

[0044] 니오븀(Nb)

[0045] 몰리브덴(Mo)

[0046] 탄탈럼(Ta)

[0047] 레늄(Re)

[0048] 열전 소자(1)에서는, 제1 전극부(11)와 제2 전극부(12) 사이에 일함수차가 생기면 된다. 따라서, 제1 전극부(11 및 12)의 재료에는, 상기 이외의 금속을 선택하는 것이 가능하다. 또, 제1, 제2 전극부(11 및 12)의 재료에는, 상기 금속 외에, 합금, 금속간 화합물, 및 금속 화합물을 선택하는 것도 가능하다. 금속 화합물은 금속 원소와 비금속 원소가 화합한 것이다. 금속 화합물의 예로서는, 예를 들면, 육붕화란타넘(LaB_6)을 들 수 있다.

[0049] 제1, 제2 전극부(11 및 12)의 재료로서, 비금속 도전물을 선택하는 것도 가능하다. 비금속 도전물의 예로서는 실리콘(Si: 예를 들면, p형 Si, 혹은 n형 Si), 및 그래핀 등의 카본계 재료 등을 들 수 있다.

[0050] 제1, 제2 전극부(11) 및 제2 전극부(12)의 재료로서 고융점 금속(refractory metal) 이외의 재료를 선택하면, 이하에 설명되는 이점을, 더욱 얻을 수 있다. 본 명세서에 있어서, 고융점 금속은, 예를 들면, W, Nb, Mo, Ta, 및 Re로 한다. 제1 전극부(애노드(A))(11)에, 예를 들면, Pt를 사용한 경우, 제2 전극부(캐소드(K))(12)에는, Al, Si, Ti, 및 LaB_6 중 적어도 1개를 사용하는 것이 바람직하다.

[0051] 예를 들면, Al 및 Ti의 융점은 상기 고융점 금속보다 낮다. 따라서, Al 및 Ti의 각각으로부터는, 상기 고융점

금속에 비교하여, 가공하기 쉽다고 하는 이점을 얻을 수 있다.

[0052] 예를 들면, Si는, 상기 고융점 금속에 비교하여, 그 형성이 더 용이하다. 따라서, Si로부터는 상기 가공의 용이함과 더불어, 열전 소자(1)의 생산성이 보다 향상된다고 하는 이점을 또한 얻을 수 있다.

[0053] 예를 들면, LaB_6의 융점은 Ti 및 Nb보다 높다. 그러나, LaB_6의 융점은 W, Mo, Ta, 및 Re보다 낮다. LaB_6은 W, Mo, Ta, 및 Re에 비교하여 가공하기 쉽다. 게다가, LaB_6의 일함수는 약 2.5~2.7eV이다. LaB_6은 상기 고융점 금속에 비교하여 전자를 방출시키기 쉽다. 따라서, LaB_6으로부터는 열전 소자(1)의 발전 효율의 더한층의 향상이 가능하다고 하는 이점을 더 얻을 수 있다.

[0054] 또한, 제1 전극부(11), 및 제2 전극부(12)의 각각의 구조는 상기 재료를 포함하는 단층 구조 외에, 상기 재료를 포함하는 적층 구조로 해도 된다.

[0055] 열전 소자(1)의 제1 접속 배선(15a)은, 수용부(10d) 내에서, 제1 전극부(11)와 전기적으로 접속되어 있다. 이것에 의해, 제1 전극부(11)와 제1 접속 배선(15a)과의 제1 전기적 접점(11a)은 수용부(10d) 내에 설치된다. 제1 지지부(13a)의 기판 접합면(13aa) 위에서, 제1 접속 배선(15a)의 평면 형상은, 제1 방향(Z)에서 보아, 제2 방향(X) 및 제3 방향(Y)의 각각으로 뻗어 있는 L자 형상이다. 이것은 제1 지지부(13a)의 평면 형상과 거의 동일하다. 제1 접속 배선(15a)은 제1 지지부(13a)와, 제2 기판(10b)의 사이에서, 제1 접합 금속(18a)과 접합된다. 제1 접합 금속(18a)은 제2 기판(10b) 위에 설치되어 있다. 제1 접합 금속(18a)의 평면 형상은, 제1 방향(Z)에서 보아, 제2 방향(X) 및 제3 방향(Y)의 각각으로 뻗어 있는 L자 형상이다. 이것은 기판 접합면(13aa) 위에서의 제1 접속 배선(15a)의 평면 형상과, 거의 동일하다.

[0056] 열전 소자(1)의 제2 접속 배선(16a)은, 수용부(10d) 내에서, 제2 전극부(12)와 전기적으로 접속되어 있다. 이것에 의해, 제2 전극부(12)와 제2 접속 배선(16a)과의 제2 전기적 접점(12a)은 수용부(10d) 내에 설치된다. 제2 지지부(13b)의 기판 접합면(13ba) 위에서, 제2 접속 배선(16a)의 평면 형상은, 제1 방향(Z)에서 보아, 제2 방향(X) 및 제3 방향(Y)의 각각으로 뻗어 있는 L자 형상이다. 이것은 제2 지지부(13b)의 평면 형상과 거의 동일하다. 제2 접속 배선(16a)은 제2 지지부(13b)와, 제1 기판(10a)과의 사이에서, 제2 접합 금속(18b)과 접합된다. 제2 접합 금속(18b)은 제1 기판(10a) 위에 설치되어 있다. 제2 접합 금속(18b)의 평면 형상은, 제1 방향(Z)에서 보아, 제2 방향(X) 및 제3 방향(Y)의 각각으로 뻗어 있는 L자 형상이다. 이것은 기판 접합면(13ba) 위에서의 제2 접속 배선(16a)의 평면 형상과 거의 동일하다.

[0057] 제1, 제2 접합 금속(18a 및 18b)은 제1, 제2 접속 배선(15a 및 16a)과 접합 가능한, 예를 들면, 금속을 포함한다. 이것에 의해, 예를 들면, 도 4에 도시하는 바와 같이, 제2 기판(10b)은, 제1 접속 배선(15a)과 제1 접합 금속(18a)과의 접합, 및 제2 접속 배선(16a)과 제2 접합 금속(18b)과의 접합에 의해, 제1 기판(10a)과 접합할 수 있다. 그리고, 케이싱부(10)에는 수용부(10d)가 얻어진다. 제1, 제2 접속 배선(15a 및 16a), 및 제1, 제2 접합 금속(18a 및 18b)의 각각에, 예를 들면, Au를 사용한 경우에는, 제1, 제2 접속 배선(15a 및 16a)을, 각각, 제1, 제2 접합 금속(18a 및 18b)과 열압착에 의해 접합할 수 있다. 제1, 제2 접속 배선(15a 및 16a), 및 제1, 제2 접합 금속(18a 및 18b)의 각각에는, 금 이외에도, 예를 들면, 열압착, 공정 접합 등이 가능한 금속, 또는 합금이면 사용할 수 있다.

[0058] 또한, 제1, 제2 접속 배선(15a 및 16a), 및 제1, 제2 접합 금속(18a 및 18b)의 각각에 사용한 금속, 또는 합금의 일함수는 제1 전극부(11)의 일함수와, 제2 전극부(12)의 일함수 사이에 있는 것이, 예를 들면, 발전 효율의 저하를 억제하는 관점에서 바람직하다. 또, 공정 접합 등, 금속끼리의 접합에 의해, 접합 부분에 금속간 화합물이 생성되는 경우에는, 생성된 금속간 화합물의 일함수에 대해서도, 제1 전극부(11)의 일함수와, 제2 전극부(12)의 일함수 사이에 있는 것이 바람직하다.

[0059] 제1 접속 배선(15a)은 제1 지지부(13a)의 내측면 위, 기판 접합면(13aa) 위, 및 제1 지지부(13a)의 외측면 위의 각각에 또한 설치되어 있다. 제1 접속 배선(15a)은 제1 전극부(11)를 수용부(10d)의 밖으로 도출한다. 제2 접속 배선(16a)은 제2 지지부(13b)의 내측면 위, 및 기판 접합면(13aa) 위의 각각에 또한 설치되어 있다. 제2 접속 배선(16a)은 제2 전극부(12)를 수용부(10d)의 밖으로 도출한다.

[0060] 제1 기판(10a)은 제1 주면(10af)과, 제2 주면(10ab)을 가진다. 제2 주면(10ab)은 제1 주면(10af)과 대향하고, 반도체 집적 회로 칩(230)의 상면과 마주 향한다. 제2 주면(10ab)은, 예를 들면, 접착 부재(30)에 의해, 반도체 집적 회로 칩(230)의 상면측에 있어서의 패키지(210)의 표면에 접착된다. 또는, 제2 주면(10ab)은, 예를 들면, 납재에 의해, 반도체 집적 회로 칩(230)의 상면측에 있어서의 패키지(210)의 표면에 고착된다. 제1 외부

케이싱 단자(101) 및 제2 외부 케이싱 단자(102)의 각각은 제1 기판(10a)의 제1 주면(10af) 위에 설치되어 있다. 제1 외부 케이싱 단자(101)는 제1 접속 배선(15a)과 전기적으로 접속되어 있다. 제2 외부 케이싱 단자(102)는 제2 접속 배선(16a)과 전기적으로 접속되어 있다. 제1 주면(10af)은, 예를 들면, 제1, 제2 지지부(13a 및 13b)의 각각으로부터 외측으로 튀어나온 부분을 가진다. 제1 외부 케이싱 단자(101)는, 예를 들면, 제1 주면(10af)의 제1 지지부(13a)로부터 외측으로 튀어나온 부분에 설치된다. 제2 외부 케이싱 단자(102)는, 예를 들면, 제1 주면(10af)의 제2 지지부(13b)로부터 외측으로 튀어나온 부분에 설치된다. 열전 소자(1)에서는, 제1 외부 케이싱 단자(101)는 제1 접속 배선(15a)의 패턴을 이용하고, 제1 접속 배선(15a)과 동일한 도전물로 얻고 있다. 또, 제2 외부 케이싱 단자(102)는 제2 접합 금속(18b)의 패턴을 이용하고, 제2 접합 금속(18b)과 동일한 도전물로 얻고 있다.

[0061] 도 5(a)는 중간부(14)의 1 예를 도시하는 모식 단면도이다. 도 5(b)는 중간부(14)의 다른 예를 도시하는 모식 단면도이다.

[0062] 도 5(a)에 도시하는 바와 같이, 중간부(14)는, 수용부(10d) 내의, 제1 전극부(11)와 제2 전극부(12)와의 사이에 설치되어 있다. 중간부(14)는 제1 전극부(11)의 일함수와 제2 전극부(12)의 일함수 사이의 일함수를 가지는 나노 입자(141)를 포함한다. 중간부(14)는, 예를 들면, 제2 전극부(캐소드(K))(12)로부터 방출된 전자(e)를 제1 전극부(애노드(A))(11)로 이동시키는 부분이다.

[0063] 제1 전극부(11)와 제2 전극부(12)의 사이에는, 제1 방향(Z)을 따라 전극간 갭(G)이 설정된다. 열전 소자(1)에서는, 전극간 갭(G)은 제1, 제2 지지부(13a 및 13b)의 각각의 제1 방향(Z)을 따른 두께에 의해 설정된다. 전극간 갭(G)의 폭의 1 예는, 예를 들면, 10㎛ 이하의 유한값이다. 전극간 갭(G)의 폭은 좁을수록, 전자(e)를 제2 전극부(캐소드(K))(12)로부터 효율적으로 방출시킬 수 있고, 또한, 제2 전극부(12)로부터 제1 전극부(애노드(A))(11)로, 효율적으로 이동시킬 수 있다. 이 때문에, 열전 소자(1)의 발전 효율이 향상된다. 또, 전극간 갭(G)의 폭은 좁을수록, 열전 소자(1)의 제1 방향(Z)을 따른 두께를 얇게 할 수 있다. 이 때문에, 예를 들면, 전극간 갭(G)의 폭은 좁은 편이 좋다. 전극간 갭(G)의 폭은, 예를 들면, 10nm 이상 100nm 이하인 것이 보다 바람직하다. 또한, 전극간 갭(G)의 폭과, 제1, 제2 지지부(13a 및 13b)의, 제1 방향(Z)을 따른 두께는 거의 등가이다.

[0064] 중간부(14)는, 예를 들면, 복수의 나노 입자(141)와, 용매(142)를 포함한다. 복수의 나노 입자(141)는 용매(142) 내에 분산되어 있다. 중간부(14)는, 예를 들면, 나노 입자(141)가 분산된 용매(142)를 갭부(140) 내에 충전함으로써 얻어진다. 나노 입자(141)의 입자 직경은 전극간 갭(G)보다도 작다. 나노 입자(141)의 입자 직경은, 예를 들면, 전극간 갭(G)의 1/10 이하의 유한값으로 된다. 나노 입자(141)의 입자 직경을 전극간 갭(G)의 1/10 이하로 하면, 갭부(140) 내에, 나노 입자(141)를 포함하는 중간부(14)를 형성하기 쉬워진다. 이것에 의해, 열전 소자(1)의 생산 시에, 작업성이 향상된다.

[0065] 나노 입자(141)는, 예를 들면, 도전물을 포함한다. 나노 입자(141)의 일함수의 값은, 예를 들면, 제1 전극부(11)의 일함수의 값과, 제2 전극부(12)의 일함수의 값 사이에 있다. 예를 들면, 나노 입자(141)의 일함수의 값은 3.0eV 이상 5.5eV 이하의 범위로 된다. 이것에 의해, 중간부(14)에 방출된 전자(e)를, 나노 입자(141)를 통하여, 예를 들면, 제2 전극부(12)로부터 제1 전극부(11)로 이동시킬 수 있다. 이것에 의해, 중간부(14) 내에 나노 입자(141)가 없을 경우에 비교하여, 전기 에너지의 발생량을 더욱 증가시키는 것이 가능하게 된다.

[0066] 나노 입자(141)의 재료의 예로서는 금 및 은 중 적어도 하나를 선택할 수 있다. 또한, 나노 입자(141)의 일함수의 값은 제1 전극부(11)의 일함수의 값과, 제2 전극부(12)의 일함수의 값 사이에 있으면 된다. 따라서, 나노 입자(141)의 재료로는 금 및 은 이외의 도전성 재료를 선택하는 것도 가능하다.

[0067] 나노 입자(141)의 입자 직경은, 예를 들면, 전극간 갭(G)의 1/10 이하의 유한값으로 된다. 구체적으로는, 나노 입자(141)의 입자 직경은 2nm 이상 10nm 이하이다. 또, 나노 입자(141)는, 예를 들면, 평균 입경(예를 들면, D50) 3nm 이상 8nm 이하의 입자 직경을 가져도 된다. 평균 입경은, 예를 들면, 입도 분포 계측기를 사용함으로써, 측정할 수 있다. 입도 분포 계측기로서는, 예를 들면, 레이저 회절 산란법을 사용한 입도 분포 계측기(예를 들면, MicrotracBEL제 Nanotrac WaveII-EX150 등)를 사용하면 된다.

[0068] 나노 입자(141)는, 그 표면에, 예를 들면, 절연막(141a)을 가진다. 절연막(141a)의 재료의 예로서는 절연성 금속 화합물 및 절연성 유기 화합물 중 적어도 하나를 선택할 수 있다. 절연성 금속 화합물의 예로서는, 예를 들면, 실리콘 산화물 및 알루미나 등을 들 수 있다. 절연성 유기 화합물의 예로서는 알칸티올(예를 들면, 도데칸티올) 등을 들 수 있다. 절연막(141a)의 두께는, 예를 들면, 20nm 이하의 유한값이다. 이러한 절연막(141a)을

나노 입자(141)의 표면에 설치해 두면, 전자(e)는, 예를 들면, 제2 전극부(캐소드(K))(12)와 나노 입자(141)와의 사이, 및 나노 입자(141)와 제1 전극부(애노드(A))(11)와의 사이를, 터널효과를 이용하여 이동할 수 있다. 이 때문에, 예를 들면, 열전 소자(1)의 발전 효율의 향상을 기대할 수 있다.

[0069] 용매(142)에는, 예를 들면, 비점이 60℃ 이상의 액체를 사용할 수 있다. 이 때문에, 실온(예를 들면, 15℃～35℃) 이상의 환경하에서, 열전 소자(1)를 사용한 경우이더라도, 용매(142)의 기화를 억제할 수 있다. 이것에 의해, 용매(142)의 기화에 따르는 열전 소자(1)의 열화를 억제할 수 있다. 액체의 예로서는 유기 용매 및 물 중 적어도 하나를 선택할 수 있다. 유기 용매의 예로서는 메탄올, 에탄올, 톨루엔, 크실렌, 테트라데칸, 및 알칸티올 등을 들 수 있다. 또한, 용매(142)는 전기적 저항값이 높고, 절연성인 액체가 좋다.

[0070] 또, 도 5(b)에 도시하는 바와 같이, 중간부(14)는 용매(142)를 포함하지 않고, 나노 입자(141)만을 포함하도록 해도 된다. 중간부(14)가 나노 입자(141)만을 포함함으로써, 예를 들면, 열전 소자(1)를, 고온 환경하에서 사용하는 경우이더라도, 용매(142)의 기화를 고려할 필요가 없다. 이것에 의해, 고온 환경하에 있어서의 열전 소자(1)의 열화를 억제하는 것이 가능하게 된다.

[0071] <열전 소자(1)의 동작>

[0072] 열 에너지가 열전 소자(1)에 부여되면, 예를 들면, 제2 전극부(캐소드(K))(12)로부터 중간부(14)를 향하여 전자(e)가 방출된다. 방출된 전자(e)는 중간부(14)로부터 제1 전극부(애노드(A))(11)로 이동한다. 전류는 제1 전극부(11)로부터 제2 전극부(12)를 향해 흐른다. 이렇게 하여, 열 에너지가 전기 에너지로 변환된다.

[0073] 이러한 반도체 집적 회로 장치(200)이면, 열전 소자(1)는 케이싱부(10)의 수용부(10d) 내에, 제1 전극부(11)와, 제1 전극부(11)와는 다른 일함수를 가지는 제2 전극부(12)와, 제1 전극부(11)의 일함수와 제2 전극부(12)의 일함수 사이의 일함수를 가지는 나노 입자(141)를 포함하는 중간부(14)를 포함한다. 이것에 의해, 열전 소자(1) 속에 온도차를 생기게 하지 않아도, 열전 소자(1)는 발전할 수 있다. 열전 소자(1)에서는, 제벡 소자와 같이, 저온 재료나, 저온 재료를 냉각하는 칠러는 불필요하다. 저온 재료, 및 저온 재료를 냉각하는 칠러가 불필요하게 되는 결과, 반도체 집적 회로 장치(200)의 제조 비용의 증대, 및 반도체 집적 회로 장치(200)의 사이즈의 대형화의 각각은 억제된다.

[0074] 또한, 반도체 집적 회로 장치(200)에 의하면, 이하와 같은 이점을 더 얻을 수 있다.

[0075] (1) 열전 소자(1)의 케이싱부(10)는 반도체 집적 회로 칩(230)의 상면측에 설치한다. 이것에 의해, 열전 소자(1)를 탑재하는 에리어를 회로 기판(260)에 새롭게 확보하지 않아도 되어, 회로 기판(260)의 사이즈의 증대를 억제할 수 있다.

[0076] (2) 회로 기판(260)의 사이즈의 증대를 억제할 수 있기 때문에, 반도체 집적 회로 장치(200)를 사용한 2차 제품, 예를 들면, 전자기기용 회로 기판의 사이즈의 증대도 억제할 수 있다.

[0077] (3) 제1, 제2 전기적 접점(11a 및 12a)의 각각을 수용부(10d) 내에 설치한다. 이것에 의해, 반도체 집적 회로 장치(200)를, 2차 제품에 넣을 때, 예를 들면, 반도체 집적 회로 장치(200)의 핸들링 중이나, 반도체 집적 회로 장치(200)의 부착 작업 중 등에 있어서, 제1, 제2 전기적 접점(11a 및 12a)이 파단되거나, 손상되거나 하는 것을 억제할 수 있다. 이것에 의해, 2차 제품 제조 중에 발생할 가능성이 있는, 반도체 집적 회로 장치(200)의 로스를 줄일 수 있다.

[0078] (4) 케이싱부(10)는 제1 주면(10af)과, 제1 주면(10af)과 대향하고, 반도체 집적 회로 칩(230)의 상면과 마주 향하는 제2 주면(10ab)을 가지는 제1 기판(10a)을 포함한다. 그리고, 제1, 제2 외부 케이싱 단자(101 및 102)의 각각을 제1 기판(10a)의 제1 주면(10af) 위에 설치한다. 제1 주면(10af)은, 예를 들면, 케이싱부(10)의 측면과 비교하여, 제1, 제2 외부 케이싱 단자(101 및 102)의 각각에 넓은 면적을 제공할 수 있다. 또, 케이싱부(10)의 측면과 비교하여, 작업자에 의한 시인, 혹은 작업 로봇에 의한 워크 포인트의 추출이 용이하다. 이것들에 의해, 예를 들면, 열전 소자(1)와, 2차 제품과의 전기적인 접속 작업을 용이하게 할 수 있고, 예를 들면, 2차 제품의 스루풋을 향상할 수 있다. 또, 반도체 집적 회로 장치(200)를 갖춘, 2차 제품의 조립의 확실성도 향상된다.

[0079] (제1 실시형태: 제1 변형예)

[0080] 다음에 제1 실시형태의 제1 변형예를 설명한다. 제1 변형예는 열전 소자의 변형에 관한 것이다.

[0081] 도 6(a)～도 6(c)는 제1 변형예에 따른 열전 소자(1)의 1 예를 도시하는 모식도이다. 도 6(a)에 도시하는 모식

단면은 도 6(c) 중의 VIA-VIA선을 따른 것이다. 도 6(b)에 도시하는 모식 단면은 도 6(c) 중의 VIB-VIB선을 따른 것이다. 도 6(c)에 도시하는 모식 단면은 도 6(a) 및 도 6(b) 중의 VIC-VIC선을 따른 것이다. 도 7은 접합의 1 예를 도시하는 모식 단면도이다. 도 7은 도 6(b)에 도시하는 모식 단면에 대응한다.

[0082] 도 6(a)~도 6(c)에 도시하는 바와 같이, 제1 변형예에 따른 열전 소자(1b)가 열전 소자(1)와 다른 점은 제1 전극부(11)의 제1 방향(Z)에서 본 평면 형상, 및 제2 전극부(12)의 제1 방향(Z)에서 본 평면 형상의 각각이 빗살형인 것이다.

[0083] 제1, 제2 전극부(11 및 12)의 각각의 빗살부는 제3 방향(Y)을 따라 뻗는다. 빗살의 방향은 제1 전극부(11)와 제2 전극부(12)에서, 서로 반대이다. 제1 전극부(11)의 빗살부와, 제2 전극부(12)의 빗살부는 서로 떨어져서 맞물린다. 이것에 의해, 제1 전극부(11)의 빗살부와, 제2 전극부(12)의 빗살부와의 사이에 전극간 갭(G)이 규정된다. 열전 소자(1b)에 있어서, 전극간 갭(G)이 규정되는 방향은 제2 방향(X)(전극간 갭(Gx))과, 제3 방향(Y)(전극간 갭(Gy))의 2방향이 된다(도 6(c)).

[0084] 열전 소자에는, 평행 평판형 전극을 가지는 열전 소자(1) 외에, 빗살형 전극을 가지는 열전 소자(1b)를 사용할 수도 있다.

[0085] 열전 소자(1b)에서는, 제1, 제2 전극부(11 및 12)를 빗살형으로 하므로, 평행 평판형의 열전 소자(1)와 비교하여, 반도체 집적 회로 칩(230)의 열에 의한 전극간 갭(G)의 변동이 보다 적어진다. 이것에 의해, 예를 들면, 열전 소자(1b)는, 열전 소자(1)와 비교하여, 발전 효율의 미소한 변동을 억제하기 쉽다고 하는 이점을 또한 얻을 수 있다.

[0086] 또한, 열전 소자(1b)에서는, 하기의 더한층의 연구가 행해졌다.

[0087] · 케이싱부(10)가 제1 기판(10a)과, 덮개(10c)를 포함하는 것

[0088] · 제1 전극부(11), 제2 전극부(12), 제1 접속 배선(15a), 및 제2 접속 배선(16a)의 각각이 제1 주면(10af) 위에 설치되어 있는 것

[0089] 이하, 열전 소자(1b)에 대해, 보다 상세하게 설명한다.

[0090] 덮개(10c)는 제3 지지부(13c)를 포함한다. 제3 지지부(13c)는 덮개(10c)로부터 제1 방향(Z)을 따라 제1 기판(10a)을 향해 뻗는다. 제3 지지부(13c)의 평면 형상은, 제1 방향(Z)에서 보아, 프레임 형상이다. 덮개(10c)는 제3 지지부(13c)와, 일체로 설치되어도 되고, 따로따로 설치되어도 된다.

[0091] 제1, 제2 전극부(11 및 12)의 각각은 수용부(10d) 내에 설치된다. 수용부(10d)는 제2 방향(X) 및 제3 방향(Y)으로 펼쳐지는 평면을 덮개(10c)에 의해 둘러싸고, 제2 방향(X) 및 제3 방향(Y)의 각각을 따라 제3 지지부(13c)에 의해 둘러쌈으로써, 케이싱부(10)에 얻어진다.

[0092] 제1 접속 배선(15a)은, 수용부(10d) 내에 있어서, 제1 전극부(11)와 전기적으로 접속되어 있다. 이것에 의해, 제1 전극부(11)와 제1 접속 배선(15a)과의 제1 전기적 접점(11a)은 수용부(10d) 내에 설치된다. 제2 접속 배선(16a)은, 수용부(10d) 내에서, 제2 전극부(12)와 전기적으로 접속되어 있다. 이것에 의해, 제2 전극부(12)와 제2 접속 배선(16a)과의 제2 전기적 접점(12a)은 수용부(10d) 내에 설치된다.

[0093] 제3 지지부(13c)의 기판 접합면(13ca) 위에서, 제1 접속 배선(15a)의 평면 형상은, 제1 방향(Z)에서 보아, 제2 방향(X) 및 제3 방향(Y)의 각각으로 뻗어 있는 L자 형상이다. 제1 접속 배선(15a)은 제3 지지부(13c)와, 제1 기판(10a)과의 사이에서, 제1 접합 금속(18a)과 접합된다. 제1 접합 금속(18a)은 덮개(10c)의 기판 접합면(13ca) 위에 설치되어 있다. 제1 접합 금속(18a)의 평면 형상은, 제1 방향(Z)에서 보아, 제2 방향(X) 및 제3 방향(Y)의 각각으로 뻗어 있는 L자 형상이다. 이것은 기판 접합면(13ca) 위에서의 제1 접속 배선(15a)의 평면 형상과 거의 동일하다.

[0094] 제3 지지부(13c)의 기판 접합면(13ca) 위에서, 제2 접속 배선(16a)의 평면 형상은, 제1 방향(Z)에서 보아, 제2 방향(X) 및 제3 방향(Y)의 각각으로 뻗어 있는 L자 형상이다. 제2 접속 배선(16a)은 제3 지지부(13c)와, 제1 기판(10a)과의 사이에서, 제2 접합 금속(18b)과 접합된다. 제2 접합 금속(18b)은 덮개(10c)의 기판 접합면(13ca) 위에 설치되어 있다. 제2 접합 금속(18b)의 평면 형상은, 제1 방향(Z)에서 보아, 제2 방향(X) 및 제3 방향(Y)의 각각으로 뻗어 있는 L자 형상이다. 이것은 기판 접합면(13ca) 위에서의 제2 접속 배선(16a)의 평면 형상과 거의 동일하다.

[0095] 이것에 의해, 예를 들면, 도 7에 도시하는 바와 같이, 덮개(10c)는 제1 접속 배선(15a)과 제1 접합 금속(18a)과

의 접합, 및 제2 접속 배선(16a)과 제2 접합 금속(18b)과의 접합에 의해, 제1 기판(10a)과 접합할 수 있다. 그리고, 케이싱부(10)에는 수용부(10d)가 얻어진다.

[0096] 제1 접속 배선(15a)과, 제2 접속 배선(16a)은 제1 주면(10af) 위에서, 서로 접촉하지 않도록 슬릿(17a 및 17b)을 사이에 두고 떨어져 있다. 제1, 제2 접합 금속(18a 및 18b)은, 각각, 제1, 제2 접속 배선(15a 및 16a)과 전기적으로 접속되는 경우가 있다. 이러한 경우에는, 도 6(c)에 도시한 바와 같이, 제1 접합 금속(18a)과, 제2 접합 금속(18b)을, 서로 접촉하지 않도록, 슬릿(17a 및 17b)을 사이에 두고 떼어 놓으면 된다. 이것에 의해, 제1, 제2 접합 금속(18a 및 18b)을 통한, 제1 접속 배선(15a)과 제2 접속 배선(16a)과의 단락을 억제할 수 있다.

[0097] 도 8은 슬릿의 1 예를 도시하는 모식 단면도이다. 도 8에 도시하는 모식 단면은 도 6(c) 중의 VIII-VIII선을 따른 것이다. 도 8에 도시하는 바와 같이, 슬릿(17a 및 17b)은 열전 소자(1b)에 미소한 간극(17c)을 생기게 한다. 이 때문에, 갭부(140)에 주입된 용매(142)가 미소한 간극으로부터 누설될 가능성이 있다. 그래서, 도 6(c)에 도시하는 바와 같이, 제1 기판(10a)과 덮개(10c)의 사이에 밀봉 부재(31a 및 31b)를 설치하고, 슬릿(17a 및 17b)을, 각각, 밀봉 부재(31a 및 31b)로 막아도 된다. 이것에 의해, 슬릿(17a 및 17b)을 통한, 용매(142)의 누설을 억제할 수 있다.

[0098] 열전 소자(1b)에서는, 또한, 제1 전극부(11)와 덮개(10c)의 사이에, 제1 방향(Z)을 따른 갭(Ge11)을 설치하고, 제2 전극부(12)와 덮개(10c)의 사이에, 갭(Ge12)을 설치하고 있다. 갭(Ge11 및 Ge12)을 설치함으로써, 덮개(10c)와 제1 기판(10a)의 사이에 간극을 생기지 않게 하여, 제1, 제2 전극부(11 및 12)의 각각을 수용부(10d) 내에 수용하는 것이 가능하게 된다. 갭(Ge11)의 길이와, 갭(Ge12)의 길이는 서로 동일하게 되도록 설정되어도 되고, 서로 상이하도록 설정되어도 된다. 후자의 경우에는, 예를 들면, 제1 전극부(11)의 일함수와, 제2 전극부(12)의 일함수와의 차를 크게 하기 위해, 어느 일방의 전극부의 표면에, 코팅이나, 표면 개질 등의 표면 처리가 행해진 경우에 볼 수 있다. 또는, 서로 재료가 다른 제1 전극부(11)와, 제2 전극부(12)를, 하나의 에칭 공정에 의해, 동시에 형성한 경우에 볼 수 있다. 또, 각 갭(Ge11, Ge12)을 설치함으로써, 제1 전극부(11)의 상면 및 제2 전극부(12)의 상면이 중간부(14)와 접한다. 이 때문에, 각 전극부(11, 12)의 대향하는 면에 더하여, 각 전극부(11, 12)의 상부(특히 상면이나, 상면의 코너부)를 통한 전자(e)의 이동을 실현하는 것이 가능하게 된다. 이것에 의해, 전기 에너지의 발생량의 증대를 도모하는 것이 가능하게 된다.

[0099] 도 9(a) 및 도 9(b)는 용매 주입의 1 예를 도시하는 모식 단면도이다. 도 9(a)에 도시하는 모식 단면은 도 6(a)에 도시하는 모식 단면에 대응한다. 도 9(b)에 도시하는 모식 단면은 도 6(b)에 도시하는 모식 단면에 대응한다.

[0100] 도 9(a) 및 도 9(b)에 도시하는 바와 같이, 덮개(10c)에는, 제1 충전 구멍(71a) 및 제2 충전 구멍(71b)을 설치할 수도 있다. 제1, 제2 충전 구멍(71a 및 71b)은, 예를 들면, 갭부(140) 내로의 용매(142)의 주입에 이용된다. 용매(142)의 주입에, 제1, 제2 충전 구멍(71a 및 71b)을 이용할 때, 갭(Ge11 및 Ge12)이 갭부(140) 내에 있으면, 용매(142)가 갭(Ge11 및 Ge12)을 통하여, 제1 전극부(11)와 제2 전극부(12)의 사이로 들어가게 된다. 이것에 의해, 제1 전극부(11)와 제2 전극부(12)의 사이에, 용매(142)를 충전하기 쉬워진다고 하는 이점을 얻을 수 있다.

[0101] 용매(142)는, 예를 들면, 제1 충전 구멍(71a)으로부터, 갭부(140) 내로 주입된다. 이때, 또 하나의 제2 충전 구멍(71b)은, 예를 들면, 에어 빼기의 구멍으로서 이용된다. 또, 제2 충전 구멍(71b)을 통하여, 갭부(140) 내를 진공 처리하면서, 제1 충전 구멍(71a)으로부터 용매(142)를 주입해도 된다.

[0102] 제1 변형예와 같이, 열전 소자에는, 평행 평판형 전극을 가지는 열전 소자(1) 외에, 빗살형 전극을 가지는 열전 소자(1b)를 사용할 수도 있다.

[0103] (제2 실시형태)

[0104] 제2 실시형태는 제1 실시형태에 따른 반도체 집적 회로 장치(200)에 사용 가능한 전원 회로(300)의 예에 관한 것이다.

[0105] 도 10은 제2 실시형태에 따른 발전 기능 보유 반도체 집적 회로 장치(200)의 1 예를 도시하는 모식 블럭도이다.

[0106] 도 10에 도시하는 바와 같이, 전원 회로(300)는, 예를 들면, 회로 기판(320)(회로 기판(320)에 대해서는, 상술의 회로 기판(260)과 동일한 것이어도 됨) 위에 설치된다. 회로 기판(320) 위에는, 예를 들면, 제1 외부 단자(331a)~제6 외부 단자(331f)가 설치되어 있다. 제1 외부 단자(331a) 및 제2 외부 단자(331b)는 외부 전원, 예

를 들면, 상용 전원(310)과 전기적으로 접속된다. 이것에 의해, 전원 회로(300)에는, 제1, 제2 외부 단자(331a 및 331b)를 통하여, 외부 입력 전력(Pin)이 입력된다. 제3 외부 단자(331c) 및 제4 외부 단자(331d)는 열전 소자(1)와 전기적으로 접속된다. 이것에 의해, 전원 회로(300)에는, 제3, 제4 외부 단자(331c 및 331d)를 통하여, 보조 입력 전력(Pina)이 입력된다. 제3 외부 단자(331c)는 열전 소자(1)의 캐소드(K)와 전기적으로 접속되어 있다. 제4 외부 단자(331d)는 열전 소자(1)의 애노드(A)와 전기적으로 접속되어 있다. 제5 외부 단자(331e) 및 제6 외부 단자(331f)는 패키지(210)와 전기적으로 접속된다. 이것에 의해, 전원 회로(300)는, 제5, 제6 외부 단자(331e 및 331f)를 통하여, LSI 입력 전력(Pout)(반도체 집적 회로 장치 입력 전력)을 출력한다.

[0107] 도 11은 제2 실시형태에 따른 발전 기능 보유 반도체 집적 회로 장치(200)의 1 예를 도시하는 모식 회로도이다.

[0108] 도 11에 도시하는 바와 같이, 전원 회로(300)는 컨버터(332)를 포함한다. 외부 전원이 상용 전원(310)인 경우, 컨버터(332)는 AC-DC 컨버터(정류 회로)가 된다. 외부 전원이 전지인 경우에는, 컨버터(332)는 DC-DC 컨버터가 된다. 컨버터(332)가 AC-DC 컨버터인 경우, 교류 전력을 직류 전력로 정류한다. 정류된 직류 전력은 전류 제한 회로(333)에 공급된다. 전류 제한 회로(333)는 직류 전류를 제한하여 LSI 입력 전력(Pout)을 생성하고, 출력한다.

[0109] 컨버터(332)의 고전위측 출력 노드(N1)는 전류 제한 회로(333)의 고전위측 입력 노드(N2)와, 제1 스위치(334)를 통하여 전기적으로 결합되어 있다. 제1 스위치(334)와 고전위측 입력 노드(N2)와의 접속 노드(N3)는 전원 회로(300)의 저전위측 배선(335)과, 콘덴서(336)를 통하여 전기적으로 결합되어 있다. 콘덴서(336)는 평활 콘덴서이다. 또, 콘덴서(336)에는, 저항(337)이 병렬로 접속되어 있다. 저항(337)은 방전용 저항이다. 접속 노드(N3)는 제2 스위치(338)를 통하여 열전 소자(1)의 캐소드(K)와 전기적으로 결합되어 있다. 제1, 제2 스위치(334 및 338)에는, 예를 들면, 트랜지스터가 사용된다. 전류 제한 회로(333)의 고전위측 출력 노드(N4)는 패키지(210)의 고전위측 전원 단자(편의상 A로 표시)와 전기적으로 결합된다. 패키지(210)의 저전위측 단자(편의상 K로 표시), 및 열전 소자(1)의 애노드(A)는 저전위측 배선(335)과 전기적으로 결합되어 있다.

[0110] 패키지(210) 내의 반도체 집적 회로 칩(230)을 동작시킬 때, 제1 스위치(334)를 온, 제2 스위치(338)를 오프시킨다. 고전위측 출력 노드(N1)는 콘덴서(336)의 일방 전극과 전기적으로 접속되어, 콘덴서(336)가 충전된다. 콘덴서(336)의 충전 완료 후, 고전위측 출력 노드(N1)는 고전위측 입력 노드(N2)와 전기적으로 접속된다. 컨버터(332)는 전류를 전류 제한 회로(333)에 공급한다. 전류 제한 회로(333)는 공급된 전류를 제한하여 LSI 입력 전력(Pout)을 생성하고, 출력한다. 이것에 의해, 패키지(210) 내의 반도체 집적 회로 칩(230)은 동작한다.

[0111] 반도체 집적 회로 칩(230)이 동작하면, 반도체 집적 회로 칩(230)은 발열한다. 열은 열전 소자(1)에 전달된다. 드디어, 열전 소자(1)는 발전 가능한 상태, 예를 들면, 콘덴서(336)를 충전 가능한 전류를 생성 가능한 상태가 된다. 열전 소자(1)가 발전 가능한 상태로 된 후, 제2 스위치(338)를 온시킨다. 열전 소자(1)의 캐소드(K)는 콘덴서(336)의 일방 전극과 전기적으로 접속된다. 열전 소자(1)는, 컨버터(332)와 함께, 전류를 전류 제한 회로(333)에 공급한다. 이것에 의해, 반도체 집적 회로 칩(230)은 동작을 계속한다.

[0112] 또, 제1 스위치(334), 및 제2 스위치(338)에 의해, 콘덴서(336)의 일방 전극에, 고전위측 출력 노드(N1)를 결합할지, 열전 소자(1)의 캐소드(K)를 결합할지 중 어느 하나를 선택할 수도 있다.

[0113] 예를 들면, 반도체 집적 회로 칩(230)을 동작시킬 때, 제1 스위치(334)를 온, 제2 스위치(338)를 오프시켜, 반도체 집적 회로 칩(230)을 외부 입력 전력(Pin)을 사용하여 동작시킨다. 외부 입력 전력(Pin)을 사용하여 동작된 상태를, 편의상, 통상 에너지 모드라고 부른다.

[0114] 동작 후, 예를 들면, 열전 소자(1)가 콘덴서(336)를 충전 가능한 전류를 생성 가능한 상태가 되면, 제1 스위치(334)를 오프, 제2 스위치(338)를 오프시킨다. 전력의 공급원은, 외부 입력 전력(Pin)으로부터, 보조 입력 전력(Pina)으로 전환된다. 이것에 의해, 반도체 집적 회로 칩(230)의 동작 모드는, 통상 에너지 모드로부터, 열전 소자(1)로부터의 보조 입력 전력(Pina)을 사용한 에너지절약 모드로 전환된다. 통상 에너지 모드로부터 에너지절약 모드로의 전환은 자동, 혹은 수동에 의해 행할 수 있다. 에너지절약 모드는, 일반적으로는, 상용 전원, 혹은 전지의 소비 전력을 낮추는 것을 말한다. 그러나, 제2 실시형태에 있어서의 에너지절약 모드는 통상 에너지 모드와는 다른 보조 입력 전력(Pina)으로 전환하는 것을 말한다.

[0115] 또, 콘덴서(336)에는, 전원 회로(300) 중에 설치되어 있는 평활 콘덴서를 이용할 수도 있다. 평활 콘덴서를 이용한 경우에는, 전원 회로(300) 중의 기존 회로 소자를 이용하여, 열전 소자(1)를 전원 회로(300)에 접속할 수 있다. 이것에 의해, 전원 회로(300)에 필요한 회로 소자나 전자부품(330)의 증가를 억제할 수 있다.

[0116] (제2 실시형태: 제1 변형예)

[0117] 도 12는 제2 실시형태의 제1 변형예에 따른 발전 기능 보유 반도체 집적 회로 장치(200)의 1 예를 도시하는 모식 회로도이다.

[0118] 열전 소자(1)가 발생하는 전력에서는, 반도체 집적 회로 칩(230)을 동작시키기 위해, 충분한 전압을 확보할 수 없는 경우도 상정된다. 이러한 경우에는, 열전 소자(1)를, 승압 회로(350)를 통하여, 전원 회로(300)와 접속하도록 해도 된다. 도 12에는, 승압 회로(350)의 1 예를 도시하는 모식 회로가 도시되어 있다.

[0119] 도 12에 도시하는 바와 같이, 승압 회로(350)는, 예를 들면, 다이오드(351)와, 코일(352)과, 제3 스위치(353)를 포함한다. 다이오드(351)의 캐소드는 제2 스위치(338)를 통하여 콘덴서(336)의 일방 전극과 전기적으로 결합되어 있다. 다이오드(351)의 애노드는 코일(352)을 통하여 열전 소자(1)의 캐소드(K)에 전기적으로 결합되어 있다. 코일(352)은 초크 코일이다. 다이오드(351)의 애노드와, 코일(352)과의 접속 노드(N5)는 저전위측 배선(335)과, 제3 스위치(353)를 통하여 전기적으로 결합되어 있다. 제3 스위치(353)에는, 예를 들면, 트랜지스터가 사용된다.

[0120] 승압 회로(350)의 동작은, 이하와 같이 하여, 보조 입력 전력(Pina)의 전압을 승압한다. 우선, 제2 스위치(338)를 온시켜, 열전 소자(1)의 캐소드(K)를, 콘덴서(336)의 일방 전극과 전기적으로 결합시킨다. 이 상태에서, 제3 스위치(353)를 온시킨다. 열전 소자(1)의 캐소드(K)로부터, 전류가 코일(352)을 통하여 저전위측 배선(335)으로 흐른다. 이어서, 제3 스위치(353)를 오프시킨다. 코일(352)로부터의 전류는 즉시 제로로 되지는 않는다. 이 때문에, 코일(352)로부터, 다이오드(351), 및 제2 스위치(338)를 통하여, 접속 노드(N3)에 전류가 단번에 흐른다. 다이오드(351)는 접속 노드(N3)로부터의 전류의 역류를 막는다. 이와 같이, 제3 스위치(353)의 온과 오프를 반복함으로써, 보조 입력 전력(Pina)의 전압은 승압된다.

[0121] 이와 같이, 열전 소자(1)를, 승압 회로(350)를 통하여, 전원 회로(300)와 접속하도록 해도 된다. 또한, 승압 회로는 도 12에 도시한 승압 회로(350)에 한정되는 것도 아니다. 승압 회로에는, 예를 들면, 트랜스 등, 주지의 승압 회로를 사용할 수 있다. 또, 승압 회로는 전원 회로(300) 중에 설치할 수 있다.

[0122] 이상, 본 발명의 실시형태의 몇 개를 설명했지만, 이들 실시형태는 예로서 제시한 것으로, 발명의 범위를 한정하는 것은 의도하고 있지 않다. 예를 들면, 이들 실시형태는 적당히 조합하여 실시하는 것이 가능하다. 또, 본 발명은 상기 몇 개의 실시형태 외에, 다양한 신규한 형태로 실시할 수 있다. 따라서, 상기 몇 개의 실시형태의 각각은 본 발명의 요지를 일탈하지 않는 범위에서, 다양한 생략, 치환, 변경이 가능하다. 이러한 신규한 형태나 변형은 본 발명의 범위나 요지에 포함됨과 아울러, 특허청구범위에 기재된 발명, 및 특허청구범위에 기재된 발명의 균등물의 범위에 포함된다.

부호의 설명

[0123] 1, 1b: 열전 소자

10: 케이싱부

10a: 제1 기판

10af: 제1 주면

10ab: 제2 주면

10b: 제2 기판

10c: 덮개

10d: 수용부

11: 제1 전극부

11a: 제1 전기적 접점

12: 제2 전극부

12a: 제2 전기적 접점

13a: 제1 지지부

13aa: 기판 접합면

13b: 제2 지지부

13ba: 기판 접합면

13c: 제3 지지부

13ca: 기판 접합면

14: 중간부

15a: 제1 접속 배선

16a: 제2 접속 배선

17a: 슬릿

17b: 슬릿

18a: 제1 접합 금속

18b: 제2 접합 금속

30: 접착 부재

31: 밀봉 부재

71a: 제1 충전 구멍

71b: 제2 충전 구멍

101: 제1 외부 케이싱 단자

102: 제2 외부 케이싱 단자

140: 갭부

141: 나노 입자

141a: 절연막

142: 용매

200: 발전 기능 보유 반도체 집적 회로 장치

210: 패키지

220: 외부 단자

221a: 제1 본딩 와이어

221b: 제2 본딩 와이어

230: 반도체 집적 회로 칩

260: 회로 기판

270: 전기적 배선

300: 전원 회로

310: 상용 전원

320: 회로 기판

330: 전자부품

331a: 제1 외부 단자

331b: 제2 외부 단자

331c: 제3 외부 단자

331d: 제4 외부 단자

331e: 제5 외부 단자

331f: 제6 외부 단자

332: 컨버터

333: 전류 제한 회로

334: 제1 스위치

335: 저전위측 배선

336: 콘덴서

337: 저항

338: 제2 스위치

350: 승압 회로

351: 다이오드

352: 코일

353: 제3 스위치

G: 전극간 갭

Gel1: 갭

Gel2: 갭

Gx: 전극간 갭

Gy: 전극간 갭

Pin: 외부 입력 전력

Pina: 보조 입력 전력

Pout: LSI 입력 전력

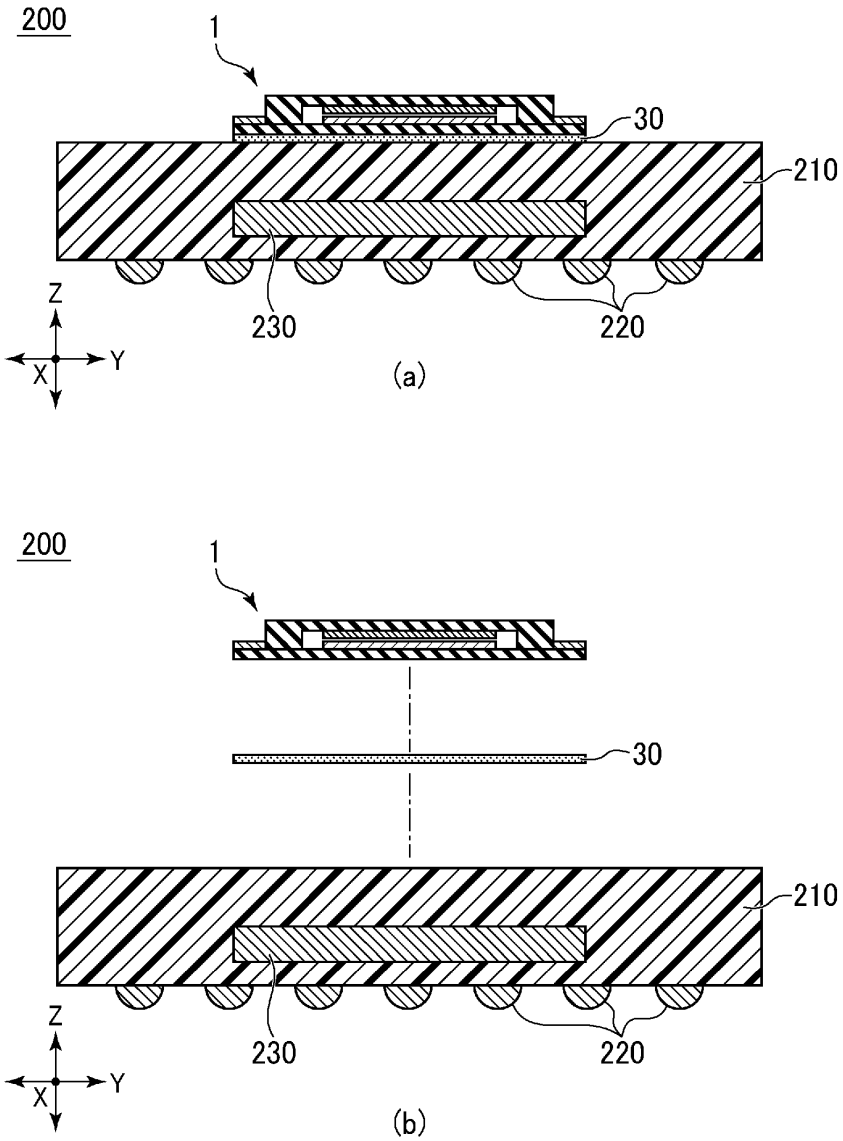
Z: 제1 방향

X: 제2 방향

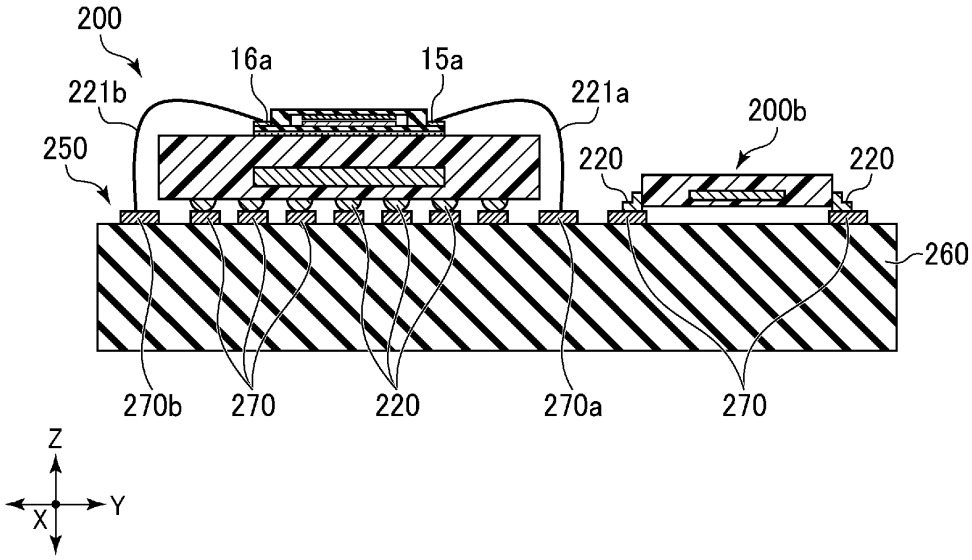
Y: 제3 방향

도면

도면1

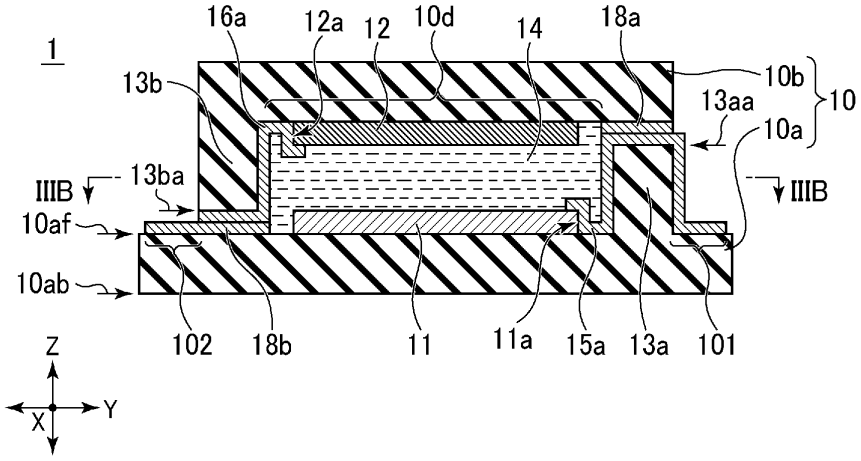


도면2

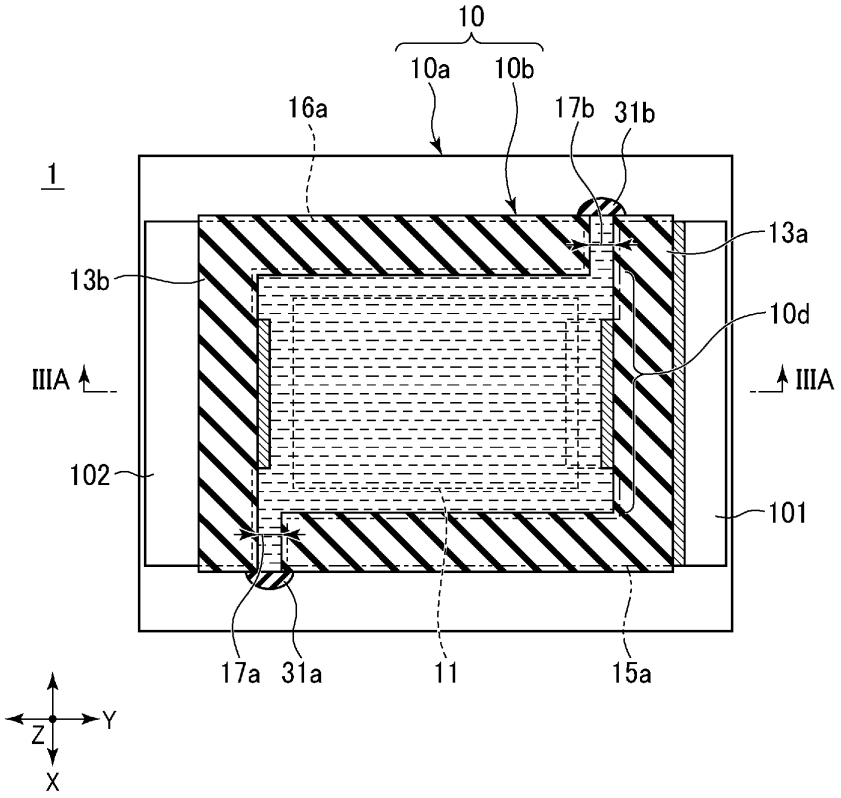

200
16a
15a
221b
221a
200b
250
220
220
260
270b
270
220
270a
270
Z
X
Y

도면3

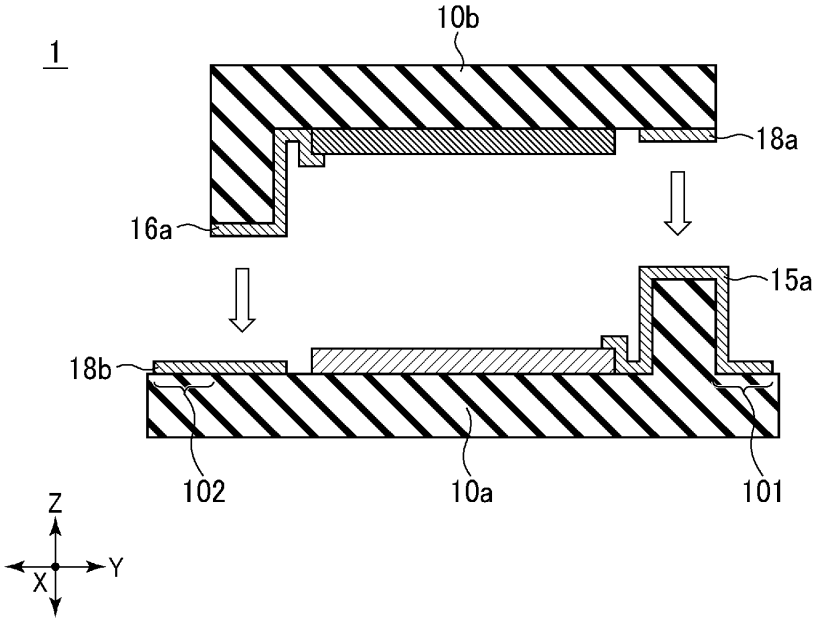
(a)


1
16a
12a
12
10d
14
18a
10b
10
13aa
10a
13b
13ba
IIIB
IIIB
10af
10ab
102
18b
11
11a
15a
13a
101
Z
Y
X

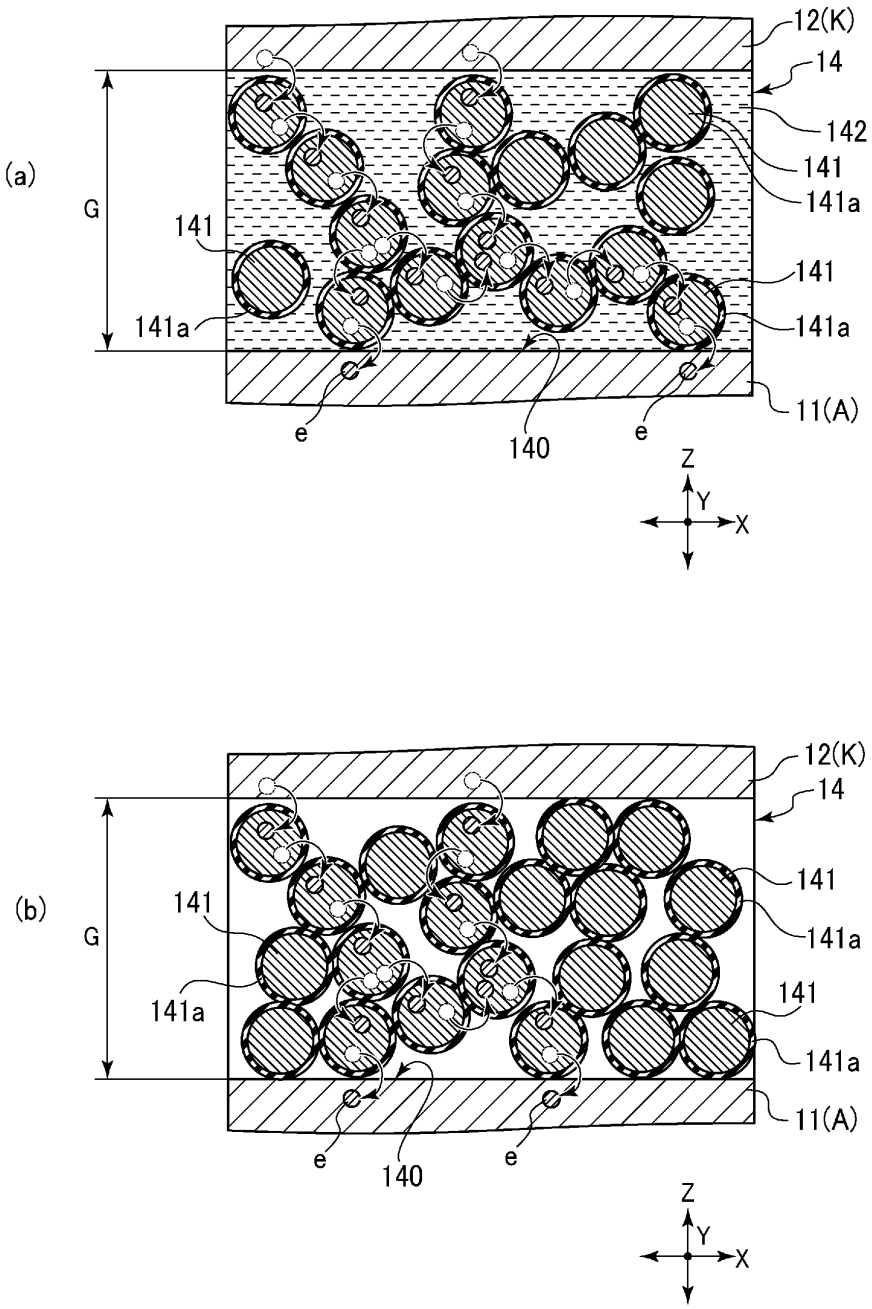
(b)


10
10a
10b
16a
17b
31b
1
13a
13b
10d
IIIA
IIIA
102
101
17a
31a
11
15a
Y
Z
X

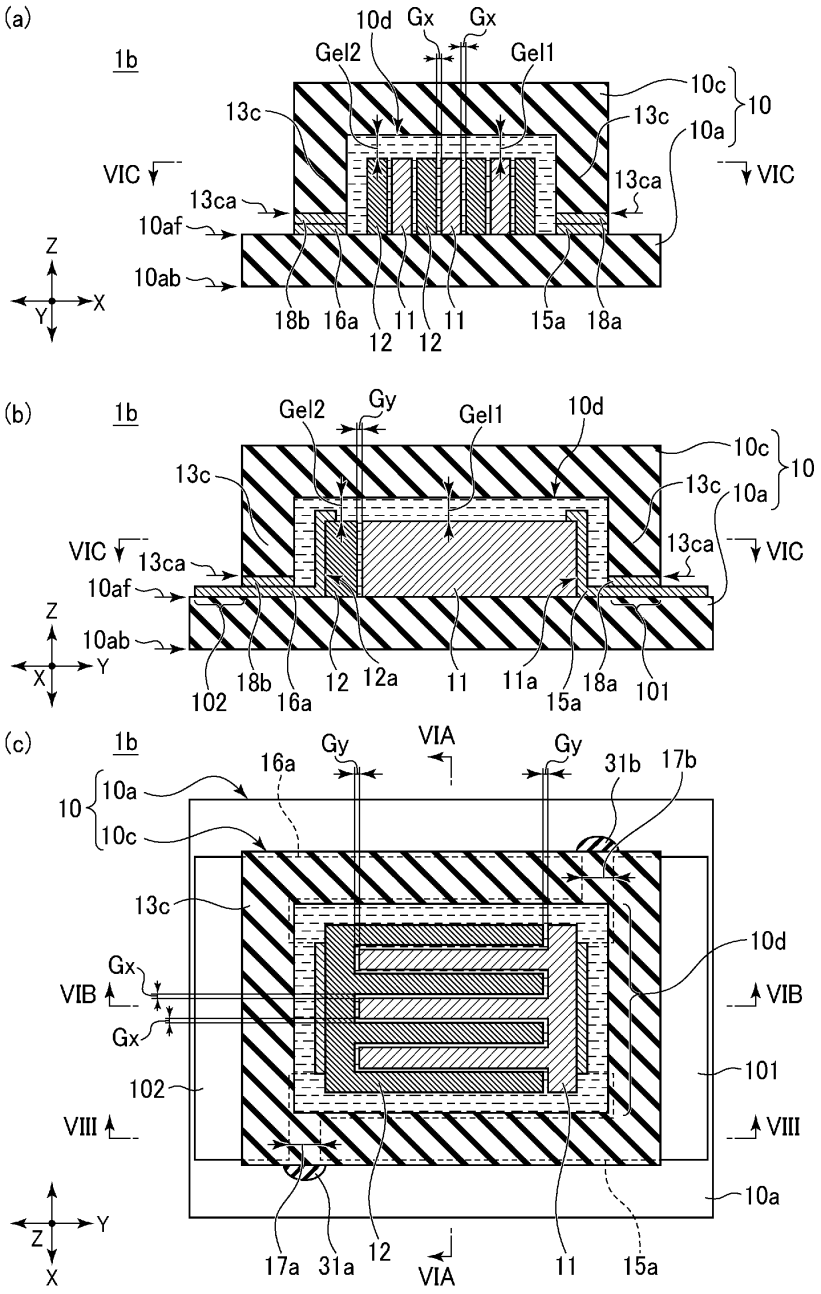
도면4



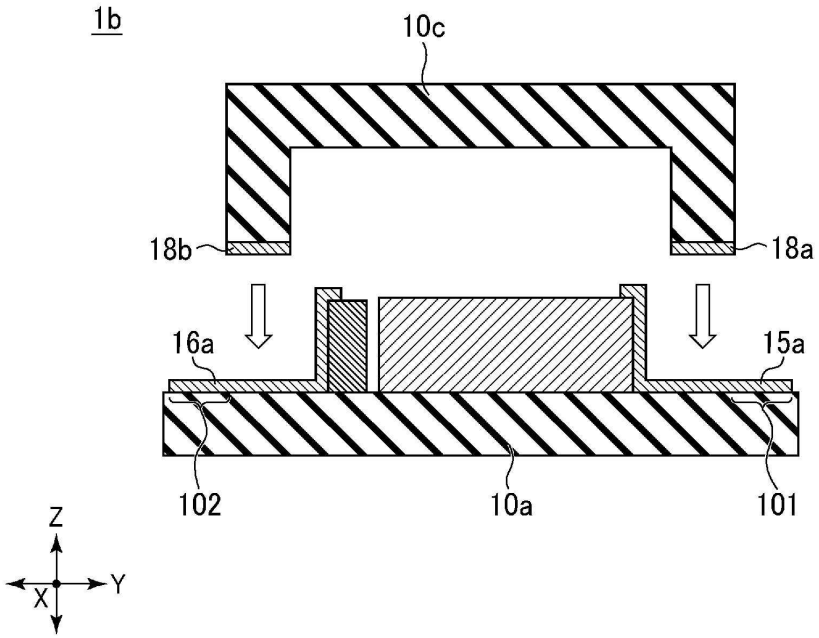
도면5


(a)
12(K)
14
142
141
141a
G
141
141
141a
141a
11(A)
e
140
e
Z
Y
X
(b)
12(K)
14
141
141a
G
141
141a
141a
141
11(A)
e
140
e
Z
Y
X

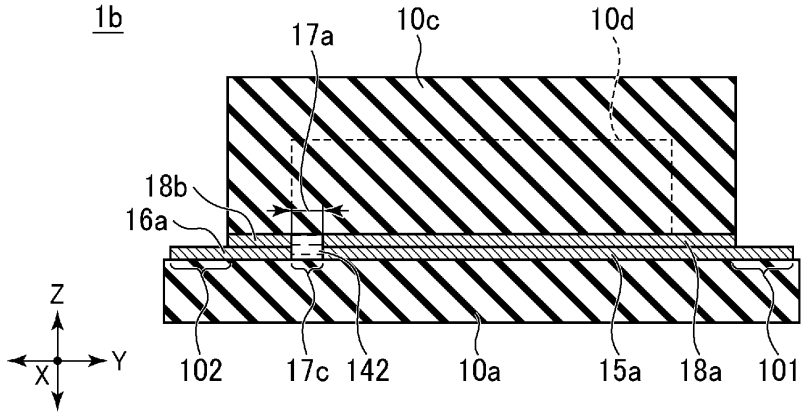
도면6


(a)
1b
10d
Gx
Gx
Gel2
Gel1
10c
10
13c
13c
10a
VIC
VIC
13ca
13ca
10af
10ab
Z
Y
X
18b
16a
12
11
12
11
15a
18a
(b)
1b
Gel2
Gy
Gel1
10d
10c
10
13c
13c
10a
VIC
VIC
13ca
13ca
10af
10ab
Z
X
Y
102
18b
16a
12
12a
11
11a
15a
18a
101
(c)
1b
16a
Gy
VIA
Gy
31b
17b
10
10a
10c
13c
10d
Gx
VIB
VIB
Gx
101
102
VIII
VIII
10a
Z
Y
X
17a
31a
12
VIA
11
15a

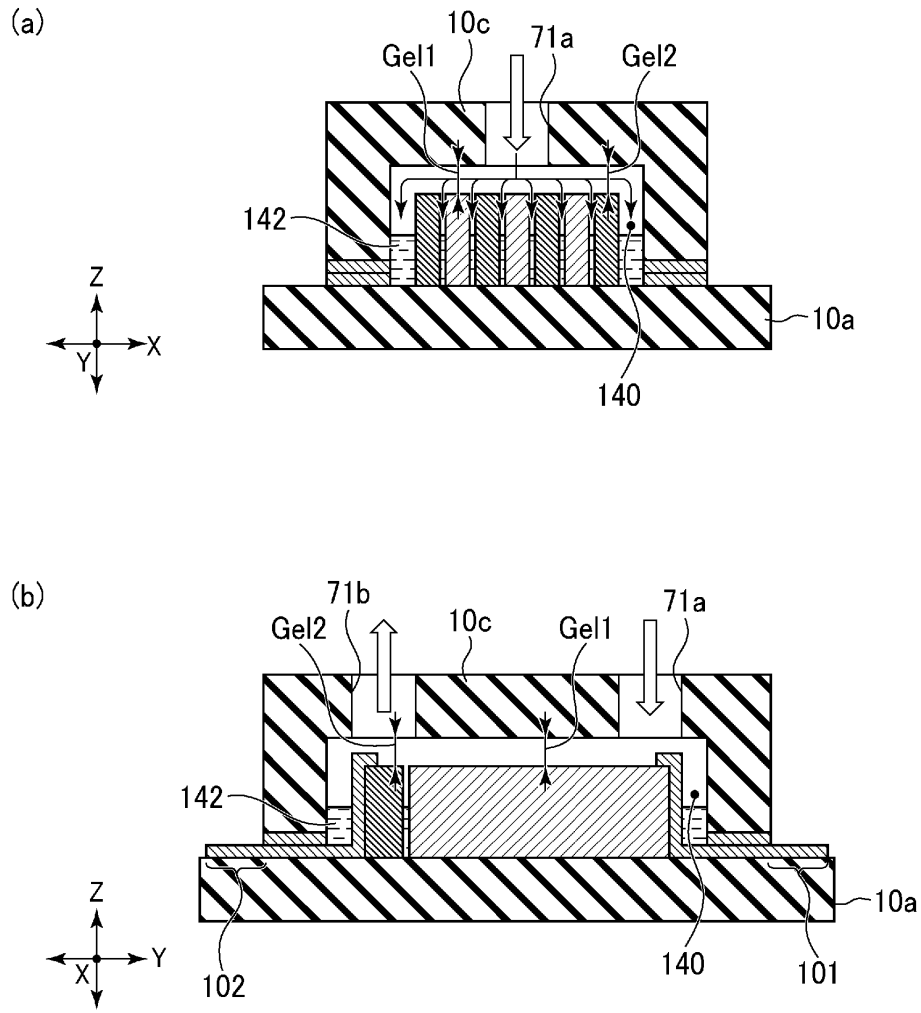
도면7


1b
10c
18b
18a
16a
15a
102
10a
101
Z
X
Y

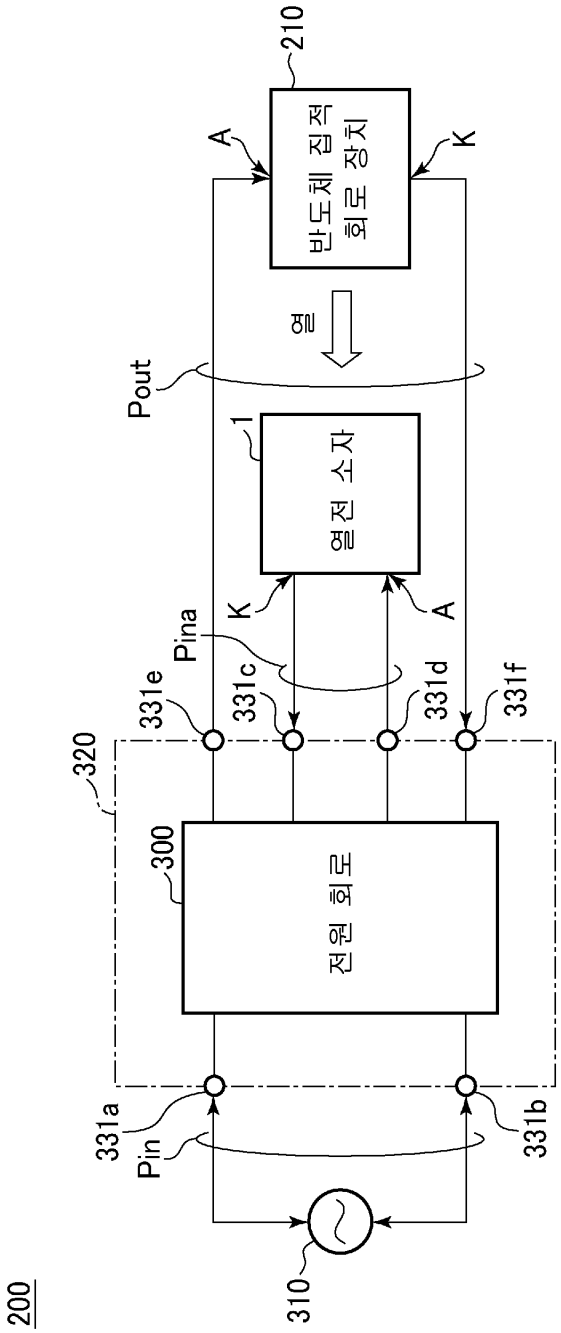
도면8


1b
17a
10c
10d
18b
16a
Z
X
Y
102
17c
142
10a
15a
18a
101

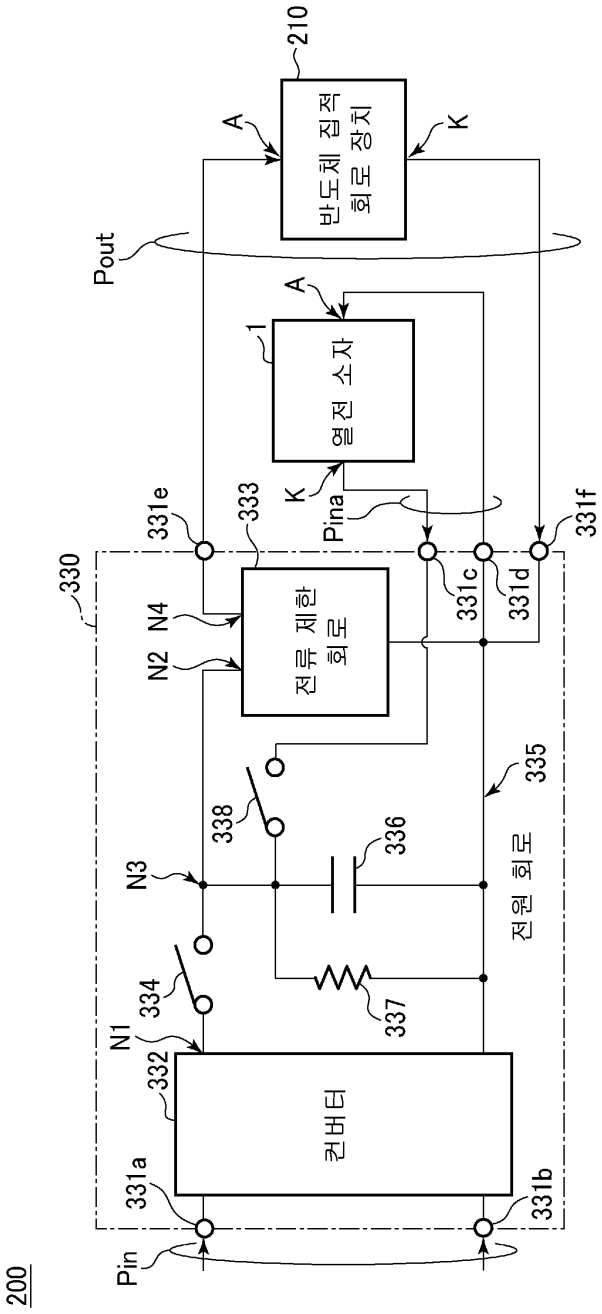
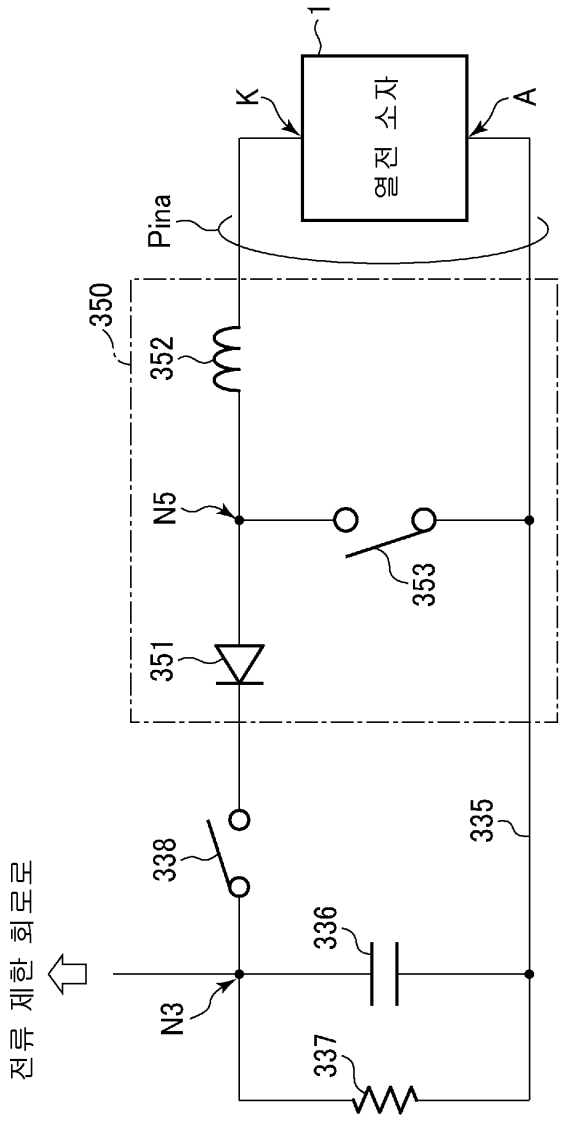
도면9


(a)
10c
71a
Gel1
Gel2
142
Z
X
Y
10a
140
(b)
71b
Gel2
10c
Gel1
71a
142
Z
X
Y
10a
102
140
101

도면10


200
210
반도체 집적 회로 장치
A
K
열
Pout
1
열전 소자
K
A
Pina
331e
331c
331d
331f
320
300
전원 회로
331a
Pin
331b
310

도면11


200
210
반도체 집적 회로 장치
A
K
Pout
1
열전 소자
A
K
Pina
330
331e
333
331f
331c
331d
N4
N2
전류 제한 회로
335
338
336
N3
전원 회로
334
337
N1
332
컨버터
331a
331b
Pin

도면12