



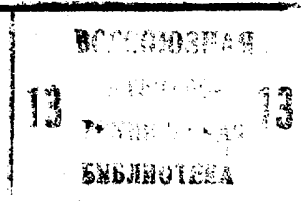
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1100697** **A**

3 (50) Н 02 Р 5/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3562896/24-07

(22) 05.03.83

(46) 30.06.84. Бюл. № 24

(72) В.В. Яснопольский, В.И. Попенко
и А.В. Черный

(71) Киевский институт автоматики
им. XXV съезда КПСС

(53) 612.316.718.05(088.8)

(56) 1. Филатов А.С. Электропривод
и автоматизация реверсивных станов
холодной прокатки. М., "Металлургия",
1973, с. 280, рис. 144.

2. Авторское свидетельство СССР
№ 482219, кл. В 21 В 37/00, 1970.

(54) (57) 1. ЭЛЕКТРОПРИВОД ПОСТОЯННОГО
ТОКА, содержащий электродвигатель
постоянного тока с усилителем мощ-
ности, входом подключенным к регуля-
тору скорости, один из входов кото-
рого связан через блок масштабиро-
вания с цифроаналоговым преобразова-
телем, а к другому входу подключен
датчик скорости, соединенный с рабо-
чим механизмом, связанным входом с
электродвигателем постоянного тока,
выходом - с цифровым датчиком коор-
динаты, о т л и ч а ю щ и й с я
тем, что, с целью повышения быстро-
действия и точности останова рабоче-
го механизма, в него введены блок
ограничения, три блока совпадения,
два блока формирования кода, логичес-
кий элемент НЕ, три сумматора, блок
сравнения кодов, пять логических
элементов И, блок задержки, счетчик
регистр, генератор импульсов, распе-
делитель импульсов, логический эле-
мент ИЛИ, три n-разрядных регистра
сдвига, n-разрядный реверсивный
счетчик-регистр сдвига, n цепей из
последовательно соединенных дифферен-

цирующей цепочки и одновибратора,
два n-2-разрядных регистра сдвига
и задатчик координаты, причем зна-
ковые выходы задатчика координаты и
цифрового датчика координаты подклю-
чены соответственно к командному
входу первого блока формирования ко-
да и через логический элемент НЕ -
к командному входу второго блока фор-
мирования кода, а их информационные
выходы - к информационным входам
соответственно первого и второго бло-
ков совпадения, выходы которых сое-
динены с параллельными входами соот-
ветственно первого и второго n-2-раз-
рядных регистров сдвига, последова-
тельные выходы которых подключены к
информационным входам соответствую-
щих блоков формирования кода, вы-
ходы которых подключены к первому
сумматору, выходом соединенному с
последовательным входом первого
n-разрядного регистра сдвига, прямой
и инверсный выходы знакового разряда
которого подключены к первым входам
соответственно первого и второго,
третьего и четвертого логических эле-
ментов И, выходы первых двух из ко-
торых соединены соответственно с вы-
читающим и суммирующим входами n-раз-
рядного реверсивного счетчика-регист-
ра сдвига, выходы других двух - соот-
ветственно с единичным и нулевым вхо-
дами знакового разряда регистра,
последовательный выход n-разрядного
реверсивного счетчика-регистра сдвига
соединен с его же последовательным
входом и с первым входом второго сум-
матора, выход которого подключен к
первому входу третьего сумматора и
к последовательному входу второго

(19) **SU** (11) **1100697** **A**

п-разрядного регистра сдвига, последовательный выход которого соединен с вторыми входами второго и третьего сумматоров, выход последнего соединен с последовательным входом третьего п-разрядного регистра сдвига, параллельный выход которого вместе с параллельным выходом первого п-разрядного регистра сдвига подключен к блоку сравнения кодов, выход которого подключен к первому входу пятого логического элемента И, связанного через блок задержки с установочным входом распределителя импульсов, с вторыми входами первого и второго логических элементов И и со счетным входом счетчика, выход генератора импульсов соединен с переключающим входом распределителя импульсов, нулевой выход которого подключен к управляющим входам первого и второго блоков совпадения и к установочным входам блоков формирования кода, выходы распределителя импульсов с первого по п-й через п цепей из последовательно соединенных дифференцирующей цепочки и одновибра-

тора подключены к п входам логического элемента ИЛИ, выход которого соединен с входами управления сдвигом п-2-разрядных регистров сдвига, п-разрядных регистров сдвига, п-разрядного реверсивного счетчика-регистра сдвига и с синхронизирующими входами блоков формирования кода, п+1-й выход распределителя импульсов подключен к второму входу пятого логического элемента И, п+2-й выход - к управляющим входам третьего и четвертого логических элементов И и третьего блока совпадения, п+3-й выход - к установочным входам п-разрядного реверсивного счетчика-регистра сдвига, второго п-разрядного регистра сдвига и счетчика, выход которого подключен к информационному входу третьего блока совпадения, выход которого соединен с входом информационных разрядов регистра, выход которого через последовательно соединенные цифроаналоговый преобразователь, блок масштабирования и блок ограничения связан с вторым входом регулятора скорости.

1

Изобретение относится к электротехнике и может быть использовано для координатного управления приводом, в частности электроприводом рабочих механизмов в машиностроении, приборостроении, металлургии.

Известна цифровая система автоматического останова стана, содержащая блоки измерений длины полосы и блок измерений скорости, подключенные к входам блока сравнения, выход которого через блок выходных преобразователей подключен к входу органа, управляющего скоростью стана. В процессе замедления блок сравнения контролирует одновременность появления сигналов, соответствующих некоторым дискретным расчетным значениям скорости и длины полосы [1].

Недостатками системы являются возможные значительные отклонения процесса замедления от равнозамедленного движения, оптимального в смысле

2

быстродействия, и невысокая точность останова. Эти недостатки обусловлены дискретностью измерений (при фиксированных значениях числа витков 5 полосы на барабане моталки), а также релейным характером управления скоростью.

Наиболее близким к изобретению по технической сущности является 10 электропривод постоянного тока, содержащий электродвигатель постоянного тока с усилителем мощности, входом подключенным к регулятору скорости, один из входов которого связан через блок масштабирования с цифроаналоговым преобразователем, а к другому входу подключен датчик скорости, соединенный с рабочим механизмом, связанном входом с электродвигателем 20 постоянного тока, выходом - с цифровым датчиком координаты [2].

Недостатками этого электропривода также являются возможные значительные

отклонения процесса замедления от оптимального в смысле быстродействия равнозамедленного движения и относительно невысокая точность останова. Эти недостатки, обусловленные ограниченной возможной точностью используемого аналогового нелинейного преобразователя, не позволяют применять электропривод в случаях, когда требуется быстродействие и высокая точность останова рабочего механизма.

Цель изобретения, - повышение быстродействия и точности останова рабочего механизма.

Поставленная цель достигается тем, что в электропривод постоянного тока, содержащий электродвигатель постоянного тока с усилителем мощности, входом подключенным к регулятору скорости, один из входов которого связан через блок масштабирования с цифроаналоговым преобразователем, а к другому входу подключен датчик скорости, соединенный с рабочим механизмом, связанным входом с электродвигателем постоянного тока, выходом - с цифровым датчиком координаты, введены блок ограничения, три блока совпадения, два блока формирования кода, логический элемент НЕ, три сумматора, блок сравнения кодов, пять логических элементов И, блок задержки, счетчик, регистр, генератор импульсов, распределитель импульсов, логический элемент ИЛИ, три п-разрядных регистра сдвига, п-разрядный реверсивный счетчик - регистр сдвига, п цепей из последовательно соединенных дифференцирующей цепочки и одновибратора, два п-2-разрядных регистра сдвига и задатчик координаты, причем знаковые выходы задатчика координаты и цифрового датчика координаты подключены соответственно к командному входу первого блока формирования кода и через логический элемент НЕ - к командному входу второго блока формирования кода, а их информационные выходы - к информационным входам соответственно первого и второго блоков совпадения, выходы которых соединены с параллельными входами соответственно первого и второго п-2-разрядных регистров сдвига, последовательные выходы которых подключены к информационным входам соответствующих блоков формирования кода, выходы которых подклю-

чены к первому сумматору, выходам соединенному с последовательным входом первого п-разрядного регистра сдвига, прямой и инверсный выходы знакового разряда которого подключены к первым входам соответственно первого и второго, третьего и четвертого логических элементов И, выходы первых двух из которых соединены соответственно с вычитающим и суммирующим входами п-разрядного реверсивного счетчика-регистра сдвига, выходы других двух - соответственно с единичным и нулевым входами знакового разряда регистра, последовательный выход п-разрядного счетчика-регистра сдвига соединен с его же последовательным входом и с первым входом второго сумматора, выход которого подключен к первому входу третьего сумматора и к последовательному входу второго п-разрядного регистра сдвига, последовательный выход которого соединен с вторыми входами второго и третьего сумматоров, выход последнего соединен с последовательным входом третьего п-разрядного регистра сдвига, параллельный выход которого вместе с параллельным выходом первого п-разрядного регистра сдвига подключен к блоку сравнения кодов, выход которого подключен к первому входу пятого логического элемента И, связанного через блок задержки с установочным входом распределителя импульсов, с вторыми входами первого и второго логических элементов И и со счетным входом счетчика, выход генератора импульсов соединен с переключающим входом распределителя импульсов, нулевой выход которого подключен к управляющим входам первого и второго блоков совпадения и к установочным входам блоков формирования кода, выходы распределителя импульсов с первого по п-й через п цепей из последовательно соединенных дифференцирующей цепочки и одновибратора подключены к п входам логического элемента ИЛИ, выход которого соединен с входами управления сдвигом п-2-разрядных регистров сдвига, п-разрядных регистров сдвига, п-разрядного реверсивного счетчика-регистра сдвига и с синхронизирующими входами блоков формирования кода, п+1-й выход распределителя импульсов подключен к второму входу пятого логического эле-

мента И, $n+2$ -й выход - к управляющим входам третьего и четвертого логических элементов И и третьего блока совпадения, $n+3$ -й выход - к установочным входам n -разрядного реверсивного счетчика-регистра сдвига, второго n -разрядного регистра сдвига и счетчика, выход которого подключен к информационному входу третьего блока совпадения, выход которого подключен к информационному входу третьего блока совпадения, выход которого соединен с входом информационных разрядов регистра, выход которого через последовательно соединенные цифроаналоговый преобразователь, блок масштабирования и блок ограничения связан с вторым входом регулятора скорости.

На фиг. 1 приведена функциональная схема электропривода постоянного тока; на фиг. 2 - схема блока формирования кода; на фиг. 3 - схема блока сравнения кодов.

Электропривод постоянного тока содержит электродвигатель 1 постоянного тока (фиг. 1) с усилителем мощности, входом подключенным к регулятору 2 скорости, один из входов которого связан через блок 3 масштабирования с цифроаналоговым преобразователем 4, а к другому входу подключен датчик 5 скорости, соединенный с рабочим механизмом 6, связанным входом с электродвигателем 1, выходом - с цифровым датчиком 7 координаты. Электропривод также содержит блок 8 ограничения, три блока 9, 10 и 11 совпадения, два блока 12 и 13 формирования кода, логический элемент ИЕ 14, три сумматора 15, 16 и 17, блок 18 сравнения кодов, пять логических элементов И 19-23, блок 24 задержки, счетчик 25, регистр 26, генератор 27 импульсов, распределитель 28 импульсов, логический элемент ИЛИ 29, три n -разрядных регистра 30, 31 и 32 сдвига, n -разрядный реверсивный счетчик-регистр сдвига 33, n цепей из последовательно соединенных дифференцирующей цепочки и одновибратора 34, два $n-2$ -разрядных регистра 35 и 36 сдвига, задатчик 37 координаты. Знаковые выходы задатчика 37 координаты и цифрового датчика 7 координаты подключены соответственно к командному входу первого блока 12 формирования кода и через логический элемент ИЕ 14, к

командному входу второго блока 13 формирования кода, а их информационные выходы - к информационным входам соответственно первого и второго блоков 9 и 10 совпадения, выходы которых соединены с параллельными входами соответственно первого и второго $n-2$ -разрядных регистров 35 и 36 сдвига, последовательные выходы которых подключены к информационным входам соответствующих блоков 12 и 13 формирования кода, выходы которых подключены к первому сумматору 15, выходом соединенному с последовательным входом первого n -разрядного регистра сдвига, прямой и инверсный выходы знакового разряда которого подключены к первым входам соответственно первого 19 и второго 20, третьего 21 и четвертого 22 логических элементов И, выходы первых двух из которых (т.е. элементов 19 и 20) соединены соответственно с вычитающим и суммирующим входами n -разрядного реверсивного счетчика-регистра сдвига 33, выходы других двух логических элементов И 21 и 22 соединены соответственно с единичным и нулевым входами знакового разряда регистра 26. Последовательный выход n -разрядного реверсивного счетчика-регистра сдвига 33 соединен с его же последовательным входом и с первым входом второго сумматора 16, выход которого подключен к первому входу третьего сумматора 17 и к последовательному входу второго n -разрядного регистра 31 сдвига, последовательный выход которого соединен с вторыми входами второго и третьего сумматоров 16 и 17, выход последнего соединен с последовательным входом третьего n -разрядного регистра 32 сдвига, параллельный выход которого вместе с параллельным выходом первого n -разрядного регистра 30 сдвига подключен к блоку 18 сравнения кодов, выход которого подключен к первому входу пятого логического элемента И 23, связанного через блок 24 задержки и установочным входом распределителя 28 импульсов, с вторыми входами первого и второго логических элементов И 19 и 20 и со счетным входом счетчика 25, выход генератора 27 импульсов соединен с переключающим входом распределителя 28 импульсов, нулевой выход которого подключен к управляющим входам первого

и второго блоков 9 и 10 совпадения и к установочным входам блоков 12 и 13 формирования. Выходы распределителя 28 импульсов с первого по n -й через n цепей из последовательно соединенных дифференцирующей цепочки и одновибратора 34 подключены к n входам логического элемента ИЛИ 29, выход которого соединен с входами управления сдвигом n -2-разрядных регистров 35 и 36 сдвига, n -разрядных регистров 30, 31 и 32 сдвига, n -разрядного реверсивного счетчика-регистра сдвига 33 и с синхронизирующими входами блоков 12 и 13 формирования кода, $n+1$ -й выход распределителя 28 импульсов подключен к второму входу пятого логического элемента И 23, $(n+2)$ -й выход - к управляющим входам третьего и четвертого логических элементов И 21 и 22 и третьего блока 11 совпадения, $(n+3)$ -й выход - к установочным входам n -разрядного реверсивного счетчика-регистра сдвига 33, второго n -разрядного регистра 31 сдвига и счетчика 25, выход которого подключен к информационному входу третьего блока 11 совпадения, выход которого соединен с входом информационных разрядов регистра 26, выход которого через последовательно соединенные цифроаналоговый преобразователь 4, блок 3 масштабирования и блок 8 ограничения связан с вторым входом регулятора 2 скорости.

Блок формирования 12(13) кода содержит триггер 38 (фиг. 2), три логических элемента И 39, 40 и 41, логический элемент НЕ 42, элемент 43 задержки и логический элемент ИЛИ 44.

Блок 18 сравнения кодов может быть выполнен, например, в виде комбинационной логической схемы, реализующей переключательную функцию

$$c = \bar{a}_1 \bar{b}_1 (\bar{a}_2 \bar{b}_2 \vee (a_2 \bar{b}_2 \vee \bar{a}_2 \bar{b}_2) (\bar{a}_3 \bar{b}_3 \vee (a_3 \bar{b}_3 \vee \bar{a}_3 \bar{b}_3) \dots \\ \dots (\bar{a}_{n-1} \bar{b}_{n-1} \vee (a_{n-1} \bar{b}_{n-1} \vee \bar{a}_{n-1} \bar{b}_{n-1}) a_n \bar{b}_n) \dots) \vee \\ \vee a_1 \bar{b}_1 (\bar{a}_2 \bar{b}_2 \vee (a_2 \bar{b}_2 \vee \bar{a}_2 \bar{b}_2) (\bar{a}_3 \bar{b}_3 \vee (a_3 \bar{b}_3 \vee \bar{a}_3 \bar{b}_3) \dots \\ \dots (\bar{a}_{n-1} \bar{b}_{n-1} \vee (a_{n-1} \bar{b}_{n-1} \vee \bar{a}_{n-1} \bar{b}_{n-1}) \bar{a}_n \bar{b}_n) \dots) \vee \\ \vee (a_1 \vee a_2 \vee a_3 \vee \dots \vee a_{n-1} \vee a_n) \bar{b}_1 \bar{b}_2 \bar{b}_3 \dots \bar{b}_{n-1} \bar{b}_n) \quad (1)$$

где $a_1, a_2, a_3, a_4, \dots, a_n, \bar{a}_1, \bar{a}_2, \bar{a}_3, \bar{a}_4, \dots, \bar{a}_n$ - прямые и инверсные двоичные сигналы на первом входе блока 18 сравнения кодов, подключаемом к параллельному выходу первого n -разрядного регистра 30

сдвига ($a_1, \bar{a}_1$ - сигналы на входе знакового разряда);

$b_1, b_2, b_3, \dots, b_n, \bar{b}_1, \bar{b}_2, \bar{b}_3, \dots, \bar{b}_n$ - прямые и инверсные двоичные сигналы на втором входе блока 18 сравнения кодов, подключаемом к параллельному выходу третьего n -разрядного регистра 32 сдвига ($b_1, \bar{b}_1$ - сигналы на входе знакового разряда);

c - сигнал на выходе блока 18 сравнения кодов.

Блок 18 сравнения кодов (фиг. 3) содержит три логических элемента И 45, 46 и 47, два логических элемента ИЛИ 48 и 49, логические схемы разрядов с второго по $n-1$ -й $A_2, \dots, A_{n-1}$ составленные из $n-2$ групп 50 по шесть логических элементов И каждая и $n-2$ групп 51 по три логических элемента ИЛИ каждая, а также два логических элемента И 52 и 53.

Регулятор 2 скорости (фиг. 1) может быть выполнен в виде пропорционально-интегрального регулятора.

Блок 3 масштабирования выполнен, например, в виде потенциометра.

Цифроаналоговый преобразователь 4 выполнен, например, в виде преобразователя прямого двоичного нормального кода (со знаком) в электрическое напряжение.

Цифровой датчик координаты может быть выполнен, например, в виде последовательного соединения преобразователя линейного или углового перемещения в двоично-десятичный рефлексный код, преобразователя двоично-десятичного рефлексного кода в двоично-десятичный и преобразователя двоично-десятичного кода в прямой двоичный нормальный код (со знаком). Если на выходе преобразователя перемещения формируется непосредственно на прямой двоичный нормальный код, то преобразователи кодов отсутствуют.

Блок 8 ограничения может быть выполнен в виде диодного ограничителя.

Первые два блока 9 и 10 совпадения содержат по $n-2$ логических элементов И (где n - максимальное число разрядов в двоичном представлении разности заданной и действительной координат со знаковым разрядом), третий блок 11 совпадения содержит $2(m-1)$ логических элементов И (где m - максимальное число разрядов в двоичном представлении максимальной расчетной скорости со знаком).

Сумматоры 15, 16 и 17 выполнены, например, в виде одnorазрядных комбинационных сумматоров последовательных кодов с задержкой переноса.

Счетчик 25 выполнен, например, в виде $m-1$ -разрядного двоичного счетчика

Регистр 26 выполнен, например, в виде m -разрядного регистра.

Распределитель 28 импульсов выполнен, например, в виде последовательного соединения счетчика и дешифратора с числом выходов, не меньшим $n+4$, n -разрядный реверсивный счетчик-регистр сдвига 33 выполнен, например, в виде реверсивного счетчика на ИК-триггерах, дополнительно оснащенного цепями сдвига содержимого вправо (в сторону младших разрядов).

Задатчик 37 координаты выполнен, например, в виде последовательного соединения группы декадных переключателей, группы шифраторов и преобразователя двоично-десятичного кода в прямой двоичный нормальный код (со знаком).

Электропривод постоянного тока работает следующим образом.

Перед пуском электродвигателя 1, приводящего в движение рабочий механизм 6, с помощью задатчика 37 координаты устанавливают заданную координату x_3 рабочего механизма 6. При подаче питания (цепи питания на фиг. 1 не показаны) на знаковом и информационном выходах задатчика 37 координаты формируется параллельный прямой двоичный нормальный код заданной координаты x_3 (со знаковым разрядом), а на знаковом и информационном выходах цифрового датчика 7 координаты - параллельный прямой двоичный нормальный код действительной координаты x (со знаковым разрядом). Одновременно начинает работать генератор 27 импульсов, вызывая изменение состояния распределителя 28 импульсов. После включения питания $n-2$ -разрядные регистры 35 и 36 сдвига, блоки 12 и 13 формирования кода, n -разрядные регистры 30, 31 и 32 сдвига, n -разрядный реверсивный счетчик-регистр сдвига 33, счетчик 25, регистр 26 и распределитель 28 импульсов могут оказаться в произвольных начальных состояниях.

Однако по истечении времени, не превышающего длительности наиболее продолжительного периода вычислений

расчетной скорости и расчетного пути замедления рабочего механизма 6, распределитель 28 импульсов обязательно оказывается в состоянии $n+3$, которому соответствует наличие на его $(n+3)$ -м выходе сигнала, устанавливающего n -разрядный регистр 31 сдвига, n -разрядный реверсивный счетчик-регистр сдвига 33 и счетчик 25 в нулевые состояния, после чего распределитель 28 импульсов переходит в свое нулевое состояние. Для того, чтобы переходный процесс при включении электропривода не оказывал влияния на работу электродвигателя 1, необходимо, с учетом реальной инерционности электродвигателя 1 с усилителем мощности и рабочего механизма, выбрать достаточно высокую рабочую частоту генератора 27 импульсов (например, порядка десятков или сотен кГц), и тогда время переходного процесса будет достаточно малым (например, порядка десятков или единиц мс). По истечении времени переходного процесса начинается нормальный режим работ, который удобно рассматривать, начиная с нулевого состояния распределителя 28 импульсов, причем все регистры (26, 30, 31, 32, 35 и 36), n -разрядный реверсивный счетчик-регистр сдвига 33, счетчик 32 и блоки 13 и 12 формирования кода также находятся в нулевых состояниях.

При переходе распределителя 28 импульсов в нулевое состояние на его нулевом выходе появляется сигнал, который вводит с информационных выходов задатчика 37 координаты и цифрового датчика 7 координаты соответственно в $n-2$ -разрядные регистры 35 и 36 сдвига, параллельные прямые двоичные нормальные коды модулей $|x_3|$ и $|x|$ заданной и действительной координат x_3 и x (без знаковых разрядов), а также устанавливает блоки 12 и 13 формирования кода в нулевые состояния.

Следующие n импульсов генератора 27 импульсов вызывают последовательное появление сигналов на n выходах распределителя 28 импульсов, начиная с первого по n -й выход. Эта серия n импульсов через n цепей 34 и логический элемент ИЛИ 29 поступает на входы управления сдвигом регистров сдвига 30, 31, 32, 35, 36, n -разряд-

ного реверсивного счетчика-регистра сдвига 33 и на синхронизирующие входы блоков 12 и 13 формирования кода. При этом содержимое всех указанных регистров сдвига (30, 31, 32, 35 и 36) и n -разрядного реверсивного счетчика-регистра сдвига 33 сдвигается вправо (в сторону младших разрядов) на n разрядов. Последовательный n -2-разрядный код модуля $|x_3|$ заданной координаты x_3 проходит, начиная с младших разрядов, с последовательного выхода n -2-разрядного регистра 35 сдвига через блок 12 формирования кода на первый вход сумматора 15. Если $x_3 \geq 0$, то этот код проходит через блок 12 формирования кода без изменения, а со стороны старших разрядов к нему добавляются два нуля. Если $x_3 < 0$, то единичный сигнал в знаковом разряде кода заданной координаты x_3 , поступающий со знакового выхода задатчика 37 координаты на командный вход блока 12 формирования кода, возбуждает один из входов логического элемента И 39 (фиг. 2), два других входа которого подключены к синхронизирующему и информационному входам блока 12 формирования кода. Вследствие этого, появление на информационном входе блока 12 формирования кода первой со стороны младших разрядов единицы последовательного кода модуля $|x_3|$ заданной координаты x_3 открывает вышедшему ее появлению сдвигающему импульсу путь от синхронизирующего входа блока 12 формирования кода к единичному входу триггера 38, который по истечении времени задержки элемента 43 переходит из нулевого в единичное состояние. В результате остальные (старшие) разряды кода инвертируются и, таким образом, на выходе блока 12 формирования кода формируется дополнительный код модуля $|x_3|$ заданной координаты x_3 , со стороны старших разрядов к нему добавляются две единицы. Таким образом, при $x_3 \geq 0$ на первый вход сумматора 15 (фиг. 1) поступает последовательный прямой двоичный код заданной координаты x_3 , а при $x_3 < 0$ - ее дополнительный код. Одновременно на второй вход сумматора 15 при $x \geq 0$ поступает последовательный дополнительный двоичный код действительной координаты x , формируемый блоком 13 формирования кода, а при $x < 0$ -

ее прямой код (так как на командный вход блока 13 формирования кода поступает инверсия сигнала, получаемого со знакового выхода цифрового датчика 7 координаты. С выхода сумматора 15 в n -разрядный регистр 30 сдвига поступает код разности $x_3 - x = S_{ост}$ - прямой при $S_{ост} \geq 0$ или дополнительный при $S_{ост} < 0$. Разность $S_{ост}$ заданной и действительной координат рабочего механизма 6 представляет собой путь, оставшийся до ее останова.

Одновременно с получением в n -разрядном регистре 30 сдвига кода разности $x_3 - x = S_{ост}$, выполняется сложение содержимого n -разрядного реверсивного счетчика-регистра сдвига 33 (оно моделирует расчетную скорость v_p в процессе замедления рабочего механизма 6) и содержимого n -разрядного регистра 31 сдвига в сумматоре 16, а также сложение полученной суммы с содержимым n -разрядного регистра 31 сдвига в сумматоре 17, содержимое n -разрядного реверсивного счетчика-регистра сдвига 33 через его последовательный вход возвращается обратно в n -разрядный реверсивный счетчик-регистр сдвига 33, первая сумма поступает в n -разрядный регистр 31 сдвига, а вторая сумма - в n -разрядный регистр 32 сдвига. Поскольку вначале в n -разрядном реверсивном счетчике-регистре сдвига 33 и в n -разрядном регистре 31 сдвига содержался код нуля, то в результате суммирования в n -разрядном реверсивном счетчике-регистре сдвига 33 и в n -разрядных регистрах 31 и 32 сдвига снова оказывается код нуля. Содержимое n -разрядного регистра 30 сдвига (прямой или дополнительный код оставшегося пути $S_{ост}$ и содержимое n -разрядного сдвига регистра 32 (оно моделирует в прямом или дополнительном коде расчетный путь S_p замедления рабочего механизма 6) сравниваются по модулю в блоке 18 сравнения кодов, выход которого возбуждается при условии $|S_p| < |S_{ост}|$. Величина S_p либо равна нулю (в начале периода вычисления расчетной скорости v_p и расчетного пути S_p замедления), либо имеет тот же знак, что и величина $S_{ост}$. Это дает возможность проверять выполнение условия $|S_p| < |S_{ост}|$ путем реализации достаточно простой переключательной функции (1). Так как вначале заведомо выполняется условие

$S_{ост} \neq 0$, то условие $/S_{ост}/ > /S_p/ = 0$ также заведомо выполняется. Поэтому после выполнения операций суммирования в первом цикле вычислений возбуждается выход блока 18 сравнения ко- 5 дов, подключенный к первому входу логического элемента И 23. На этом заканчивается первый цикл вычислений.

Очередной импульс генератора 27 импульсов переводит распределитель 28 10 импульсов в состояние $n+1$, в котором возбуждается $n+1$ -й его выход, подключенный к второму входу логического элемента И 23. В результате на выходе логического элемента И 23 15 появляется сигнал, который по истечении времени задержки блока 24 задержки устанавливает распределитель 28 импульсов в нулевое состояние и одновременно поступает на счетный вход 20 счетчика 25, а также на суммирующий (при $S_{ост} > 0$) или вычитающий (при $S_{ост} < 0$) вход n -разрядного реверсивного счетчика-регистра сдвига 31. Таким образом, в счетчике 25 оказы- 25 вается прямой двоичный код с единственной единицей в младшем разряде, а в n -разрядном реверсивном счетчике-регистре сдвига 33 - прямой (при $S_{ост} > 0$) или дополнительный (при $S_{ост} < 0$) двоичный код единицы младшего 30 разряда.

С установки распределителя 28 импульсов в нулевое состояние начинается второй цикл вычислений, который 35 выполняется так же, как и первый, с тем отличием, что в его начале счетчик 25 содержит прямой код модуля единицы младшего разряда, а n -разрядный реверсивный счетчик-регистр сдвига 33 - прямой или дополнительный код единицы младшего разряда 40 (в зависимости от знака $S_{ост}$). Вследствие этого в конце второго цикла вычислений в n -разрядных регистрах 45

31 и 32 сказывается прямой или дополнительный код единицы младшего разряда. Если при этом модуль $/S_p/$ содержимого n -разрядного регистра 32 (в данном цикле вычислений $/S_p/ = 1$) по-прежнему окажется меньше модуля $/S_{ост}/$ содержимого n -разрядного регистра 30, т.е. будет выполнено условие $/S_p/ < /S_{ост}/$, то содержимое счетчика 25 увеличивается на единицу, содержимое n -разрядного реверсивного счетчика-регистра сдвига 31 увеличивается или уменьшается на единицу, а распределитель 28 импульсов снова переходит в нулевое состояние.

С установки распределителя 28 импульсов в нулевое состояние начинается третий цикл вычислений. В его начале счетчик 25 содержит прямой код числа 2 (без знакового разряда), n -разрядный реверсивный счетчик-регистр сдвига 33 - прямой или дополнительный код числа 2 (со знаковым разрядом), n -разрядные регистры 31 и 32 сдвига - прямой или дополни- 5 тельный код числа 1. В конце третьего цикла вычислений в n -разрядном регистре 31 сдвига оказывается прямой или дополнительный код числа 3, а n -разрядном регистре 32 сдвига - прямой или дополнительный код чис- 10 ла 4. Если при этом по-прежнему выполняется условие $/S_p/ < /S_{ост}/$, то содержимое счетчика 25 и содержимое n -разрядного реверсивного счетчика-регистра сдвига 33 изменяются на еди- 15 ницу, а распределитель 28 импульсов снова переходит в нулевое состояние.

Изменение содержимого счетчика 25, n -разрядного реверсивного счетчика-регистра сдвига 33, n -разрядных ре- 20 гистров 31 и 32 сдвига в каждом цикле вычислений иллюстрируется в таблице.

Цикл, вы- числений, №	Содержимое			
	Счетчика 25	n -разряд- ного ревер- сивного счетчика- регистра сдвига 33	n -разрядного регистра 31 сдвига	n -разрядного регистра 32 сдвига
1	0	0	0	0
2	1	± 1	± 1	± 1

Продолжение таблицы

Цикл, вычислений, n	Содержимое			
	Счетчика 25	n-разрядного реверсивного счетчика-регистра сдвига 33	n-разрядного регистра 31 сдвига	n-разрядного регистра 32 сдвига
3	2	± 2	± 3	± 4
4	3	± 3	± 6	± 9
5	4	± 4	± 10	± 17
6	5	± 5	± 5	± 25
7	6	± 6	± 21	± 36
8	7	± 7	± 28	± 49
...	...	...		

Таким образом, в конце каждого цикла вычислений модуль содержимого n-разрядного регистра 32 сдвига представляет собой точный квадрат содержимого счетчика 25 (или n-разрядного реверсивного счетчика-регистра сдвига 33). Тем самым моделируется квадратичная зависимость между расчетной скоростью v_p и расчетным путем S_p замедления, необходимая для обеспечения равнозамедленного движения рабочего механизма 6. Точность моделирования этой зависимости определяется числом разрядов в двоичном представлении величин v_p и S_p . В соответствии с квадратичной зависимостью между v_p и S_p число $m-1$ разрядов счетчика 25 может быть выбрано равным $\frac{n-1}{2}$ с округлением до ближайшего большего целого числа.

Описанные циклы вычислений повторяются до тех пор, пока выполняется условие $S_p / < S_{ост}$, при этом содержимое счетчика 25 (прямой код модуля v_p / расчетной скорости v_p), содержимое n-разрядного реверсивного счетчика-регистра сдвига 33 (прямой или дополнительный код расчетной скорости v_p), содержимое n-разрядного регистра 31 сдвига и содержимое n-разрядного регистра 32 сдвига (прямой или дополнительный код расчетного пути S_p замедления) монотонно

изменяются. После выполнения цикла вычислений, в конце которого условие $S_p / < S_{ост}$ оказывается невыполненным, первый вход логического элемента И 23 не возбуждается и сигнал с (n+1)-го выхода распределителя 28 импульсов на его установочный вход не происходит. В результате распределитель 28 импульсов переходит в свое (n-2)-е состояние. Сигнал с (n+2)-го выхода распределителя 28 импульсов выводит прямой код модуля v_p / расчетной скорости v_p из счетчика 25 в информационные разряды регистра 26, а код знака расчетной скорости v_p , совпадающего со знаком оставшегося пути $S_{ост}$ - из знакового разряда n-разрядного регистра 30 сдвига в знаковый разряд регистра 26. Таким образом, в регистре 26 формируется прямой код расчетной скорости v_p со знаковым разрядом.

Под действием очередного импульса генератора 27 импульсов распределитель 28 импульсов переходит в состояние n+3. Сигнал с n+3-го выхода распределителя 29 импульсов устанавливает n-разрядный регистр 31 сдвига, n-разрядный реверсивный счетчик 25 в нулевые состояния. На этом заканчивается первый период вычислений, и распределитель 28 импульсов переходит в свое нулевое состояние, начи-

нается второй период вычислений. После окончания второго периода вычислений выполняется третий период и т.д.

В каждом периоде вычислений в регистр 26 вводится код расчетной скорости v_p , соответствующей текущему значению оставшегося пути $S_{ост}$. Этот код преобразуется цифроаналоговым преобразователем 4 в аналоговую величину, которая масштабируется (умножается на постоянный коэффициент) в блоке 3 масштабирования и затем ограничивается в блоке 8 ограничения. До тех пор, пока оставшийся путь $S_{ост}$ и соответственно расчетная скорость v_p достаточно велики, с выхода блока 8 ограничения на второй вход регулятора 2 скорости поступает постоянный сигнал, соответствующий максимальной заданной скорости v_{3max} , и регулятор 2 скорости обеспечивает поддержание действительной скорости v на уровне v_{3max} . По мере уменьшения оставшегося пути $S_{ост}$ наступает момент, начиная с которого монотонно уменьшающийся (по модулю) сигнал с выхода блока 3 масштабирования проходит на второй вход регулятора 2 скорости без ограничения. Этот момент является моментом начала замедления. В процессе замедления регулятора 2 скорости обеспечивается изменение действительной скорости v в соответствии с изменением управляющего сигнала на его втором входе. Тем самым, реализуется квадратичная зависимость между действительной скоростью v и оставшимся путем $S_{ост}$, необходимая для реализации равнозамедленного движения.

По мере уменьшения оставшегося пути $S_{ост}$ монотонно уменьшается количество циклов вычислений в каждом очередном периоде вычислений. Когда оставшийся путь $S_{ост}$ становится равным нулю, очередной и все последующие периоды вычислений содержат единственный цикл вычислений, так как при $S_p = S_{ост} = 0$ выход блока 18 сравнения кодов не возбуждается и распределитель импульсов 28 из состояния $n+1$ переходит только в состояние $n+2$. В каждом из этих вырожденных периодов вычислений в регистр 26 вводится код нуля, в результате чего на второй вход регулятора 2 скорости поступает нулевой сигнал. Происходит останов

рабочего механизма 6, после чего система может быть выключена.

Таким образом, моделируется квадратичная зависимость между расчетной скоростью v_p и расчетным путем S_p замедления

$$/S_p / = v_p^2 \quad (2)$$

В процессе замедления на втором входе регулятора 2 скорости формируется управляющий сигнал v_3 , пропорциональный расчетной скорости v_p

$$v_3 = K v_p \quad (3)$$

где K — масштабный коэффициент.

С другой стороны, действительная скорость v и оставшийся путь $S_{ост}$ при равнозамедленном движении связаны соотношением

$$v^2 = -2a S_{ост} \quad (4)$$

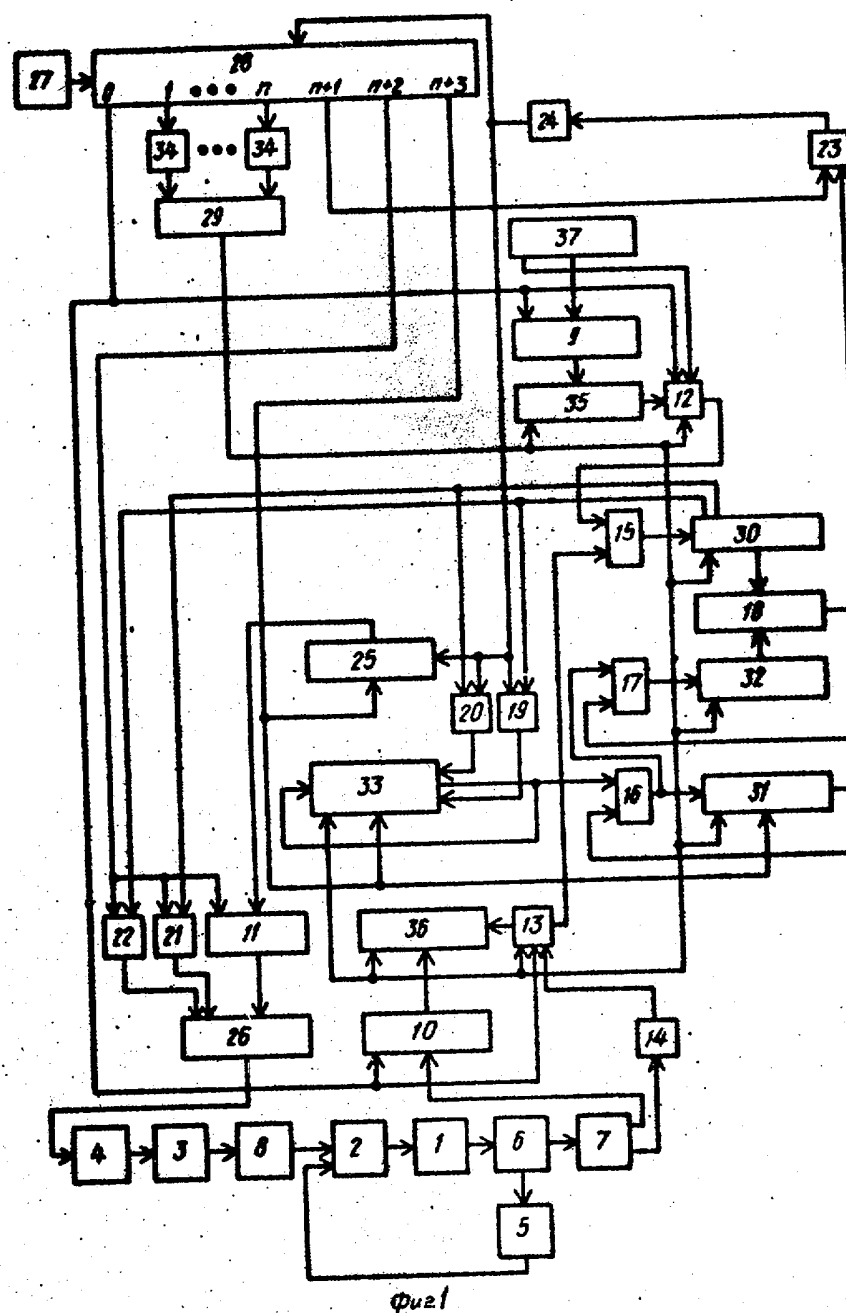
где a — замедление.

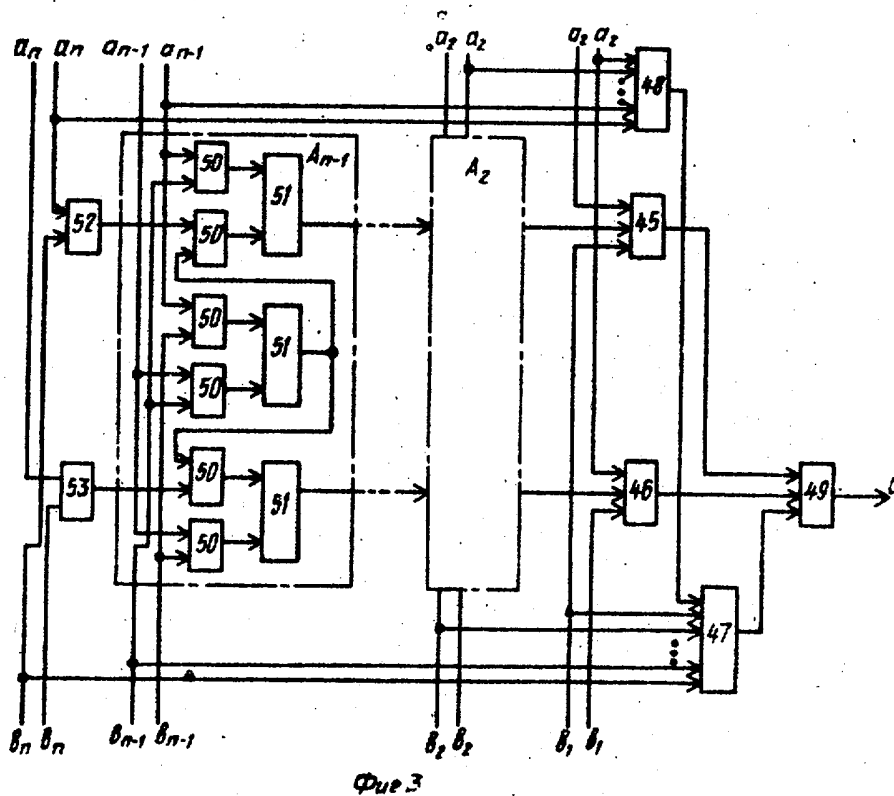
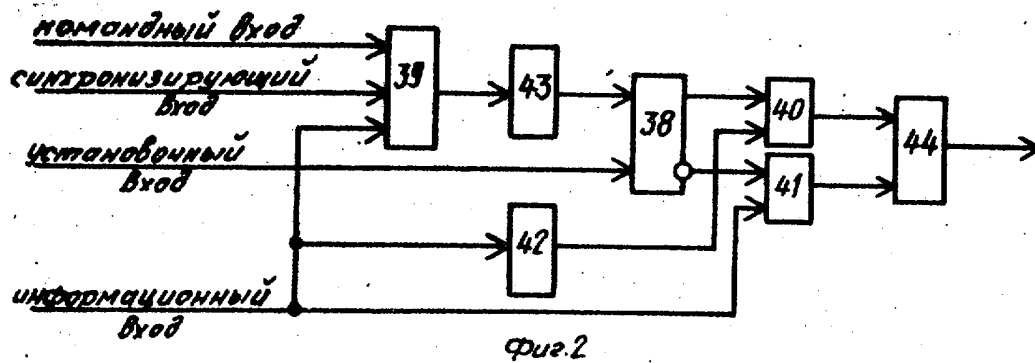
В процессе замедления устройство обеспечивает изменение действительной скорости v в соответствии с изменением управляющего сигнала v_3 , т.е. $v \approx v_3$, при $S_p \approx S_{ост}$. С учетом этого из формулы (2)–(4) следует соотношение

$$a = - \frac{K^2}{2 \text{sign } S_{ост}} \quad (5)$$

Таким образом, величина замедления a зависит от масштабного коэффициента K и может быть установлена настройкой блока 3 масштабирования.

Использование изобретения в различных отраслях промышленности обеспечивает получение значительного технико-экономического эффекта. С его помощью за счет приближения процесса замедления к оптимальному в смысле быстрого действия равнозамедленному движению и повышения точности останова рабочего механизма может быть сокращена длительность рабочих операций и, тем самым, увеличена производительность технологического оборудования. Использование изобретения позволит ограничить динамические перегрузки технологического оборудования путем поддержания величины замедления на заданном допустимом уровне, тем самым улучшаются характеристики надежности оборудования.





Составитель Н. Корева
 Редактор Л. Алексеенко Техред Ж. Кастелевич Корректор А. Тяско

Заказ 4593/41

Тираж 667

Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4