

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4800548号
(P4800548)

(45) 発行日 平成23年10月26日 (2011.10.26)

(24) 登録日 平成23年8月12日 (2011.8.12)

(51) Int. Cl.	F I
G06F 11/22 (2006.01)	G06F 11/22 340E
G06F 17/50 (2006.01)	G06F 17/50 664P
H03K 19/177 (2006.01)	H03K 19/177

請求項の数 46 (全 34 頁)

(21) 出願番号	特願2001-583387 (P2001-583387)	(73) 特許権者	595043376
(86) (22) 出願日	平成13年4月30日 (2001.4.30)		クイックターン・デザイン・システムズ・
(65) 公表番号	特表2004-533025 (P2004-533025A)		インコーポレイテッド
(43) 公表日	平成16年10月28日 (2004.10.28)		QUICKTURN DESIGN SY
(86) 国際出願番号	PCT/US2001/014064		STEMS, INC.
(87) 国際公開番号	W02001/086513		アメリカ合衆国 カリフォルニア州 95
(87) 国際公開日	平成13年11月15日 (2001.11.15)		134 サン ホセ シーリー アベニュー
審査請求日	平成20年4月9日 (2008.4.9)		ー 2655
(31) 優先権主張番号	09/569,695	(74) 代理人	100106725
(32) 優先日	平成12年5月11日 (2000.5.11)		弁理士 池田 敏行
(33) 優先権主張国	米国 (US)	(74) 代理人	100105120
(31) 優先権主張番号	09/570,142		弁理士 岩田 哲幸
(32) 優先日	平成12年5月12日 (2000.5.12)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 集積回路論理要素

(57) 【特許請求の範囲】

【請求項 1】

再構成可能な論理を実装するための集積回路論理要素であって、

集積回路論理要素に信号を入力する入力ラインと、

入力された信号を受信する入力ラインに結合され、第1の出力ラインに第1のデータを出力するルックアップテーブルと、

第1の出力ライン上の第1のデータ及び第1のクロック信号を受信し、選択可能な量だけ遅延された第1のデータである遅延された第1のデータを出力するプログラム可能な遅延回路であって、選択可能な量は、第1のクロック信号に基づいて決定され、プログラム可能な遅延回路は、選択的に能動化されるものと、

プログラム可能な遅延回路に結合され、遅延された第1のデータを受信し、その出力に第2のデータを出力するデータラッチと、

第1のデータ、遅延された第1のデータまたは第2のデータの1つを受信し、それを集積回路論理要素の外に通す出力ラインとを備えていることを特徴とする集積回路論理要素。

【請求項 2】

請求項 1 に記載の集積回路論理要素であって、プログラム可能な遅延回路は、フリップフロップを含んでいることを特徴とする集積回路論理要素。

【請求項 3】

請求項 2 に記載の集積回路論理要素であって、フリップフロップは、エッジトリガされる

ことを特徴とする集積回路論理要素。

【請求項 4】

請求項 1 に記載の集積回路論理要素であって、プログラム可能な遅延回路は、直列に接続された複数のフリップフロップを含んでいることを特徴とする集積回路論理要素。

【請求項 5】

請求項 4 に記載の集積回路論理要素であって、複数のフリップフロップは、エッジトリガされることを特徴とする集積回路論理要素。

【請求項 6】

請求項 1 に記載の集積回路論理要素であって、更に、プログラム可能な遅延回路によって発生された遅延量だけ変化させるために第 1 のクロック信号の速度を調整するクロック調整器を備えていることを特徴とする集積回路論理要素。

10

【請求項 7】

請求項 1 に記載の集積回路論理要素であって、更に、ルックアップテーブルに結合された第 2 のクロック信号を備え、第 1 のクロック信号は第 2 のクロック信号より速いことを特徴とする集積回路論理要素。

【請求項 8】

請求項 1 に記載の集積回路論理要素であって、更に、ルックアップテーブル、プログラム可能な遅延回路及びデータラッチに結合され、第 1 のデータ、遅延された第 1 のデータ及び第 2 のデータを受信し、第 1 のデータ、遅延された第 1 のデータ及び第 2 のデータの 1 つを出力ラインに通す選択回路を備えていることを特徴とする集積回路論理要素。

20

【請求項 9】

請求項 1 に記載の集積回路論理要素であって、更に、ルックアップテーブル、プログラム可能な遅延回路及びデータラッチに結合され、第 1 のデータ及び遅延された第 1 のデータを受信し、第 1 のデータまたは遅延された第 1 のデータの 1 つをデータラッチに通す選択回路を備えていることを特徴とする集積回路論理要素。

【請求項 10】

請求項 1 に記載の集積回路論理要素であって、更に、複数の入力ラインと、データラッチを制御する信号を通すために入力ラインの 1 つを選択するマルチプレクサを備えていることを特徴とする集積回路論理要素。

【請求項 11】

請求項 1 に記載の集積回路論理要素であって、データラッチは、ラッチまたはフリップフロップとして機能することを特徴とする集積回路論理要素。

30

【請求項 12】

請求項 1 に記載の集積回路論理要素であって、データラッチは、データラッチの出力を 1 つの論理状態にセットする第 1 のピン上のセット信号及びデータラッチの出力を他の論理状態にリセットする第 2 のピン上のリセット信号を受信し、第 1 のピンは第 2 のピンと離れていることを特徴とする集積回路論理要素。

【請求項 13】

請求項 1 に記載の集積回路論理要素であって、データラッチは、直列に接続されたマスターフリップフロップとスレーブフリップフロップを有していることを特徴とする集積回路論理要素。

40

【請求項 14】

請求項 1 に記載の集積回路論理要素であって、更に、入力ラインに結合され、集積回路論理要素が入力を他の集積回路論理要素と分配することを許可する入力分配回路を備えていることを特徴とする集積回路論理要素。

【請求項 15】

請求項 14 に記載の集積回路論理要素であって、更に、入力ラインに結合されたランダムアクセスメモリを有し、入力分配回路は、集積回路論理要素がランダムアクセスメモリ内のデータを他の集積回路論理要素と分配することを許可することを特徴とする集積回路論理要素。

50

【請求項 1 6】

請求項 1 4 に記載の集積回路論理要素であって、入力分配回路は、データを集積回路論理要素から他の集積回路論理要素に通すラインを含んでいることを特徴とする集積回路論理要素。

【請求項 1 7】

請求項 1 5 に記載の集積回路論理要素であって、入力分配回路は、データを集積回路論理要素のランダムアクセスメモリから他の集積回路論理要素に通すラインを含んでいることを特徴とする集積回路論理要素。

【請求項 1 8】

請求項 1 7 に記載の集積回路論理要素であって、入力分配回路は、データを他の集積回路論理要素のランダムアクセスメモリから受信するラインを含んでいることを特徴とする集積回路論理要素。

10

【請求項 1 9】

請求項 1 8 に記載の集積回路論理要素であって、入力分配回路は、データを他の集積回路論理要素のランダムアクセスメモリから受信し、データを集積回路論理要素のランダムアクセスメモリに格納することを特徴とする集積回路論理要素。

【請求項 2 0】

請求項 1 4 に記載の集積回路論理要素であって、入力分配回路は、信号を入力ラインから集積回路論理要素にルーティングするためのマルチプレクサを含んでいることを特徴とする集積回路論理要素。

20

【請求項 2 1】

請求項 1 に記載の集積回路論理要素であって、ルックアップテーブルは、少なくとも 5 つの入力を受信することを特徴とする集積回路論理要素。

【請求項 2 2】

請求項 1 に記載の集積回路論理要素であって、ルックアップテーブルは、6 つの入力を受信することを特徴とする集積回路論理要素。

【請求項 2 3】

再構成可能な論理を実装するための集積回路論理要素であって、
信号を集積回路論理要素に入力する入力ラインと、
入力された信号を受信するための入力ラインと電気的に通信可能なルックアップテーブルを有し、第 1 のデータを第 1 の出力ラインに出力するランダムアクセスメモリと、
第 1 の出力ライン上の第 1 のデータ及び第 1 のクロック信号を受信し、選択可能な量だけ遅延された第 1 のデータである遅延された第 1 のデータを出力するプログラム可能な遅延回路であって、選択可能な量は、第 1 のクロック信号に基づいて決定され、プログラム可能な遅延回路は、選択的に能動化されるものと、
ランダムアクセスメモリ内に形成される第 2 のメモリと、
ランダムアクセスメモリに結合され、第 1 のデータを受信し、第 2 のデータをその出力に出力するデータラッチと、
第 1 のデータまたは第 2 のデータを受信し、それを集積回路論理要素の外に通す出力ラインと
を備えていることを特徴とする集積回路論理要素。

30

40

【請求項 2 4】

請求項 2 3 に記載の集積回路論理要素であって、第 2 のメモリは、ランダムアクセスメモリ内のデータを読み出し、データのコピーを第 2 のメモリ内に格納することを特徴とする集積回路論理要素。

【請求項 2 5】

請求項 2 3 に記載の集積回路論理要素であって、第 2 のメモリは、データをランダムアクセスメモリから標本抽出し、標本抽出したデータを第 2 のメモリに格納することを特徴とする集積回路論理要素。

【請求項 2 6】

50

請求項 25 に記載の集積回路論理要素であって、第 2 のメモリは、複数のメモリブロックを含み、各メモリブロックは、ランダムアクセスメモリからの異なる標本抽出データを格納することを特徴とする集積回路論理要素。

【請求項 27】

請求項 23 に記載の集積回路論理要素であって、第 2 のメモリに格納されているデータは、ユーザが読み出し可能であることを特徴とする集積回路論理要素。

【請求項 28】

請求項 26 に記載の集積回路論理要素であって、第 2 のメモリのメモリブロックに格納されている標本抽出データは、ユーザが順に読み出し可能であることを特徴とする集積回路論理要素。

10

【請求項 29】

請求項 23 に記載の集積回路論理要素であって、更に、プログラム可能な遅延回路によって発生される遅延量だけ変化させるために第 1 のクロック信号の速度を調整するクロック調整器を備えていることを特徴とする集積回路論理要素。

【請求項 30】

請求項 23 に記載の集積回路論理要素であって、プログラム可能な遅延回路は、フリップフロップを含んでいることを特徴とする集積回路論理要素。

【請求項 31】

請求項 30 に記載の集積回路論理要素であって、フリップフロップは、エッジトリガされることを特徴とする集積回路論理要素。

20

【請求項 32】

請求項 23 に記載の集積回路論理要素であって、プログラム可能な遅延回路は、直列に接続された複数のフリップフロップを含んでいることを特徴とする集積回路論理要素。

【請求項 33】

請求項 32 に記載の集積回路論理要素であって、複数のフリップフロップはエッジトリガされることを特徴とする集積回路論理要素。

【請求項 34】

請求項 29 に記載の集積回路論理要素であって、更に、ランダムアクセスメモリに結合される第 2 のクロック信号を備え、第 1 のクロック信号は第 2 のクロック信号より速いことを特徴とする集積回路論理要素。

30

【請求項 35】

請求項 23 に記載の集積回路論理要素であって、更に、ランダムアクセスメモリ及びデータラッチに結合され、第 1 のデータ及び第 2 のデータを受信し、第 1 のデータ及び第 2 のデータの 1 つを出力ラインに通す選択回路を備えていることを特徴とする集積回路論理要素。

【請求項 36】

請求項 29 に記載の集積回路論理要素であって、更に、ランダムアクセスメモリ、遅延回路及びデータラッチに結合され、第 1 のデータ、遅延された第 1 のデータ及び第 2 のデータを受信し、第 1 のデータ、遅延された第 1 のデータまたは第 2 のデータの 1 つを出力ラインに通す選択回路を備えていることを特徴とする集積回路論理要素。

40

【請求項 37】

請求項 23 に記載の集積回路論理要素であって、データラッチは、ラッチまたはフリップフロップとして機能することを特徴とする集積回路論理要素。

【請求項 38】

請求項 23 に記載の集積回路論理要素であって、データラッチは、データラッチの出力を 1 つの論理状態にセットする、第 1 のピン上のセット信号と、データラッチの出力を他の論理状態にリセットする、第 2 のピン上のリセット信号を受信し、第 1 のピンは第 2 のピンと離れていることを特徴とする集積回路論理要素。

【請求項 39】

請求項 23 に記載の集積回路論理要素であって、更に、入力ラインに結合され、集積回

50

路論理要素が他の集積回路論理要素と入力を分配することを許可する入力分配回路を備えていることを特徴とする集積回路論理要素。

【請求項 4 0】

請求項 3 9 に記載の集積回路論理要素であって、入力分配回路は、集積回路論理要素が他の集積回路論理要素とランダムアクセスメモリ内のデータを分配することを許可することを特徴とする集積回路論理要素。

【請求項 4 1】

請求項 3 9 に記載の集積回路論理要素であって、入力分配回路は、データを集積回路論理要素から他の集積回路論理要素に通すラインを含んでいることを特徴とする集積回路論理要素。

10

【請求項 4 2】

請求項 4 0 に記載の集積回路論理要素であって、入力分配回路は、データを集積回路論理要素のランダムアクセスメモリから他の集積回路論理要素に通すラインを含んでいることを特徴とする集積回路論理要素。

【請求項 4 3】

請求項 4 2 に記載の集積回路論理要素であって、入力分配回路は、データを他の集積回路論理要素のランダムアクセスメモリから受信するラインを含んでいることを特徴とする集積回路論理要素。

【請求項 4 4】

請求項 4 3 に記載の集積回路論理要素であって、入力分配回路は、データを他の集積回路論理要素のランダムアクセスメモリから受信し、データを集積回路論理要素のランダムアクセスメモリに格納することを特徴とする集積回路論理要素。

20

【請求項 4 5】

請求項 2 3 に記載の集積回路論理要素であって、更に、入力ラインに結合され、少なくとも 5 つの入力を受信し、第 1 のデータを第 1 の出力ラインに出力するルックアップテーブルを備えていることを特徴とする集積回路論理要素。

【請求項 4 6】

請求項 4 5 に記載の集積回路論理要素であって、ルックアップテーブルは、6 つの入力を受信することを特徴とする集積回路論理要素。

【発明の詳細な説明】

30

【0 0 0 1】

この出願は、参照によって組み込まれている、継続中の、2 0 0 0 年 5 月 1 1 日に出願した米国特許出願 0 9 / 5 6 9 , 6 9 5 号の一部継続出願であり、その優先権を主張している。ライアン&ライアンの整理番号が 2 2 0 / 2 9 0、名称が「最適化エミュレーション及びプロトタイピング構造」である、1 9 9 7 年 1 1 月 1 2 日に提出した米国特許出願 0 8 / 9 6 8 , 4 0 1 号は、その全てを参照によって組み込まれ、本出願の部分形成している。

【0 0 0 2】

【発明の属する分野】

本発明の分野は、一般的にはエミュレーションシステムのための集積回路チップに関し、特に、レースタイム問題(race time problem)を除去するホールドタイムアルゴリズム(hold time algorithm)を有するエミュレーションシステムのための改良された論理要素に関する。

40

【0 0 0 3】

【従来の技術】

在庫がある構成要素として手に入れることができる(すなわち、商業的に手に入れることができる)一般目的のプログラマブル論理チップ(プログラム可能な論理チップ)は、一般的には、論理エミュレーション、プロトタイピング(prototyping)及びコンピューティング(computing)等の特別の応用のためにカスタム設計されない。一般目的のプログラマブル論理チップの例は、フィールドプログラマブルゲートアレイ(field programmable

50

gate array) (“FPGA”)、プログラマブル論理アレイ(programmable logic array) (“PLA”) 及びプログラマブルアレイ論理(programmable array logic) (“PAL”) である。

一般目的のプログラマブル論理チップは、ハードウェア論理エミュレーション、プロトタイプピング及びコンピューティング等の応用の初期の開発段階では十分に役に立っていた。しかしながら、これらの応用では、一般目的の論理チップは、いくつかの欠点を有している。多くの一般目的の論理チップは、他の目的より速さと密度（すなわち、どのくらいの論理ゲートが単一のチップに実装可能か）を強調した。大部分の応用に対する費用効果をあげるためには、一般目的のプログラマブル論理構造は、その中に設計を納めることができるために十分なルーティングリソース(routing resource)を提供し、大部分の有用な論理ゲートを集積回路内で使用可能にする必要がある。

10

しかしながら、一般目的のプログラマブル論理構造では、ゲートカウント（すなわち、チップを必要とするプログラマブル論理チップの製造者が実装可能なゲートの数）がチップの定格容量の範囲内であっても、常に、与えられた設計またはパーティション（区分）(partition)が実装できない可能性を有している。また、編集処理の速度は、一般目的の論理チップでは、あまり重要ではない。

【0004】

【発明が解決しようとする課題】

対照的に、論理エミュレーション、プロトタイプピングまたはコンピューティングの応用では、優先度が異なる。論理チップは、通常、大きな、複合チップシステム(multi-chip system)（しばしば、数十または数百の論理チップを有する）の部分である。大きな入力設計ネットリスト(input design netlist)は、最小のユーザの介在で、非常に高い成功率で、全てのこれらの論理チップ内に自動的に編集される必要がある。ネットリストは、設計の構成要素（すなわち、論理ゲート）及び構成要素がどのように相互接続されるかを指定する論理設計の記述である。ネットリストの各“ネット”(net)は、構成要素または入力／出力パッド上のピンの間の回路通路を定義する。これらの応用で使用される論理チップが、ほとんどいつも、大部分の論理リソースが完全に自動的な編集処理によって使用できるほど十分に柔軟性と能力を有するルーティングリソースを提供することは、本質的なことである。この編集処理は、迅速に実行されなければならない。編集時間を速くすることにより、ユーザの設計がエミュレータシステムに提供されてから、全ての論理チップがプログラムされ、ユーザの設計を実行する準備ができる（すなわち、ユーザの設計をエミュレートする）までに必要な時間を最小化する。

20

30

【0005】

一般目的の論理チップの目的と、エミュレーション、プロトタイプピング及びコンピューティングの応用で使用される論理チップの目的の違いにより、論理エミュレーション、プロトタイプピング及びコンピューティングの応用のために特殊化された論理チップが必要である。

【0006】

さらに、できるだけルーティングの失敗の可能性を減少させなければならないエミュレーションに使用される集積回路の設計及び相互接続の柔軟性によって、エミュレートされるゲートの容量を高度に予測することができ、所定のタイミング問題を解決することができる。非常に大きい設計を多くのプログラマブル論理チップにパーティショニング（区分け）(partitioning)する際の共通の問題は、元のネットリストのタイミングが保持されないということである。元の設計の通常の区分けは、おそらく、最終の単一チップの実装時におけるタイミングを反映する。しかしながら、ネットリストをプログラマブル論理ターゲット(programmable logic target)に再構成及び再区分けするソフトウェアは、そのターゲットに対して異なる区分けを課するに違いない。信号通路の遅延は、大きくなるが、一様ではない。これらの遅延の拡大の違いは、設計ネットリストに固有ではないが、タイミング問題（すなわち、スキュー、セットアップ及びホールド妨害）を引き起こす。時には、設計ネットリスト内に存在するタイミング問題は、プログラマブル論理システムへの

40

50

マッピング(mapping)によって隠れてしまう。これらのタイミング問題は、ユーザまたはエミュレーターにとって不満足である。エミュレーション構造は、加えられたタイミング問題を検出し、これらのタイミング問題を除去するためのハードウェアを有する必要がある。

【0007】

エミュレーション集積回路は、従来、より複雑なブロックを形成するために一緒に結合され、その後完全なチップを形成するために結合される、所望の論理機能を実行可能な簡単な論理ブロックを有する、多段レベル階層状に構成されている。典型的には、相互接続の量は、階層の最も低いレベルで最も多く、高いレベルでは減少する。結果的に、最も低いレベルの相互接続の設計は、チップの全サイズ及びコストに大きく影響する。

10

【0008】

階層の最も低いレベルでの相互接続は、従来、(1) 論理要素(例えば、Xilinx 4000シリーズで使用されているFPGA)の列と行を相互接続する、部分的に埋められる(partially populated)マルチプレクサ構造、または、(2) 論理要素の小グループ(例えば、Altera Flex 8000で使用されているFPGA群)を相互接続する完全クロスバー(full crossbar)を介して達成されていた。しかしながら、部分的に埋められるマルチプレクサ構造は、制限されたルーティングの柔軟性の悩みがある。1つの論理要素から他の論理要素への多くのローカル接続(local connection)を必要とする回路設計は、与えられたチップ内の全てにおいてルーティング可能ではなく、あるいは、論理要素間を完全にルーティングするために非常に複雑なソフトウェア及び長い計算時間を必要とする。

20

【0009】

階層の最も低いレベルでの完全クロスバー相互接続は、論理要素の小グループ間の完全な相互接続性を保障することによって、部分的に埋められるマルチプレクサ相互接続の問題を回避している。しかしながら、完全クロスバー相互接続構成に対する欠点は、完全クロスバーを実装するために必要なシリコンの量である。必要なシリコンの面積は、相互接続される論理要素の数の2乗に比例する。このように、論理要素の少数の場合にのみ、コストが高くなる前に、完全クロスバーを介して相互接続可能である。1例として、Altera Flex 8000のチップ内の最も低いレベルは、8つの論理要素を有している。このような小さな、低レベルのブロックを使用して大きな集積回路を構築することは、膨大な数のブロックや相互接続信号がチップ内の高いレベルで必要なため、困難である。

30

【0010】

論理要素は、エミュレーションシステムのための集積回路チップを構築するために順に使用される論理ブロックの基本的な骨格ブロックであるため、エミュレーションにおいてより高い正確性及び効率性を達成するためには、論理要素内の改良が必要である。レースタイム問題及び動作関連問題は、現在の論理要素を改良する必要性を生じさせる。また、機能のテスト及び調査を提供する必要がある。

従来のシステム及び回路の更なる制限及び欠点は、当業者には、図面を参照して本発明の応用の残りの部分を見直した後に明らかになるであろう。

【0011】

40

【課題を解決するための手段】

本発明の種々の異なるアスペクトは、エミュレーションシステムのための改良された回路内に見出すことができる。改良された回路は、RAM、ルックアップテーブル、オプションの遅延要素及びフリップフロップ／ラッチを有する論理要素を備えている。フリップフロップ／ラッチは、フリップフロップまたはラッチとして動作し、別々のセット及びリセット信号を有している。遅延要素は、レースタイム問題を軽減するために、論理要素のデータ通路内に選択可能な遅延量を挿入する。論理要素は、RAMの大きさを増大させるために、入力信号を分配するように結合される。また、改良された回路は、論理要素からの標本抽出データを格納し、デバッグ目的のためにエミュレーションデータを再生するために使用されるシャドウメモリ(shadow memory)を有している。複数の読出ポートによって

50

、ユーザは、時間多重方法でエミュレーションを行っている間に、改良された回路からデータを読み出すことができる。入力／出力ピンは、複数の信号を一方方向または双方向に搬送するために時間多重化される。また、改良された回路は、レースタイム問題を軽減するために、ホールドタイムアルゴリズムを有している。

【0012】

第1に、本発明の別のアスペクトは、論理要素のデータ通路内に調整可能な遅延量を挿入する遅延要素を論理要素が含んでいるエミュレーションシステムにおいて使用する集積回路の論理ブロックのための論理要素である。

第2に、本発明の別のアスペクトは、別々のセット及びリセット信号を有するフリップフロップラッチを論理要素が含んでいるエミュレーションシステムにおいて使用する集積回路のための論理要素である。

第3に、本発明の別のアスペクトは、論理要素が6つの入力のルックアップテーブルを含んでいるエミュレーションシステムにおいて使用する集積回路のための論理要素である。

第4に、本発明の別のアスペクトは、論理要素からの標本抽出データを格納し、そのデータをユーザに対する表示のために再生するメモリを有するエミュレーションシステムにおいて使用する集積回路である。

第5に、本発明の別のアスペクトは、各論理要素が、RAMを有し、より大きなRAMを生成するために結合されるエミュレーションシステムにおいて使用する集積回路のための論理要素である。

第6に、本発明の別のアスペクトは、複数の読出ポートを有し、ユーザが、時間多重方法でエミュレーションを行っている間に、改良された回路からデータを読み出すことができるエミュレーションシステムにおいて使用する集積回路である。

第7に、本発明の別のアスペクトは、複数の信号を一方方向に搬送するために、入力／出力ピンが時間多重化されているエミュレーションシステムにおいて使用する集積回路である。

第8に、本発明の別のアスペクトは、複数の信号を双方向に搬送するために、入力／出力ピンが時間多重化されているエミュレーションシステムにおいて使用する集積回路である。

第9に、本発明の別のアスペクトは、前記した別のアスペクトのいずれかを、個々にまたはいくつかを結合して実行するエミュレーション方法である。

第10に、本発明の別のアスペクトは、個別またはいくつかを結合する、前記した別のアスペクトのいずれかである。

本発明の他のシステム、方法、特徴及び利点は、以下の図面及び詳細な説明を考査することによって当業者に明らかとなる。全ての追加のシステム、方法、特徴及び利点は、この記述内に含まれ、本発明の範囲内にあり、添付の請求の範囲によって保護されるように意図されている。

本発明は、以下の図面を参照することによってよりよく理解することができる。図面中の構成要素は、本発明の原理を説明するために配置されており、必ずしも、大きさや強調に対するものではない。さらに、異なる図面を通して、同じ参照数字は対応する要素を示している。

【0013】

【発明の実施の形態】

本発明の現時点での好ましい装置及び方法を説明する。

エミュレーションに最適であるためには、論理チップは、何回でも電氣的に再構成可能であり、あらゆるデジタル結合論理ネットワークに応じて構成可能であり、あらゆるデジタルネットワークに自由に接続可能である必要がある。以下の一般的な論議は、図面を参照して一般的な背景を提供する。さらに、プログラマブル論理システム及び相互接続ネットワークの詳細な説明は、本出願の譲受人に譲り受けられている、米国特許第5,036,473号、米国特許第5,109,353号、米国特許第5,448,496号及び米国特許第5,452,231号に記載されている。米国特許第5,036,473号、米国特許第5,

036,353号、米国特許第5,448,496号及び米国特許第5,452,231号の記載は、全て参照により組み込まれている。

【0014】

本発明にしたがって構築された集積回路は、結合論理機能（例えば、ANDゲート、ORゲート）、シーケンシャル論理機能（例えば、フリップフロップ、ラッチ等）及び蓄積機能を提供するようにプログラム可能な内部論理ブロックを含んでいる。各論理ブロックは、論理ブロックを特別な論理ブロックそれぞれの外部の回路に相互接続するために使用される、複数の入力／出力（“I/O”）ピンを含んでいる。

また、集積回路は、外部入力／出力（“I/O”）パッド及びプログラマブル相互接続を含んでいる。外部I/Oパッドによって、他のチップ及び装置に接続することができる。プログラマブル相互接続は、論理ブロック及び／またはI/Oパッド間に信号を通す。特に、プログラマブル相互接続は、部分クロスバー相互接続構造を使用する。

10

【0015】

3つのレベルの階層を有するプログラマブル論理チップが、図1Aに示されている。このチップの階層は、後述する。

第1レベルの論理ブロックは、L0ブロック525として表される。L0ブロック525は、それぞれ小さい結合論理機能及び／または少量の蓄積を提供する、多くの論理要素（LE）526を含んでいる。時には、論理要素は、集積回路内の基本構築ブロックであるため、論理ユニット（LU）として表される。LE526は、X0相互接続527として表される相互接続によって相互接続される。X0相互接続527は、相互接続の次のレベルへの接続を可能にするためのI/Oピン528を有している。

20

【0016】

第2レベルの論理ブロックは、L1ブロック505として表されている。L1ブロック505は、X1相互接続521として表される相互接続によって相互接続される多くのL0論理ブロック525を含んでいる。X1相互接続521は、次のレベルに接続するためのI/Oピン522を有している。

第3レベルの論理ブロックは、L2ブロック425として表されている。L2ブロック425は、多くのL1論理ブロック505を含んでいる。L1論理ブロック505は、X2相互接続511として表される相互接続によって相互接続される。X2相互接続511は、I/Oピン512を有している。

30

本発明の現時点での好ましい実施の形態では、単一のL2論理ブロックは、全てプログラム可能な論理チップを有している。そのI/Oピン512は、チップがまとめられる時に外部のピンまたは導線に接続されるチップI/Oパッド435に接続する。

【0017】

各レベルでの論理ブロックの論理容量を支持するために、十分なI/Oピンが必要である。X0相互接続527、X1相互接続521及びX2相互接続511の各々の好ましい大きさは、相互接続されるI/Oピンの数の関数である。最適なバランスは、使用されるレベルの総数、各レベルにおける論理ブロックの大きさ、各レベルにおける論理ブロックI/Oピンの数及び相互接続の最終の大きさの間である。

【0018】

図1Aの多段レベル階層状に相互接続されているプログラマブル論理チップ内のX0相互接続527、X1相互接続521及びX2相互接続511は、多くの異なる構造の1または複数を使用可能である。例えば、クロスバーベースの構造(crossbar-based architecture)は、完全にまたは部分的に埋められている単一の簡単なクロスバー、あるいは複数の簡単なクロスバーを有する部分クロスバー相互接続が使用される。

40

【0019】

図1Aのプログラマブル論理チップの1つの可能なフロアプラン(floor plan)が、図1Bに示されている。図9は、図1BのL2論理ブロック1100配列の論理構造を示している。

単一のL2論理ブロック425は、エミュレーション及びプロトタイピングチップとして

50

機能するように構成されている。L 2 チップの階層 4 2 5 では、複数の X 2 クロスバーが、複数の L 1 論理ブロック 5 0 5 間の X 2 部分クロスバー相互接続 5 1 1 を形成する。各 L 1 論理ブロック 5 0 5 は、複数の L 0 論理ブロック 5 2 5 間に X 1 部分クロスバー相互接続 5 2 1 を形成する複数の X 1 クロスバーを含んでいる。各 L 0 論理ブロック 5 2 5 は、複数の論理要素（図示していない）を相互接続する X 0 相互接続を含んでいる。入力／出力パッド 4 3 5 は、L 2 論理ブロック I／O ピンに接続される。いくつかのパッドは、第 2 の制御目的と、電力及びグランド接続のために使用される。

【0020】

X 2 部分クロスバー相互接続 1 1 2 0 内には、7 2 の X 2 クロスバー 1 1 1 0 が存在する。各 X 2 クロスバーは、それぞれ L 1 論理ブロック I／O ピンに接続される、3 2 個のローカル端子(local terminal)を有している。各 X 2 クロスバーは、それぞれ L 2 論理ブロック I／O ピン 1 1 9 0 である、1 6 個の外部端子を有している。L 2 論理ブロック 1 1 0 0 は、4 3 2 個のパッド 1 1 9 0 を含んでいる。そのうちの 2 8 8 個のパッドは、L 2 論理ブロック I／O ピン 1 1 9 0 に接続されるパッドである。残りのパッドは、第 2 の制御目的、電力及びグランド接続のために使用される。

10

【0021】

それぞれ 2 8 8 個の I／O ピンと X 1 部分クロスバー相互接続 1 1 5 0 を含んでいる、8 個の L 1 論理ブロック 1 1 3 0 が存在する。X 1 部分クロスバー相互接続 1 1 5 0 は、1 8 個の X 1 クロスバー 1 1 4 0 を有している。各 X 1 クロスバーは、それぞれ L 0 論理ブロック I／O ピンに接続されている、3 2 個のローカル端子を有している。各 X 1 クロスバーは、それぞれ L 1 論理ブロック I／O である、1 6 個の外部端子を有している。各 L 1 論理ブロック 1 1 3 0 は、それぞれ 7 2 個の I／O ピンと X 0 相互接続 1 1 7 0 を含んでいる、8 個の L 0 論理ブロック 1 1 6 0 を含んでいる。X 0 相互接続 1 1 7 0 は、3 6 個の論理要素（L E）1 1 8 0 を接続する。各 L E 1 1 8 0 は、メモリ要素、フリップフロップ／ラッチ及びプログラマブル遅延要素を含んでいる。各 L 1 論理ブロック 1 1 3 0 内には、2 8 8 個の L E 1 1 8 0 が存在する。したがって、L 2 論理ブロック 1 1 0 0 内には、2 3 0 4 個の L E 1 1 8 0 が存在する。

20

このようなプログラマブル論理チップ上の L 2 論理ブロックは、大きさとルーティングの効率によってのみ選択が指示される、多くの他の可能な配置に応じて配列される。

【0022】

30

図 1 A の多段レベル階層状に相互接続されたプログラマブル論理チップの特別な実施の形態である図 2 に示すように、1 個の L 0 ブロック 5 2 5 に 3 6 個の L E 5 2 6、1 個の L 1 ブロック 5 0 5 に 8 個の L 0 ブロック 5 2 5、1 個の L 2 ブロックに 8 個の L 1 ブロック 5 0 5 が存在する。1 個の L 1 ブロック 5 0 5 に 1 8 個の X 1 相互接続ネットワーク 5 2 1、合計 1 1 5 2 の I／O 信号を搬送する L 2 ブロック 1 個に 7 2 個の X 2 ブロック 5 1 1、そして 2 8 8 個の I／O ブロック 4 3 5 が存在する。

勿論、本発明は、これらの構成要素の特定の数に限定されるものではない。特別の構成要素の数及び多段レベル階層におけるレベルの数は、任意の適当な数の中から選択可能である。

【0023】

40

次に、クロスバー相互接続階層の例を説明する。

簡単なクロスバー 4 1 0 の概略ブロック図を図 3 に示す。クロスバー 4 1 0 は、ローカル端子 4 1 1 間に接続を確立するようにプログラム可能である。クロスバー 4 1 0 が完全に埋められる場合には、任意のローカル端子 4 1 1 から 1 または複数の他のローカル端子 4 1 1 への接続がプログラムされる。部分的に埋められる場合には、全ての接続ではないが、いくつかの接続がプログラムされる。部分的に埋められるクロスバーは、ハードウェアに関しては安いコストであるが、相互接続に関しては低い能力であり、また、接続を決定するためにより複雑なソフトウェアまたは追加のソフトウェア手続が必要である。

【0024】

クロスバー 4 1 0 のための外部端子 4 1 2 が、図 3 に示されている。

50

クロスバー 4 1 0 は、外部端子 4 1 2 とローカル端子 4 1 1 間の接続を確立することができる。外部端子 4 1 2 と他の外部端子 4 1 2 間の接続は、必ずしも必要ではない。クロスバー 4 1 0 が部分クロスバー相互接続において使用される場合には、ローカル端子 4 1 1 は相互接続される論理ブロックに接続され、外部端子 4 1 2 は高レベル論理ブロックのための I/O ピンとして使用される。

本明細書中に言及され、参照によって組み込まれている米国特許及び米国特許出願に記載されている多くの形式のクロスバーが使用可能である。これらのクロスバー 4 1 0 の実装形式は、本出願を満足するために使用可能な十分なルーティング性を有している限り、本発明の概念の範囲内である。例えば、クロスバー 4 1 0 は、ローカル端子 4 1 1 及び外部端子 4 1 2 の各々がプログラム可能な双方向送受信機（図示していない）に接続される、

10

クロスポイント式クロスバー(crosspoint-type crossbar)であってもよい。更に、任意の相互接続階層における変更も予想される。例えば、チップ上に部分クロスバー相互接続を実装する場合には、相互接続される論理ブロック、クロスバー及び相互接続線が、全て同じ媒体中に存在し、異なるパッケージに分けられないので、システムレベルでの形式とは異なる形式を採用する。

改良された論理要素を使用するエミュレーションシステムは、チップ上に部分クロスバー相互接続を実装するいくつかの方法を含んでいる。部分クロスバー相互接続は、単一レベル部分クロスバー相互接続よりも効率的に多数の論理ブロックを結ぶために、クロスバーの多段レベルを使用して、階層的に用いられる。

【0025】

20

各 L 1 論理ブロック 5 0 5 の構成要素は、図 4 に示されている。

X 1 相互接続 5 2 1 は、クロスバー 4 1 0（図 3 に示されている）の例である、ローカル端子 9 1 6 及び外部端子 9 1 5 を有する X 1 クロスバー 5 2 0 と、L 0 論理ブロック I/O ピン 9 2 5 を有するローカル端子 9 1 6 を接続する導線とにより構成されている。この X 1 相互接続 5 2 1 では、X 1 クロスバー 5 2 0 は、L 0 論理ブロック 5 2 5 に接続される。これにより、各 L 0 論理ブロック 5 2 5 の I/O ピン 9 2 5 は、各 L 0 論理ブロック 5 2 5 上で同じ分割を使用して、適当なサブセットに分割される。各 X 1 クロスバー 5 2 0 のローカル端子 9 1 6 は、各 L 1 論理ブロック 5 0 5 それぞれからの I/O ピン 7 2 5 の同じサブセットに接続される。外部端子 9 1 5 は、図 2 に示されているように、X 2 クロスバー 5 1 0 に接続される L 1 論理ブロック 5 0 5 の I/O ピン 7 2 5 に接続される。

30

【0026】

L 0 論理ブロック 5 2 5 の数、各 L 0 論理ブロック上の I/O ピン 9 2 5 の数、X 1 クロスバー 5 2 0 の数及び各 X 1 クロスバー 5 2 0 上のローカル端子 9 1 6 の数にしたがって、各 L 0 ブロック 5 2 5 と X 1 クロスバー 5 2 0 対の間の導線の数 “n” が決まる。例えば、それぞれに 6 4 個の I/O ピン 9 2 5 を有する 8 個の L 0 論理ブロックと、それぞれ 3 2 個のローカル端子 9 1 6 を有する 1 6 個の X 1 クロスバー 5 2 0 が存在する場合、“n” は 4 である。すなわち、各 L 0 ブロック 5 2 5 と X 1 クロスバー 5 2 0 の対の間に 4 本の導線が存在する。“n” の値が大きいほど、ルーティングが容易となり、ルーティングの成功の可能性が高くなる。

【0027】

40

クロスバー 4 1 0 の他の実装方法は、集積回路を設計する時に通常実行される、単一のシリコン型上における構成要素の直線配置により適合しており、また、作用上の利点を有しているため、特別な応用のためのプログラマブル論理チップでの使用により適している。このように、例えば、クロスバー 4 1 0 は、マルチプレクサ形式のクロスバーとして実装可能である。このクロスバーのマルチプレクサ実装は、クロスバーのプログラミングに比較的に影響されない、有利な伝播遅延を有している。

クロスバーの前記した形式についての詳細は、例えば、ライアン&ライアンの整理番号が 2 2 0 / 2 9 0、発明の名称が「最適化エミュレーション及びプロトタイピング構造」である米国特許出願番号 0 8 / 9 6 8, 4 0 1 号に開示されている。

【0028】

50

図5は、論理チップ上の関係する物理配列におけるL0論理ブロック525の基本構成要素を示している。

X0相互接続527は、長さ方向の一方側または両側に沿って配置されている論理要素(LE)526を有している。L0ブロック525のI/Oピン528は、X0相互接続527の端部の一方側または両側に設けられている。X0相互接続527は、完全に埋められる簡単なクロスバーまたは部分的に埋められる簡単なクロスバーまたは双方の組み合わせを含む、多くの異なる形式の1つ内に構築される。

【0029】

図6は、L0論理ブロック525内のX0相互接続527の1つの可能な実装を示している。

10

X0相互接続527は、2つのクロスバー、X0入力クロスバー600及びX0出力クロスバー700を有している。これにより、各クロスバーは、その機能に応じて最適化される。このX0相互接続527の特別な例では、クロスバーの他の形式も考慮されるが、X0入力クロスバー600は完全に埋められるクロスバーであり、X0出力クロスバー700は部分的に埋められるクロスバーである。

図7は、図6の完全に埋められるX0入力クロスバー600の論理表示を示し、X0入力クロスバー600(図602で示されている)に接続される各LEの各入力を示している。

同様に、図8は、部分的に埋められるL0出力クロスバーの論理表現であり、L0出力クロスバー(図702によって示されている)に接続されるLEのいくつかの出力を示している。

20

図6に戻り、X0入力クロスバー600は、LE出力560及びL0論理ブロックI/Oピン528から入力を得る。X0入力クロスバー600の出力は、各LE526の入力550に接続される。X0出力クロスバー700は、LE出力560から入力を得る。その出力は、L0論理ブロックI/Oピン528に接続される。

【0030】

図10及び11は、本発明の実施の形態にしたがって構築された論理要素LE526を示している。図11は、図10に示されていない詳細を示しているが、図13及び14に関連して後述するオプションの入力分配特徴を示していない。

論理要素526は、64ビットRAM100、RAM100内のルックアップテーブル98、オプションの遅延要素116及びプログラマブルフリップフロップ/ラッチ140を含んでいる。論理要素526には、調査フリップフロップ(プローブフリップフロップ)(probe flip flop)150及び捕獲アラッチ(キャプチャアラッチ)(capture latch)160が接続されている。

30

2つのクロック信号、CK114と高速(FAST)クロック112が存在する。64ビットRAM100は、アドレスビット102、データ入力104、書き込みイネーブル信号106及びCKクロック114を受信する。フリップフロップ/ラッチ140は、データ118、アクティブハイクロック(active-high clock)イネーブル信号142、クロックCK114、FASTクロック112、非同期リセット信号122及び非同期セット信号124を受信する。

40

論理要素526への6つの入力、データビット出力114を出力するルックアップテーブル98にアドレスビットを供給する。論理要素526への入力は、典型的にはデータビットであるが、クロックとしても使用可能である。例えば、論理要素入力信号は、活性化されている時にはいつも、フリップフロップ/ラッチ140をクロックするために使用可能である。

【0031】

図11は、マルチプレクサ122のような入力マルチプレクサと、RESET信号122の値を選択するために使用されるプログラミングビット124を示している。同様に、入力マルチプレクサ126はプログラミングビット128によって制御され、入力マルチプレクサ130は複数のプログラミングビット132によって制御される。

50

ここで、入力マルチプレクサは、フリップフロップ／ラッチ 140 への CK クロック信号 114、クロックイネーブル信号 142、SET 信号 124 及び RESET 信号 122 の状態を制御する。プロセッサは、RAM あるいは EPROM 内に構成ビット (configuration bit) を書き込み可能である。

【0032】

この特別な実施の形態では、ルックアップテーブル 98 は、6 までの変数を含む結合機能を実行する静的ランダムアクセスメモリ (SRAM) である。フリップフロップ／ラッチ 140 の CK クロック信号 114、クロックイネーブル信号 142、RESET 信号 122 及び SET 信号 124 を制御するためにルックアップテーブル 98 と入力マルチプレクサを組み合わせると、その入力が任意の信号を搬送するために自由に交換可能である論理要素 526 が生じる。例えば、与えられた信号が 6 つの論理要素入力ラインの 1 つに伝送されると、与えられた機能を種々の方法で実装することができる、適応性のある論理要素が生成される。論理要素入力交換されると、それに応じてルックアップテーブル 98 の内容が変更され、論理要素は同じ機能を実装することができる。

同様に、入力マルチプレクサ (CK クロック、クロックイネーブル、リセットまたはセット) を制御する論理要素入力交換されると、マルチプレクサを制御する構成ビットは、交換された入力を反映するように変更される。論理要素 526 への各入力の使用のそのような適応性によって、高レベルのブロック (L1 及び L2 ブロック等) のより良いルーティング性が生じる。

これらの論理要素 526 を使用することにより、殆どすべての結合またはシーケンシャル論理機能が実装可能である。また、論理要素 526 は、与えられた機能を実行するために L0 ルーティングの間自由に交換される。

【0033】

遅延要素 116 は、RAM 100 からデータ出力 114 を受信し、FAST クロック 112 によってクロックされる。

フリップフロップ／ラッチ 140 は、論理要素 526 によって実装される機能にしたがって、ラッチまたはフリップフロップとして動作する。フリップフロップは、クロック信号のエッジにより、その D 入力ラインのデータを Q 出力ラインに転送する。一方、ラッチは、クロック信号が低レベルに低下するまで、D 入力ラインからのデータを Q 出力ラインに連続的に転送する。

データインマルチプレクサ (data-in multiplexer) 443 は、遅延要素 116 によって発生される遅延をデータ流内に選択的に挿入する。

フリップフロップ／ラッチ 140 は、データを予めロード可能である。フリップフロップ／ラッチ 140 は、立ち上がりエッジでトリガーされるフリップフロップまたは透明な (透過する) ラッチ (transparent latch) であり得る。その入力は、RAM 100 からの出力 114 または遅延要素 116 からの遅延された出力である。データインマルチプレクサ 443 の出力は、フリップフロップ／ラッチ 140 の D 入力を駆動する。フリップフロップ／ラッチ 140 の Q 出力は、データアウトマルチプレクサ (data-out multiplexer) 442 を介して論理要素の出力ピン 120 に供給され、同じ L0 論理ブロック内の他の論理要素に進むか L0 論理ブロックから X1 クロスバーネットワークに出る。

【0034】

フリップフロップ／ラッチ 140 は、特別な機能を実装するために論理要素 526 に対して必要とされる時に使用される。例えば、論理要素 526 が、ルックアップテーブル 98 によって提供される純粋な結合機能を簡単に実装する場合には、フリップフロップ／ラッチ 140 が必要となる。

フリップフロップ／ラッチ 140 からの Q 出力は、論理要素の出力ピン 120 に進む。このように、論理要素 526 の Q 出力 120 は、直接に RAM 100 からの出力 114 (遅延要素 116 によって加えられた遅延を有しまたは有さないで) またはフリップフロップ／ラッチ 140 からの出力 Q を選択するようにプログラム可能である。

RAM メモリ出力 114 を論理要素 526 の構成要素を介して (直接よりも) X0 相互接

10

20

30

40

50

続ネットワークに送信することにより、メモリ出力をルーティングするために、追加のX0ルーティングラインを必要としない。代わりに、RAMメモリ出力114は、X0相互接続ネットワークを得るために、論理要素526の部分を単純に及び有意義に使用する。同様に、RAM100は、信号を受信するために論理要素の入力ラインのいくつかを使用可能であり、追加のX0ルーティングラインは必要でない。さらに、6つの論理要素入力
10
のいくつかのみがメモリ機能によって消費される場合には、残りの論理要素入力は、結合またはシーケンシャル論理機能に対して論理要素526によって使用可能である。いくつかの自由な入力ラインを有する論理要素526は、大きなメモリまたは異なる構成のメモリとして動作するために、ラッチデータ、ラッチアドレスまたは時間多重の複数のメモリに対して使用される。したがって、回路リソースは、より効果的及び効率的に使用される。

この論理要素設計は、必要な論理要素入力への接続の指示に対して、増加された密度、ルーティングの容易性及び自由度を提供する。この論理要素設計は、さらに、完全クロスバーの代わりに部分的に埋められるクロスバーを用いて容易にルーティングすることができる。

【0035】

CKクロック信号114はフリップフロップ／ラッチ140へのクロック信号として作用し、それによって、フリップフロップ／ラッチ140は、データをD入力ラインからQ出力ラインに転送する。クロックイネーブル信号142は、フリップフロップ／ラッチ140がCKクロック信号114に応答することを許可する。RESET信号122は、フリップフロップ／ラッチ140をクリアし、Q出力を「0」にリセットする。SET信号124は、フリップフロップ／ラッチ140のQ出力を「1」にセットする。

【0036】

公知のシステムでは、4ビットルックアップテーブルが、最小面積を有するテーブルを生じる。しかしながら、本発明にしたがって構築されるシステムの好ましい実施の形態では、6入力ルックアップテーブル98を有している。6入力ルックアップテーブル98は、図10及び11の64ビットRAM100の内部に存在する。

ルックアップテーブル98への入力の数が増加すると、粒状性が増加するが、増大したシリコン面積のコストが増大する。要求される相互接続の数を減少させる粒状性の増大は、システムの容量及び実行速度を改良する。基本的に、粒状性が増大すると、論理要素256はより多くのゲートを有し、論理要素526内のメモリ100は大きくなる。例えば、実施の形態では、6入力ルックアップテーブル98は16ビットメモリを許可するが、4
30
入力ルックアップテーブルは4ビットメモリしか許可しない。

【0037】

フリップフロップ／ラッチ140は、リセット入力122と独立しているセット入力124を有している。図12は、マスターラッチ200、スレーブラッチ202、マスターラッチとスレーブラッチ間の遅延量を決定するスレーブパルサー(slave pulser)180を含む、フリップフロップ140の内部回路を示している。マスターラッチ200とスレーブラッチ202の双方が使用される場合には、図12の回路はフリップフロップとして動作する。スレーブラッチ202のみが使用される場合には、回路はラッチとして動作する
40

したがって、独立したセット入力とリセット入力を有することによって、必要なゲートの数を減少させる結合論理の数が少なくなり、また、これらのゲートはクロック信号を必要とするので、ホールドタイム状態を改良する。追加の結合論理は、回路の複雑性及びタイミング問題を増加させる。しかしながら、独立したセット入力及びリセット入力を実装するためには、追加のピンが必要である。

【0038】

図17は、そのうちの2つが論理要素526のフリップフロップ140であるラッチ回路を示している。回路141は、ユーザがメモリセル360の状態を変化することを許可する回路362、364を有している。言い換えれば、回路362、364は、メモリセル
50

360にラッチ機能を追加する。また、回路141は、非同期のセット入力122とリセット入力124を有している。

【0039】

高速クロック112（図11のFASTクロックまたはMUXCLK参照）は、その出力が、駆動部（ドライバ）によってゲートされた後、スレーブラッチ202をゲートするために進行するスレーブパルサー180を駆動する。マスターラッチ200のゲーティングは、LOAD信号及びクロックCK114によって決定される。クロックイネーブル信号142は、データ入力Dを受信する駆動部を制御する。各マスターラッチ200及びスレーブラッチ202内のセット信号124及びリセット信号122は、独立しており、分離している。

10

ホールドタイム妨害は、スレーブラッチ202のための新しいクロック信号を形成することにより、それまでの状態のフリップフロップ／ラッチ140のクロックCK114から出力Q120までの時間を延長することによって、データ通路ソースにおける遅延を加算することにより軽減される。

クロックCK114は、低レベルの時にマスターラッチ200を開く。通常、クロックCK114は、高レベルの時にスレーブラッチ202を開く。しかしながら、PSDLY[1]が「1」である場合には、スレーブラッチ202は、2つのスレーブパルサー出力Q0またはQ1の1つによって開けられる。Q0は、CKクロック114の立ち上がりエッジの後にFASTクロック112が高レベルになると同時に高レベルとなり、FASTクロック112が低レベルになる時に低レベルとなる。これにより、スレーブラッチ202

20

を簡単に開く。
効果は、クロックCKから出力Q120までの時間をFASTクロックの1～2期間延長することである。Q1出力が1サイクル後もパルスを出力するように選択されている場合には、クロックCKから出力Q120までの時間は、FASTクロックの2～3期間延長される。

【0040】

フリップフロップ／ラッチ140がラッチとして使用される場合には（PFF=0）、マスターラッチ200は透明であり、スレーブラッチ202はラッチである。PSDLY[1]が「1」である場合には、ラッチは、クロックCK114の持続期間開かない。代わりに、CKクロック114の立ち上がりエッジの後、1～3FASTクロックサイクルからFASTクロックの半期間開かれる。

30

また、論理要素526は、図10及び11に示されていないが、当該技術分野では周知である、追加の回路が含まれている。例えば、論理要素526は、さらに、ルックアップテーブル98をプログラミングするための論理、構成ビットをプログラミングするための論理、フリップフロップ／ラッチ140にデータをロード（負荷）するための論理、及び／または設計をデバッグするための外部ポートを介してフリップフロップ／ラッチ140の内容を読み出すための論理を有している。

【0041】

2つの論理要素526が対とされることによって、それらのRAMメモリ（16×1）は、（128×1）RAMを形成するために結合される。これを達成するために、図13に示すように、論理要素526の各対は、プログラミングビット（「PAIR」が付されている）222、入力マルチプレクサ対218、220及びゲート対224、226を有している。論理要素526は、同一である。

40

SELECT信号225とPAIR信号222は、論理要素526を制御する。論理要素526間の相互接続ネットワークは、論理要素526がデータを交換することを許可する（図13のAL TIN及びAL TOUT参照）。

アドレスADDR210と制御入力、各論理要素526内で別々に分配され、RAMアドレスのためのA[5:0]と、制御入力及びクロック入力のためのC[5:0]を形成する。C[5:0]は、WE106、データ入力Din104、セット124、リセット122、クロック114及びクロックイネーブル142入力である。PAIRプログラミ

50

ングビットが「0」である場合には、入力分配は行われない。

X0入力クロスバーからの偶数側の6つの入力206（「X0IN.LEAn.[5:0]」が付されている）は、偶数論理要素(even logic element)526のアドレス入力212及び制御入力210の双方に直接にルーティングされる。同様に、X0入力クロスバーからの奇数側の6つの入力208（「X01N.LEAn+1.[5:0]」が付されている）は、奇数論理要素(odd logic element)526のアドレス入力216及び制御入力214の双方にルーティングされる。このように、論理要素526は、入力を分配しない。両論理要素526へのSELECT入力225は真(true)であり、RAMの書き込みイネーブルWE106及びRAMのDout出力114をイネーブルする。

【0042】

PAIRプログラミングビットが「1」である場合には、入力分配はない。X0入力クロスバーからの奇数側の6つの入力208は、両論理要素526のアドレス入力212、216にルーティングされる。X0入力クロスバーからの偶数側の6つの入力206は、両論理要素526の制御入力210、214にルーティングされる。このように、合計12の入力が、両論理要素526によって分配される

奇数側の6つの入力208は、両論理要素526内のRAMをアドレスする。偶数側の6つの入力206は、データインDin104、書き込みイネーブル106、両論理要素526のためのフリップフロップ制御及び7番目のアドレスビット（偶数側のビット3）を提供する。7番目のアドレスビットが「0」である場合には偶数論理要素526のSELECT入力225が指示され、7番目のアドレスビットが「1」である場合には奇数論理要素526のSELECT入力225が指示される。選択された論理要素526に対しては、書き込みイネーブル106が能動化され、自身のRAM出力がフリップフロップ140の出力として使用される。切断された論理要素526に対しては、書き込みイネーブル106が抑制され、他の論理要素526のRAM出力が他の論理要素のALTOUT出力からそのALTIN入力を受信され、このRAM出力がフリップフロップ140の出力として使用される。

ここで、論理要素対は、単一の[128×1]RAMとして動作する。勿論、各論理要素内のメモリの大きさが変更される場合には、論理要素対は、異なる大きさのメモリとして動作する。論理要素526からの両出力120は、使用可能である。対とされた論理要素526のRAM100は、他の方法で、単一の論理要素の場合と同じ動作をする。

【0043】

図14に戻り、各論理要素526は、SELECT225及びPAIR222入力を受信する。PAIRが「0」の場合（通常の場合）には、PWE1が、[16×1]RAMモードに対してRAMアドレス入力4及び5を抑制するように設定する。PAIRが「1」である場合には、抑制がブロックされ全ての6つのアドレス入力を使用される。SELECT信号225が「0」である場合には、RAM100への書き込みイネーブル106がブロックされ、他の論理要素526からのRAMの出力が、ALTIN通路の使用に代えて選択される。SELECT信号225が「1」である場合には、論理要素は通常に動作する。

【0044】

図10及び11に示されているように、LEは、オプションのクロック遅延要素116を有している。PDDLYプログラミングビットが「1」である場合には、遅延要素116は、データ通路出力に遅延を加える。遅延要素116は、FASTクロック112によってクロックされるため、遅延量は正確に制御される。古いシステムは、その遅延が半導体の処理に依存し、そのため、厳密でなく制御できない遅延要素を使用した。実施の形態では、遅延要素116は、1/2クロックサイクルと2クロックサイクルの間の遅延を有するように制御可能である。遅延要素116の1つの実施の形態は、直接に接続され、FASTクロック112によってクロックされる、1対のエッジトリガフリップフロップ(edge-triggered flip flop)である。

遅延要素116によって、システムは、フリップフロップ/ラッチ140を論理要素とし

10

20

30

40

50

て扱うことができる。遅延要素 116 によって遅延量を調整することにより、システムは、入力信号がホールドタイム障害を生ずることなくより早く変化できることを許容しながら、フリップフロップ／ラッチ 140 に要求されるホールドタイムを軽減することができる。

【0045】

1 つまたは 2 つの F P G A の典型的なユーザは、チップによって保証されたホールドタイムを有する。しかしながら、エミュレーションシステム等の巨大なシステムでは、システム内の全てのクロックを同期化させるために特別の設計を考慮していない場合には、クロックひずみは、ホールドタイムを保証できないほど大きくなる。1 / 2 クロックサイクル遅延から 2 クロックサイクル遅延範囲が不十分である場合には、遅延要素 116 に供給される F A S T クロック 112 は、減少または増加する。

10

実施の形態では、32メガヘルツ(MHz)または64MHzのF A S T クロック 112 を使用しているが、任意の速度のクロックが考慮される。F A S T クロック 112 の期間を変更することによって、必要な多くの遅延が挿入可能である。追加のデータ通路遅延は、論理要素を直列に結合し、通過遅延(pass-through delay)に対して最後ではないが全てをセットすることによって、プルプログラム可能である。

【0046】

F A S T クロック 112 は、遅延要素によって提供される遅延が正確に制御可能となるように遅延要素 116 をクロックするために使用される。また、F A S T クロック 112 は、フリップフロップ／ラッチ 140 内のタイミング修正論理 298 (図15、21参照) をクロックするために使用される。

20

図21に示されているように、フリップフロップ 140 は、2つのラッチ 200 及び 202 を有している。ラッチ 200 はマスターステージ(master stage)であり、ラッチ 202 はスレーブステージ(slave stage)である。論理要素 L E 526 が、フリップフロップベースの設計(flip flop based design)をエミュレートするために使用される場合には、両スレーブが使用される。論理要素 L E 526 が、ラッチベースの設計(latch-based design)をエミュレートする場合には、スレーブラッチのみが使用される。

タイミング修正論理 298 は、正確な幅の2つの遅延パルスを生成するために、クロック 114 の立ち上がりエッジを使用する。2つのクロックのうちの1つは、スレーブラッチ 202 をクロックするために選択される。フリップフロップベースの設計をエミュレートする時には、スレーブステージをクロックするための遅延パルスを生成する回路 298 を使用することにより、マスターステージ 200 のためのクロックとオーバーラップしないことが保証される。そして、回路 298 は、エミュレートされた回路内の後続するフリップフロップへのクロックひずみ(clock skew)を補償するため、したがって、ホールドタイムを保障するために、データ出力を少し遅延させる。非オーバーラップクロック信号が、図16に示されている。

30

【0047】

タイミング修正回路 298 は、図15に示されているように、遅延されたスレーブラッチクロックを発生するパルス形成回路である。

非同期エッジ検出回路 270 は、クロック信号 114 を受信し、N A N D ゲート 272、274、276、278 及び 280 を有している。クロック信号 11 の立ち上がりエッジは、T R I G 信号の能動高レベル主張(active high assertion)を生成する。フリップフロップ 300 は、F A S T クロック 112 (図15では「F C L K」が付されている)の立ち上がりエッジにより T R I G 信号の主張を検出する。フリップフロップ 310 は、F A S T クロック 112 の立ち下りエッジにより T R I G 信号の主張を検出する。

40

デモルガンの変形 N A N D ゲート 316 は、フリップフロップ 300、310 の出力を受信し、基本的に、F A S T クロック 112 の立ち上がり及び立ち下りエッジに同期化された T R I G 信号の新しい変形である P N 信号を生成する。

フリップフロップ 320 と 350 は、F A S T クロック 112 の立ち上がりエッジによってクロックされる第1のステージ及び F A S T クロック 112 の立ち下りエッジによ

50

てクロックされる第2のステージを有する2つのステージシフトレジスタを形成する。PN信号はこれらの2つのステージを通して伝播するため、ANDゲート356は、FASTクロック112の立ち上がり及び立ち下がりエッジの位相差に等しい幅を有する能動高レベルパルス(active high pulse)を信号Q0に生成する。信号Q1は、同様の方法で生成されるが、FASTクロック112の1サイクルだけ遅延される。このように、Q0とQ1は、論理要素構成を介して使用するために選択される、遅延されたスレーブラッチ202のクロックである。このタイミング修正回路298は、図16のタイミング図を生成する。

【0048】

また、システムは、図11で捕獲ラッチと呼ばれているシャドウレジスタ(shadow register)を有している。

10

捕獲ラッチ160は、図18により詳しく示されている。CAPENB信号によってゲートされると、捕獲ラッチ160は、メモリセル361内のLE526のQ出力120のコピーを蓄積し、デバッグ目的のために使用される。捕獲アラッチ160の特別の実施の形態では、図18では非同期セット及びリセット入力が存在しないことを除いて、図17に示されているラッチ回路と同じ回路を使用する。

【0049】

捕獲ラッチ160の他に、システムは、再生RAMと呼ばれるシャドウRAMを有している。

RAM100は、例えば、 $[16 \times 4]$ (列 $\times$ 行) RAMである。RAM100は、4つの個別の $[16 \times 1]$ RAMとして動作可能である。4つのRAMの1つがエミュレーションデータを格納するために使用される場合には、他の3つの $[16 \times 1]$ RAMは、再生RAMとして動作する。再生RAMは、RAM100に追加の機能を与えることによって、論理要素526の現存するRAM100を改良する。

20

RAM100が、(1) ルックアップテーブル及び(2) メモリとして機能する時、再生RAMは、蓄積及び格納容量を有する再生機能を可能にする。この特別な実施の形態では、システムがデータをRAM100内の $[16 \times 1]$ メモリに書き込む時、データは、1から3の再生RAM (各々 $[16 \times 1]$ の大きさ) 内に同時に書き込まれる。

このように、RAM100内のメモリは、合計のメモリの大きさが $[48 \times 1]$ 、それぞれ $[16 \times 1]$ の再生RAMを想定すると、再生RAM内に3つまでのシャドウコピーを有する。再生RAMは、システムをデバッグするために使用される道具である論理分析装置の動作を著しく改良する。

30

ここで、システムは、RAMメモリの3つまでのコピーを作る。各コピーは、異なる時点におけるメモリの状態を示している。論理分析装置は、システムをデバッグするために、蓄積されたデータを研究することができる。メモリで形成されるコピーの数が多いほど(全て時間的に異なる時点における)、再生がより滑らかになり、診断に有用な情報がより多くなる。

【0050】

図19は、シャドウRAMへの同時書き込みを実装するために使用される行デコーダを示している。

40

データがRAM100内の $[16 \times 1]$ RAMの1つに書き込まれる時、データは、RAM100内の他の $[16 \times 1]$ RAMの3つまでに同時にコピー/書き込み可能である。図19の列デコーダ及び行デコーダは、データが格納されるRAM100内のメモリセルを選択するために使用される。図19の行デコーダは、一度に複数の行を選択することができるため、データを複数の他のメモリセルに同時に書き込ませる。行デコーダが3つの行を選択する場合、データは、3つの行と列デコーダによって選択された列との交点に配置されている3つのメモリセル内に書き込まれる。より詳しくは、対の通過トランジスタが、RAM100内の行を選択するためにオンされる。通常の場合には、出力Z(3)が能動化(高レベル)されると、トランジスタ370と372がオンする。しかしながら、信号CAPENBが能動化(高レベル)されている場合には、行デコーダは、データの

50

ピーをシャドウRAMの少なくとも1つに蓄積する。特に、信号CAPENBが能動化されている時、ANDゲート371からの信号SHDW1がオンとなり、シャドウRAM内の行を選択する通過トランジスタ374及び376がオンする。同様に、通常の場合、出力Z(2)が能動化(高レベル)されている時、トランジスタ375及び177がオンする。

しかしながら、信号CAPENBが能動化(高レベル)されている場合には、ANDゲート373からの信号SHDW0がオンとなり、シャドウRAM内の行を選択する対の通過トランジスタ378及び380がオンする。

【0051】

シャドウRAM362は、蓄積及び修復機能も可能である。蓄積及び修復機能は、始めの時点の代わりに、中間の時点からエミュレーションを開始することを許可する。2つの論理要素が[128×1]RAMを形成するために結合される場合には、論理要素はシャドウメモリを有しないということに注意すべきである。

【0052】

デバッグ及びデータ分析の目的のために、各論理要素526のフリップフロップ/ラッチ140の出力からのデータだけでなく、遅延要素116からの、RAM100内の結合論理からのデータ出力も読み出す必要がある。このデータを読み出すために、各論理要素526は、一般的に図20に示されている、8つの読出ポートを有している。図20は、デバッグ目的のために使用される論理分析装置430の主要構成要素の論理図を示している。

【0053】

論理分析装置430は、調査フリップフロップ(プローブフリップフロップ)150を有している。各調査フリップフロップ150は、トレースクロック(trace clock)の立ち上がりエッジ(図20のTRENBまたは図21、22のD2TRENB参照)により、論理要素526内のデータの標本を捕獲する。

調査フリップフロップ150からデータを読み出すために、読出ポート436は、各論理要素526に接続されている調査フリップフロップ150によって分配される。この特別な実施の形態では、確かに、読出ポートの数は、望むように増加または減少するが、8つの読出ポート436が存在する。8つの読出ポート436は、全てのプローブフリップフロップ436が、16の調査データ流のいずれかへのランダムなアクセス方法で読み出されることを許可する。インクリメントカウンタ432によってアドレスされる調査シーケンスメモリ434は、MUXCLK110の各サイクルでこれらの読出ポート436をアドレスする。

全てのフリップフロップ140からデータを読み出すゲートの観点から見た場合にはコストが非常に高くなるため、時分割多重構成が使用される。MUXCLK110は、エミュレーションチップが合計64の時間領域を有するように64に分割される。しかしながら、クロックパルスの立ち上がり及び立ち下がりエッジの双方を使用することによって、2つまでのデータのコピーが実行される。

読み出されたデータは、イベント検出器438及びパイプライン遅延FIFO(ファーストイン、ファーストアウト)(pipeline delay FIFO)バッファ440に送られる。FIFO440は、イベント検出器に対して1トレースクロックサイクルだけ調査データ流を遅延させる。また、随意選択可能に、システムの広範なイベント分析に対する時間を許可するために、調査データ流を7トレースクロックサイクルだけ遅延させる。

調査データ流は、L1ブロック505のX1相互接続521に接続され、結果的にはボードレベル(board-level)の同期グラフィックRAM(SGRAM)456にルーティングするために、いずれかの入力/出力ピンにルーティングされる。12個のイベント検出器438の各々は、8個のイベント出力全てに対して、16個までの調査フリップフロップ436を監視する。

【0054】

このように、イベント調査装置(eventable probe)(調査フリップフロップ150)の数

10

20

30

40

50

は、各調査データ流における調査装置の数に12を乗算した値である。

この特別な実施の形態では、それぞれ64個までの調査フリップフロップ436を有する、16の調査データ流が発生される。これらの直列調査データ流は、任意の注文において任意の調査フリップフロップを含み、任意の入力／出力ブロックにルーティングされる。エミュレーションチップ内の各位置がランダムにアクセス可能であるため、フィールドプログラマブルゲートアレイであるが、エミュレーションチップは、静的RM (SRAM)として動作する。この構造により、ユーザは、エミュレーションの間十分な標本抽出レートで、任意の回路ノードの完全に相互作用する調査とイベント定義を行うことができる。例えば、MUXCLK110が32MHzの場合には、最大1024個の調査フリップフロップ150が64個のMUXCLKクロックサイクル内で読み出すことができ、0.5MHzの標本抽出レートが達成される。16MHzの標本抽出レートでは、32個の調査フリップフロップは、各読出ポート436が1つのMUXCLKクロックサイクルで2回読み出されるため、1つの調査データ流で2回、すなわち、MUXCLK110が高レベルの時とMUXCLK110が低レベルの時に読み出し可能である。勿論、時間領域の数は、必要に応じて、変更、増加または減少可能である、

【0055】

図21は、読出ポート436の回路図であり、それらがどのように論理要素526の調査フリップフロップ150に接続されているかを示している。

第1の読出ポートは、調査フリップフロップ150の出力に接続されている。調査フリップフロップ150への入力は、マルチプレクサ442の出力（バッファとインバータの後）から到来する。マルチプレクサ442は、結合論理出力（遅延要素116によって遅延されまたは遅延されていない）またはフリップフロップ／ラッチ140のスレーブラッチ202からの出力である。

タイミング修正回路298は、スレーブラッチ202をゲートするために使用される2つのオーバーラップしていないクロックパルスを供給する。図18は、ブロック444内の回路を示している。

【0056】

図22は、読出ポート800が論理要素526にどのように接続されているかについての実施の形態を示している。

この実施の形態では、8個の読出ポート800が存在する。各論理要素526は、そのLEのQ出力120を調査フリップフロップ150に送る。D2TRENBによってクロックされると、調査フリップフロップ150は、データをトリステート駆動部（3状態駆動部）(tristate driver)446に出力する。駆動部446は、本実施の形態では、論理要素526の1行に8ビットのラインが存在するため、実際には並列な8個の駆動部である。また、論理部分析装置（LA）内には、1列に8ワードのラインが存在する。論理分析装置からの8ワードのラインは、8個の駆動部446の1つを選択して能動化する。駆動部446は、読出ポート800のそれぞれへの情報のビットを通す。このように、与えられた論理要素526内の8個の駆動部446は、8個の読出ポート800に8ビットを送る。情報の各ビットは、異なる読出ポート800に進む。

読出ポートのこの実施の形態では、読出ポート800は、144から1までの間のマルチプレクサ802と、MUXCLK110によってクロックされる3つのDフリップフロップ804を有している。144から1までの間のマルチプレクサ802は、各駆動部446からのビット、合計144ビットを受信し、調査シーケンスメモリ入力806に基づいて1つのビットを選択する。この選択されたビットは、フリップフロップ804の2つに入力される。フリップフロップ804は、ビット情報を調査データ808の16ビットとして同時にクロック出力させるように動作する。

【0057】

図23に戻って、X0入力の完全に埋められるクロスバー600のためのプリデコーダは、結果的に生じるチップの面積を減少させる。結果として、X0完全クロスバーは、2つのレベルを有している。第1のレベルはプリデコードを行い、第2のレベルはデコードを

終了する。

クロスバー入力は、2から4個のデコーダ250が論理要素526に入力するためのクロスバー出力254を選択する4つのグループに分けられる。与えられたクロスバー入力に対して、各入力は、4つの入力グループのための共通ラインへのスイッチを有している。クロスバー出力における2つのプログラミングビットは、全てのグループの4つのスイッチの1つをオンする。各入力グループは、グループの共通ラインから実際のクロスバー出力254へのスイッチをオンする1以上のプログラミングビットを有する。

【0058】

図2に戻り、入力／出力ブロック436をより詳細に説明する。

入力／出力ブロック436は、例えば、図32に示すような実施の形態である。ピンの数を減少させるために、各入力／出力ピンは、時間多重化される。このように、各ピンは、4つの信号または所望の数の信号を搬送する。

この実施の形態における各入力／出力ブロック436は、4つの入力または出力ライン（A、B、C、D）を有している。クロスバー702内の入力／出力ブロックは、信号A、B、C及びDが、信号IO.n.0、IO.n.1、IO.n.2またはIO.n.3のうちの1つに多重化されるのを許可する。入力／出力パッド435からの1つの信号は、入力／出力パッド435が時間多重化方法で4つまでの別々の信号を搬送するように、信号A、B、CまたはDの1つに多重化される。

【0059】

図24に戻り、入力／出力ブロック436の主要構成要素は、入力／出力パッド435、入力／出力パッド435に接続され、ピンの競合によって生じる過電流から入力／出力パッドを保護しながら、入力／出力パッド435への出力信号を通す出力駆動部624、相互接続通路として役立つ多重化データ通路626、多重化データ通路626とX2相互接続の間に結合された入力／出力ピンクロスバー628及びクロック分割論理回路630である。

MUXCLK110は、各入力／出力ピンの位相を制御する。各ピンは、双方向であってもよいし、そうでなくてもよい。図25～32に関連して以下に説明するように、変更例には、1つの信号、2つの信号または4つの信号を、双方向または一方方向方法で搬送するようにピンを構成することが含まれる。

信号A、B、C及びDは、入力／出力ブロック436に対して内部の信号を示している。一方、信号IO.n.0、IO.n.1、IO.n.2及びIO.n.3は、入力／出力ブロック436に対して外部の信号を示している。

出力駆動部624は、いずれかの出力の短絡を検出する過電流検出器及び電流制限回路を含み、専用の開放コレクタ出力パッド(open collector output pad)上に遮断を生成し、短絡されたピンの電流を安全レベルに制限する。短絡されたピンの位置は、後で、JTAGバスを介して判断される。

エラー検出論理は、パッドが駆動されている時にはいつも、入力／出力パッド435の状態を監視することによって、非多重化モードで作動する。パッド435が、低い状態で駆動されているが、高すぎる状態が維持されている場合、または高い状態で駆動され、1エラークロックサイクルより長い期間継続して低すぎる状態が維持されている場合に、出力駆動部624内のエラー検出論理がトリガーされる。

【0060】

図25は、直接入力／出力のみに対して構成される（すなわち、時間多重化に対しては構成されていない）入力／出力ブロック436を示している。直接入力／出力ブロックの利点は、時分割多重を使用する入力／出力ブロックより速いことである。

出力信号A及びBは、入力／出力パッド435から他の回路に進行する。一方、入力信号C及びDは、他の回路から入力／出力パッド435に進行する。

プログラミングビットOUTREG641は、マルチプレクサ649が、データを入力／出力パッド435から出力信号Aに通すか、またはフリップフロップ640のQ出力から出力信号Aに通すかを制御する。例えば、OUTREG641が「0」である場合には、

10

20

30

40

50

マルチプレクサ649は、データを入力／出力パッド435から出力信号Aに通す。OUTREG641が「1」である場合には、マルチプレクサ649は、データをフリップフロップ640のQ出力から出力信号Aに通す。

同様に、プログラミングビットOUTREG641は、マルチプレクサ650が、データを入力信号Cまたはフリップフロップ644のQ出力から出力I／Oパッド駆動部652、そして入力／出力パッド435に通すか否かを制御する。プログラミングビットOUTREG641が「1」である場合には、IO_MUXCLK638の立ち上がりエッジによってクロックされるフリップフロップ644は、入力信号Cからの出力データ通路内に存在し、IO_MUXCLK638の立ち下りエッジによってクロックされるフリップフロップ640は、出力信号Aへの入力データ通路内に存在する。出力信号Bは、IO_MUXCLK638の立ち上がりエッジによってクロックされるフリップフロップ642を通過する値で駆動される。ORゲート653に進行するプログラミングビットOUT／IN646が「1」である場合には、出力I／Oパッド駆動部652は常にオンであり、入力信号Cは入力／出力パッド435に送られる。OUT／IN646が「0」である場合には、入力信号Dは、駆動部652を制御する。

例えば、入力／出力パッド435が信号Aへの単純入力である場合には、信号Dが低レベル、信号IN／TRI647が「1」になり、信号Dが「0」に下げられて、駆動部652がオフする。入力／出力435が双方向である場合には、信号IN／TRI647は「0」になる。プログラミングビットDLVINによって制御されるとき、マルチプレクサ648は、入力／出力パッド435とフリップフロップ640、642の入力の間に選択的に遅延を挿入する。

【0061】

図26は、2方向時間多重化に対して構成された入力／出力ブロック436の部分を示している。

信号IO_MUXCLK638は、入力／出力ブロック436内に存在するMUXCLK110と同じである。信号IO_MUXSEL665は、MUXSELと同じである。入力／出力パッド435は、2までの入力信号または2までの出力信号を搬送する。2つの入力信号を搬送する場合には、信号は、出力信号A及びB上に時間多重化される。2つの出力信号を搬送する場合には、信号は、入力信号C及びDから時間多重化される。

OUT／IN646が活性化（高レベル）されている場合には、出力駆動部652は能動化され、入力／出力パッド435は、入力信号CまたはDから導出される信号を搬送するための出力ピンとして動作する。OUT／IN646が非活性化（低レベル）である場合には、入力／出力パッド435は入力ピンであり、その出力は無能化され、入力標本抽出フリップフロップ660、662は能動化される。2方向多重ピンとして行動するピンに対しては、入力フリップフロップ660、662は、常に、ピンを“偶数”信号A及び“奇数”信号Bに多重化しながら、クロックのエッジ毎に動作する。言い換えると、入力／出力パッド435は、2つの信号を搬送する。2つの信号の一方は信号Aとして多重化され、他方は信号Bとして多重化される。

【0062】

図27は、図26の、2方向に時間多重化された入力／出力ブロックのタイミング図の例を示している。I-O及びI-Eは、それぞれ奇数入力（B）及び偶数入力（A）に対応している。O-O及びO-Eは、それぞれ奇数出力（D）及び偶数出力（C）に対応している。

入力／出力ブロックが、データをその入力ピンA及びBに送る場合、奇数入力信号（図27では、奇数入力に対する“I-O”として示されている）は、信号Bとして多重化されている。偶数入力信号（図27では、偶数入力に対する“I-E”として示されている）は、信号Aとして多重化されている。このパターンは、“B、A、B、A・・・”パターンで繰り返される。

同様に、入力／出力パッド435は、2つの信号を搬送する。2つの信号の一方は信号Cから多重化され、他方は信号Dから多重化される。入力／出力ブロックが出力ピンC及び

10

20

30

40

50

Dからのデータを受信すると、奇数出力信号（図27では、奇数出力に対して“O-O”として示されている）は、信号Dから入力／出力パッド435に多重化される。偶数出力信号（図27では、偶数出力に対して“O-E”として示されている）は、信号Cから入力／出力パッド435に多重化される。このパターンは、“D、C、D、C・・・”パターンで繰り返される。

【0063】

プログラミングビットまたは信号OUTREG661は、信号がマルチプレクサ650によって通るのを制御する。“偶数”及び“奇数”出力信号C及びDは、OUTREG661が「1」である場合には、出力フリップフロップ664、666によって記憶され、そうでない場合には、それらは、直接に入力／出力パッド435に多重化される。

IO_MUXCLK638が立ち上がると、偶数出力信号Aは、フリップフロップ664によってCから標本抽出される。IO_MUXCLK638が立ち上がると直ぐに、先に標本抽出された偶数出力信号Cまたは偶数出力信号そのものは、出力ピンA上に多重化される。入力ピン上では、IO_MUXCLK638の立ち下りエッジによりフリップフロップ660によって標本抽出され、A入力信号となる。入力信号Aをアップデートするために出力信号Cを標本抽出する間に、IO_MUXCLKの1.5サイクルが経過する。

IO_MUXCLK638が立ち下がると、奇数出力信号Bは、フリップフロップ666によって入力信号Dから標本抽出される。IO_MUXCLK638が立ち下がると直ぐに、先に標本抽出した奇数出力信号Dまたは奇数出力信号Dそのものは、出力ピンB上に多重化される。入力ピン上では、IO_MUXCLK638の立ち上がりエッジによりフリップフロップ662によって標本抽出され、入力信号Bとなる。プログラミングビットDLVINによって制御される時、マルチプレクサ648は、入力／出力パッド435とフリップフロップ660、662の入力の間に、選択的に遅延が挿入される。

【0064】

図28は、4方向双方向時間多重化に対して構成された入力／出力ブロック436の部分を示している。図29は、図28の回路に対するタイミングを示している。

入力／出力パッド435は、4つまでの時間多重化信号を搬送する。この双方向の場合、4つの時間多重化信号は、2つの入力信号と2つの出力信号により構成されている。このように、2つの出力が1つのピン上に送られ、2つの入力信号が1つのピン上で受信される。回路は、図26のOUT/IN646が、本実施の形態ではIO_MUXTRI信号及びその逆信号である、入力出力ピン670及び出力入力ピン672に分離していることを除いて、図26と同様である。IO_MUXTRI670は、システムボード上のグローバル信号であり、すべてのエミュレーションチップに使用可能である。

いくつかのチップは受信器として動作し、他のものは送信器として動作する。逆IO_MUXTRI信号は、受信チップと送信チップの間のタイミングを整合させるために提供される。IO_MUXTRI信号670及びその逆信号672は、4方向時間多重ピンA、B、C及びDの入力／出力の駆動を転換する。IO_MUXTRIは、ライン上の駆動方向を変更するために使用される。IO_MUXTRIが高レベルである時には、出力ピン672は、信号D、そして信号Cを駆動し、入力ピン670は、信号を受信し、それらをそれぞれ信号B及びAとして出力するためにフリップフロップ660、662への入力をイネーブルする。IO_MUXTRIが立ち下がると、入力ピン670は、信号D及びCを駆動し、出力ピン672は、フリップフロップ660、662が信号を信号B及びAとして受信するようにイネーブルする。

結果は、1つの導線上にそれぞれの方向に2つの信号を送ることである。各信号は、IO_MUXCLKの2サイクル毎に更新される。プログラミングビットDLVINによって制御される時、マルチプレクサ648は、入力／出力パッド435とフリップフロップ660、662の入力の間に選択的に遅延を挿入する。

【0065】

図30は、4方向一方方向出力時間多重化に対して構成された入力／出力ブロック436の部分を示している。このモードによって提供される利点は、パーティショニング及び電

10

20

30

40

50

気信号の完全性に影響する。

双方向4方向多重化を用いると、チップ出力に対するチップ入力 of 総合割合は、常に、チップへの論理のパーティショニングを拘束する[1:1]である。一方方向4方向多重化を用いると、出力に対する入力のあらゆる総合割合が可能である。双方向4方向多重化では、相互接続線上の信号の方向は、常に、2つの出力駆動部の簡易な競合が可能となるように、MUXTRI（またはIO_MUXTRI）によってセットされる。一方方向多重化を用いると、出力競合の可能性はない。X2クロスバーからの4つの信号は、図32に示されているように、信号A、B、C及びDへの入力／出力ブロックピンククロスバー702を介して駆動される。4から1個のマルチプレクサ688、689、690は、IO_MUXSEL信号665及びIO_MUXTRI信号670によって制御され、4つの信号A、B、C及びDを、入力／出力パッド435上の4方向時間多重化出力信号として結合する。

【0066】

図32は、図25～30の機能を実行するように構成可能な入力／出力ブロック436の実施の形態を示している。すなわち、図32の回路は、2方向または4方向多重化、双方向多重化、一方方向多重化または直接入力／出力を実行するように構成可能である。

入力／出力ブロック436は、入力／出力ブロッククロスバー702、時間多重A、B、C及びD信号、時間多重外部ピンIO.n.0、IO.n.1、IO.n.2、IO.n.3及びそれらに関連するフリップフロップ、マルチプレクサ及び信号を組み込む。双方向IO.n.0～IO.n.3駆動部の方向のプログラミングは、X2ピン駆動部の方向と調和する必要があり、M0、M1及びOUT／IN信号は、以下のようにピンA、B、C及びDの駆動方向を決定する必要がある。

【0067】

M1	M0	OUT／IN	A	B	C	D	
0	0	X	*	—	—	—	多重化無、ピンは直接I／O
0	1	0	*	*	*	*	4方向多重化一方方向入力
0	1	1	—	—	—	—	4方向最大双方向出力
1	0	X	*	*	—	—	2方向多重化一方方向I／O
1	1	X	+	+	—	—	4方向多重化双方向I／O

【0068】

上記テーブルでは、[*]は、ピンがデータを入力／出力ブロックピンククロスバー702内に駆動していることを意味し、[—]は、ピンが入力／出力ブロックピンククロスバー702からのデータを受信していることを意味している。

OUTREG661は、フリップフロップ680、681、682及び683と共同する2から1個のマルチプレクサを制御する。例えば、OUTREG661が「0」である場合には、信号A、B、C、Dからのデータは、フリップフロップ680、681、682及び683を飛び越し、マルチプレクサ684、685、686及び687に直接的に通る。OUTREG661が「1」である場合には、信号A、B、C、Dからのデータは、フリップフロップ680、681、682及び683に inputs され、そして、マルチプレクサ684、685、686及び687に進む。

また、各A、B、C及びDピンは、捕獲ラッチ720、722、724、726（図11に参照番号160として示されている）を有している。各捕獲ラッチ160は、CAPENB信号が「1」の時にデータを捕獲するように動作する。データは、捕獲ラッチ160から読み出され及び捕獲ラッチ160に書き込まれる。デコーダ730及びそれらの対応するプログラミングビットは、内部A、B、C及びD信号が外部IO.n.0、IO.n.1、IO.n.2、IO.n.3ピンにどのように接続されるかを制御する。IN／TRI647が「1」である場合には、図25に示されているように、信号Dは「0」に下げられる。

【0069】

図31は、図32の入力／出力ブロックピンククロスバー702の詳細を示している。

[4×4] 双方向クロスバー702は、入力／出力ブロック436の4つの内部A、B、C及びDピンとその4つの外部ピンIO.n.0、IO.n.1、IO.n.2及びIO.n.3の間に入れられる。クロスバー702は、入力／出力外部ピンIO.n.0、IO.n.1、IO.n.2及びIO.n.3が入力／出力信号を搬送するために使用されるように機能する。

各外部ピンは、異なるX2クロスバーに接続されるため、この設計は、入力／出力ピンの位置が固定される時に、L1／L2相互接続のルーティング性を改良する。A、B、C及びD内部ピンのそれぞれは、各A、B、CまたはDピンのためのデコーダ730と共同する2つの2進エンコードされたプログラミングビットに応じて、IO.n.0、IO.n.1、IO.n.2及びIO.n.外部ピンの1つに接続される。例えば、クロスバー702をピンAに接続するために、AENプログラミングビット704は、ピンAと入力／出力ブロックピンクロスバー702の間の接続を閉じるようにプログラムされる。AENプログラミングビット704がオフにプログラムされると、ピンAは、クロスバー702、IO.n.0、IO.n.1、IO.n.2及びIO.n.3外部ピン、したがってX2ピンから絶縁される。同様に、ピンB、C及びDをクロスバー702に接続するために、プログラミングビットBEN706、CEN708及びDEN710をそれぞれ能動化させる。

この特徴は、A、B、C及びD間の不使用ピンのIO.n.0、IO.n.1、IO.n.2及びIO.n.3外部ピンからの切断を容易とし、入力／出力ブロック駆動部とX2ピン駆動部間の意図しない対立に対して保護する。

【0070】

主題発明の実施の形態及び実装を図示及び記載したが、より多くの実施の形態及び実装が主題発明の範囲内に存在することが明らかである。したがって、本発明は、クレーム及びそれらの均等物に照らされることを除いては、限定されない。

【図面の簡単な説明】

【図1A】 本発明にしたがって構築されたエミュレーションチップの一実施の形態における主要構成要素のブロック図である。

【図1B】 図1Aのエミュレーションチップの実施の形態のチップフロアプランの1例のブロック図である。

【図2】 図1Aのエミュレーションチップの実施の形態の部分のブロック図である。

【図3】 簡単なクロスバーのブロック図である。

【図4】 L1論理ブロックの構成要素のブロック図である。

【図5】 エミュレーションチップの実施の形態の関係する物理的配列におけるL0論理ブロックの基本構成要素のブロック図である。

【図6】 L0論理ブロックにおけるX0相互接続ネットワークの実施の形態のブロック図である。

【図7】 図6のX0入力クロスバーの完全に埋められるクロスバーの論理表現である。

【図8】 図6のX0出力クロスバーの部分的に埋められるクロスバーの論理表現である。

。

【図9】 図1Aのエミュレーションチップの実施の形態の論理構造のブロック図である。

。

【図10】 本発明にしたがって構築された論理要素の実施の形態の簡略ブロック図である。

【図11】 本発明にしたがって構築された論理要素の実施の形態の詳細ブロック図である。

【図12】 図10及び11のフリップフロップ／ラッチ140の内部の回路の実施の形態の概略図である。

【図13】 論理要素が入力を分配することを許可する回路を有する論理要素対の実施の形態のブロック図である。

【図14】 入力を他の論理要素と分配するように構成された論理要素内の回路の実施の形態の概略図である。

10

20

30

40

50

【図 1 5】 2つのオーバーラップしないクロック信号を発生するタイミング修正回路の実施の形態の概略図である。

【図 1 6】 図 1 5 の回路のタイミング図である。

【図 1 7】 本発明にしたがって構築された論理要素のフリップフロップ／ラッチの内部のラッチの実施の形態の回路図である。

【図 1 8】 本発明にしたがって構築されたキャプチャラッチ（捕獲ラッチ）の実施の形態の回路図である。

【図 1 9】 本発明にしたがって構築されたシャドウ R A M の実施の形態の回路図である。

【図 2 0】 論理分析装置の実施の形態の全体の論理図である。 10

【図 2 1】 論理分析装置によって使用される読出ポートの実施の形態の回路図である。

【図 2 2】 読出ポート及び論理要素への読出ポートの接続の実施の形態の回路図である。

【図 2 3】 X 0 入力クロスバーの物理的実装例の回路図である。

【図 2 4】 入力／出力ブロックの主要構成要素の実施の形態のブロック図である。

【図 2 5】 直接入力／出力ブロックの実施の形態の回路図である。

【図 2 6】 2方向時間多重化のために構成された入力／出力ブロックの実施の形態の回路図である。

【図 2 7】 図 2 6 の入力／出力ブロックのタイミング図である。

【図 2 8】 4方向双方向時間多重化のために構成された入力／出力ブロックの実施の形態の回路図である。 20

【図 2 9】 図 2 8 の入力／出力ブロックのタイミング図である。

【図 3 0】 4方向一方方向出力時間多重化のために構成された入力／出力ブロックの実施の形態の回路図である。

【図 3 1】 入力／出力ブロックピンクロスバーの実施の形態の回路図である。

【図 3 2】 入力／出力ブロックの実施の形態の詳細ブロック図である。

【符号の説明】

9 8 ルックアップテーブル

1 1 6 遅延要素

1 4 0 フリップフロップ／ラッチ

30

1 5 0 調査フリップフロップ（プローブフリップフロップ）

1 6 0 捕獲フリップフロップ（キャプチャフリップフロップ）

2 0 0 マスターラッチ

2 0 2 スレーブラッチ

1 8 0 スレーブパルサー

4 2 5 L 2 論理ブロック

4 3 5 I／Oパッド

4 3 8 イベント検出器

5 0 5 L 1 論理ブロック

5 1 1 X 2 相互接続

40

5 1 2、5 2 8、5 2 2 I／Oピン

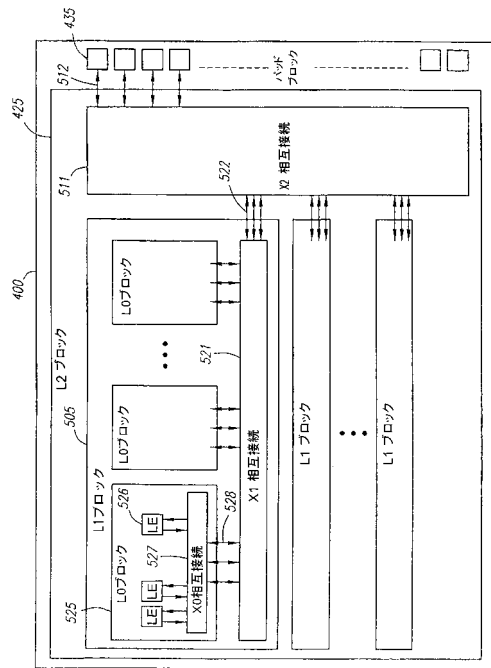
5 2 1 X 1 相互接続

5 2 5 L 0 ブロック

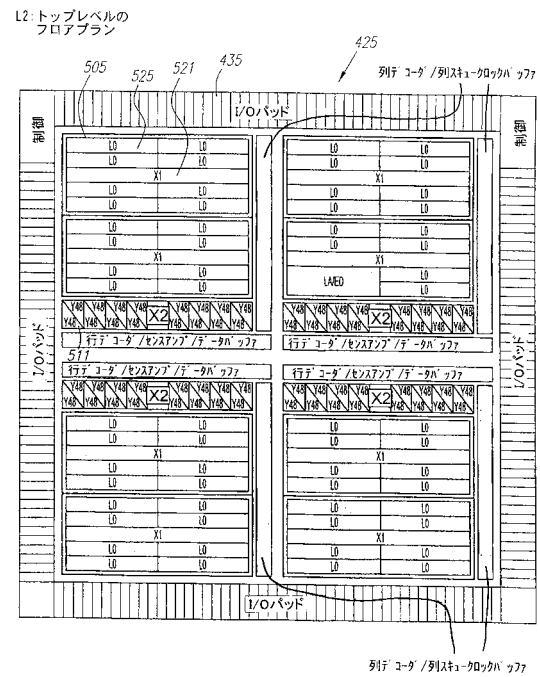
5 2 6 論理要素

5 2 7 X 0 相互接続

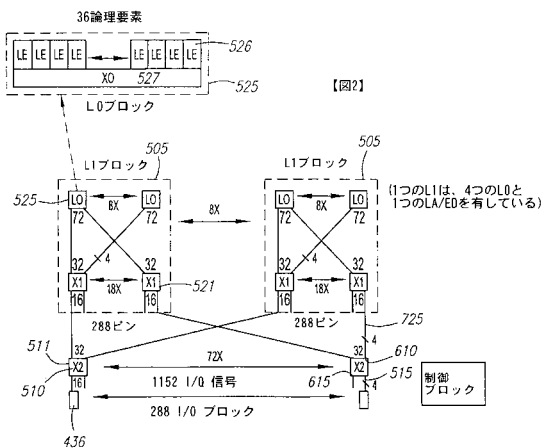
【図 1 A】



【図 1 B】



【図 2】



【図 4】

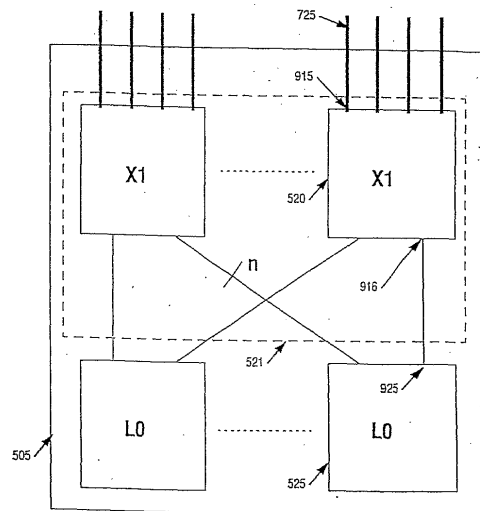
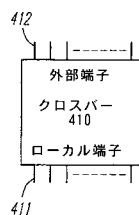
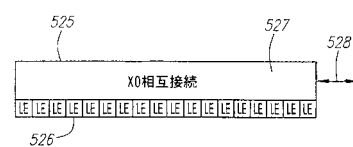


FIG. 4

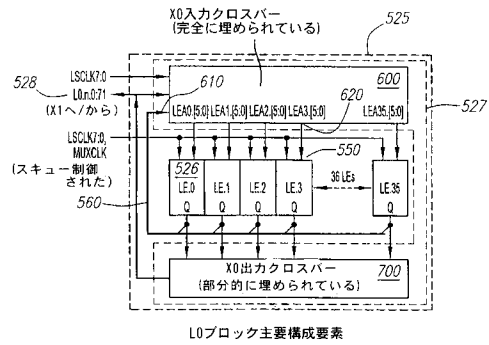
【図 3】



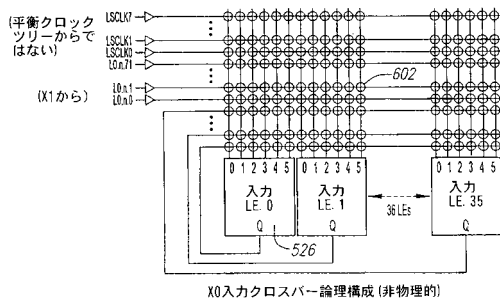
【図 5】



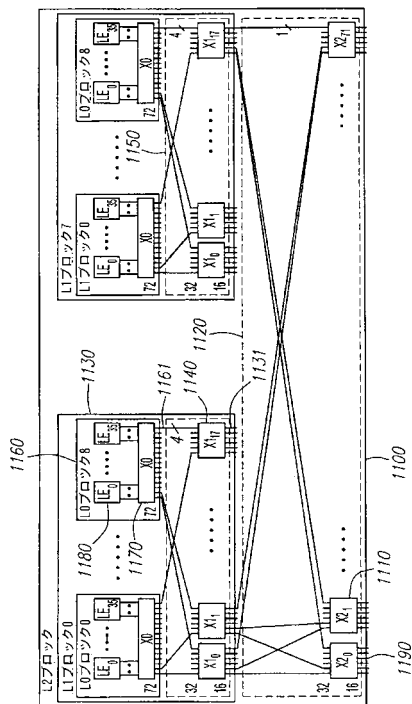
【図 6】



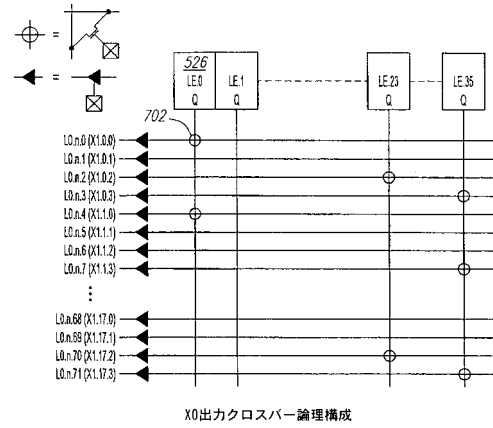
【図 7】



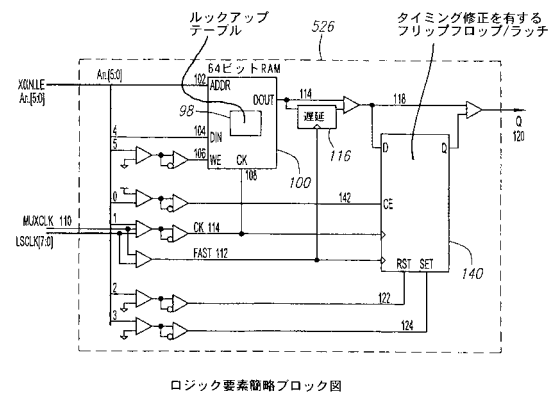
【図 9】



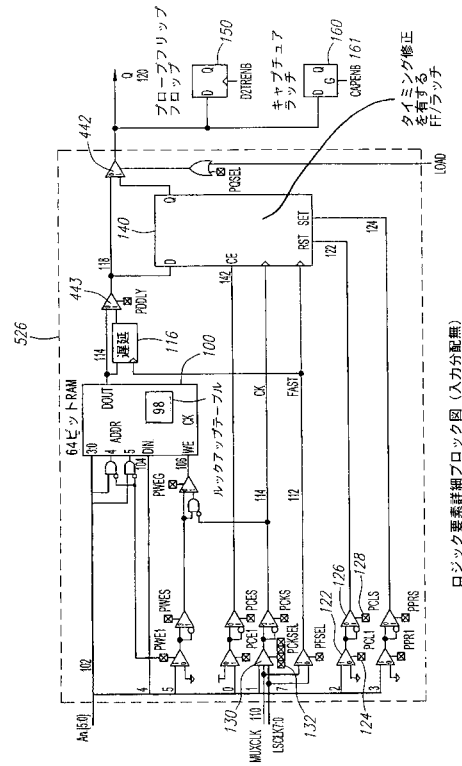
【図 8】



【図 10】

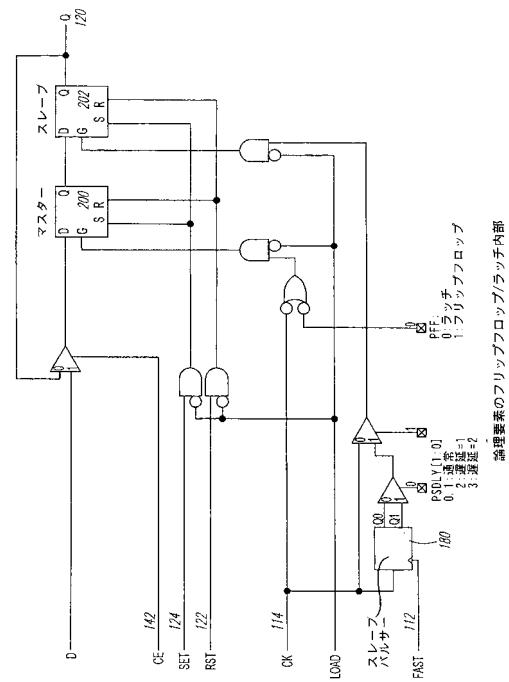


【図 1 1】



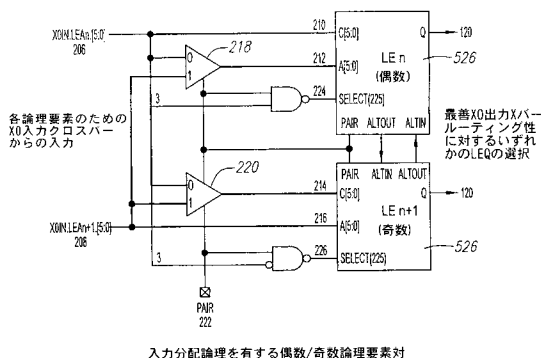
ロジック要素詳細ブロック図 (スカ分配無)

【図 1 2】

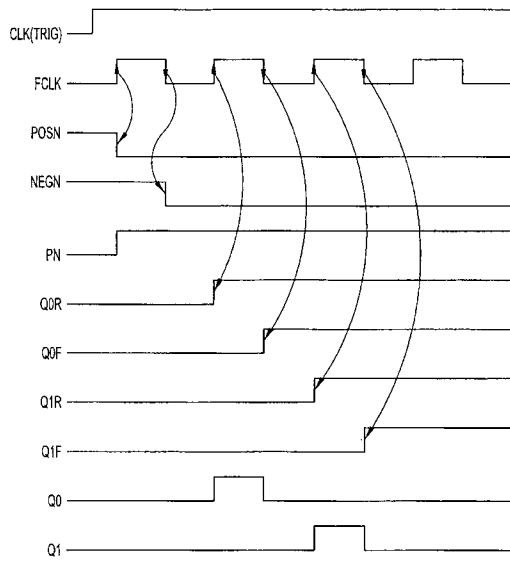


論理要素のフリップフロップ/ラッチ内部

【図 1 3】

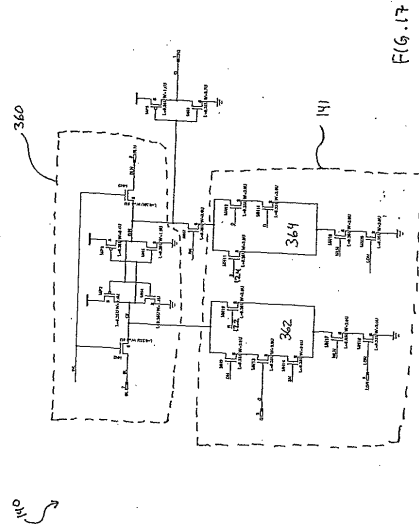


【図 16】

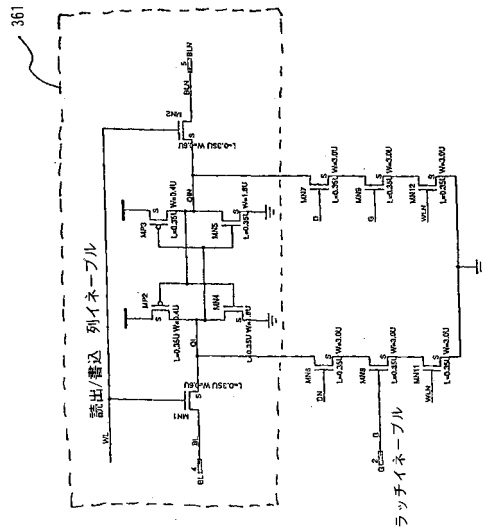


ロジック要素パルスタイミング

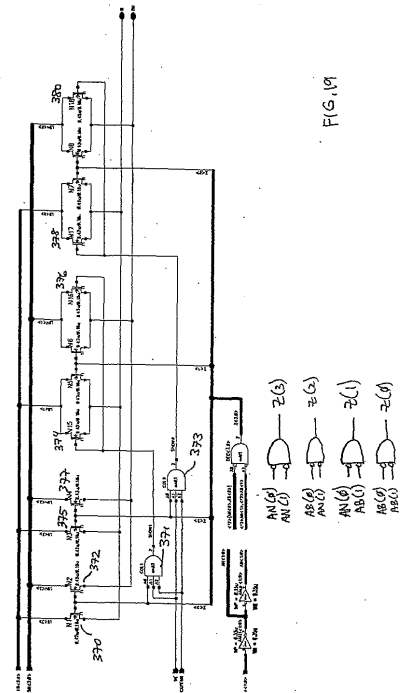
【図 17】



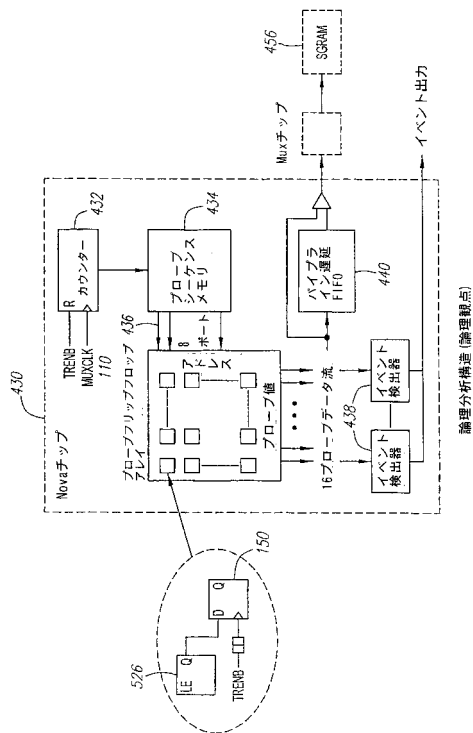
【図 18】



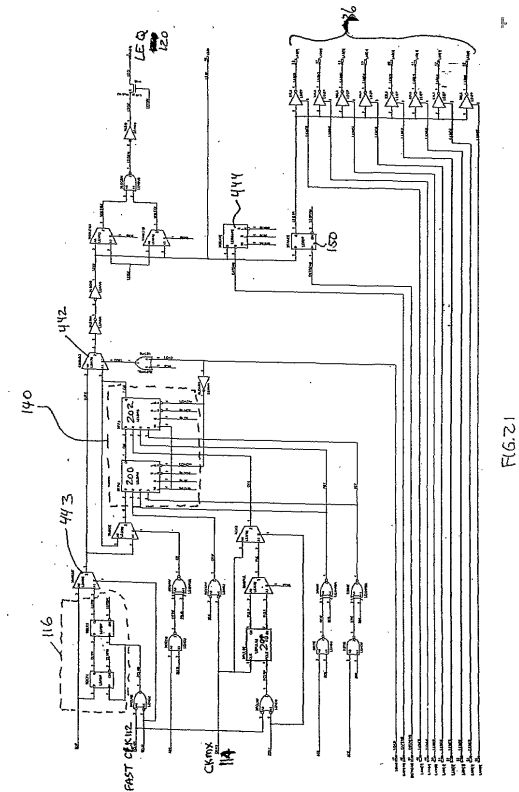
【図 19】



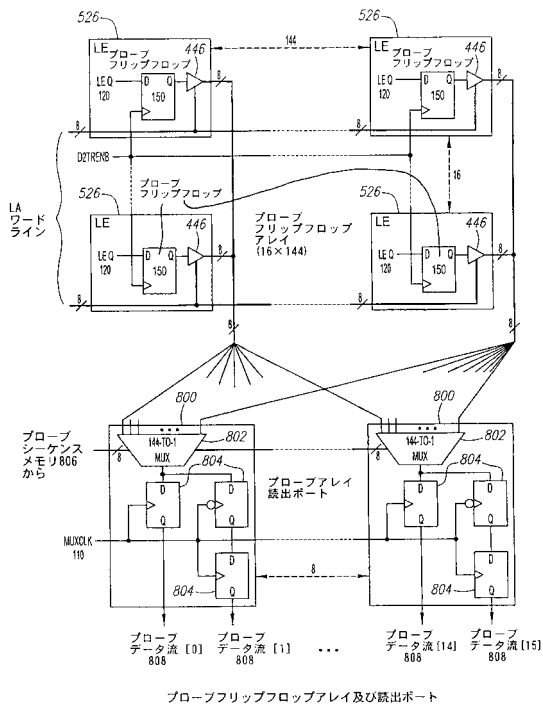
【図 20】



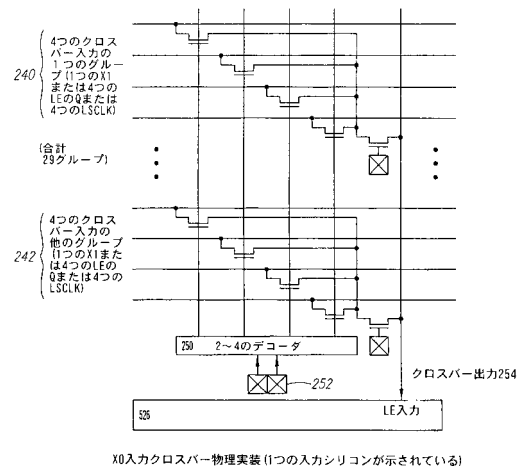
【图 2 1】



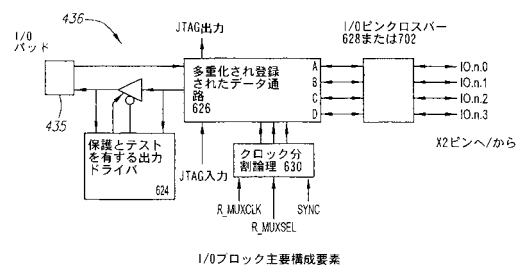
【図 2 2】



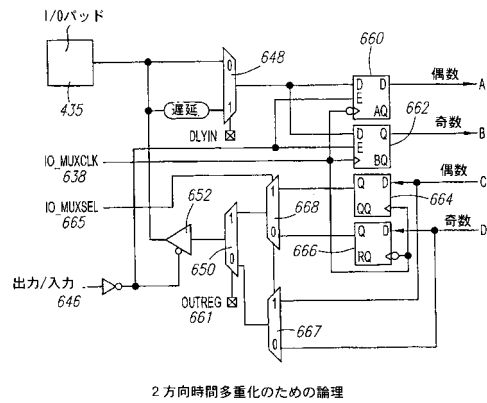
【図 2 3】



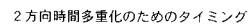
【図 2 4】



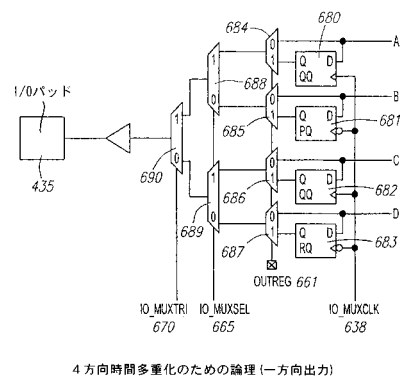
【図 26】



2 方向時間多重化のための論理

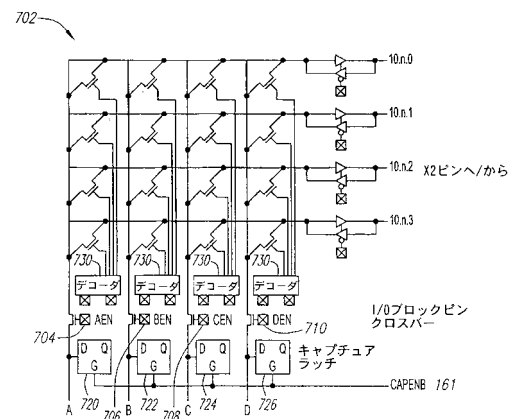


【図 30】



4 方向時間多重化のための論理 (一方向出力)

【図 3 1】



The diagram illustrates the system architecture, showing the interconnection of various components. Key elements include:

- I/O Buffers (435):** Connected to the I/O bus (436) and the 792-bit LSI block.
- 792-bit LSI Block:** A central component with multiple inputs (A, B, C, D) and outputs (IO n.0, IO n.1, IO n.2, IO n.3).
- 624-bit MUXTEST:** A component that receives signals from ECK, TR, MUXTEST, RSTOE, and IOPROT, and outputs to the 792-bit LSI block.
- 648-bit DLYIN:** A component that receives signals from the I/O bus (436) and the 792-bit LSI block, and outputs to the 624-bit MUXTEST.
- 648-bit OUTREG:** A component that receives signals from the 792-bit LSI block and outputs to the 624-bit MUXTEST.
- 648-bit DLYIN:** A component that receives signals from the I/O bus (436) and the 792-bit LSI block, and outputs to the 624-bit MUXTEST.
- 648-bit OUTREG:** A component that receives signals from the 792-bit LSI block and outputs to the 624-bit MUXTEST.
- 648-bit DLYIN:** A component that receives signals from the I/O bus (436) and the 792-bit LSI block, and outputs to the 624-bit MUXTEST.
- 648-bit OUTREG:** A component that receives signals from the 792-bit LSI block and outputs to the 624-bit MUXTEST.
- 648-bit DLYIN:** A component that receives signals from the I/O bus (436) and the 792-bit LSI block, and outputs to the 624-bit MUXTEST.
- 648-bit OUTREG:** A component that receives signals from the 792-bit LSI block and outputs to the 624-bit MUXTEST.

I/Oブロック詳細ハードウェアブロック図
(JTAG境界スキャンは示されていない)

フロントページの続き

- (72)発明者 ワン ミン ヤン
アメリカ合衆国 カリフォルニア州 94549 ラファイエット クワント ロード 1246
- (72)発明者 シェイ スウェーヤン
アメリカ合衆国 カリフォルニア州 95014 カパチーノ ノエル アヴェニュー 1038
2
- (72)発明者 カーレル ウィリアム, シー
アメリカ合衆国 カリフォルニア州 94560-1670 ニューアーク トーラス ストリー
ト 36191

審査官 ▲高▼橋 正▲徳▼

- (56)参考文献 特開平04-229720 (JP, A)
特開平03-231515 (JP, A)
特開平01-093928 (JP, A)
特開昭63-232712 (JP, A)
特開昭63-097012 (JP, A)
米国特許第05821773 (US, A)
米国特許第06011744 (US, A)
国際公開第98/054649 (WO, A1)

- (58)調査した分野(Int.Cl., DB名)
G06F 11/22-11/26,
G06F 17/50,
H03K 19/177