

[12] 发明专利说明书

[21] ZL 专利号 91110926.9

[45]授权公告日 2001年9月5日

[11]授权公告号 CN 1070383C

[22]申请日 1991.11.19

[21]申请号 91110926.9

[30]优先权

[32]1990.11.19 [33]JP [31]315003/1990

[73]专利权人 任天堂株式会社

地址 日本京都府京都市

共同专利权人 理光株式会社

[72]发明人 大竹雅博 高桥丰文

西海聪 三好通贵

审查员 李金万

[74]专利代理机构 上海专利商标事务所

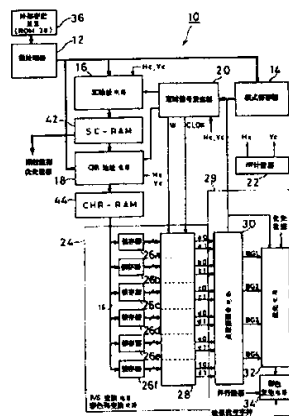
代理人 孙敬国

权利要求书 4 页 说明书 16 页 附图页数 19 页

[54]发明名称 背景画像显示装置及其外部存贮装置

[57]摘要

一种背景画像显示装置包括微处理器和外部存贮装置。点数据、字符指定数据和模式数据预先编入外部存贮装置的 ROM。构成由模式数据指定的背景画面的字符指定数据和用于该画面的每个字符的点数据,通过微处理器在 SC-RAM 和 CHR-RAM 中运行。SC 地址电路从 SC-RAM 读出字符指定数据,由该数据从 CHR-RAM 读出字符的点数据。点数据由并行—串行变换电路变换为串行数据,点数据组合电路将该点数据组合为各背景画面的彩色码并加给彩色发生电路。





权 利 要 求 书

1. 一种背景画像显示装置, 用于在光栅扫描型显示器上显示背景画像, 其中, 每个字符包含规定点数的 N 个字符和 M 个字符分别排列在水平和垂直方向来表现一个背景画面, 且以多个背景画面构成一帧背景画像, 所述背景画像显示装置具有: 具有可存贮字符指定数据的存贮区域的字符指定数据存贮装置; 为字符指定数据所指定的多个字符存贮每个点数据的点数据存贮装置; 与所述光栅扫描型显示器上水平扫描同步读出字符指定数据的第一读出电路; 与所述光栅扫描型显示器上水平扫描同步、根据从所述字符指定数据存贮装置读出的字符指定数据、从所述点数据存贮装置读出由所述字符指定数据指定的各个字符的点数据的第二读出电路; 和根据各背景画面的点数据产生图像信号的图像信号发生电路, 其特征在于, 进一步包含:

用于产生指定构成所述帧的背景画面的数目和各个背景画面上所用的单元数目的模式数据的模式数据发生电路;

用于按每规定数的单位以位并行方式暂时存贮由所述第二读出电路从所述点数据存贮装置读出的点数据并以位串行方式输出的并行一串行变换电路; 和

用于对从所述并行一串行变换电路输出的点数据进行组合并输出由所述模式数据指定的每个背景画面的点数据的输出电路, 其中

所述字符指定数据存贮装置存贮字符指定数据为所述模式数据发生电路所指定数目的每个背景画面指定数目为 $N \times M$ 的字符; 所述点数据存贮装置存贮每个点至少包含 2 个单元的点数据; 和所



述图像信号发生电路根据所述输出电路输出的点数据产生所述图像信号。

2. 如权利要求 1 所述的背景画像显示装置, 其特征在于, 上述字符指定数据存贮装置包含决定优先顺序的优先数据, 进一步包括根据上述优先数据优先选择从上述输出电路输出的各背景画面的彩色数据, 并将其加给上述图像信号发生电路的优先电路。

3. 如权利要求 1 或 2 所述背景画像显示装置, 其特征在于, 上述字符指定数据存贮装置包括: 固定存贮用于许多帧的全部字符指定数据的第一不易失性存贮器、和写入从第一不易失性存贮器读出且由上述模式数据指定的应该以一帧表示的至少构成一个背景画面的全部字符指定数据的第一暂存存贮器, 又

上述点数据存贮装置包括: 固定存贮用于许多帧的全部字符的点数据的第二不易失性存贮器, 和写入从第二不易失性存贮器读出且应该以一帧表示的字符的点数据的第二暂存存贮器,

上述第一读出电路读出存贮在第一暂时存贮器中的字符指定数据,

上述第二读出电路读出存贮在上述第二暂存存贮器中的点数据。

4. 如权利要求 1 或 2 或 3 所述的背景画像显示装置, 其特征在于进一步包括定时信号发生电路, 该定时信号发生电路包括: 产生低速时钟信号的第一时钟信号发生电路; 产生高速时钟信号的第二时钟信号发生电路; 和, 根据上述模式数据选择上述低速时钟信号或高速时钟信号、并加给并行一串行变换电路的选择电路。

5. 一种用于背景画像显示装置的外部存贮装置, 所述背景画像显示装置用于在光栅扫描型显示器上显示背景画像, 其中, 每个字



符包含规定点数的 N 个字符和 M 个字符分别排列在水平和垂直方向来表现一个背景画面，且以多个背景画面构成一帧背景画像，所述外部存贮装置备有：

存贮为显示所述背景画像所需要的程序数据的程序数据存贮装置，所述程序数据存贮装置包括：为字符指定数据所指定的多个字符存贮每个点数据的点数据存贮区域；具有可存贮字符指定数据的存贮区域的字符指定数据存贮区域；和存贮用于传送所述模式数据、所述点数据和所述字符指定数据的程序数据的程序数据存贮区域，

所述背景画像显示装置包括：可读写存贮装置；根据存贮在所述程序数据存贮装置中的所述传送程序数据、把所述字符指定数据和所述点数据传送给所述可读写存贮装置的数据传送电路；与所述光栅扫描型显示器上水平扫描同步从所述可读写存贮装置读出字符指定数据的第一读出电路；与所述光栅扫描型显示器上水平扫描同步、根据从所述字符指定数据存贮区域读出的字符指定数据、从所述点数据存贮区域读出由所述字符指定数据指定的各字符的点数据的第二读出电路；和根据各背景画面的点数据产生图像信号的图像信号发生电路，其特征在于，

所述程序数据存贮装置还包括：用于存贮对构成所述帧背景画面数和各背景画面所使用的单元数进行指定的模式数据的模式数据存贮装置，

所述字符指定数据存贮区域存贮字符指定数据为所述模式数据存贮装置中的所述模式数据所指定数目的每个背景画面指定数目为 $N \times M$ 的字符；所述点数据存贮区域存贮每个点至少包含 2 个单元的点数据，

所述背景画像显示装置还包括：

从所述模式数据存贮装置读出所述模式数据的模式数据读出电路；

按每规定数的单位以位并行方式暂时存贮由所述第二读出电路读出的点数据并以位串行方式输出的并行一串行变换电路；

将从所述并行一串行变换电路输出的点数据进行组合、从而输出由来自所述模式数据读出电路的模式数据所指定的各背景画面的点数据的输出电路；

所述图像信号发生电路根据所述输出电路输出的点数产生所述图像信号，

通过把模式数据预先写入所述程序数据存贮装置中所述模式数据存贮装置、就可对在所述背景画像显示装置中及按照各背景画面中可使用的多种彩色的组合进行显示的各帧的背景画面数进行任意设定。



说明书

背景画像显示装置及其外部存贮装置

本发明涉及背景画像显示装置及用于它的外部。尤其是，本发明涉及有必要显示电视游戏机的多种多样背景画面的背景画像显示装置及用于它的外部。

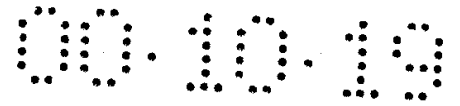
日本专利特公平 2—7478 号(对应于 USP4, 824, 106)揭示了一种以电文方式显示背景画像且用背景画像与动画像组合显示的画像显示装置。

在上述已有技术中，一帧只能显示一个背景画面。可以考虑通过增加存贮容量使得一帧显示多个背景画面那样来改变已有技术。然而，由于用于画像显示的微处理器(CPU)在一定的时间里能处理的数据量受到限制，及 CPU 的地址空间受到限制，当然构成一帧的背景画面数、构成一个背景画面的单元(cell)数及可用于背景画面的彩色数等受到制约。例如，若增加背景画面的单元数，虽然可使每点(dot)的彩色数增加，但用一帧可显示的背景画面数则减少，若减少单元数，虽然能够增加背景画面数，但每点的彩色数减少。

为此，本发明的主要目的在于提供一种背景画像显示装置及用于它的外部，它能切换多个背景画面以显示各种场景的背景画像。

本发明的另一目的在于所提供的背景画像显示装置及用于它的外部，通过有效使用，以少的存储容量得到多种多样的背景画像显示。

本发明的背景画像显示装置，用于在光栅扫描型显示器上显示背景画像，其中，每个字符包含规定点数的 N 个字符和 M 个字符分别排列在水平和垂直方向来表现一个背景画面，且以多个背景画面构成一帧背景画像，所述背景画像显示装置具有：具有可存贮字符指定数据的存贮区域的字符指定数据存贮装置；为字符指定数据所指定的多个字符存贮每个点数据的点数据存贮装置；与所述光栅扫描型显示器上水平扫描同步读出字符指定数据的第一读出电路；与



所述光栅扫描型显示器上水平扫描同步、根据从所述字符指定数据存贮装置读出的字符指定数据、从所述点数据存贮装置读出由所述字符指定数据指定的各个字符的点数据的第二读出电路；和根据各背景画面的点数据产生图像信号的图像信号发生电路，其特征在于，进一步包含：

用于产生指定构成所述帧的背景画面的数目各个背景画面上所用的单元数的模式数据的模式数据发生电路；

用于按每规定数的单位以位并行方式暂时存贮由所述第二读出电路从所述点数据存贮装置读出的点数据并以位串行方式输出的并行一串行变换电路；

用于对从所述并行一串行变换电路输出的点数据进行组合并输出由所述模式数据指定的每个背景画面的点数据的输出电路，

所述字符指定数据存贮装置存贮字符指定数据为所述模式数据发生电路所指定数目的每个背景画面指定数目为 $N \times M$ 的字符；所述点数据存贮装置存贮每个点至少包含 2 个单元的点数据；和所述图像信号发生电路根据所述输出电路输出的点数据产生所述图像信号。

本发明的外部(实施例中的外部 36)安装成可以从背景画像显示装置上装卸的。一种用于背景画像显示装置的外部，所述背景画像显示装置用于在光栅扫描型显示器上显示背景画像，其中，每个字符包含规定点数的 N 个字符和 M 个字符分别排列在水平和垂直方向来表现一个背景画面，且以多个背景画面构成一帧背景画像，所述外部备有：

存贮为显示所述背景画像所需要的程序数据的程序数据存贮装置，所述程序数据存贮装置包括：为字符指定数据所指定的多个字符存贮每个点数据的点数据存贮区域；具有可存贮字符指定数据的存贮区域的字符指定数据存贮区域；和存贮用于传送所述模式数据、所述点数据和所述字符指定数据的程序数据的程序数据存贮区域，

所述背景画像显示装置包括：可读写存贮装置；根据存贮在所述程序数据存贮装置中的所述传送程序数据、把所述字符指定数据和所述点数据传送给所述可读写存贮装置的数据传送电路；与所光

栅扫描型显示器上水平扫描同步从所述可读写存贮装置读出字符指定数据的第一读出电路；与所述光栅扫描型显示器上水平扫描同步、根据从所述字符指定数据存贮区域读出的字符指定数据、从所述点数据存贮区域读出由所述字符指定数据指定的各个字符的点数据的第二读出电路；和根据各背景画面的点数据产生图像信号的图像信号发生电路，其特征在于，

所述程序数据存贮装置还包括：用于存贮对构成所述帧的背景画面数和各背景画面所使用的单元数进行指定的模式数据的模式数据存贮装置，

所述字符指定数据存贮区域存贮字符指定数据为所述模式数据存贮装置中的所述模式数据所指定数目的每个背景画面指定数目为 $N \times M$ 的字符；所述点数据存贮区域存贮每个点至少包含 2 个单元的 point data，

所述背景画像显示装置还包括：

从所述模式数据存贮装置读出所述模式数据的模式数据读出电路；

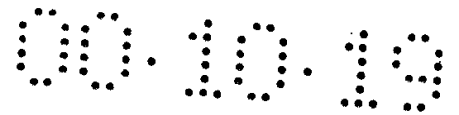
按每规定数的单位以并行方式暂时存贮由所述第二读出电路读出的点数据且以位串行输出的并行—串行变换电路；

将从所述并行—串行变换电路输出的点数据进行组合、并输出由来自所述模式数据读出电路的模式数据指定的每个背景画面的点数据的输出电路，

所述图像信号发生电路根据所述输出电路输出的点数据产生所述图像信号，

通过把模式数据预先写入所述程序数据存贮装置的所述模式数据存贮装置、就可对所述背景画像显示装置所显示的各帧的背景画面数和各背景画面上所可能使用的彩色数的组合进行任意设定。

当外部存贮装置 36 装于背景画像显示装置时，根据存贮在 ROM38 的程序数据存贮装置中的传送程序数据，则背景画面 BG1—BG4 的各自的字符指定的数据及各背景画面 (BG1—BG4) 使用的多个字符的点数据，从字符指定数据存贮装置区域及点数据存贮区域读出，然后将它们写入可读写存贮装置。这时，各数据以图 3 所示格



式写入如 RAM40 那样的可读写存贮装置即 SC—RAM42 及 CHR—RAM44 中。

实施例的 HV 计数器 22 与显示器的电子束扫描同步以产生对应于电子束的水平位置的计数值 Hc 和对应于垂直位置的计数值 Vc。此外，定时信号发生电路 20 在电子束仅移动显示器的一个点间隔期间，产生第 0 周期—第 7 周期的 8 周期(节拍)的信号，第 0 周期信号—第 3 周期信号分配给第一读出器即 SC 地址电路 16，而第 4 周期信号—第 7 周期信号分配给第二读出器即 CHR 地址电路 18。SC 地址电路 16，通过第 0 周期—第 3 周期的每个定时，按各周期的顺序产生把对应于背景画面 BG4、BG3、BG2 及 BG1 的屏幕基地址 SBA4、SBA3、SBA2 及 SBA1 加上表示对应于此时的计数值 Hc 及 Vc 的显示位置的地址的地址，并指定 SC—RAM42 的读出地址。相应地，由 SC—RAM42 读出字符指定数据(参见图 11)。

含有这各背景画面 BG1—BG4 的字符指定数据的字符码(d0—d9)被作为指定 CHR—RAM44 的地址的数据，加给 CHR 地址电路 18。CHR 地址电路 18，根据由第 0 周期—第 3 周期的顺序读出的背景画面 BG4—BG1 的字符指定数据，且与第 4 周期—第 7 周期的定时同步输出 CHR 地址。相应地，从 CHR—RAM44 读出点数据。

由该第 4 周期—第 7 周期的定时读出的各个名为 0、n、1 和 1023 的点数据，以位并行从锁存电路 26 的上方依次锁存于 4 个锁存电路 26a—26d(图 1)中。该数据即对应于各背景画面 BG1—BG4 的某个显示位置的一个字符的水平方向相当于 8 点的彩色数据(用于每 1 点指定 4 彩色的 2 位数据)位并行地加给并行—串行变换器即并行—串行变换电路 28。并行—串行变换电路 28、响应来自定时信号发生电路 20 的写入信号 W，读入位并行数据暂时存贮。然后，并行—串行变换电路 28，与以电子束移动 1 点期间的时间的 2 倍的周期所给的读出时钟同步把位并行数据变换为位串行数据，加给点数据组合变换电路 30。

点数据组合变换电路 30，把来自并行—串行变换电路 28 的输出 a0 与 a1、b0 与 b1、c0 与 c1、d0 与 d1、e0 与 e1、f0 与 f1 各对的串行数据按照模式数据组合为对应于单元(cell)的位数。这



样，按各背景画面 BG4—BG1 区分的彩色数据被输出而加给彩色发生电路 34。彩色发生电路 34 产生由彩色数据与颗粒(パレット)数据组合所决定的图像信号并加给显示器。

如上构成，通过对模式数据进行预先设定，就能对作为各帧的背景画面的数与可用于各个背景画面的彩色数的组合进行任意设定。

如上构成的本发明，由于是产生对构成一帧的背景画面的数目与用于各个背景画面的单元数或彩色数的组合进行指定的模式数据，并根据该模式数据从点数据存贮装置及字符指定数据存贮装置仅读出必要的的数据，所以能在限定的处理时间内获得微处理器的最大画像显示能力。

又，用于所有帧部分的字符的点数据和字符指定数据如均预先存贮在不易失性存贮器中，每次仅将一帧部分的数据暂时存贮在 RAM 等中，就能有效地使用 RAM 等的存储器。

本发明的上述目的及其它目的、特征、布局及优点，通过结合附图对以下实施例进行详细说明，会更清楚。

图 1 为本发明一实施例的框图；

图 2 为表示包含在外部存贮装置中的 ROM 的存贮地图(map)的图解图；

图 3 为表示 BG 模式 0 的 RAM 的存贮地图的图解图；

图 4 为表示 BG 模式 1 的 RAM 的存贮地图的图解图；

图 5 为表示 BG 模式 2 的 RAM 的存贮地图的图解图；

图 6 为表示 BG 模式 3 的 RAM 的存贮地图的图解图；

图 7 为表示 BG 模式 4 的 RAM 的存贮地图的图解图；

图 8 为表示 BG 模式 5 的 RAM 的存贮地图的图解图；

图 9 为表示 BG 模式 6 的 RAM 的存贮地图的图解图；

图 10 为表示存贮一个屏幕的背景画面的数据的状态的图解图；

图 11 为表示 SC—RAM 的 1 个字符成分的数据格式的图解图；

图 12 为表示存贮在 CHR—RAM 中的 1 个字符的数据构成的图解图；



图 13 为表示存贮在 CHR—RAM 中的 1 个字符的数据构成图解图;

图 14 为表示存贮在 CHR—RAM 中的 1 个字符的数据构成图解图;

图 15 为表示与按模式区分的单元数、彩色数、1 个字符的水平方向的点数及偏移的变更有无的关系图解图;

图 16 为表示用于说明图 1 实施例的模式的背景画处理周期(节拍)的图解图;

图 17 为表示图 1 实施例的 SC 地址电路的方框图;

图 18 为图 1 实施例的 CHR 地址电路的框图;

图 19 为图 1 实施例的彩色码变换电路框图;而

图 20 为图 1 实施例的输出电路的方框图。

图 1 所示的实施例的背景画像显示装置 10 适用于作为显示器一例的光栅扫描型显示器(图中未示)。光栅扫描型显示器有由水平方向 X 点和垂直方向 Y 点构成的显示画面。在构成背景画像的一个字符在水平方向中有 n 个点、垂直方向中有 m 个点的情况下,在显示画面上可显示水平方向 N 个($=x/n$)和垂直方向 M 个($=y/m$)合计 $N \times M$ 个字符。

图 1 所示背景画像显示装置 10 包含微处理器 12。该微处理器 12 起到控制向如 RAM40(后述)同样的可读写存储器写入数据的写入控制器的作用。RAM40,如图 3 至图 9 所示,包含屏幕 RAM(以下称“SC—RAM”)42 和字符 RAM(以下称“CHR—RAM”)44。

微处理器 12 中,通过数据总线及地址总线,接有:模式寄存器 14;用于指定 SC—RAM42 的写入地址和读出地址的 SC 地址电路 16;和用于指定 CHR—RAM44 的写入地址和读出地址的 CHR 地址电路 18。模式寄存器 14 中接有定时信号发生电路 20。定时信号发生电路 20 中,由 HV 计数器 22 输出表示显示器(图中未画)的电子束的水平扫描位置的计数值(Hc)和表示垂直位置的计数值(Vc)。该定时信号发生电路根据来自 HV 计数器 22 的计数值 Hc 和 Vc,从第 0 周期至第 7 周期,依周期顺序把读出控制信号加给 SC 地址电路 16 和 CHR 地址电路。因此,显示器的每个点的显示期间,用 8 个周期从



SC—RAM42 及 CHR—RAM44 读出字符指定数据和点数据。但是，读出控制信号在哪一个周期中加给 SC 地址电路 16 及 HR 地址电路的哪一个，却要由模式寄存器 14 的模式数据究竟显示 BG 模式 0—7 中的哪一个来决定。实施例中，至少第 0 周期和第 1 周期的两个周期、最多第 0—第 3 周期的四个周期期间，读出控制信号加给 SC 地址电路 16；而至少第 4—7 周期的 4 个周期、最多第 2—7 周期的 6 个周期期间，读出控制信号加给 CHR 地址电路 18。

从 CHR—RAM44 读出的点数据，以位并行方式加给彩色码变换电路 24 中所含的锁存电路 26a—26f。锁存电路 26a—26f 仅仅设定由模式数据指定的背景画面数的单元数相关连的数(实施例中，相当于指定 CHR—RAM44 的读出的最大周期数的 6 个)，各自有 16 位的存贮元件(触发器)。锁存在锁存电路 26a—26f 中的数据，以位并行方式由并行—串行变换电路 28 变换为位串行的数据，作为每一个点为 2 位(bit)的串行数据加给包含在输出电路 30 中的单元(cell)数据组合变换电路 30。单元数据组合变换电路 30，根据来自模式寄存器 14 的模式数据，变换为按各背景画面(BG1—BG4)区分的点数据加给优先电路 32 以便形成点数据对应于 BG 模式的单元数的组合。优先电路 32，根据随字符名一起包含在字符指定数据中的 1 位(bit)的优先数据的组合，以各背景画面(BG1—BG4)内的优先顺序位高的点数据作为彩色指定数据加给彩色发生电路 34。彩色发生电路 34 根据从 SC—RAM42 中读出的颗粒(pellet)数据和各点数据产生彩色图像信号(模拟信号)。

在微处理器 12 中，安装有装卸自如的把作为不易失性存贮器的一例的 ROM38 内藏于盒或导槽内的外部存贮装置 36。该 ROM38，如图 2 的存贮地图所示，它包含：点数据存贮区域 38a；字符指定数据存贮区域 38b；模式数据存贮区域 38c；及数据传送(读出)程序存贮区域 38d。

若进行具体说明，则点数据存贮区域 38a，具有存贮由所有帧所表示的一切字符的点图形(pattern)数据的存贮容量，如用 2 个以上的单元(cell)表示显示器的 1 个点(或 1 象素)那样，存贮着每个单元的点数据。字符指定数据存贮区域 38b，具有全部背景画面的

存贮容量，对于全背景画面存贮有用于指定每个背景画面的最大 $N \times M$ 个字符的字符指定数据。模式数据存贮区域 38c 存贮模式数据，该模式数据，选择乃至指定用 1 帧即一个场面可能表示的最大的背景画面(实施例的 B1—BG4 的 4 画面)内的任意 1 个以上画面的同时，指定各背景画面中的单元数。该模式数据与背景画像显示模式(实施例的 BG 模式 0—BG 模式 6 的 7 个模式)产生变化的定时相关连存贮。又，也可以按每个显示帧，使之存贮模式数据。数据传送程序存贮区域 38d，存贮用于把存贮于上述各存贮区域 38a—38c 中的点数据、字符指定数据和模式数据内显示 1 帧所必要的数据传送给 SC—RAM42、CHR—RAM44 和模式选择寄存器 14 的程序。

且，外部存贮装置 36 用于电视游戏机用盒式磁盘时，即背景画像显示装置 10 为电视游戏机时，则 ROM38 中如图 2 所示包含：声音程序存贮区域 38e 和控制器读入程序存贮区域 38f。在声音程序存贮区域 38e 内存贮有用作产生音乐和效果音的程序数据。控制器读入程序存贮区域 21f，存储有用于对接入电视游戏的控制器(图未示)的操作状态进行周期性检测的程序数据。

参照图 3—图 9，SC—RAM42 和 CHR—RAM44，在实施例中，虽然它们分别由容量大的一个 RAM 分割成的存贮空间构成；但也可能将两个小容量的 RAM 分别地用于 SC—RAM42 和 CHR—RAM。如果设想，由于上卷(scroll)，而每 1 个背景画面需要相当于 4 个画面的 S 存贮区域时，则 SC—RAM42 的容量对 1 个背景画面(BG)而言必需有 $32 \times 32 \times 4 = 4096$ 字(约 4K 字)，如果用字节表示它，则 1 字=2 字节，故 $8192 = 8K$ 字节是必要的。因此，如 BG 模式 0 那样，使用最大 4 个背景画面 BG1—BG4 的情况下，就需要它的 4 倍的 $8192 \times 4 = 32K$ 字节。存贮 SC—RAM42 的背景画面 BG1—BG4 的各自的字符指定数据的区域的起始地址规定为屏幕基地址(SBA)1—4。但是，SBA1—4 内的一部分会出现由于模式的变化而消失的情形。

SC—RAM42 的背景画面 BG1—BG4 的某一个地址空间与屏幕基地址的关系如图 10 所示。但是，当设 SBA 为 n (=SBA1—SBA4 的任一个的实际地址)时，这图中所示的 3 位数字以 16 进制的数值来表示地址。每个地址位置(图 10 所示的一个格)表示把显示器在垂直

方向和水平方向分别 32 分割时的各位置，在对应于该各位置的 SC—RAM42 的地址中，写入用于指定该位置上应表示的字符的字符指定数据。字符指定数据，如图 11 所示，1 个字由 d0—d15 的 16 位 (bit) 组成，由 d0—d9 的低 10 位指定字符码 (或字符名)，用 $d10_i * d12$ 的 3 位选择彩色颗粒，由 d13 位指定背景画面 (BG1—BG4) 间的字符单位的优先顺序位，由 d14 和 d15 的高两位指定字符的上下 (V 反转) 和左右 (H 反转) 的反转。又，优先数据，虽然一个背景画面中仅一位，但通过与其它背景画面的优先数据的组合，就能识别应该优先表示的背景画面，如上的字符指定数据，在无论哪个模式都具有同样的数据结构。

另一方面，CHR—RAM44，将根据限制单元数 (彩色数) 使字符数增加时，限制字符数增加单元数 (彩色数) 时，及由增加每点的数据位数以得到细腻高质量画面时的任一情况，使用于表现 1 个字符的水平方向 8 个点的字节数 (单元数) 不同，且能以一帧表示的最大字符数也不同。这些条件，根据由模式数据指定的 BG0 模式—BG6 的任一模式来决定。存贮在该 CHR—RAM44 中的一个字符的容量随表现一个点的位数 (数据量) 的不同而不同。

例如，一个点用 2 位表现时，如图 12 所示，一个字符用 2 个单元 m0 和 m1，单元 m0 分别由具有 d0—d7 的 8 位的 8 个字节 (n—n+7) 构成，单元 m1 分别由具有 d8—d15 的 8 位的 8 个字节 (n—n+7) 构成。即，一个字 (=2 字节) 由 d0—d15 的 16 位构成。同一字的 d0—d7 与 d8—d15 的每个位成对。

一个点用 4 位表现时，如图 13 所示，一个字符用 4 个单元 m0—m3，单元 m0 和 m1 分别由 n—n+7 的 8 个字构成，单元 m2 和 m3 分别由 n+8—n+15 的 8 个字构成。

一个点用 8 位表现时，如图 14 所示，一个字符使用 8 个单元 m0—m7。单元 m0 和 m1 由 n—n+7，单元 m2 和 m3 由 n+8—n+15，单元 m4 和 m5 由 n+16—n+23，单元 m6 和 m7 由 n+24—n+31 各自的 8 个字构成。

而且，根据使用 BG 模式 0—BG 模式 6 中的任一模式，使向包含在 RAM40 中的 SC—RAM42 和/或 CHR—RAM44 的写入状态亦变化，

来切换每个背景画面 (BG1—BG4) 的单元数和彩色数等, 下面将对其详细叙述。

下面, 参照按图 15 和图 3—图 9 所示的 RAM40 的各 BG 模式区分的存贮地图, 详细说明构成该实施例特征的按背景画面 (BG) 区分的单元数、彩色数、一个字符的水平方向一行的点数和偏移变更的有无的关系、对应于各 BG 模式的 RAM40 的数据。

BG 模式 0, 在显示 4 个背景画面时, 由于各背景画面 BG1—BG4 的每一个使用 2 个单元 m_0 和 m_1 , 可表示 $4(=2^2)$ 个彩色。又, 该 BG 模式 0, 是一种以一个字符的水平方向一行用 8 个点表现的模式。这时的 SC—RAM42 和 CHR—RAM44 的字符指定数据和点数据的存贮 (或写入) 格式示于图 3。

BG 模式 1, 在显示 3 个背景画面时, 由于背景画面 BG1 和 BG2 使用 4 个即单元 m_0 — m_3 , 可显示 $16(=2^4)$ 个彩色, 且 BG3 由于使用 m_0 和 m_{12} 个, 可显示 4 个彩色。该 BG 模式 1 为一种一个字符水平方向用 8 个点表现一行的模式。这时的 SC—RAM42 和 CHR—RAM44 的字符指定数据及点数据的存贮格式如图 4 所示。

BG 模式 2, 在显示 2 个背景画面时, 由于背景画面 BG1—BG2 使用 4 个单元 m_0 — m_3 , 可显示 $16(=2^4)$ 个彩色。这种 BG 模式 2 为一种用 8 个点表现一个字符水平方向的一行的模式。这时的 SC—RAM42 和 CHR—RAM44 的字符指定数据及点数据的存贮格式如图 5 所示。

BG 模式 3, 在显示 2 个背景画面情况下, 由于背景画面 BG1 使用 8 个单元 m_0 — m_7 , 可显示 $256(=2^8)$ 个彩色。而 BG2 由于使用 4 个单元 m_0 — m_3 , 可显示 16 个彩色。该 BG 模式 3 是一种用 8 个点表现一个字符水平方向的一行的模式。这种情况的 SC—RAM42 和 CHR—RAM44 的字符指定数据及点数据的存贮格式示于图 6。

BG 模式 4, 在显示 2 个背景画面情况下, 由于背景画面 BG 使用 8 个单元 m_0 — m_7 , 则可显示 $256(=2^8)$ 个彩色。BG2 由于使用 2 个单元 m_0 和 m_1 , 则可显示 4 个彩色。这种 BG 模式 4 是一种用 8 个点表现一字符的水平方向一行的模式。此时的 SC—RAM42 和 CHR—RAM44 的字符指定数据及点数据的存贮格式如图 7 所示。

BG 模式 5, 用 2 个背景画面显示时, 由于背景画面 BG1 使用 4 个单元 m_0 — m_3 , 可显示 16 个彩色, BG2 由于使用 2 个单元 m_0 和 m_1 , 则可显示 4 个彩色。该 BG 模式 5 是一种用 16 个点(即为 BG 模式 0—BG 模式 4 情况下的 2 倍密度)表现一字符的水平方向一行的模式。此时的 SC—RAM42 和 CHR—RAM44 的字符指定数据及点数据的存贮格式如图 8 所示。

BG 模式 6, 用一个背景画面显示时, 由于背景画面 BG1 使用 4 个单元 m_0 — m_3 , 则可显示 16 个彩色。该 BG 模式 6 是一种用 16 个点表现一字符的水平方向一行的模式。此时的 SC—RAM42 和 CHR—RAM44 的字符指定数据及点数据的存贮格式示于图 9。

又, 用 BG 模式 2、BG 模式 4 的 BG1 和 BG 模式 6, 可进行偏移变更。这里, 所谓偏移变更就是为了使背景画面全体在水平方向或垂直方向中移动(将此称为スクロール)而变更屏幕基地址。

下面, 说明图 1 所示实施例的工作过程。最初以 BG 模式 0 来显示背景画面, 中途设想把模式变换为 BG 模式 3 的情况。

首先, 在显示 BG 模式 0 之前, 微处理器 12 先按照传送程序存贮区域 38d 的程序数据, 在初始化时或显示器消隐期间(水平消隐和垂直消隐均包含在内), 从存贮区域 38c 读出指定为 BG 模式 0 的模式数据并暂时存贮在模式寄存器中。随之, 从存贮区域 38b 读出背景画面 B1—BG4 的各自的字符指定数据并写入 SC—RAM42 中, 再从存贮区 38a 读出各背景画面 BG1—BG4 使用的多个(例如最大 1024 个)点数据并写入 CHR—RAM44。这时的 SC—RAM42 和 CHR—RAM44 的状态将示于图 3, 其原因如前面所述那样。

之后, 与显示器的扫描同步, 从 SC—RAM42 和 CHR—RAM44 读出数据。具体地说, HV 计数器 22 与显示器的电子束的扫描同步, 并产生对应于电子束水平位置的计数值 H_c 和对应于垂直位置的计数值 V_c , 并将它们加给定时信号发生电路 20、SC 地址电路 16 和 CHR 地址电路 18。相应地, 定时信号发生电路 20 在电子束仅移动显示器的一个点部分期间产生第 0 周期—第 7 周期的 8 个周期信号, 并将第 0 周期—第 3 周期信号加给 SC 地址电路 16, 将第 4 周期—第 7 周期信号加给 CHR 地址电路 18。

SC 地址电路 16、用第 0 周期—第 3 周期的各个定时，按各周期的顺序产生把对应于背景画面 BG4、BG3、BG2、BG1 的屏幕基地址 SBA4、SBA3、SBA2 及 SBA1 加上表示对应于此时的计数值 Hc 及 Vc 的显示位置的地址(000H—3FFH 的任一个)的地址，并指定 SC—RAM42 的读出地址。即，SC 地址电路 16，如图 17 所示，它包含：基地址电路 46、V 偏移选择电路 48、V 偏移运算电路 50、基地址运算电路 52、H 偏移选择电路 54、H 偏移运算电路 56 及地址选择电路 58。从 SH 偏移选择电路 54 输出 H 偏移数据，该数据经 H 偏移运算电路 56 与来自 HV 计数器 22 的输出即计数值 HC 相加。另一方面，从 V 偏移选择电路 48 输出 V 偏移数据，它经 V 偏移运算电路 50 与来自 HV 计数器 22 的计数值 Vc(或它的修正过的值)相加。另一方面，由基地址发生电路 46 和基地址运算电路 52 得到的屏幕基地址随同来自 V 偏移运算电路 50 和 H 偏移运算电路 56 的各个输出一起加给地址选择电路 58。地址选择电路 58 对这些输入进行字符大小和隔行(インタレス)或逐行变换，再作为 SC 地址加给 SC—RAM42。随之，由 SC—RAM42 读出字符指定数据(参照图 11)。即，各背景画面 BG1—BG4 的字符指定数据中所含有的字符码(d0—d9)作为指定 CHR—RAM44 的地址的数据加给 CHR 地址电路 18。又，来自 CHR—RAM44 的颗粒(pellet)数据(d10—d12)被加给彩色信号发生电路 34，而将 BG 优先数据(d13)加给优先电路 32。

另一方面，CHR 地址电路 18，根据第 0 周期—第 3 周期依次读出的背景画面 BG4—BG1 的字符指定数据，且与第 4 周期—第 7 周期的定时同步，输出 CHR 地址。即，CHR 地址电路 18，如图 18 所示，它包含：基地址发生电路 60；基地址运算电路 62；字符名选择电路 64；字符地址偏移运算电路 66；字符地址彩色数选择电路 68 和字符地址切换电路 70。从字符名选择电路 64 输出包含字符指定数据的字符名，它将加给字符地址偏移运算电路 66。V 偏移数据加给字符地址偏移运算电路 66，在此与字符名的数据相加。相加结果通过字符地址彩色数选择电路 68 加给字符地址选择电路 70 及基地址运算电路 62。基地址运算电路 62 将字符地址彩色数选择电路 68 的输出与基地址发生电路 60 输出的名基地址 NBA 相加，然后将相加的

结果加给字符地址选择电路 70。因此，字符地址选择电路 70 根据偏移、H 倒转和/或 V 倒转的有无将它们的一个的地址加给 CHR—RAM44。相应的，CHR—RAM44 的字符名(字符码)，如图 3 例中，按名 0、n、1、1023 的顺序被指定的同时，根据定时信号发生电路 20 的计数值 Hc 和 Vc，读出相应的 2 位的点数据。

由第 4 周期—第 7 周期的定时读出的各名 0、n、1 和 1023 的点数据分别以并行形式锁存于从 16 位锁存电路 26 的上方顺次的 4 个锁存电路 26a—26d(图 1)。该数据即对应于各背景画面 BG1—BG4 的某个显示位置的一个字符的水平方向 8 个点部分的彩色数据(用于每个点指定 4 个彩色的 2 位数据)以并行形式加给并行—串行变换电路 28。并行—串行变换电路 28，按照来自定时信号发生电路 20 的写入信号 W 即图 19 所示的来自锁存定时电路 72 的信号，读入位并行数据暂时存贮。然后，并行—串行变换电路 28，与以电子束移动一个点期间的时间的 2 倍的周期所加给它的读出时钟 clock 同步，即按照来自图 19 所示的同步定时电路 74 的信号将位并行数据变换为位串行数据，并加给点数据组合变换电路 30(图 1、图 19)。

点数据组合变换电路 30，按照模式数据把来自并行—串行变换电路 26 输出的 a0 与 a1、b0 与 b1、c0 与 c1、d0 与 d1、e0 与 e1、f0 与 f1 的各对串行数据组合成对应于单元(セル)数的位数。由此。输出按各背景画面 BG4—BG1 区分的彩色数据并加给优先电路 32(图 1、图 20)。优先电路 32 根据模式数据和优先数据将优先顺序位高的背景画面的彩色数据加给彩色发生电路 34(图 1、图 20)。又，设有透明检测电路 82(图 20)，当优先度高的背景画面的彩色数据显示为透明时，其次的优先顺位的背景画面的彩色数据将被输出。从而，彩色发生电路 34 产生由彩色数据与颗粒(パレット)数据组合所决定的彩色图像信号(模拟信号)并加给显示器。即，每个背景画面的点数据作为彩色码加给彩色码合成电路 80，在那里与动画字符的彩色码合成，并加给彩色信号发生电路 34。但是，由于此时优先电路 32 的作用，只有应该优先表示的字符的彩色码通过彩色码选择电路 84 而变得有效。并且，根据来自彩色颗粒(CGRAM)86 的颗粒数据和彩色码，从彩色颗粒选择电路 88 输出信号，并加给



图像信号发生电路 90。因此，从图像信号发生电路 90 可获得彩色图像信号。

通过上述动作在各个背景画面 BG1—BG4 中的反复进行就形成一帧的画面。并且，显示相同背景画面时，可在不改写 SC—RAM42 和 CHR—RAM44 的数据情况下，与显示器扫描同步，在数帧的范围内反复同样的动作。

又，也能在不改变 BG 模式的情况下，使背景画面变化，但这时，微处理器 12 不读出模式数据，只要从存贮区域 38b 和 38a 读出字符指定数据和点数据，把它们写入 SC—RAM42 和 CHR—RAM44 即行。

然而，在以上述 BG 模式 0 显示背景画面的过程中，如成为想代替减少背景画面数而增加彩色数的场面时，则进行下面的操作。即，微处理器 12 在初始时或消隐期间，按照传送程序存贮区域 38d 的程序读出指定 BG 模式 3 的模式数据并暂时存贮在模式寄存器 14。再，微处理器 12 把存贮在存贮区域 38b 中的背景画面 BG1 和 BG2 的字符指定数据写入 SC—RAM42 的对应区域内，并把存贮在存贮区域 38a 中的背景画面 BG1 和作为 BG2 应该显示的点数据写入 CHR—RAM44 的对应区域内。这时，为了使背景画面 BG1 有 8 个单元 m0—m7，且背景画面 BG2 有 4 个单元 m0—m3，故背景画面 BG1 使用的点数据写入名基地址 (NBA) 1 的各单元 m0—m7 中，而背景画面 BG2 使用的点数据写入 NBA2 的各单元 m0—m4 中。

另一方面，SC—RAM42 及 CHR—RAM44 的读出、由于与 BG 模式 0 相比背景画面数少而单元数多，故 SC—RAM42 的指定在第 0 周期和第 1 周期期间进行。又，对应于 CHR—RAM44 的背景画面 BG2 的点数据的读出在第 2 周期和第 3 周期的 2 个周期中执行，而对应于背景画面 BG1 的点数据的读出在第 4 周期—第 7 周期的 4 个周期中执行。其它操作，由于与 BG 模式 0 的情况大体相同，故省略其详细说明。

如本实施例，通过 BG 模式如能切换构成一帧的背景画面的数和各背景画面可使用的单元数 (即彩色数) 和一字符的水平方向一行的点数，则具有能在规定的时间内最大限度地发挥微处理器 12



的画像表现能力的优点。又，因为形成根据需要，能读出预先写入外部存贮装置 36 即 ROM38 中的数据，所以具有即使 RAM40 的存贮容量小，只要改变 BG 模式就能显示多种多样的背景画像，并能有效使用 RAM 等优点。

然而，在上述实施例中，字符指定数据发生器和点数据发生器由 ROM38 和 RAM40 构成，也描述了把 ROM38 的存贮数据传送入 RAM40 的情形，然而如果只要实现微处理器 12 的最大处理能力，则也可以把模式数据、字符指定数据和字符图形数据与各显示画面相关的存入 ROM 中。

又，在上述实施例中，使用了存贮磁盘作为外部存贮装置用。但是，本发明还可利用如 CD-ROM 等外部存贮装置。在使用存贮磁盘时，在安装于该存贮磁盘内的 ROM38 中，存贮有包括先前说明过的字符指定数据、点数据和模式数据等的程序数据，微处理器 12 按照该程序数据对背景画像的显示进行控制。

与此相反，在使用 CD-ROM 的情况下，在 CD-ROM(图未示)中，把如上所述的程序数据等，作为数字数据用数字方式加以记录。又，用于以光学方式读取 CD-ROM 的记录数据的光学读取装置连接于适当的接续器如扩张接续器(图未示)。当使用 CD-ROM 时，虽然也使用存贮磁盘，但此时，在存贮磁盘中还包括：存贮用于控制光学读取装置的动作的起动程序的 ROM(图未示)；和用于暂时存贮从 CD-ROM 中读出的程序数据的缓冲 RAM(图未示)。然而，在开始显示动作之前，微处理器 12 按照 ROM 的起动程序把控制数据加给光学读取装置，使之读出 CD-ROM 的记录数据。从 CD-ROM 读出的字符指定数据部分传送给 SC-RAM42，同样，点数据传送给 CHR-RAM44。而，包含模式数据的其它程序数据传送给存贮装置安装导槽内的缓冲 RAM 中。由光学读取装置读出的 CD-ROM 的数据一旦传送给各个存贮装置中后，微处理器 12 通过把各个存贮进行存取来进行上述操作。

虽然本发明进行了详细说明并加以图示，但这只是作为图解和某个实施例加以运用，很显然它不应该理解为对本发明的限定，而本发明的精神实质和保护范围仅通过所附权利要求书的内容对其

加以限定。

说明书附图

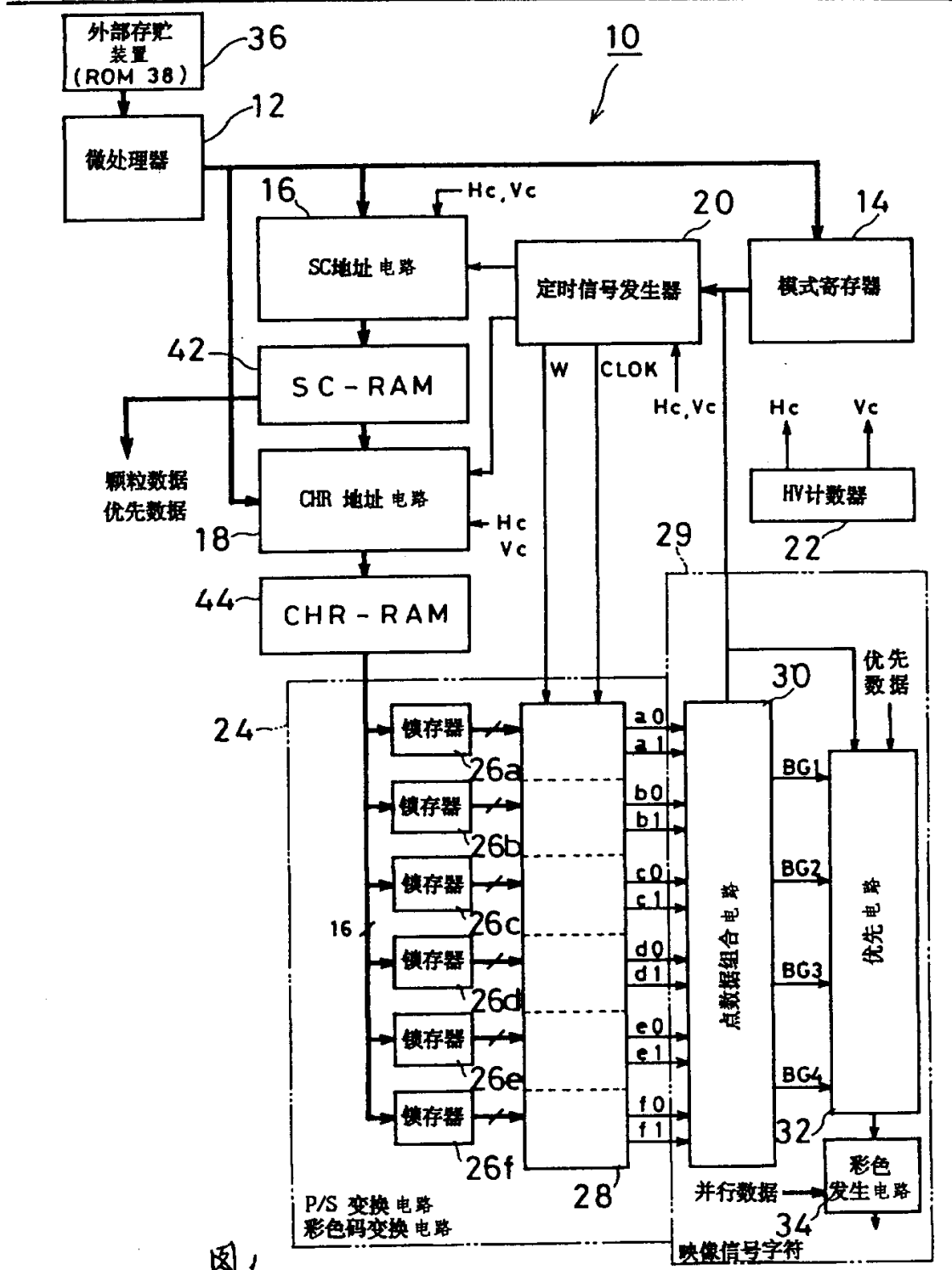


图1

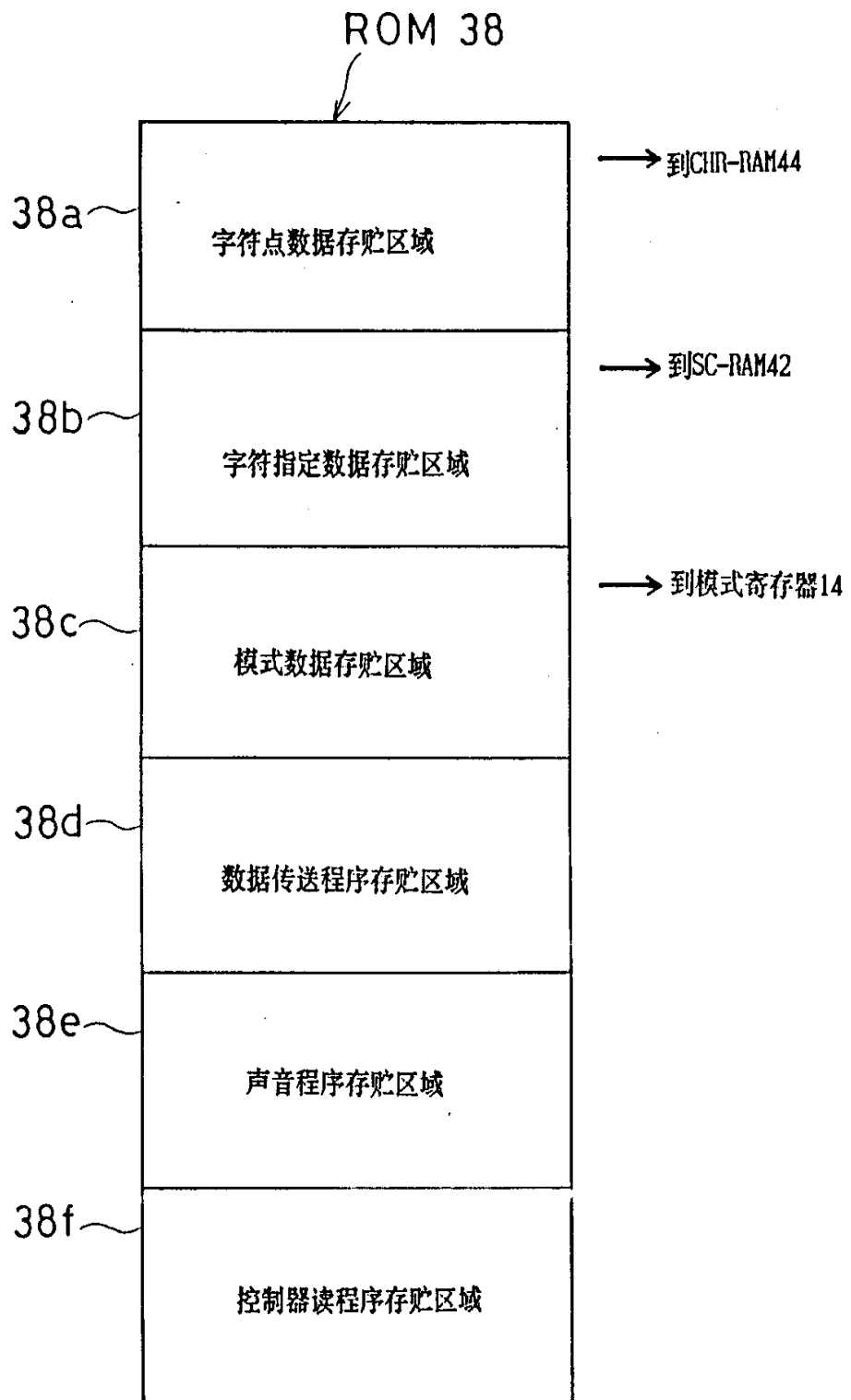


图2

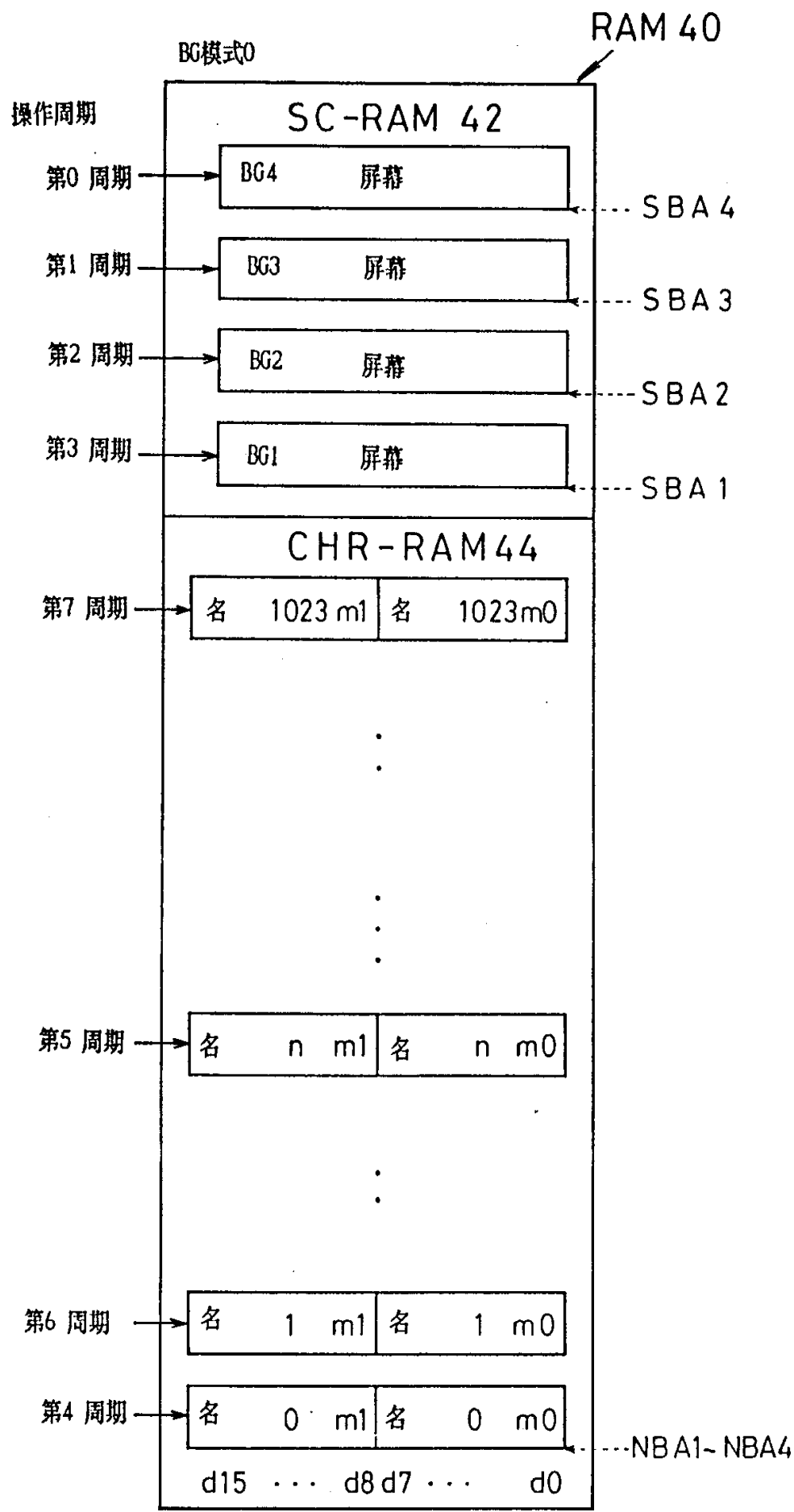
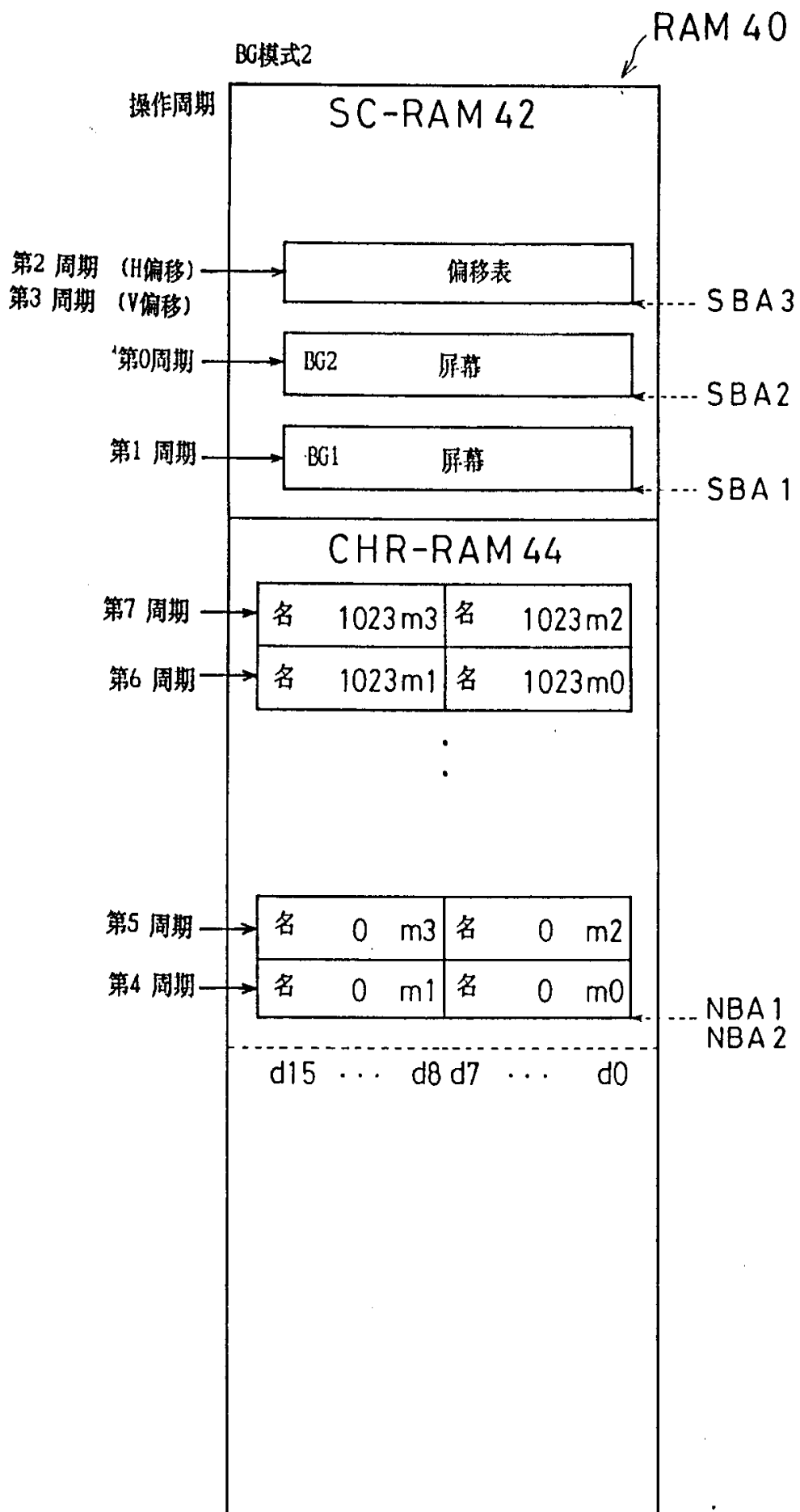


图3 3



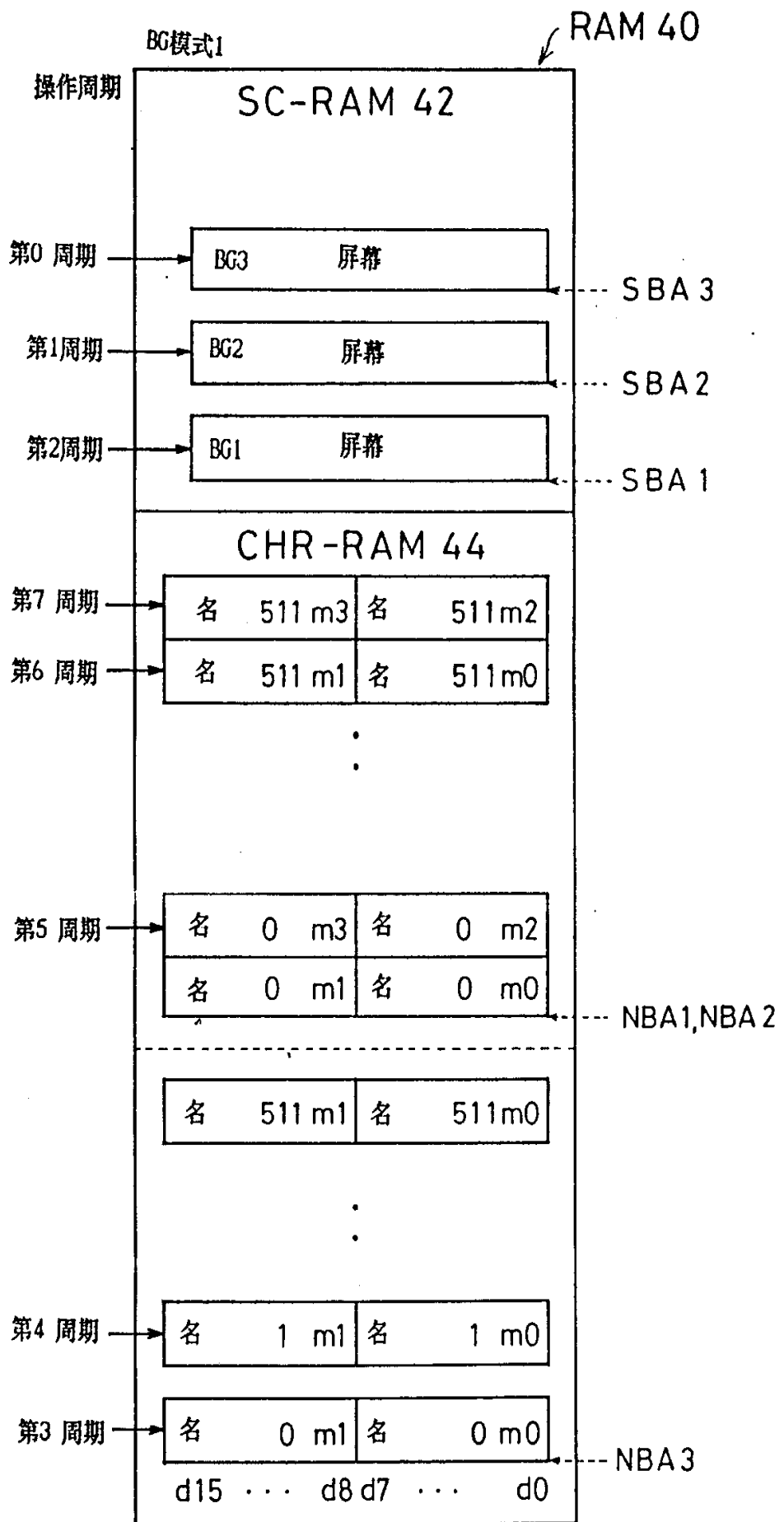
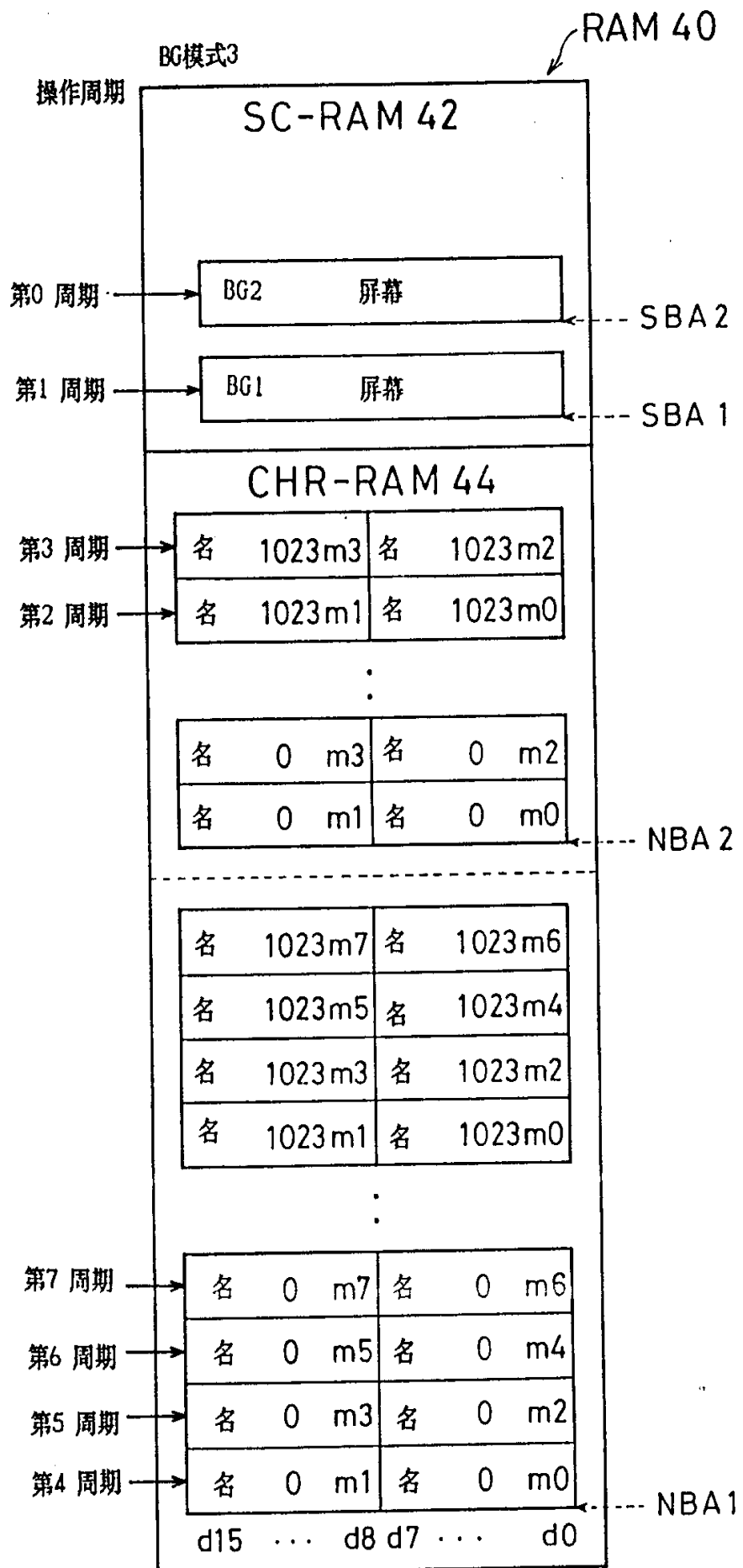
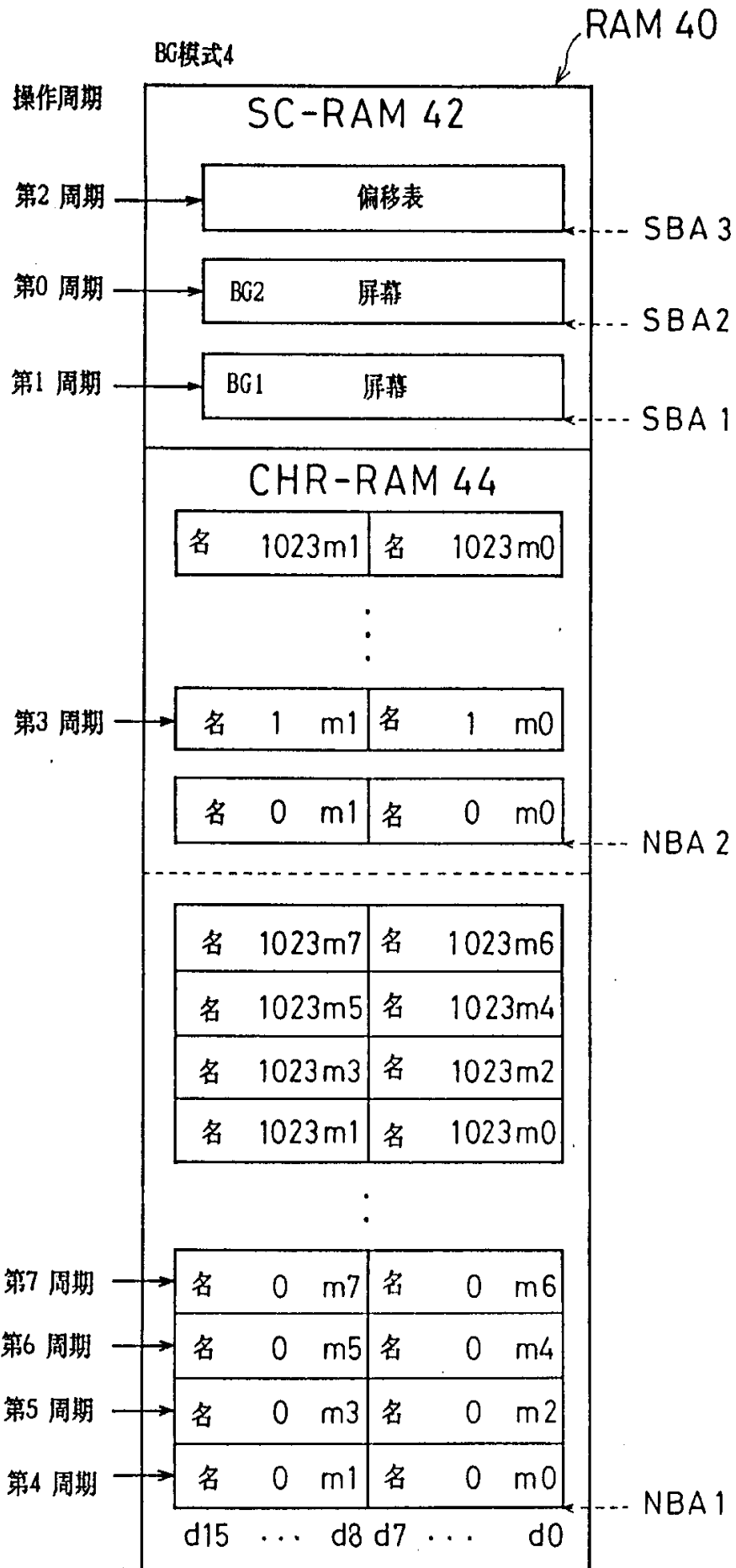


图 4





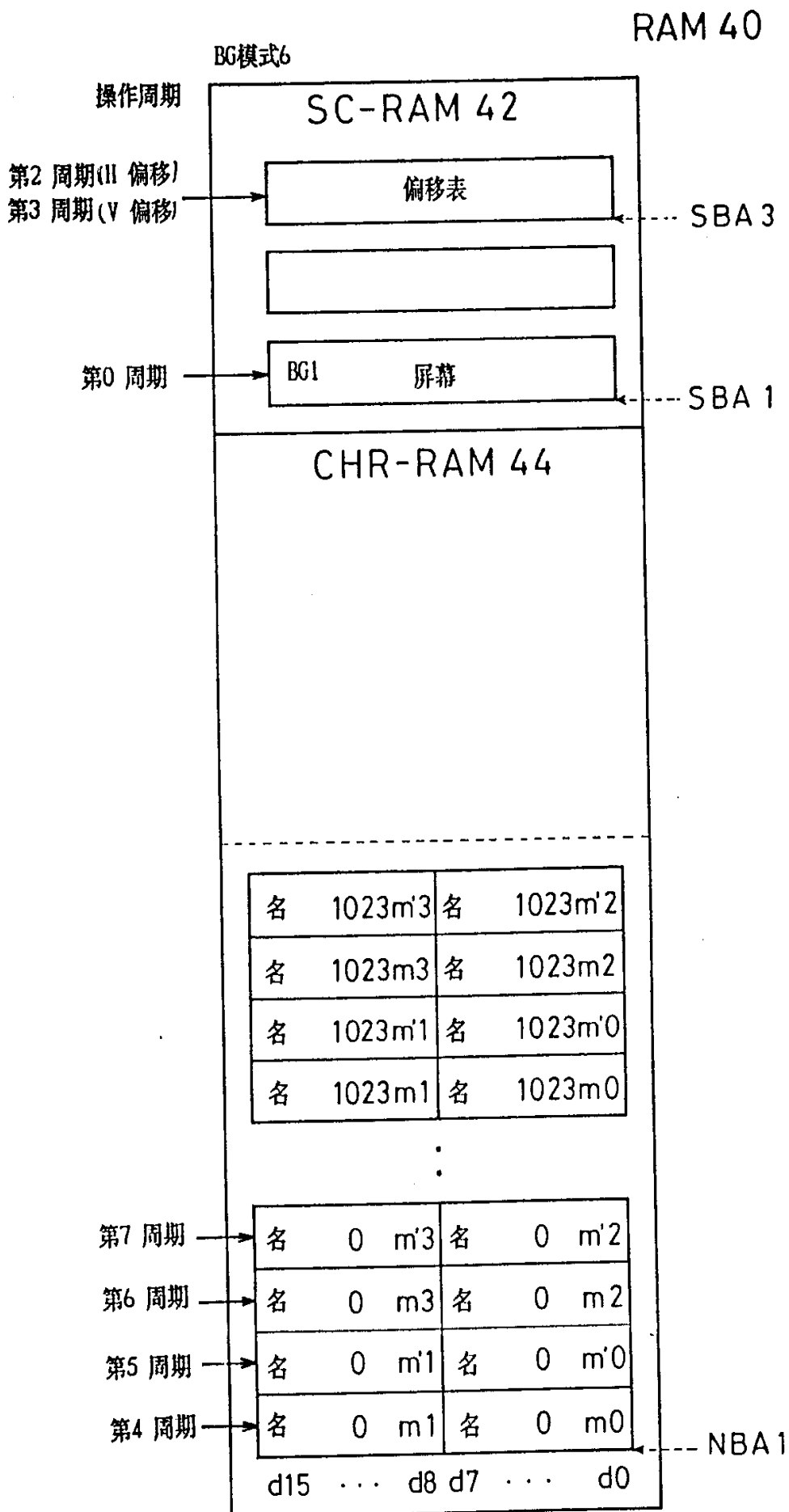


图 9

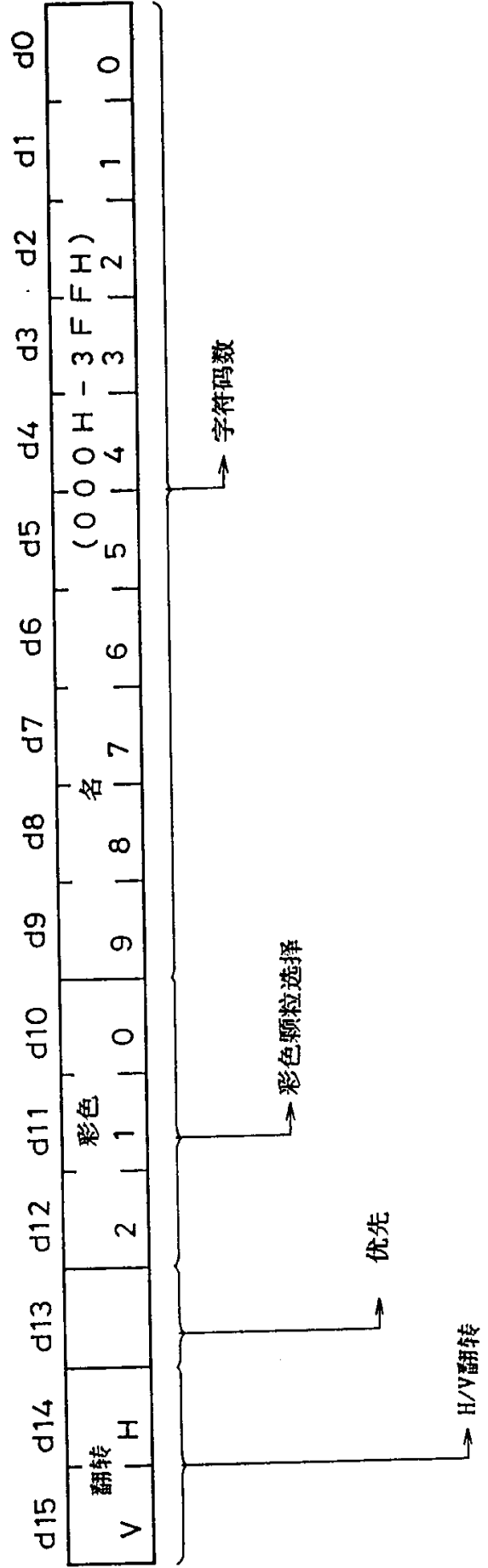
32 个字符

n+000H	n+001H	n+002H	n+003H	...	n+01DH	n+01EH	n+01FH
n+020H	n+021H	n+022H	n+023H	...	n+03DH	n+03EH	n+03FH
n+040H	n+041H	n+042H	...		n+05EH	n+05FH	...
n+060H	n+061H
...							
n+3A0H	n+3A1H				n+3BEH	n+3BFH	
n+3C0H	n+3C1H	n+3C2H			n+3DDH	n+3DEH	n+3DFH
n+3E0H	n+3E1H	n+3E2H	...		n+3FDH	n+3FEH	n+3FFH

32个字符

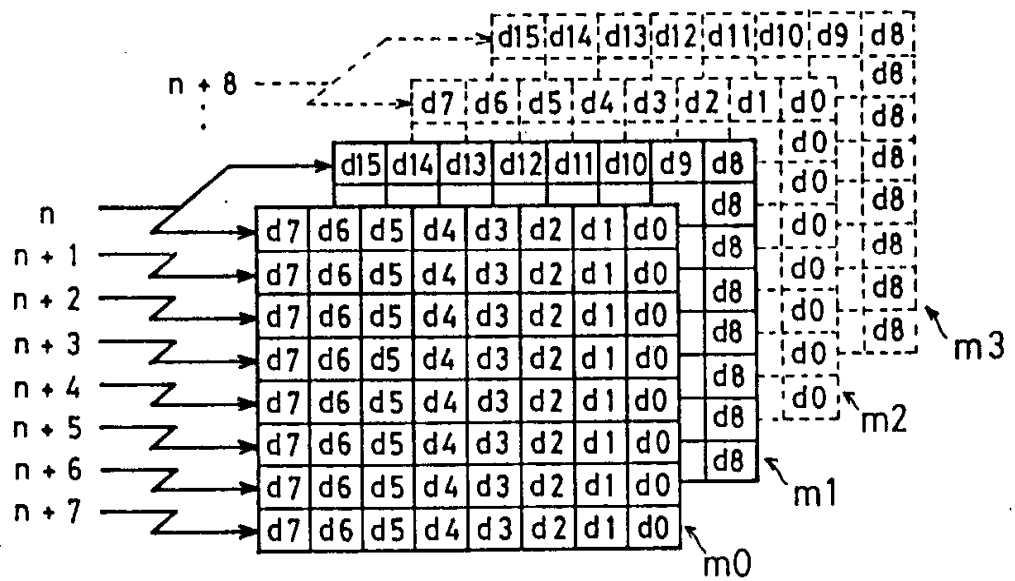
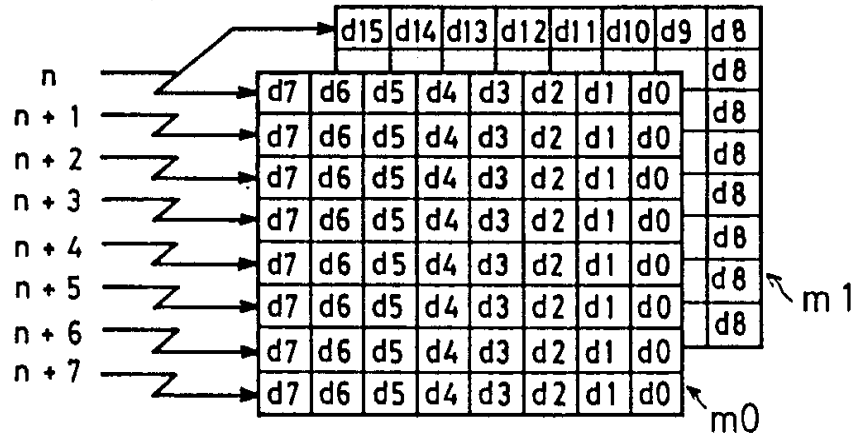
n : SBA

10



—//—

~~1/1~~



数据存储地址

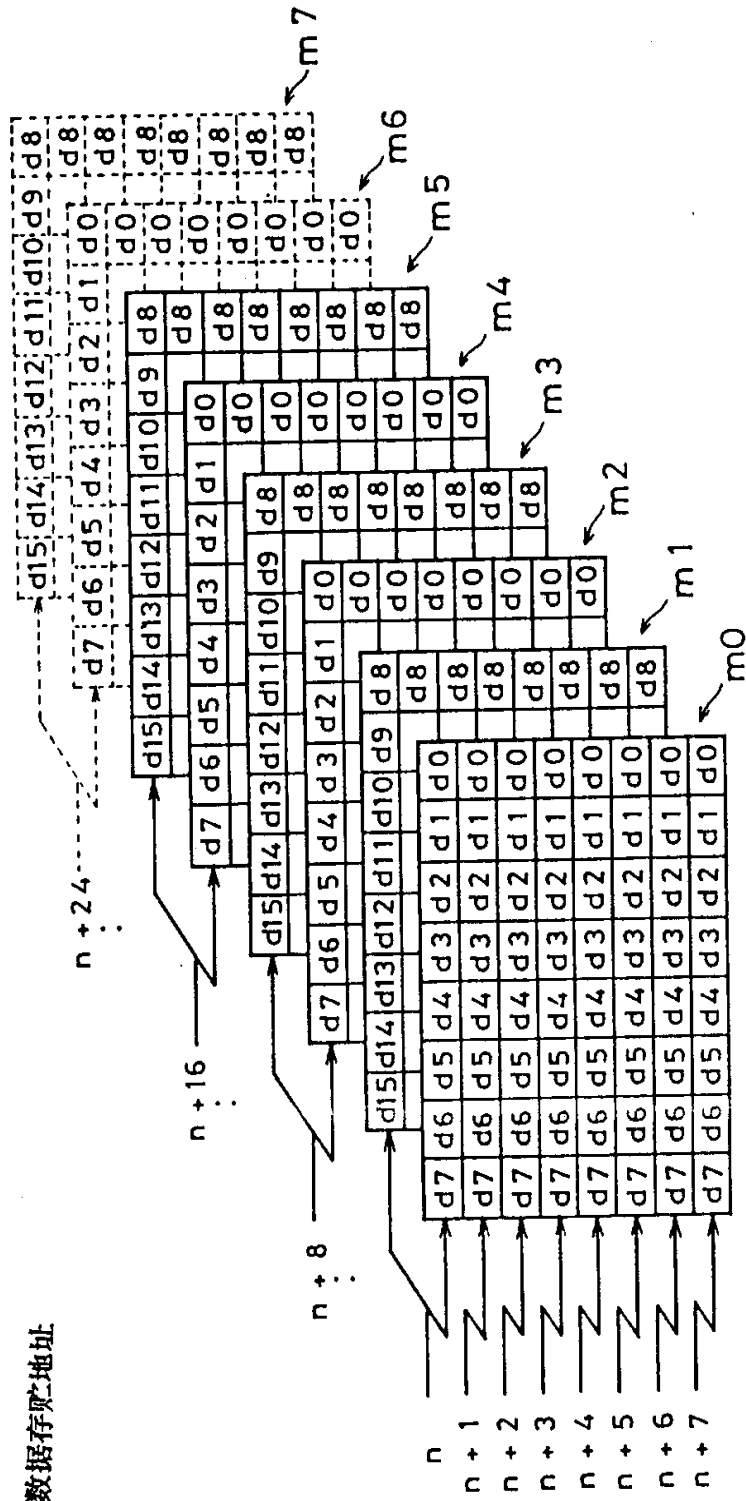


图 14

模式	单元数	彩色数	点数	偏移
0	BG 1 - BG 4 → 2	4	8	
1	BG 1 - BG 2 → 4	16	8	
	BG 3 → 2	4	8	
2	BG 1 - BG 2 → 4	16	8	可变
3	BG 1 → 8	256	8	
	BG 2 → 4	16	8	
4	BG 1 → 8	256	8	可变
	BG 2 → 2	4	8	
5	BG 1 → 4	16	16	
	BG 2 → 2	4	16	
6	BG 1 → 4	16	16	可变

15

H 计数值	0	1	2	3	4	5	6	7	8	-----	263
周期	T0	T1	T2	T3	T4	T5	T6	T7	T0	-----	T7
模式0	BG4 SC	BG3 SC	BG2 SC	BG1 SC	BG4 CHR	BG3 CHR	BG2 CHR	BG1 CHR	BG4 SC	-----	BG1 CHR (d0,d1)
模式1	BG3 SC	BG2 SC	BG1 SC	BG3 CHR	BG2 CHR1	BG2 CHR2	BG1 CHR1	BG1 CHR2	BG3 SC	-----	BG1 CHR2
模式2	BG2 SC	BG1 SC	(BG3) Hoffset	(BG3) Voffset	BG2 CHR1	BG2 CHR2	BG1 CHR1	BG1 CHR2	BG2 SC	-----	BG1 CHR2
模式3	BG2 SC	BG1 SC	BG2 CHR1	BG2 CHR2	BG1 CHR1	BG1 CHR2	BG1 CHR3	BG1 CHR4	BG2 SC	-----	BG1 CHR4
模式4	BG2 SC	BG1 SC	(BG3) Hoffset Voffset	BG2 CHR	BG1 CHR1	BG1 CHR2	BG1 CHR3	BG1 CHR4	BG2 SC	-----	BG1 CHR4
模式5	BG2 SC	BG1 SC	BG2 CHR1	BG2 CHR1'	BG1 CHR1	BG1 CHR1'	BG1 CHR2	BG1 CHR2'	BG2 SC	-----	BG1 CHR2'
模式6	BG1 SC	---	(BG3) Hoffset	(BG3) Voffset	BG1 CHR1	BG1 CHR1'	BG1 CHR2	BG1 CHR2'	BG1 SC	-----	BG1 CHR2'

图16

26

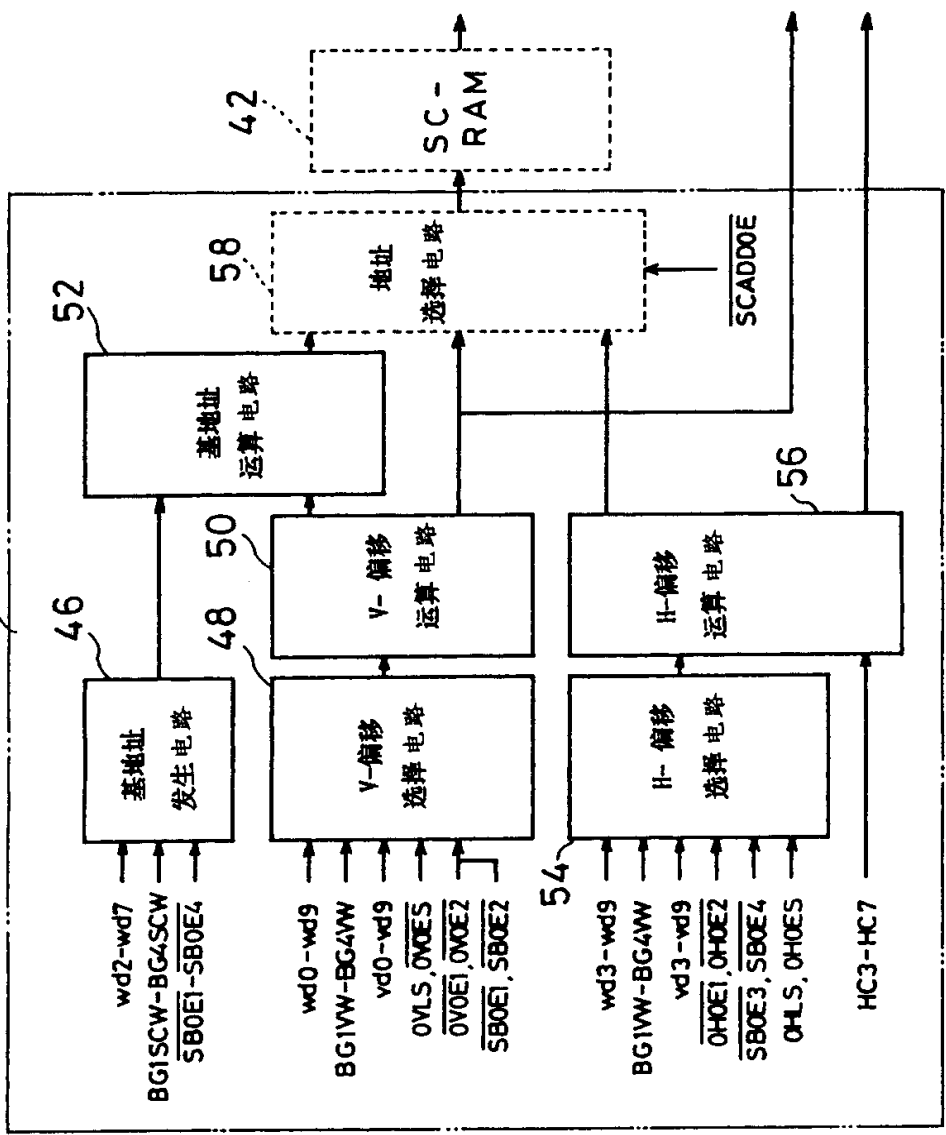


图17

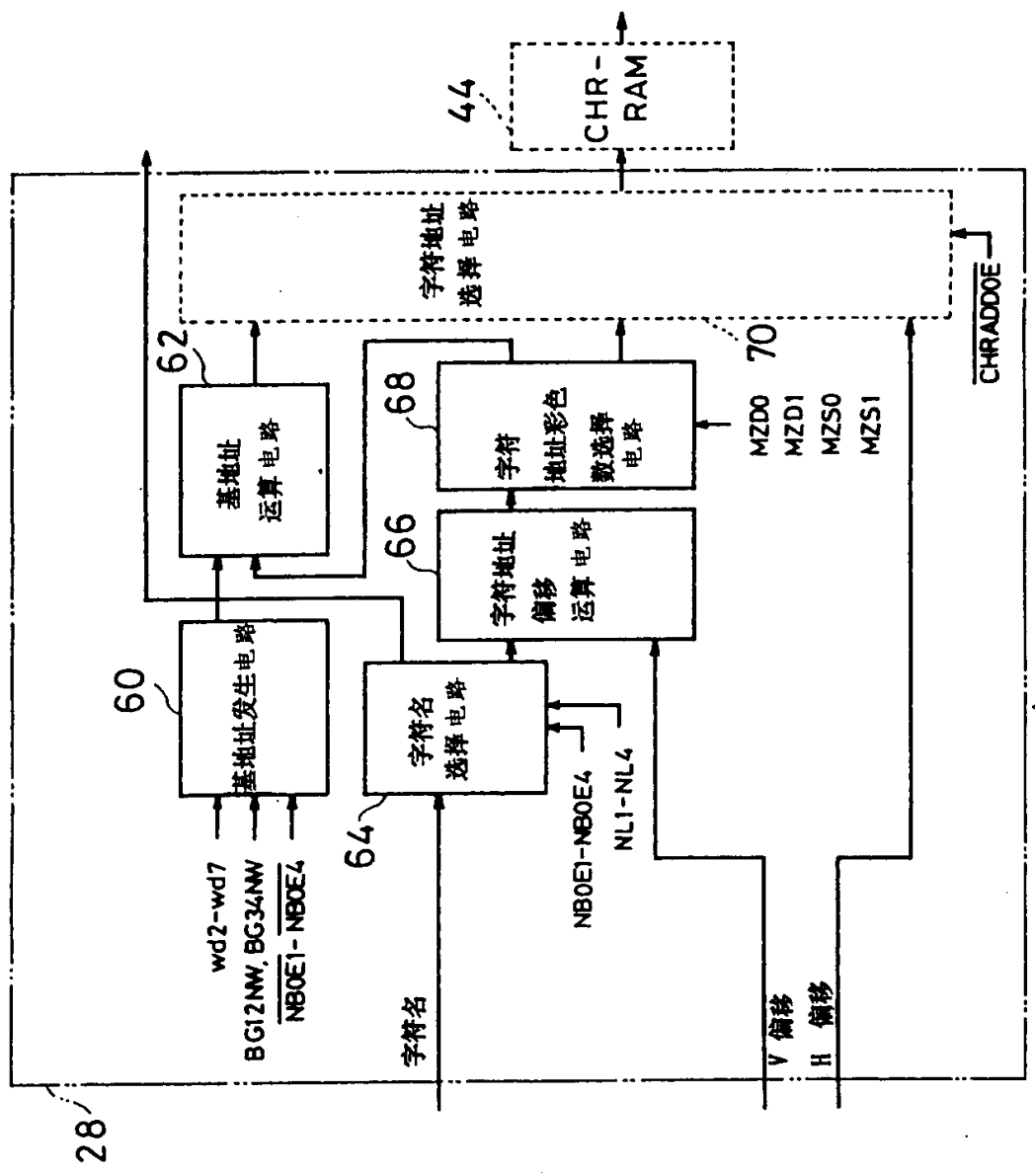
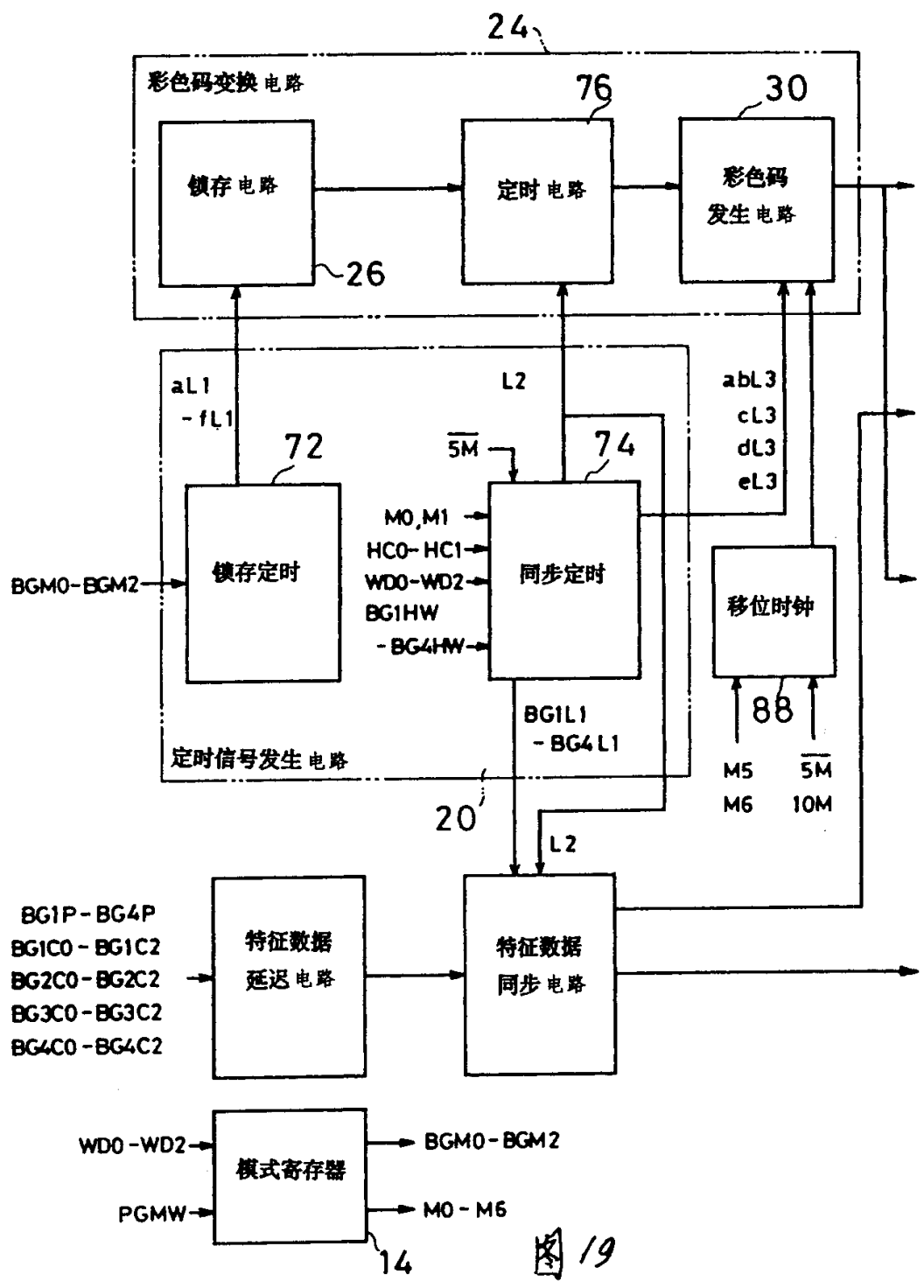


图18



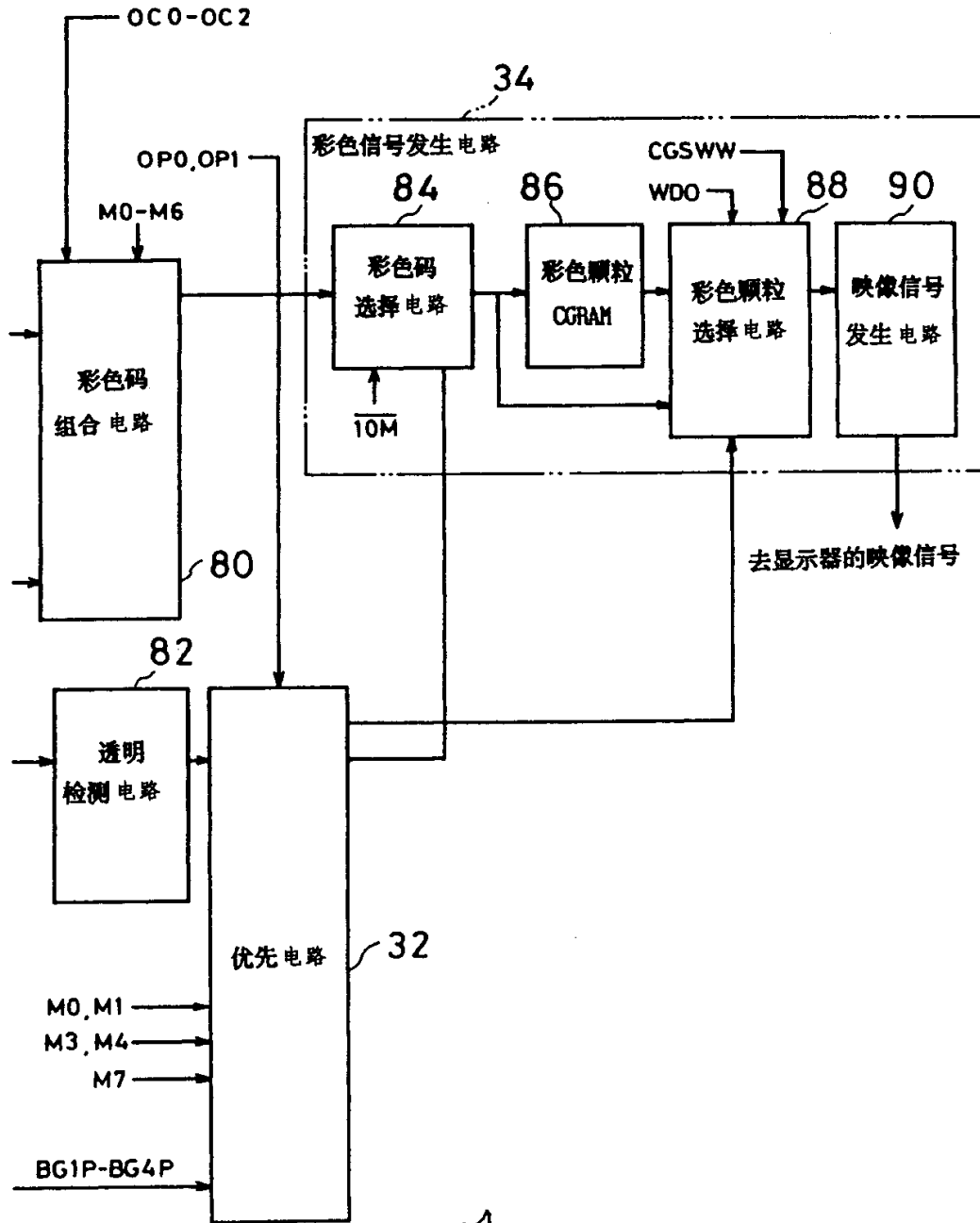


图 20