

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6192394号
(P6192394)

(45) 発行日 平成29年9月6日(2017.9.6)

(24) 登録日 平成29年8月18日(2017.8.18)

(51) Int.Cl.

A63F 7/02 (2006.01)

F 1

A 6 3 F 7/02 3 2 6 Z
A 6 3 F 7/02 3 1 5 Z
A 6 3 F 7/02 3 3 4

請求項の数 1 (全 30 頁)

(21) 出願番号 特願2013-141850 (P2013-141850)
 (22) 出願日 平成25年7月5日 (2013.7.5)
 (65) 公開番号 特開2015-13021 (P2015-13021A)
 (43) 公開日 平成27年1月22日 (2015.1.22)
 審査請求日 平成28年6月27日 (2016.6.27)

(73) 特許権者 391010943
 株式会社藤商事
 大阪府大阪市中央区内本町一丁目1番4号
 (74) 代理人 100100376
 弁理士 野中 誠一
 (74) 代理人 100143199
 弁理士 磯邊 毅
 (72) 発明者 荒川 豪
 大阪府大阪市中央区内本町一丁目1番4号
 株式会社藤商事内
 審査官 酒井 保

最終頁に続く

(54) 【発明の名称】遊技機

(57) 【特許請求の範囲】

【請求項 1】

所定のスイッチ信号に起因して抽選処理を実行し、抽選結果に対応した遊技制御動作を実行する遊技機であって、

前記抽選処理を含んだ遊技制御動作を実行する主制御手段は、制御プログラムや固定データを不揮発的に記憶するROMと、作業データを揮発的に記憶するRAMと、抽選処理用の乱数値を生成する乱数生成手段と、システムクロックを受けて動作するCPUと、が内蔵されたワンチップマイコンを有して構成され、

前記乱数生成手段は、システムクロック又はその他の外部クロックに基づいて更新動作を繰り返して数値を更新する数値更新手段と、前記スイッチ信号がON状態の場合に、数値更新手段の数値を取得可能な乱数取得手段と、を有し、

前記スイッチ信号を受ける信号取得手段のスイッチ信号がON状態の場合に、第1経路を経由して前記乱数取得手段から数値を取得するか、又は第2経路を経由して前記数値更新手段から数値を取得するよう構成され、

前記数値更新手段は、システムクロック又はその他の外部クロックに基づいて生成された更新クロックを受けて、 $0 \sim 2^n - 1$ の数値範囲で数値を更新する第1回路と、システムクロックに基づいて生成された更新クロックを受けて、 $0 \sim 2^n - 1$ の数値範囲内であって、予め設定された最大値MAXを超えない $0 \sim MAX$ の数値範囲で数値を更新する第2回路と、を有して構成され、

前記信号取得手段が受けるスイッチ信号を所定時間毎に繰り返し判定する判定手段と、

前記判定手段がスイッチ信号のON状態を判定することに基づいて、前記抽選処理を実行する抽選手段とを、設け、

前記抽選処理は、第1回路の生成値に基づいて実行される第1処理と、第2回路の生成値に基づいて実行される第2処理とを含んで構成され、第1処理の結果と、第2処理の結果とにに基づいて特別遊技状態の制御動作が実行されるよう構成され、

前記数値更新手段が更新する数値は、第2経路を経由して、CPUから任意にアクセスすることで取得可能に構成されている遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、遊技動作に起因する抽選処理によって大当たり状態を発生させる遊技機に関する、特に、CPUの遊技制御負担を軽減化して、所望のセキュリティ動作を実現できる遊技機に関する。

【背景技術】

【0002】

パチンコ機などの弾球遊技機は、遊技盤に設けた図柄始動口と、複数の表示図柄による一連の図柄変動様を表示する図柄表示部と、開閉板が開閉される大入賞口などを備えて構成されている。そして、図柄始動口に設けられた検出スイッチが遊技球の通過を検出すると入賞状態となり、遊技球が賞球として払出された後、図柄表示部では表示時間変動される。その後、7-7-7などの所定の態様で図柄が停止すると大当たり状態となり、大入賞口が繰返し開放されて、遊技者に有利な遊技状態を発生させている。

20

【0003】

このような遊技状態を発生させるか否かは、図柄始動口に遊技球が入賞したことを条件に実行される大当たり抽選で決定されており、上記の図柄変動動作は、この抽選結果を踏まえたものとなっている。

【0004】

この大当たり抽選処理では、遊技球の入賞を示すスイッチ信号の変化に対応して取得される乱数値RNDを、所定の抽選値Hitと対比して当否判定をしている。なお、乱数値RNDを、単一の数値Hitと対比して当否を決定する場合に限らず、複数の抽選値Hit₁・・・Hit_nを有する場合や、上限判定値Hit_Hと下限判定値Hit_Lとで当選範囲を規定する場合もある。例えば、乱数値RNDが、下限判定値Hit_L以上であって、上限判定値Hit_H未満である場合には(Hit_L ≤ RND < Hit_H)、当選状態であると判定している。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2010-207288号公報

【特許文献2】特開2012-075706号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0006】

ところが、この種の遊技機では、当否判定に使用する抽選値が、制御プログラムと共にROMに記憶されているので、遊技機を取得すれば容易に把握できるとい問題がある。そこで、従来から各種の違法対策が提案されているが(例えば、特許文献1、特許文献2)、セキュリティレベルを極端に上げると、違法対策としては有効でも、セキュリティ処理のために本来の遊技動作に支障を与えることになる。

【0007】

すなわち、大当たり抽選処理などの主要な制御動作は、8ビットCPUで実行すべきことが義務付けられ、しかも、この制御動作のためのメモリ空間も限られているので、無闇にセキュリティ処理を強化すると、本来の遊技動作に支障が生じるので、複雑高度な遊技制

50

御を実現できることになる。

【0008】

また、抽選処理で使用される乱数値は、セキュリティ上の観点から、高速に更新されるのが望ましい。

【0009】

本発明は、上記の問題点に鑑みてなされたものであって、抽選処理で使用される乱数値を高速に更新でき、しかも、複雑高度な遊技制御を支障なく実現できる遊技機を提供することを目的とする。

【課題を解決するための手段】

【0010】

上記の目的を達成するため、本発明は、所定のスイッチ信号に起因して抽選処理を実行し、抽選結果に対応した遊技制御動作を実行する遊技機であって、前記抽選処理を含んだ遊技制御動作を実行する主制御手段は、制御プログラムや固定データを不揮発的に記憶するROMと、作業データを揮発的に記憶するRAMと、抽選処理用の乱数値を生成する乱数生成手段と、システムクロックを受けて動作するCPUと、が内蔵されたワンチップマイコンを有して構成され、前記乱数生成手段は、システムクロック又はその他の外部クロックに基づいて更新動作を繰り返して数値を更新する数値更新手段と、前記スイッチ信号がON状態の場合に、数値更新手段の数値を取得可能な乱数取得手段と、を有し、前記スイッチ信号を受ける信号取得手段のスイッチ信号がON状態の場合に、第1経路を経由して前記乱数取得手段から数値を取得するか、又は第2経路を経由して前記数値更新手段から数値を取得するよう構成され、前記数値更新手段は、システムクロック又はその他の外部クロックに基づいて生成された更新クロックを受けて、 $0 \sim 2^n - 1$ の数値範囲で数値を更新する第1回路と、システムクロックに基づいて生成された更新クロックを受けて、 $0 \sim 2^n - 1$ の数値範囲内であって、予め設定された最大値MAXを超えない $0 \sim MAX$ の数値範囲で数値を更新する第2回路と、を有して構成され、前記信号取得手段が受けるスイッチ信号を所定時間毎に繰り返し判定する判定手段と、前記判定手段がスイッチ信号のON状態を判定することに基づいて、前記抽選処理を実行する抽選手段とを、設け、前記抽選処理は、第1回路の生成値に基づいて実行される第1処理と、第2回路の生成値に基づいて実行される第2処理とを含んで構成され、第1処理の結果と、第2処理の結果とに基づいて特別遊技状態の制御動作が実行されるよう構成され、前記数値更新手段が更新する数値は、第2経路を経由して、CPUから任意にアクセスすることで取得可能に構成されている。

【0011】

本発明のワンチップマイコンは、コンピュータ機能を発揮する単一の電子素子を意味し、それ以上の限定的な意味を持つものではない。何れにしても、本発明では、ワンチップマイコンに内蔵された乱数生成手段が抽選処理用の乱数値を生成するので、抽選処理で使用される乱数値を、高速に更新することができる。

【発明の効果】

【0013】

上記した通り、本発明によれば、抽選処理で使用される乱数値を高速に更新でき、しかも、複雑高度な遊技制御を支障なく実現できる。

【図面の簡単な説明】

【0014】

【図1】実施例に示すパチンコ機の斜視図である。

【図2】図1のパチンコ機の遊技盤を図示した正面図である。

【図3】図1のパチンコ機の全体構成を示すブロック図である。

【図4】ワンチップマイコンの内部回路を示す回路図である。

【図5】乱数生成回路の回路構成を示すブロック図である。

【図6】乱数生成回路の動作内容を示すタイムチャートその他である。

【図7】CPUの動作内容を示すタイムチャートである。

10

20

30

40

50

【図8】CPUの動作内容を示す別のタイムチャートである。

【図9】主制御部のメイン処理を説明するフローチャートである。

【図10】主制御部のタイマ割込み処理を説明するフローチャートである。

【図11】別の実施例を説明する図面である。

【発明を実施するための形態】

【0015】

以下、本発明の実施例について詳細に説明する。図1は、本実施例のパチンコ機GMを示す斜視図である。このパチンコ機GMは、島構造体に着脱可能に装着される矩形枠状の木製外枠1と、外枠1に固着されたヒンジ2を介して開閉可能に枢着される前枠3とで構成されている。この前枠3には、遊技盤5が、裏側からではなく表側から着脱自在に装着され、その前側には、ガラス扉6と前面板7とが夫々開閉自在に枢着されている。10

【0016】

ガラス扉6の外周には、LEDランプなどによる電飾ランプが、略C字状に配置されている。前面板7には発射用の遊技球を貯留する上皿8が装着され、前枠3の下部には、上皿8から溢れ出し又は抜き取った遊技球を貯留する下皿9と、発射ハンドル10とが設けられている。発射ハンドル10は発射モータと連動しており、発射ハンドル10の回動角度に応じて動作する打撃柾によって遊技球が発射される。

【0017】

上皿8の外周面には、チャンスボタン11が設けられている。このチャンスボタン11は、遊技者の左手で操作できる位置に設けられており、遊技者は、発射ハンドル10から右手を離すことなくチャンスボタン11を操作できる。このチャンスボタン11は、通常時には機能していないが、ゲーム状態がボタンチャンス状態となると内蔵ランプが点灯されて操作可能となる。なお、ボタンチャンス状態は、必要に応じて設けられるゲーム状態である。20

【0018】

上皿8の右部には、カード式球貸し機に対する球貸し操作用の操作パネル12が設けられ、カード残額を3桁の数字で表示する度数表示部と、所定金額分の遊技球の球貸しを指示する球貸しスイッチと、ゲーム終了時にカードの返却を指令する返却スイッチとが設けられている。

【0019】

図2に示すように、遊技盤5には、金属製の外レールと内レールとからなるガイドレール13が環状に設けられ、その内側の遊技領域5aの略中央には、液晶カラーディスプレイDIPSが配置されている。また、遊技領域5aの適所には、図柄始動口15、大入賞口16、複数個の普通入賞口17（大入賞口16の左右に4つ）、通過口であるゲート18が配設されている。これらの入賞口15～18は、それぞれ内部に検出スイッチを有しており、遊技球の通過を検出できるようになっている。30

【0020】

液晶ディスプレイDIPSは、大当たり状態に係わる特定図柄を変動表示すると共に背景画像や各種のキャラクタなどをアニメーション的に表示する装置である。この液晶ディスプレイDIPSは、中央部に特別図柄表示部Da～Dcと右上部に普通図柄表示部19を有している。そして、特別図柄表示部Da～Dcでは、大当たり状態の招来を期待させるリーチ演出が実行されたり、特別図柄表示部Da～Dc及びその周りでは、当否結果を不確定に報知する予告演出などが実行される。40

【0021】

普通図柄表示部19は普通図柄を表示するものであり、ゲート18を通過した遊技球が検出されると、普通図柄が所定時間だけ変動し、遊技球のゲート18の通過時点において抽出された抽選用乱数値により決定される停止図柄を表示して停止するようになっている。

【0022】

図柄始動口15は、左右1対の開閉爪15aを備えた電動式チューリップで開閉される50

よう例えは構成され、普通図柄表示部 19 の変動後の停止図柄が当り図柄を表示した場合には、開閉爪 15 a が所定時間だけ、若しくは、所定個数の遊技球を検出するまで開放されるようになっている。

【 0 0 2 3 】

図柄始動口 15 に遊技球が入賞すると、特別図柄表示部 D a ~ D c の表示図柄が所定時間だけ変動し、図柄始動口 15 への遊技球の入賞タイミングに応じた抽選結果に基づいて決定される停止図柄で停止する。なお、特別図柄表示部 D a ~ D c 及びその周りでは、一連の図柄演出の間に、予告演出が実行される場合がある。

【 0 0 2 4 】

大入賞口 16 は、例えば前方に開放可能な開閉板 16 a で開閉制御されるが、特別図柄表示部 D a ~ D c の図柄変動後の停止図柄が「777」などの大当たり図柄のとき、「大当たりゲーム」と称する特別遊技が開始され、開閉板 16 a が開放されるようになっている。なお、特別遊技のラウンド数として、8 ラウンド、16 ラウンドなど各種の遊技態様が設けられている。ここで、規定ラウンド数が多いほど遊技者に有利である。

10

【 0 0 2 5 】

大入賞口 16 の開閉板 16 a が開放された後、所定時間が経過し、又は所定数（例えば 10 個）の遊技球が入賞すると開閉板 16 a が閉じる。このような動作は、最大で上記した規定ラウンド数の特別遊技が継続され、遊技者に有利な状態に制御される。なお、特別図柄表示部 D a ~ D c の変動後の停止図柄が特別図柄のうちの特定図柄であった場合には、特別遊技の終了後のゲームが高確率状態（以下、確変状態という）となるという特典が付与される。

20

【 0 0 2 6 】

図 3 は、上記した各動作を実現するパチンコ機 GM の全体回路構成を示すブロック図である。図中の一点破線は、主に、直流電圧ラインを示している。

【 0 0 2 7 】

図示の通り、このパチンコ機 GM は、AC 24 V を受けて各種の直流電圧やシステムリセット信号（電源リセット信号）SYSなどを出力する電源基板 20 と、遊技制御動作を中心統括的に担う主制御基板 21 と、主制御基板 21 から受けた制御コマンド CMD に基づいてランプ演出及び音声演出を実行する演出制御基板 22 と、演出制御基板 22 から受けた制御コマンド CMD' に基づいて液晶ディスプレイ LIDSP を駆動する液晶制御基板 23 と、主制御基板 21 から受けた制御コマンド CMD" に基づいて払出モータ M を制御して遊技球を払い出す払出制御基板 24 と、遊技者の操作に応答して遊技球を発射させる発射制御基板 25 と、を中心構成されている。

30

【 0 0 2 8 】

但し、この実施例では、主制御基板 21 が output する制御コマンド CMD は、コマンド中継基板 26 と演出インタフェイス基板 27 を経由して、演出制御基板 22 に伝送される。また、演出制御基板 22 が output する制御コマンド CMD' は、演出インタフェイス基板 27 を経由して、液晶制御基板 23 に伝送され、主制御基板 21 が output する制御コマンド CMD" は、主基板中継基板 28 を経由して、払出制御基板 24 に伝送される。

40

【 0 0 2 9 】

これら主制御基板 21 、演出制御基板 22 、液晶制御基板 23 、及び払出制御基板 24 には、ワンチップマイコンを備えるコンピュータ回路がそれぞれ搭載されている。そこで、これらの制御基板 21 ~ 24 に搭載された回路、及びその回路によって実現される動作を機能的に総称して、本明細書では、主制御部 21 、演出制御部 22 、液晶制御部 23 、及び払出制御部 24 と言うことがある。なお、演出制御部 22 、液晶制御部 23 、及び払出制御部 24 の全部又は一部がサブ制御部である。

【 0 0 3 0 】

ところで、このパチンコ機 GM は、図 3 の破線で囲む枠側部材 GM 1 と、遊技盤 5 の背面に固定された盤側部材 GM 2 とに大別されている。枠側部材 GM 1 には、ガラス扉 6 や前面板 7 が枢着された前枠 3 と、その外側の木製外枠 1 とが含まれており、機種の変更に

50

拘わらず、長期間にわたって遊技ホールに固定的に設置される。一方、盤側部材 G M 2 は、機種変更に対応して交換され、新たに盤側部材 G M 2 が、元の盤側部材の代わりに枠側部材 G M 1 に取り付けられる。なお、枠側部材 1 を除く全てが、盤側部材 G M 2 である。

【 0 0 3 1 】

図 3 の破線枠に示す通り、枠側部材 G M 1 には、電源基板 2 0 と、払出制御基板 2 4 と、発射制御基板 2 5 と、枠中継基板 3 2 とが含まれておらず、これらの回路基板が、前枠 3 の適所に各々固定されている。一方、遊技盤 5 の背面には、主制御基板 2 1、演出制御基板 2 2、液晶制御基板 2 3 が、液晶ディスプレイ D I S P やその他の回路基板と共に固定されている。そして、枠側部材 G M 1 と盤側部材 G M 2 とは、一箇所に集中配置された接続コネクタ C 1 ~ C 4 によって電気的に接続されている。

10

【 0 0 3 2 】

電源基板 2 0 は、接続コネクタ C 2 を通して、主基板中継基板 2 8 に接続され、接続コネクタ C 3 を通して、電源中継基板 3 0 に接続されている。そして、主基板中継基板 2 8 は、電源基板 2 0 から受けたシステムリセット信号 S Y S、R A M クリア信号 D E L、電圧降下信号、バックアップ電源 B A K、D C 1 2 V、D C 3 2 V を、そのまま主制御部 2 1 に出力している。同様に、電源中継基板 3 0 も、電源基板 2 0 から受けたシステムリセット信号 S Y S や、交流及び直流の電源電圧を、そのまま演出インターフェイス基板 2 7 に出力している。なお、演出インターフェイス基板 2 7 は、受けたシステムリセット信号 S Y S を、そのまま演出制御部 2 2 と液晶制御部 2 3 に出力している。

【 0 0 3 3 】

一方、払出制御基板 2 4 は、中継基板を介することなく、電源基板 2 0 に直結されており、主制御部 2 1 が受けたと同様の、システムリセット信号 S Y S、R A M クリア信号 D E L、電圧降下信号、バックアップ電源 B A K を、他の電源電圧と共に直接的に受けている。

20

【 0 0 3 4 】

ここで、電源基板 2 0 が送出するシステムリセット信号 S Y S は、電源基板 2 0 に交流電源 2 4 V が投入されたことを示す電源リセット信号であり、この電源リセット信号によって各制御部 2 1 ~ 2 4 のワンチップマイコンその他の I C 素子が電源リセットされるようになっている。

【 0 0 3 5 】

主制御部 2 1 及び払出制御部 2 4 が、電源基板 2 0 から受けた R A M クリア信号 D E L は、各制御部 2 1, 2 4 のワンチップマイコンの内蔵 R A M の全領域を初期設定するか否かを決定する信号であって、係員が操作する初期化スイッチ S W T の O N / O F F 状態に対応した値を有している。

30

【 0 0 3 6 】

主制御部 2 1 及び払出制御部 2 4 が、電源基板 2 0 から受ける電圧降下信号は、交流電源 2 4 V が降下し始めたことを示す信号であり、この電圧降下信号を受けることによって、各制御部 2 1、2 4 では、停電や営業終了に先立って、必要な終了処理を開始するようになっている。また、バックアップ電源 B A K は、営業終了や停電により交流電源 2 4 V が遮断された後も、主制御部 2 1 と払出制御部 2 4 のワンチップマイコンの内蔵 R A M のデータを保持する D C 5 V の直流電源である。したがって、主制御部 2 1 と払出制御部 2 5 は、電源遮断前の遊技動作を電源投入後に再開できることになる（電源バックアップ機能）。このパチンコ機では少なくとも数日は、各ワンチップマイコンの R A M の記憶内容が保持されるよう設計されている。

40

【 0 0 3 7 】

一方、演出制御部 2 2 と液晶制御部 2 3 には、上記した電源バックアップ機能が設けられていない。しかし、先に説明した通り、演出制御部 2 2 と液晶制御部 2 3 には、電源中継基板 3 0 と演出インターフェイス基板 2 7 を経由して、システムリセット信号 S Y S が共通して供給されており、他の制御部 2 1, 2 4 と、ほぼ同期したタイミングで電源リセット動作が実現される。

50

【0038】

図示の通り、主制御部21は、主基板中継基板28を経由して、拡出制御部25に制御コマンドCMD”を送信する一方、拡出制御部25からは、遊技球の拡出動作を示す賞球計数信号や、拡出動作の異常に係わるステータス信号CONを受信している。ステータス信号CONには、例えば、補給切れ信号、拡出不足エラー信号、下皿満杯信号が含まれる。

【0039】

また、主制御部21は、直接的に、或いは、遊技盤中継基板29を経由して、遊技盤5の各遊技部品に接続されている。そして、遊技盤上の各入賞口16～18に内蔵された検出スイッチのスイッチ信号を受ける一方、電動式チューリップなどのソレノイド類を駆動している。図示の通り、入賞スイッチ信号SGは、直接、主制御部21に伝送され、その他のスイッチ信号は、遊技盤中継基板29を経由して、主制御部21に伝送されている。

【0040】

図4は、主制御部21のワンチップマイコン21Aの内部構成の一部を図示したものである。ここでは、図柄始動口15の検出スイッチSWから入賞スイッチ信号SGを受ける部分も含めて図示している。図示の通り、ワンチップマイコン21Aは、Z80CPU(Zilog社)相当のCPUコア(以下CPUという)と、Z80CTC(counter timer circuit)相当のカウンタ・タイマ回路CTCと、ROM及びRAMのメモリ回路と、ウォッチャドッグタイマWDTと、乱数生成回路GNRと、入力ポートINPとを内蔵して構成されている。

【0041】

図4に示す通り、検出スイッチSWからの入賞スイッチ信号SGは、バッファ回路BUFを経由して、ワンチップマイコン21Aの乱数生成回路GNRに供給されている。また、入力ポートINPには、大入賞口16や普通入賞口17やゲート18などの検出スイッチからのスイッチ信号が供給されている。

【0042】

ところで、バッファ回路BUFは、オープンコレクタ型の出力部を有し、入力側が12Vにプルアップされ、出力側が5Vにプルアップされている。そして、遊技球が図柄始動口15を通過して検出スイッチSWが入賞状態(ON状態)となると、バッファ回路BUFは、正論理のON信号として、入賞スイッチ信号SGを出力する。

【0043】

ここで、入賞スイッチ信号SGのパルス幅(遊技球の通過時間T)は、遊技球の通過速度と、遊技球を検知する検出スイッチSWの検出範囲とで規定される。例えば、検出スイッチSWによる遊技球の検出範囲がhである場合に、初速度0の遊技球がt=0から自然落下すると仮定すると、t=Tのタイミングの落下速度Vが、 $V = gT$ となり(g:重力加速度)、 $1/2mV^2 = mg h$ の関係から、パルス幅T = $SQR(2h/g)$ となり、仮にh = 3mmであればパルス幅はT = 24.7mS、h = 5mmであればT = 31.9mSとなる。

【0044】

図4及び図5(a)に示す通り、乱数生成回路GNRは、入賞スイッチ信号SGなどのスイッチ信号を受けてラッチパルスLTを出力するラッチ制御回路30と、システムクロックCLK及び外部クロックXCLKを2分周する分周回路31と、2分周された2種類のクロック信号の何れか一方を更新クロックとして選択する選択回路32と、更新クロックに基づいて動作するN個の数列生成部33からなる数列生成群33Gと、ラッチ制御回路30から受けるラッチパルスLTに基づいて数列生成部33の生成値を取得する複数のラッチ回路34からなるラッチ群34Gと、各部の動作を規定する制御パラメータや各部の動作状態を示す動作ステータスを保持する制御レジスタ群35Gと、数列生成部33の動作異常を検出する異常検出回路36と、を含んで構成されている。

【0045】

なお、図4には図5には記載していないが、乱数生成回路GNRの各部の動作は、ワン

10

20

30

40

50

チップマイコン 21A の C P U コアとは別の専用プロセッサによって制御されている。但し、本明細書で C P U と称する場合には、ワンチップマイコン 21A の C P U コアを意味し、専用プロセッサを意味しない。

【 0 0 4 6 】

ラッチ制御回路 30 は、複数 M 個のスイッチ信号が供給可能に構成され、M 種類のラッチパルス L T が独立的に出力可能に構成されている。そして、このラッチ制御回路 30 の構成に対応して、ラッチ群 34G を構成するラッチ回路 34 の個数は、数列生成部 33 の個数の M 倍である $N \times M$ 個である。また、この $N \times M$ 個のラッチ回路 34 に対応して、ラッチ回路 34 からラッチデータを受けるラッチレジスタ 35 (図 5 (a) の 35b, 35d 参照) も合計 $N \times M$ 個存在する。

10

【 0 0 4 7 】

したがって、本実施例の乱数生成回路 G N R によれば、図柄始動口 15 や普通入賞口 17 のスイッチ信号を含んだ合計 M 種類のスイッチ信号に基づいて、 $M \times N$ 個の乱数値を生成することもでき、抽選処理の豊富化によって遊技内容を豊富化することができる。但し、この実施例では、便宜上、ラッチ制御回路 30 に供給されるスイッチ信号は、入賞スイッチ信号 S G だけであると簡素化している。

【 0 0 4 8 】

上記した通り、ラッチ群 34G を構成する $N \times M$ 個のラッチ回路 34 は、数列生成群 33G を構成する N 個の数列生成部 33 と、M 種類のスイッチ信号とに対応している。そして、制御レジスタ群 35G には、 $N \times M$ 個のラッチ回路 34 に対応して、 $N \times M$ 個のラッチレジスタ (35b, 35d など) が設けられ、N 個の数列生成部 33 に対応して N 個の乱数レジスタ (35a, 35c など) が設けられている。

20

【 0 0 4 9 】

例えば、図 5 (a) に示す乱数レジスタ 35a や乱数レジスタ 35c は、合計 N 個の乱数レジスタの一部であり、また、図 5 (a) に示すラッチレジスタ 35b やラッチレジスタ 35d は、合計 $N \times M$ 個のラッチレジスタの一部である。

【 0 0 5 0 】

そして、C P U は、ラッチレジスタ 35b やラッチレジスタ 35d など、所望のラッチレジスタをアクセスすることで、ラッチ回路 34 にラッチされた数列生成部 33 の生成値を取得できるように構成されている。なお、この実施例では、ラッチレジスタ (35b や 35d など) の記憶値が C P U に読み出されると、ラッチレジスタ (35b や 35d など) の記憶値は、自動的にゼロクリアされるよう構成されている。

30

【 0 0 5 1 】

また、本実施例の制御レジスタ群 35G には、N 個の乱数レジスタ (35a や 35c など) を含むので、C P U が、乱数レジスタ 35a や乱数レジスタ 35c などの乱数レジスタをアクセスすることで、N 個の数列生成部 33 が生成する数値列の瞬時値を、何時でも把握できることになる。したがって、本実施例によれば、ラッチレジスタ (35b, 35d など) をアクセスして抽選用乱数値を特定できるだけでなく、乱数レジスタ (35a, 35c など) をアクセスして抽選用乱数値を特定することもできる。

【 0 0 5 2 】

40

また、C P U は、制御レジスタ群 35G に適宜な制御パラメータを書込むことで、乱数生成回路 G N R の動作内容を制御することができる。また、異常検出回路 36 やラッチ制御回路 30 の動作状態など、乱数生成回路 G N R の内部動作状態は、制御レジスタ群 35G の一部であるステータスレジスタ 35e のステータス値を C P U が読み出すことで把握可能に構成されている。

【 0 0 5 3 】

ここで、ステータスレジスタ 35e のステータス値には、N 個の数列生成部 33 についての N ビットのエラー情報が含まれている。そのため、C P U は、ステータスレジスタ 35e のステータス値 (エラー情報) を読み出すことで、全ての数列生成部 33 について、その異常の有無を確認することができる。

50

【0054】

また、このNビットのステータス値（エラー情報）は、CPUの読み出し動作に対応してゼロクリアされ、正常状態を示す値（＝0）に変更されるよう構成されている。そのため、CPUは、ステータスレジスタ35eのステータス値（エラー情報）を、例えば、定期的に繰り返し読み出すことで、異常事態が自然復帰したか、或いは、自然復帰しない致命的な異常事態であるかを判断することができる。なお、異常検出回路36が検出する数列生成部33の異常には、動作停止などの深刻なエラーだけでなく、更新クロックの周波数のずれなどの軽微なエラーも含まれている。

【0055】

また、ステータスレジスタ35eのステータス値には、 $N \times M$ 個のラッチレジスタ（35bや35dなど）が、ラッチデータを保持しているか否かのラッチ情報も含まれている。このラッチ情報は、 $N \times M$ 個のラッチレジスタ毎に、ラッチデータの有無が1ビット（0/1）で規定され、合計で $N \times M$ ビットとなる。

10

【0056】

そして、このステータス値（ラッチ情報）は、読み書き可能に構成されており、CPUは、ステータスレジスタ35eから所定のラッチレジスタ（35bや35dなど）に対するラッチ情報を読み出すことで、そのラッチレジスタが有意なデータを保持しているか否かを判定することができる。

【0057】

そして、有意なデータを保持しているラッチレジスタ（35bや35dなど）から、CPUがラッチデータを読み出すことで、CPUは、抽選処理用の乱数値を取得できることになる。なお、ラッチレジスタ（35bや35dなど）から、ラッチデータを読み出すと、当該ラッチレジスタのデータが自動的にゼロクリアされることは前記した通りである。

20

【0058】

ところで、ラッチ情報についてのステータス値は、書き込み可能にも構成されており、所定のラッチレジスタについてのステータス値（ラッチ情報）として、ゼロを書き込むことで、当該ラッチレジスタのラッチデータを意図的にゼロクリアすることもできるよう構成されている。

【0059】

この構成は、ラッチレジスタ（35bや35dなど）から、抽選用の乱数値を取得する場合であって、且つ、ラッチレジスタを上書き禁止モード（図6（f））で機能させる場合に特に意義を有する。なお、上書き禁止モードでは、後述するように、ラッチレジスタ（35bや35dなど）がゼロクリアされていない限り、その後のラッチパルスLTに拘わらず、ラッチデータを取得できない。一方、抽選用の乱数値を読み出すと、ラッチレジスタが自動的にゼロクリアされるので、その後は、次のラッチパルスLTに同期してラッチデータが一度だけ取得される。

30

【0060】

そのため、抽選用の乱数値が読み出された後も、入賞スイッチ信号SGがONレベルを維持する場合には、ラッチレジスタには、同じ入賞スイッチ信号SGに対する次のラッチデータが書き込まれ、その後の上書きが禁止されることになる。なお、入賞スイッチ信号SGのパルス幅が20~30msであると仮定すると、このような事態は当然に発生し、今回の入賞スイッチ信号SGがOFFレベルに戻った後も、ラッチレジスタが上書き禁止状態を継続することになる。なお、この上書き禁止状態では、当該ラッチレジスタに対するステータスレジスタ35eのステータス値（ラッチ情報）はON状態（＝1）である。

40

【0061】

そこで、例えば、今回の入賞スイッチ信号SGがOFF状態に遷移したタイミングで、CPUが、当該ラッチレジスタに対するステータスレジスタ35eのステータス値（ラッチ情報）として、ゼロを書き込むことで、当該ラッチレジスタのデータをゼロクリアすれば、その後のラッチ動作が可能となり、上記の弊害を解消することができる。

【0062】

50

図5に戻って説明を続けると、図5(a)に示す通り、入賞スイッチ信号SGは、ラッチ制御回路30だけでなく、制御レジスタ群35Gを構成する信号入力レジスタ35fにも供給されており、CPUは、信号入力レジスタ35fをアクセスすることで、いつでも、入賞スイッチ信号SGのレベルを把握できるようになっている。なお、信号入力レジスタ35fは、この実施例では、入賞スイッチ信号SGのON/OFF状態を記憶するRSフリップフロップで構成されている(図6(B)、図6(C)参照)。

【0063】

次に、数列生成群33Gを構成するN個の数列生成部33は、詳細には、X個の8ビット長の数列生成部CT8と、Y個の16ビット長の数列生成部CT16とに区分され(N = X + Y)、各々、更新クロックの立上りエッジに同期して数値列を更新している。また、全N個の数列生成部33は、任意に設定された数値範囲で数値列を生成する可変長の数列生成部VCTと、規定の数値範囲(0 ~ 2^n - 1)で数値列を生成する固定長の数列生成部FCTとに各々細分されている。

【0064】

ここで、8ビット固定長の数列生成部FCT₈は、0 ~ 255の数値範囲の数値列を生成し、16ビット固定長の数列生成部FCT₁₆は、0 ~ 65535の数値範囲の数値列を生成するが、ランダムな初期値から出発して、所定の出現パターンに基づき、飛び飛びの数値を採りながら、2⁸個又は2¹⁶個の数値を出現させて固定の数値範囲を一巡する。そして、その後は、別の初期値から出発して、別の出現パターンに基づいて同じ動作を繰り返す。

【0065】

このような固定長の数列生成部FCTは、ワンチップマイコン21Aが電源リセットされると、直ちに、ランダムな初期値から更新動作を開始する。そして、CPUがWDTなどに基づいて異常リセットされても更新動作が停止されることなく、上記のランダムな更新動作を繰り返すので、数値列を推定することが事実上不可能となっている。すなわち、何らかの方法で、数値列の出現パターンや初期値を知ることができ、且つ、大当たり抽選の抽選値Hitを知ることができた場合に、意図的にCPUを異常リセットさせても無駄であり、仮に、ワンチップマイコン21Aを電源リセットさせても、電源リセットからCPUが数列生成部33の数値を取得するまでの時間は、正確には一定化しないので、意図的に大当たり状態を出現させることは不可能である。

【0066】

以上、固定長の数列生成部FCTについて説明したが、可変長の数列生成部VCTは、規定の制御レジスタ35に任意に設定した最大値を上限値として、0 ~ 最大値の任意の数値範囲で数値列を生成する。数値列の生成動作は、固定長の数列生成部FCTと同じであり、可変長の数列生成部VCTについても、ランダムな初期値から出発して、所定の出現パターンに基づき飛び飛びの数値を採りながら、設定された数値範囲を一巡する。そして、その後は、別の初期値から出発して、別の出現パターンに基づいて同じ動作を繰り返す。

【0067】

可変長の数列生成部VCTは、ワンチップマイコン21Aが電源リセットされない限り、CPUが異常リセットされても更新動作が停止されることなく、上記のランダムな更新動作を繰り返す。この点では、固定長の数列生成部FCTの動作と同じである。しかし、ワンチップマイコン21Aが電源リセットされた場合には、可変長の数列生成部VCTは、規定の制御レジスタ35に最大値を設定した後に更新動作を開始する点で、固定長の数列生成部FCTより、ややセキュリティレベルが下がる。

【0068】

但し、その反面、可変長の数列生成部VCTによれば、生成する数値列の数値範囲を適宜に設定して、抽選処理における当選確率を正確に規定できる利点がある。可変長の数列生成部VCTによれば、生成する数値列の数値範囲の最大値を、例えば199に設定するだけで、当選確率を正確に1/200にすることができる。また、固定長の数列生成部F

10

20

30

40

50

CTは更新クロックを受ける毎に、その立上りエッジに同期して数値列を更新するが、可変長の数列生成部VCTは、規定個数（適宜な素数で規定）の更新クロックを受けるまでは、それまでの数値を維持し、最後の更新クロックの立上りエッジに同期して数値列を更新するので、この意味でのランダム性が高まる。

【0069】

そこで、本実施例では、可変長の数列生成部VCTと固定長の数列生成部FCCTのこれらの特徴を考慮して、大当たり抽選用の乱数値RNDとしては、16ビット固定長の数列生成部FCCT₁₆を使用し、大当たり状態において非確変当たりか確変当たりかを規定する図柄抽選や、特別遊技のラウンド数などの細部についての抽選決定には、8ビット可変長の数列生成部VCT₈を使用している。なお、何ら限定されないが、本実施例では8ビット可変長の数列生成部VCT₈は、最大値を199に設定することで、0～199の数値範囲としている。10

【0070】

先に説明した通り、可変長の数列生成部VCTは、固定長の数列生成部FCCTよりややセキュリティレベルが下がるが、8ビット可変長の数列生成部VCT₈は、大当たり抽選に当選した後の細部決定に使用されるに過ぎないので、本実施例によれば、8ビット可変長の数列生成部VCT₈を使用しても、16ビット固定長の数列生成部FCCT₁₆による極めて高いセキュリティレベルが確実に維持される。

【0071】

図5(c)に示す通り、固定長の数列生成部FCCT₁₆/FCCT₈は、更新レジスタR1と、各々適宜な加算値を保持する複数の加算値レジスタR2…R2と、複数の加算値レジスタR2…R2の何れか一個を選択するアドレス情報を生成するカウンタCTと、選択された加算値レジスタR2と更新レジスタR1の各保有値を加算する加算器ADとを有して構成されている。ここで、加算値レジスタR2…R2の個数は 2^X 個であり、カウンタCTのY個の出力ビットのうち、任意に選択されたXビット(Y>X)が、加算値レジスタR2…R2を選択するアドレス情報として使用される。20

【0072】

なお、図5(c)では、説明の便宜上、ハードウェアとして加算器ADや 2^X 個の加算値レジスタR2…R2が存在するよう記載しているが、好適には、加算器ADの機能は、専用プロセッサによって実現される。また、実際の加算値レジスタR2は、乱数生成回路GNRのメモリ(不図示)に記憶された加算値で代用される。30

【0073】

そして、加算器ADの加算結果が、更新レジスタR1に保存されるよう構成されており、選択される加算値レジスタR2は、更新クロックに同期して変更される。また、加算器ADは、16ビット長又は8ビット長の加算器であり、更新クロックに同期して機能している。したがって、更新レジスタR1の値がDA1で、その時に選択された加算値レジスタR2の値がDA2である場合には、R1 DA1 + DA2の演算が、16ビット長又は8ビット長の加算演算として実行される。

【0074】

本実施例では、各加算値レジスタR2…R2の保有値を適宜に設定することで、2⁸個又は 2^{16} 個の更新クロックを受けると、それまでに生成された数値列が数値範囲(0～ 2^{16} -1又は 2^8 -1)を一巡するよう構成されている。そして、更新レジスタR1は、電源投入時や、 2^8 個又は 2^{16} 個の更新クロックを受けた後に、適宜な初期値に変更されることで、『ランダムな初期値から出発して、所定の出現パターンに基づき飛び飛びの数値を探りながら、設定された数値範囲を一巡する動作』を実現している。また、 2^8 個又は 2^{16} 個の更新クロックを受けた後に、カウンタCTのY個の出力ビットのうち(Y>X)、選択されるXビットが適宜に変更されることで、加算値レジスタR2…R2の選択順序が変わり、出現パターンが変更される。40

【0075】

可変長の数列生成部VCT₁₆/VCT₈についても基本構成は同じであるが、更新タ50

イミングを規定するカウンタ C T ' が付加されている（破線部参照）。カウンタ C T は、更新クロック を規定回数（適宜な素数に設定）受けることを条件に、そのキャリ信号 C Y によって加算器 A D を動作させており、この結果、規定個数の更新クロック を受けるまでは、それまでの数値を維持する変則動作が実現される。

【 0 0 7 6 】

また、可変長の数列生成部 V C T₁₆ / V C T₈ には、加算結果が設定された数値範囲（0 ~ MAX）に含まれるよう補正部 A M が設けられ（破線部参照）、加算器 A D の出力ビットのうち、上限値 MAX を超えない必要ビット部分だけが使用される。そして、加算結果 S U M が上限値 MAX を超える場合には、S U M - S U M - M A X の補正演算が実行される。

10

【 0 0 7 7 】

以上、数列生成部 3 3 について、内部構成の一例を極めて簡略化して説明したが、実際には、セキュリティレベルを上げるべく更に複雑な構成になっている。

【 0 0 7 8 】

図 5 (a) に示す通り、16 ビット固定長の数列生成部 4 1 a には、専用プロセッサに制御されて 16 ビット長の数値のビット並びを適宜に入れ替える転置回路 4 2 が接続されている。そして、固定長の数列生成部 F C T 4 1 a や転置回路 4 2 は、16 ビットの転置パターンやランダムな初期値を付与する計数制御部 4 0 a に制御されて動作している。なお、計数制御部 4 0 a は、制御レジスタ群 3 5 G の所定の制御レジスタに設定された制御パラメータに基づいて動作し、数列生成部 4 1 a の異常状態は、ステータスレジスタ 3 5 e のステータス値（エラー情報）として記憶される。

20

【 0 0 7 9 】

図 5 (a) に示す通り、転置回路 4 2 の出力は、16 ビットラッチ回路 3 4 と共に、制御レジスタ群 3 5 G の乱数レジスタ 3 5 a にも供給されており、C P U は何時でも乱数レジスタ 3 5 a の 16 ビット値を取得できるようになっている。

【 0 0 8 0 】

8 ビット可変長の数列生成部 4 1 b (V C T₈) についても同様であり、8 ビット可変長の数列生成部 4 1 b (V C T₈) は、計数制御部 4 0 b に制御されて、所定の数値範囲（0 ~ 199）で数値列を生成し、一巡毎にランダムな初期値に基づいて更新動作を繰り返している。この計数制御部 4 0 b も、制御レジスタ群 3 5 G の所定の制御レジスタに設定された制御パラメータ（最大値など）に基づいて数列生成部 4 1 b の更新動作を制御し、数列生成部 4 1 b の異常状態は、ステータスレジスタ 3 5 e のステータス値（エラー情報）として記憶される。

30

【 0 0 8 1 】

また、8 ビット長の数列生成部 4 1 b の出力は、8 ビットラッチ回路 3 4 と共に、制御レジスタ群 3 5 G の乱数レジスタ 3 5 c にも供給されており、C P U は何時でも乱数レジスタ 3 5 c の数値を取得できるようになっている。

【 0 0 8 2 】

図 4 に示す通り、分周回路 3 1 には、C P U の動作を規定するシステムクロック C L K だけでなく、システムクロック C L K とは無関係に動作する外部クロック X C L K が供給可能に構成されている。2 つのクロック信号 C L K , X C L K は、何れも分周回路 3 1 で 2 分周されて選択回路 3 2 に供給され、制御レジスタ 3 5 への設定値に基づいて、何れか一方のクロック信号が、16 ビット固定長の数列生成部 4 1 a (F C T₁₆) 用の更新クロック として選択される。なお、16 ビット可変長の数列生成部 V C T₁₆ や、8 ビット長の数列生成部 F C T₈ / V C T₈ については、システムクロック C L K が更新クロック として使用される。

40

【 0 0 8 3 】

ところで、本実施例では、16 ビット固定長の数列生成部 4 1 a (F C T₁₆) が、外部クロック X C L K を使用している状態で、異常検出回路 3 6 が数列生成部 F C T₁₆ の異常動作を検知すると、外部クロック X C L K に代えて、自動的にシステムクロック C L

50

Kを使用するよう構成されている。そのため、外部クロックXCLKに異常が生じても、数列生成部FCT₁₆が更新動作を継続できるだけでなく、外部クロックXCLKを悪用した不正行為を未然防止することができる。先に説明した通り、数列生成部FCT₁₆の異常動作は、更新クロックの停止だけでなく、例えば、外部クロックXCLKの周波数の異常な低下なども含まれる。

【0084】

何れにしても、外部クロックXCLKは、システムクロックCLKと非同期とすべきであるが、その周波数は、内部動作の安定化の観点から、システムクロックCLKと同程度の周波数とすべきであり、好ましくは、システムクロックCLKの周波数の0.8~1.6倍の程度の周波数に設定される。なお、特に限定されないが、実施例の場合には、システムクロックCLKの周波数は20MHz程度である。10

【0085】

本実施例では、上記の通り、外部クロックXCLKが使用可能であるが、セキュリティ上の観点から数列生成部FCT₁₆の更新動作をシステムクロックCLKに同期させないため、外部クロックXCLKを更新クロックとして使用するのが好適である。一方、外部クロックXCLKの発振回路を省略する簡易構成を採りたいとの観点からは、システムクロックCLKを更新クロックに使用するのが好適である。

【0086】

そこで、本実施例では、遊技機の機種毎に何れの動作態様を探るかを、任意に選択できるようジャンパー線J1, J2を設け(図4参照)、以下の3つの動作態様(a)~(c)を任意に選択可能にしている。20

【0087】

例えば、ジャンパー線J2を切断する機種(a)では、外部クロックXCLKが数列生成部FCT₁₆用の更新クロックに選択され、ジャンパー線J1を切断する機種(b)では、システムクロックCLKが更新クロックに選択されるよう制御レジスタ35に制御パラメータが設定される。また、ジャンパー線J1, J2を維持した状態で、外部クロックXCLKを供給することなく、その入力端子INをプルダウンする機種(c)では(破線部参照)、外部クロックXCLKが数列生成部FCT₁₆用の更新クロックに選択されるよう、制御レジスタ35に制御パラメータが設定される。なお、この第3の機種(c)では、外部クロックXCLKが供給されていない以上、実際には、バイパス経路Bypassを通過したシステムクロックCLKが使用されるのは勿論である。30

【0088】

第3の機種(c)では、万一、バイパス経路Bypass上の配線パターンなどに異常が生じた場合でも、数列生成部FCT₁₆の異常動作を検出した異常検出回路36によって、自動的にノーマル経路NormalのシステムクロックCLKが使用されるので、引き続き数列生成部FCT₁₆を正常に動作させることができる。この場合、動作移行時に周波数の変化がないので極めて自然な移行動作を実現することができる。そこで、本実施例は、第3の機種(c)として構成されている。したがって、全ての数列生成部33の更新クロックは、システムクロックCLKを2分周したものとなる。

【0089】

次に、図5と図6に基づいてラッチ制御回路30と、ラッチレジスタ(35bや35dなど)の動作について説明する。なお、このラッチ制御回路30には、複数のスイッチ信号が供給可能であるが、先に説明した通り、入賞スイッチ信号SGだけが供給されているとする(M=1)。但し、他のスイッチ信号が供給されている場合(M=1)でも以下と同様の動作が実現される。40

【0090】

図6Aに示す通り、この実施例では、入賞スイッチ信号SGのON/OFFレベルは、更新クロックの立下りエッジで判定され(図6A(b)参照)、更新クロックの立上りエッジで、全N個の数列生成部33の生成値が、各々の出現パターンに基づいて更新される(図6A(c)参照)。なお、数列生成部33の種類毎に、数値列の数値範囲や更新50

タイミングが異なるだけでなく、出現する数値列の出現パターンや、出現パターンの初期値が各々相違するので、N個の数列生成部33の数値列は、原則として各々相違する。

【0091】

このような数列生成部33の更新動作に並行して、ラッチ制御回路30は、入賞スイッチ信号SGが連続して所定時間ONレベルを維持するか否かを判定しており、例えば、更新クロックで計測して128回連続してONレベルを維持することを条件にラッチパルスLTを出力するよう構成されている(図6A(d)参照)。本実施例は、このような判定動作を設けているので、スパイク状のノイズを入賞スイッチ信号SGであると誤認するおそれがない。

【0092】

本実施例の場合、図4に示すバイパス経路Bypassを通過する20MHz程度のシステムクロックCLKが2分周されて更新クロックとなるので、更新クロックは10MHz程度である。したがって、ラッチパルスLTが出力される場合には、少なくとも、入賞スイッチ信号SGが連続して $128 / 10^6 = 128 \mu\text{s}$ 程度、継続してONレベルを維持したことが担保され、ノイズによる影響を排除することができ、また、ノイズを悪用した不正遊技を排除することができる。

【0093】

このようにしてラッチ制御回路30で生成されたラッチパルスLTは、ラッチ群34Gを構成するN×M個のラッチ回路34に供給され、各ラッチ回路34は、自らに対応する数列生成部33の生成値を、ラッチパルスLTに同期して取得保持し、これをそのままN×M個のラッチレジスタ(図5の35bや35dなど)に出力する(図6A(e)(f)参照)。

【0094】

但し、本実施例の場合、更新クロックは、10MHz程度であり、入賞スイッチ信号SGのパルス幅Tは、30mS程度であるため、数列生成部33の生成値がラッチ回路34にラッチされた後も、引き続き入賞スイッチ信号SGはON状態を維持することになる。したがって、その後も、128μS程度の時間間隔で、繰り返しラッチパルスLTがラッチ回路に出力される。

【0095】

このような動作を考慮して、本実施例では、ラッチレジスタ(35bや35d)を上書き禁止モード(図6A(e))で使用するか、上書き許可モード(図6A(f))で使用するかを、任意に選択可能に構成している。上書き禁止モードとは、ラッチレジスタ(35bや35dなど)のラッチデータが、CPUに読み取られてクリアされるまでは、ラッチ回路34の出力データを受け付けない動作モードを意味する。このような動作モードを探る場合には、CPUによるラッチレジスタの数値取得タイミングが遅れた場合でも、入賞スイッチ信号SGのONエッジに近接したタイミングにおける数列生成部33の生成値を取得できる意義がある。なお、図6A(e)には、最初に取得された数値Xが抽選用乱数値に使用されることを示している。そして、数値Xが取得されたことで、ラッチレジスタ(35bや35d)がゼロクリアされ、ステータスレジスタ35eのステータス値もゼロとなる(図6A(g))。

【0096】

これに対して上書き許可モードとは、ラッチ回路34の出力データが常に受け付けられる動作モードであり、ラッチ回路34がラッチパルスLTを受ける毎に、ラッチレジスタ(35bや35dなど)が、新規の数値を取得し直す動作モードを意味する。このような動作モードを探る場合には、CPUの取得タイミングが遅れた場合、入賞スイッチ信号SGのONエッジから大きく(例えば数10mS程度)離れたタイミングの数値を取得することになる。

【0097】

この場合には、例え、違法遊技者が、最適タイミング狙って入賞スイッチ信号SGをON動作させたとしても、実際に取得される数値を、違法遊技者の意図する値に近づけるこ

10

20

30

40

50

とはできない点が利点である。なお、図 6 A (f) には、最初に取得された数値 X が、次に、数値 Y に置き換わり、その後も次々と変化して、最終的にラッチされた数値が抽選用乱数値に使用されることを示している。なお、図示例では、数値 Y が取得されたことで、ラッチレジスタ (35 b や 35 d) がゼロクリアされ、ステイタスレジスタ 35 e のステイタス値もゼロとなることを示している (図 6 A (g)) 。

【 0098 】

上書き禁止モードも、上書き許可モードも、各々、十分に意義を有しているが、本実施例では、ラッチレジスタ (図 5 の 35 b や 35 d など) を使用することなく、16 ビット乱数レジスタ 35 a と 8 ビット乱数レジスタ 35 c に基づいて、抽選用乱数値を特定している。それは、ラッチレジスタ (図 5 の 35 b や 35 d など) がゼロクリアされた後も、ラッチパルス LT に基づいて、ラッチレジスタにラッチデータが保存されることに対応して、ステイタスレジスタ 35 e のステイタス値がセットされ、このステイタス値を、新規の入賞スイッチ信号 SG であると誤認するおそれがあるためである。
10

【 0099 】

但し、この問題は、入賞スイッチ信号 SG の ON エッジを監視するだけで十分に解消できるので、上書きモードや上書き禁止モードで機能するラッチレジスタの意義が否定される訳ではなく、各々、優れた効果を発揮することに変わりはない。

【 0100 】

以上を確認した上で、乱数レジスタ 35 a, 35 c に基づいて、抽選用乱数値を特定する実施例について説明する。なお、実施例では、乱数レジスタ 35 a, 35 c に基づいて抽選用乱数値を特定するが、16 ビットラッチ回路 34 の出力を受けるラッチレジスタ 35 b (一個又は複数個) 、及び / 又は、8 ビットラッチ回路 34 の出力を受けるラッチレジスタ 35 d (一個又は複数個) を、CPU がアクセスして抽選用乱数値を特定してもよく、むしろ、その方が典型的である。
20

【 0101 】

何れにしても、16 ビット長の乱数レジスタ 35 a は、図 5 (b) に示す通り、16 ビット長の D ラッチ 50 と、各 8 ビット長のバスバッファ 51 L, 51 H と、負論理 OR ゲート 52 と、を有して構成されている。乱数レジスタ 35 a は、このように、1 バイト単位で数値を保持するが、この構成に関連して、乱数レジスタ 35 a には、連続する 2 つのアドレス値 NN, NN + 1 が付番されている。
30

【 0102 】

なお、これらの点は、16 ビット長のラッチレジスタ 35 b についても同様であり、16 ビット長の D ラッチと、各 8 ビット長のバスバッファ 2 個と、負論理 OR ゲートとを有して構成され、連続する 2 つのアドレス値 NN', NN' + 1 が付番されている。なお、乱数レジスタ 35 a やラッチレジスタ 35 b が、2 バイトデータを 1 バイト毎に扱うのは、Z80 相当の CPU のデータバス D0 - D7 が 1 バイト幅であるためであり、また、CPU に内蔵された汎用レジスタ群 W, A, B, C, D, E, H, L が各々 1 バイトデータを扱う構成になっているためである (図 5 (a) 参照) 。

【 0103 】

なお、汎用レジスタ群のうち、IX, IY のデータ幅は 16 ビット長であり、プログラムカウンタ PC からアドレスバス A0 - A15 に出力されるアドレスデータも 16 ビット長である。そして、上記したアドレス値 NN, NN' は、アドレスバス A0 - A15 を経由してアドレスデコーダ 37 に供給されることで、適宜なデコード信号 DEC が生成され、何れかの制御レジスタ 35 がデコード信号 DEC によって選択されることになる。なお、この実施例では、アドレスバス A0 - A15 の下位 8 ビット A0 - A7 が、データバス D0 - D7 と共に用されている。
40

【 0104 】

さて、図 5 (b) に示す乱数レジスタ 35 a に説明を戻すと、NN 番地と、NN + 1 番地に付番されたバスバッファ 51 L, 51 H は、アドレスデコーダ 37 が output する選択信号によって選択される。なお、一方の選択信号は、アドレスバス A0 - A15 の値が、N
50

Nの場合にアクティブルーレベル(Lレベル)となり、他方の選択信号は、アドレスバスA0-A15の値が、NN+1の場合にアクティブルーレベル(Lレベル)となる。そして、2つの選択信号は、負論理ORゲート52に供給されるので、負論理ORゲート52が outputするデコード信号DECは、2つの選択信号の何れか、或いは、双方がLレベルの時にLレベルとなる。

【0105】

Dラッチ50は、図5(c)に示す回路構成を16個設けて構成されている。そして、Dラッチ50は、転置回路42が出力する転置処理後の数値CT0-CT15とデコード信号DECとを受けて動作している。具体的には、デコード信号DECを共通的に受ける16個のMOSトランジスタQ1と、NOTゲート(16個)を経由してデコード信号DECを受ける16個のMOSトランジスタQ2と、MOSトランジスタQ2のソース端子とドレイン端子を接続するNOTゲート(2×16個)とを有して構成されている。10

【0106】

Dラッチ50は、上記の通りに構成されているので、デコード信号DECがHレベルの場合には、トランジスタQ1がON状態で、トランジスタQ2がOFF状態となり、逆に、デコード信号DECがLレベルの場合には、トランジスタQ1がOFF状態で、トランジスタQ2がON状態となる。

【0107】

そのため、デコード信号DECがHレベルの場合には、転置回路42の出力である16ビット長の数値CTi(IN)が、トランジスタQ1と2つのNOTゲートを通過して、そのレベルのままで出力信号CTi(OUT)となる。一方、デコード信号DECがLレベルになると、トランジスタQ1がOFF状態となるので、転置回路42の出力は伝送されず、MOSトランジスタQ1の浮遊容量に蓄積されている直前の入力データが、トランジスタQ2を通過して出力される。20

【0108】

したがって、この回路構成によれば、デコード信号DECをLレベルに遷移させることで、バスバッファ51L, 51Hに伝送する数値CTiを固定化することができる。言い換えると、デコード信号DEC=Lの状態で、CPUがバスバッファ51L, 51Hをアクセスすれば、同一の数値の上位バイトと下位バイトを安定して取得できることになる。

【0109】

以上、16ビット長の乱数レジスタ35aについて説明したが、8ビット長の乱数レジスタ35cの回路構成も、基本的に乱数レジスタ35aと同じである。すなわち、乱数レジスタ35cは、8ビット長のDラッチと、8ビット長のバスバッファと、負論理ORゲートと、を有して構成されている。但し、乱数レジスタ35cは、転置回路を経由することなく8ビット長の数列生成部41bの値を受けており、これを保持するバスバッファが単一であることに対応して、乱数レジスタ35cには、単一のアドレス値が付番されている。

【0110】

続いて、ラッチパルスLT(図6A(d))を出力するラッチ制御回路30の要部について説明する。ラッチ制御回路30は、図6Cに示すノイズ除去回路を含んで構成されており、ノイズ除去回路は、2つの128進カウンタCT1, CT2と、入賞スイッチ信号SGを正論理と負論理で受ける2つのANDゲートG1, G2と、NOTゲートG3などで構成されている。ここで、2つのANDゲートG1, G2には、各々、更新クロックが供給されている。40

【0111】

そして、カウンタCT1のキャリ出力CYは、ラッチパルスLTとして各ラッチ回路34に供給され、各カウンタCT1, CT2のキャリ出力CY, CYは、信号入力レジスタ35fのセット端子Sとリセット端子Rとに供給されている。図6Cに示す通り、本実施例では、信号入力レジスタ35fの1ビット分は、RSフリップフロップで構成されている。50

【0112】

そして、入賞スイッチ信号SGは、ANDゲートG1と共に、カウンタCT1のクリア端子CLRに供給されているので、入賞スイッチ信号SGがLレベルであると、カウンタCT1のカウント値はゼロ状態を維持することになる。一方、入賞スイッチ信号SGは、NOTゲートG3を経由して、ANDゲートG2と共に、カウンタCT2のクリア端子に供給されている。

【0113】

本実施例のノイズ除去回路(図6C)は、上記の通りに構成されているので、入賞スイッチ信号SG=Hであれば、カウンタCT1が更新クロックに基づいてカウントアップされ、128個目の更新クロックを受けると、ラッチパルスLTたるキャリ信号CYが10出力される。そして、その後も、128個目の更新クロックを受ける毎に、ラッチパルスLTが繰り返し出力される(図6A(d)参照)。

【0114】

また、カウンタCT1のキャリ信号CYは、信号入力レジスタ35f(RSフリップフロップ)のセット端子Sにも供給されているので、連続して128個の更新クロックを受けることを条件に、信号入力レジスタ35fの記憶値がHレベルとなる。なお、図6Bは、入賞スイッチ信号SGと、更新クロックと、信号入力レジスタ35fの記憶値との関係を図示したものである。

【0115】

ところで、このようなカウンタCT1のカウント動作中に、入賞スイッチ信号SG=Lとなると、カウンタ動作が初期状態に戻るので、結局、更新クロック128個分の間、入賞スイッチ信号SGが継続してHレベルであることを条件に、信号入力レジスタ35fがHレベルになり、ラッチパルスLTが出力されることになる。したがって、入賞スイッチ信号SGに誤認される可能性のあるスパイクノイズの影響が排除される。図6Bには、入賞スイッチ信号SG=Lの状態で、Hレベルのノイズが重畠される状態を図示しているが、このようなHレベルのノイズによってラッチパルスLTが出力されたり、信号入力レジスタ35fの記憶値が変化するおそれはない。

【0116】

次に、信号入力レジスタ35fに記憶された入賞スイッチ信号SGも、やがて、数10mS後にはLレベルに戻る。そして、入賞スイッチ信号SGがOFFレベルに遷移した後は、カウンタCT2が計数動作を開始して、128個目の更新クロックを受けると、カウンタCT2からキャリ信号CYが出力される。このキャリ信号CYは、信号入力レジスタ35f(RSフリップフロップ)のリセット端子Rに供給されているので、カウンタCT2からのキャリ信号CYの出力に同期して、信号入力レジスタ35fの記憶値がLレベルに戻ることになる。

【0117】

このように、本実施例では、入賞スイッチ信号SGがHレベルである場合だけでなくLレベルである場合にも、それが所定時間(更新クロック128個分)継続することを条件に、信号入力レジスタ35fに取得するので、ノイズによる悪影響を確実に排除することができる。

【0118】

すなわち、入賞スイッチ信号SGがONレベルになった後に、スパイクノイズが重畠しても、入賞スイッチ信号SGがOFFレベルになったと誤認されるおそれがなく、したがって、入賞スイッチ信号SGのON遷移から、相当遅れて信号入力レジスタ35fがアクセスされても、その遅れが大きく(例えば30mS以上で)ない限り、入賞スイッチ信号SGを読み落とすことがない。なお、図6Bには、入賞スイッチ信号SG=Hの状態で、Lレベルのノイズが重畠される状態を図示しているが、このようなLレベルのノイズによって、信号入力レジスタ35fの記憶値が変化するおそれはない。

【0119】

以上、ノイズの影響を排除して入賞スイッチ信号SGのレベルを把握できる構成を説明

10

20

30

40

50

したが、本実施例では、CPUのソフトウェア処理を全く使用することなく、ノイズ除去効果を達成することに大きな価値がある。

【0120】

すなわち、プログラム処理によって上記と同様の動作を実現することは可能ではあるが、そのような手法を採るとCPUの処理負担が増して肝心の遊技制御に悪影響が及ぶ。また、この種の遊技機では、主制御部のROMの使用容量に厳しい制限があるので、ROMの記憶容量を無駄使いすることも問題があるが、本実施例によれば、ROMの記憶容量を全く消費することなく、上記した優れた耐ノイズ性能を発揮する。

【0121】

続いて、図7に基づいて、CPUが、16ビット長の乱数レジスタ35aの数値を読み出すread動作について説明する。図7(b)は、システムクロックCLKが2分周されて生成された更新クロックを示しており、更新クロックの立上りエッジで、16ビット長の固定長の数列生成部FCT₁₆である数列生成部41a(図5(a)参照)が更新されることを示している。図7(a)は、数列生成部41aの数値を示しており、説明の便宜上、出現パターンが単純なインクリメント更新(+1)であって、M → M+1と更新されることにしている。

【0122】

また、以下の説明では、一例として、16ビットデータのロード命令LD WA,(HL)について説明する。なお、このロード命令の実行に先行して、HLレジスタには、乱数レジスタ35aの先頭アドレス値である16ビットデータNNが記憶されている。

【0123】

ロード命令LD WA,(HL)は、HLレジスタが指示するアドレス値NNに付番されたレジスタの記憶値(乱数レジスタ35aの下位1バイト記憶値)をAレジスタに取得すると共に、NN+1に付番されたレジスタの記憶値(乱数レジスタ35aの上位1バイト記憶値)をWレジスタに取得する命令である。このロード命令は、1バイト長のオペコードと、1バイト長のオペランドに区分される2バイト命令であり、システムクロックCLKを4サイクル使用して実行を終えるよう構成されている。

【0124】

すなわち、図7(c)～図7(e)に示す通り、第1サイクル(M1サイクル)で、この命令(LD WA,(HL))の1バイト目が記憶されているメモリのアドレス値(プログラムカウンタPC_H・PC_Lの値)がアドレスバスA0～A15に出力され、CPUにオペコードが取得された後、第2サイクルで、この命令の2バイト目が記憶されているメモリのアドレス値(プログラムカウンタPC_H・PC_Lの値)がアドレスバスA0～A15に出力されてCPUにオペランドが取得される。

【0125】

そして、その後の第3サイクルでは、アドレスバスA0～A15に16ビットアドレス値NNが出力されて、乱数レジスタ35aの下位1バイト記憶値がAレジスタに取得され、第4サイクルでは、アドレスバスA0～A15に16ビットアドレス値NN+1が出力されて、乱数レジスタ35aの上位1バイト記憶値がWレジスタに取得される。なお、図7(f)～図7(h)は、CPUからコントロールバスに出力される制御信号であり、各々、M1サイクルであることを示すM1信号(f)、メモリリクエスト信号MREQ(g)、メモリリード信号RD(h)を示している。

【0126】

また、図7(i)は、乱数レジスタ35aの負論理ORゲート52から出力されるデコード信号DECを示している。先に説明した通り、デコード信号DECは、アドレスバスA0～A15に出力されるアドレス値NNのアドレスデコード値と、アドレス値NN+1のアドレスデコード値の負論理OR値であるから、上記した4サイクルの命令実行中の第3サイクルと第4サイクルだけがLレベルとなり、それ以外のタイミングでは、Hレベルとなる。

【0127】

10

20

30

40

50

そのため、乱数レジスタ 35a の D ラッチ 50 は、上記した 4 サイクル動作中の第 2 サイクルまでは ON 状態であって、転置回路 42 からの数値 CTi をバスバッファ 51L, 51H に伝えるが、その後の第 3 サイクルと第 4 サイクルは、OFF 状態となって、転置回路 42 からの数値 CTi を遮断することになる。したがって、第 2 サイクルの終了時ににおける転置回路 42 の出力値が、第 3 サイクルと第 4 サイクルの間は、変化することなく維持されることになる。

【0128】

このように、本実施例では、乱数レジスタ 35a に D ラッチ 50 を設け、その ON/OFF 状態をデコード信号 DEC で制御するので、16 ビット長の乱数レジスタ 35a などの制御レジスタに付番されたアドレス情報を、連続してアドレスバス A0 - A15 に出力する限り、その時の数値を正確に取得することができる。したがって、例えば、+1 の出現パターンを探っている 16 ビット長の数値列が、数値 01FFFH の状態から 0200H に更新されるタイミングで、乱数レジスタ 35a がアクセスされたとしても、CPU に取得される値は、01FFFH か 0200H である正常な数値を転置させた値であり、02FFFH のような中途半端な数値が転置されて取得されるおそれはない。

【0129】

なお、この動作は、更新クロック をシステムクロック CLK から生成するのではなく、外部クロック XCLK から生成した場合も同様に保障される。すなわち、図 7 (j) に示すように、より高速で、システムクロックと同期しない更新クロック を使用した場合でも、デコード信号 DEC による D ラッチの開閉制御によって、正常な数値である A+1 を転置させた値を取得することができる。

【0130】

これに対して、制御レジスタに付番されたアドレス情報を、アドレスバス A0 - A15 に連続して出力しないロード命令を使用すると上記のような安定動作が保証されない。図 8 は、ロード命令 LD A, (DE) とロード命令 LD W, (HL) を連続される場合を例示している。なお、これらの命令に先行して、DE レジスタにはアドレス値 NN が格納され、HL レジスタにはアドレス値 NN+1 が格納されている。また、説明の都合上、16 ビット長の数値列は、+1 の出現パターンを探っていることにする。

【0131】

このような状態で、ロード命令 LD A, (DE) と、ロード命令 LD W, (HL) とを連続させても、ロード命令 LD A, (DE) の実行後に、不可避的にロード命令 LD W, (HL) の命令フェッチサイクル (M1) が入るので、デコード信号 DEC を L レベルに維持させることができず、その結果として、M や M+1 のような正常なアドレス値を転置させた値ではなく、数値 M の下位バイトと、数値 M+1 の上位バイトを組み合わせた中途半端な数値が転置されて CPU に取得されることになる。

【0132】

このような場合には、特に、発生する数値列の数値範囲 (0 ~ MAX) が、固定範囲 (0 ~ 2¹⁶) でない場合 (MAX < 2¹⁶ - 1) には、不合理な乱数値 RND を取得してしまうおそれもある。例えば、数値列の上限値 MAX が MAX = 1150H の場合に、仮に、10FFFH から 1134H への更新時に乱数値が取得されると、取得された乱数値は、11FFFH となって上限値 MAX を超えてしまう。

【0133】

以上、乱数生成回路 GNR について詳細に説明したので、続いて、図 4 に示す CPU によって実行される主制御部 21 の遊技動作を説明する。図 9 及び図 10 は、主制御部 21 の制御プログラムを示すフローチャートであり、電源電圧の復旧や投入に基づいて起動されるシステムリセット処理 (図 9) と、所定時間毎 (4mS) に起動されるマスク可能なタイマ割込み処理 (図 10) とで構成されている。

【0134】

以下、図 9 を参照しつつ、システムリセット処理プログラム (メイン処理) について説明する。メイン処理が開始されるのは、停電状態からの復旧時のように初期化スイッチ S

10

20

30

40

50

WTがOFF状態で電源がON状態になる場合と、遊技ホールの開店時のように、初期化スイッチSWTがON操作されて電源がON状態になる場合とがある。なお、ウォッチドッグタイマWDTが起動してCPUが強制的にリセットされる場合もある。

【0135】

何れの場合でも、Z80CPUは、最初に、CPU内部のスタックポインタSPの値を、スタック領域の最終アドレスに対応して初期設定する(ST1)。次に、ワンチップマイコンの乱数生成回路GNRの制御レジスタ群35Gを含んだ各種レジスタの値を初期設定する(ST2)。

【0136】

ステップST2の初期設定処理が終われば、入力ポートINPからRAMクリア信号DELを取得する(ST3)。RAMクリア信号DELとは、ワンチップマイコン21Aの内蔵RAMの全領域を初期設定するか否かを決定する信号であって、係員が操作する初期化スイッチSWTのON/OFF状態に対応した値を有している。

10

【0137】

次にRAMクリア信号DELのレベルが判定されるが(ST4)、RAMクリア信号DELがON状態であったと仮定すると、内蔵RAMの全領域がゼロクリアされる(ST8)。次に、RAM領域がゼロクリアされたことを報知するための制御コマンドを出力する(ST9)。

【0138】

次に、タイマ割込み動作(図10)を起動する割込み信号INTを出力するCTCを初期設定する(ST10)。そして、CPUを割込み禁止状態にセットした状態で(ST11)、必要なカウンタがあれば、これについて更新処理を実行し(ST12)、その後、CPUを割込み許可状態に戻して(ST13)、ステップST11に戻る。

20

【0139】

但し、本実施例では、乱数生成回路GNRから多数の乱数値を取得できるので、ステップST11～ST13の処理を全て排除することができる。そのため、ST11～ST13の分だけ、ROMの記憶容量を節約することができ、他の制御処理を豊富化することができる。

【0140】

次に、ステップST4の判定処理に戻って説明すると、CPUがウォッチドッグタイマWDTなどによって強制的にリセットされた場合や、停電状態からの復旧時には、RAMクリア信号DELはOFF状態である。そして、このような場合には、ステップST4の判定に続いて、バックアップフラグBFLの内容が判定される(ST5)。バックアップフラグBFLとは、電源監視処理(ST20)においてバックアップ処理が実行されたことを示すデータであり、この実施例では、電源遮断時にバックアップフラグBFLが5AHとされ、電源復帰後のステップST20の処理でゼロクリアされる。

30

【0141】

そのため、電源投入時や、停電状態からの復旧時である場合には、バックアップフラグBFLの内容が5AHの筈である。但し、何らかの理由でプログラムが暴走状態となり、ウォッチドッグタイマによるCPUリセット動作が生じたような場合には、バックアップフラグBFL=00Hである。したがって、BFL=5AH(通常はBFL=00H)となる場合には、ステップST5からステップST8の処理に移行させて遊技機の動作を初期状態に戻す。

40

【0142】

一方、バックアップフラグBFL=5AHであれば、チェックサム値を算出するためのチェックサム演算を実行する(ST6)。ここで、チェックサム演算とは、内蔵RAMのワーク領域を対象とする8ビット加算演算である。そして、チェックサム値が算出されたら、この演算結果を、RAMのSUM番地の記憶値と比較をする(ST7)。

【0143】

SUM番地には、電圧低下時に実行される電源監視処理(ST20)において、同じチ

50

エックサム演算によるチェックサム値が記憶されている。なお、記憶された演算結果は、内蔵RAMの他のデータと共に、バックアップ電源によって維持されている。したがって、本来は、ステップST7の判定によって両者が一致する筈である。

【0144】

しかし、電源降下時にチェックサム演算の実行できなかった場合や、実行できても、その後、メイン処理のチェックサム演算(ST6)の実行時までの間に、ワーク領域のデータが破損している場合もあり、このような場合にはステップST7の判定結果は不一致となる。

【0145】

そこで、判定結果の不一致によりデータ破損が検出された場合には、ステップST8の処理に移行させてRAMクリア処理を実行し、遊技機の動作を初期状態に戻す。一方、ステップST7の判定において、チェックサム演算(ST8)によるチェックサム値と、SUM番地の記憶値とが一致する場合には、上記したステップST10の処理に移行することになる。

【0146】

続いて、上記したメイン処理を中断させて、4mS毎に開始されるタイマ割込み処理プログラム(図10)を説明する。タイマ割込みが生じると、CPUのレジスタを保存することなく、直ちに電源監視処理を実行する(ST20)。これは、タイマ割込み処理が起動されるタイミングが、ステップST13の直後に固定されているためである。

【0147】

電源監視処理(ST20)では、電源基板20から供給されている電圧降下信号のレベルを判定し、異常レベルであれば、バックアップフラグBAKFLGを5AHに設定し、チェックサム値を算出して、SUM番地に記憶した上で、電源が遮断されるのを待つ。

【0148】

次に、普通図柄処理ST28における抽選処理で使用される当り用カウンタRGを更新する乱数作成処理を実行する(ST21)。当り用カウンタRGは、所定数値範囲内でインクリメント(+1)され、更新後のカウンタの値は、当り判定用乱数値として当否抽選処理で活用される。具体的には、当り用カウンタRGの値は、遊技球がゲート18を通過した場合に、普通図柄処理(ST18)における当り抽選処理で当り用カウンタRGが使用される。

【0149】

ところで、特別図柄処理(ST32)における大当り抽選処理に使用される抽選用乱数値RNDについては、乱数生成回路GNRから取得するので、ソフトウェア処理で更新されることはない。したがって、この意味でも、本実施例では、ROMの記憶容量を節約することができ、他の制御処理を豊富化することができる。

【0150】

なお、本明細書では、乱数生成回路GNRに関する説明の便宜上、当り用カウンタRGについて、ステップST21の処理で更新しているが、本実施例の乱数生成回路GNRからは、更新クロックを共通化するものの、数値が全く関連しない多数の乱数値を取得できるので、実際には、ステップST21の処理を排除するのが好ましく、そうすれば、ROMの記憶容量を更に節約することができる。

【0151】

何れにしても、次に、遊技動作の時間を管理しているタイマについてタイマ減算処理を行う(ST22)。減算されるタイマは、大入賞口16の開放時間や、その他の遊技演出時間を管理するものである。

【0152】

このようなタイマ減算処理が終わると、図柄始動口15やゲート18の検出スイッチを含む各種スイッチ類のスイッチ信号を取得して記憶する(ST23)。なお、図柄始動口15に関する入賞スイッチ信号SGは、乱数生成回路GNRの信号入力レジスタ35fをアクセスして取得する。一方、その他の検出スイッチによるスイッチ信号は、ワンチップ

10

20

30

40

50

マイコンの入力ポートINPから取得する。但し、入賞スイッチ信号SG以外のスイッチ信号についても、乱数生成回路GNRの信号入力レジスタ35fを経由させることができ、その方が好ましいことは前述した通りである。

【0153】

そして、何れのスイッチ信号も、今回の取得値と前回の取得値とを対比して、ON状態に遷移したか、或いは、OFF状態に遷移したかが判定され記憶される。従来の遊技機では、ノイズ対策として、スイッチ信号のON遷移やOFF遷移の判定に、複数回の割込み処理に跨った重複判定を要したが、本実施例では、乱数生成回路GNRにノイズ除去回路(図6C)を設けているので、入賞スイッチ信号SGについての重複判定は全く不要である。

10

【0154】

すなわち、従来は、割込み処理毎に繰り返し判定して、例えばOFF ON ONと推移したことを条件に、入賞スイッチ信号SGがON遷移したと判定していたが、本実施例では、単純にOFF ONの変化をステップST23の処理で確認できれば、それだけで、入賞スイッチ信号SGがON遷移したと判定することができる。なお、信号入力レジスタ35fを経由させれば、他のスイッチ信号についても同様の判定で足りることになる。

【0155】

このように、本実施例では、スイッチ信号がON遷移した2×後には、そのスイッチ信号がON遷移したと判定できるので、例えば、制御内容を複雑高度化するべく、割込み周期を大幅に長く設定しても(>>4mS)、入賞スイッチ信号SGやその他のスイッチ信号を読み落とすおそれがない。また、重複判定をしなくて良い分だけ、制御プログラムを簡素化でき、その分だけROMの消費量を抑制できる。

20

【0156】

さて、このようなスイッチ入力処理(ST23)が終わると、エラー管理処理を実行する(ST24)。エラー管理処理とは、遊技球の補給が停止したり、遊技球が詰まっているかなど、機器内部に異常が生じていないかの判定を意味する。

【0157】

また、乱数生成回路GNRに異常が発生していないかの判定を意味する。先に説明した通り、N個全ての数列生成部33...33について、その異常の有無は、ステイタスレジスタ35eに記憶されている。したがって、CPUは、ステイタスレジスタ35eを読み出すだけで、数列生成部33が正常に動作しているかを判定することができる。そして、ステイタスレジスタ35eを読み出す毎に、ステイタス値は正常レベルに戻るので、複数回の割込み処理で、数列生成部33に異常が認められる場合には、その異常を報知して制御動作を停止するようにしている(ST40)。

30

【0158】

エラー管理処理(ST24)が終われば、次に、払出制御部33向けの制御コマンドを作成した後(ST25)、この段階で生成されている制御コマンドを該当するサブ制御部に伝送する(ST26)。

【0159】

続いて、現在が当り中の動作モードでないことを条件に、普通図柄処理を実行する(ST28)。普通図柄処理とは、普通電動役物を作動させるか否かの判定を意味し、ステップST23のスイッチ入力結果によって遊技球がゲートを通過していると判定された場合に、乱数生成処理(ST21)で更新された当り用カウンタRGを、当り当選値と対比する。そして、対比結果が当選状態であれば当り中の動作モードに変更する。また、当り中となれば、普通電動役物の作動に向けた処理を行う(ST30)。

40

【0160】

次に、必要な制御コマンドを該当するサブ制御部に伝送し(ST31)、特別図柄処理を行う(ST32)。特別図柄処理とは、大入賞口16など特別電動役物を作動させるか否かの判定であり、大当り抽選処理を含んだ処理である。

【0161】

50

具体的な処理としては、ステップ S T 2 3 のスイッチ入力結果によって入賞スイッチ信号 S G が O N 遷移したと判定された場合には、乱数生成回路 G N R の乱数レジスタ 3 5 a の数値を取得して、大当り抽選用の乱数値 R N D として記憶する。この場合の取得処理としては、単一の命令（フェッチサイクルが単一）で、2 バイトデータを取得できるロード命令が使用される。例えば、図 7 に説明したロード命令 LD AW, (HL) が使用され、これに先行して、乱数レジスタ 3 5 a を特定するレジスタ番号 N N , N N + 1 についてのロード命令 LD HL, NN が使用される。

【 0 1 6 2 】

また、乱数レジスタ 3 5 c の数値を取得して、図柄抽選用の乱数値 R N D ' として記憶する。先に説明した通り、この実施例では、大当り抽選用の乱数値 R N D は、数値範囲（0 ~ 6 5 5 3 5）の 16 ビットデータであり、図柄抽選用の乱数値 R N D ' は、数値範囲（0 ~ 1 9 9）の 8 ビットデータである。したがって、乱数レジスタ 3 5 c のアクセスは、1 バイト用のロード命令である LD A, (DE) が使用される。

【 0 1 6 3 】

そして、このタイミングで、図柄演出処理（図柄表示部 D a ~ D c の図柄変動処理）が終了しており、且つ、抽選保留状態の先行する入賞スイッチ信号 S G が存在しない場合には、乱数値 R N D に基づいて大当り抽選処理を実行し、乱数値 R N D ' に基づいて図柄抽選を実行する（S T 3 2）。大当り抽選処理の当選状態では、図柄抽選処理によって確変当りか否か、及び、特別遊技のラウンド数が決定され、大当り抽選処理の外れ状態では、図柄抽選処理によって外れ図柄が決定される。

【 0 1 6 4 】

また、ステップ S T 3 2 の処理では、変動動作後の停止図柄の特定を含んで、変動パターンコマンドが抽選決定される。変動パターンコマンドとは、演出制御部 2 2 に伝送される演出動作用の制御コマンドであり、画像制御部 2 3 における図柄変動動作を規定したものである。この変動パターンコマンドは、大当り抽選の当否結果だけでなく、リーチ演出などの演出動作の総時間を特定してコマンドバッファに格納される。なお、コマンドバッファに格納された変動パターンコマンドは、その後のステップ S T 3 5 のタイミングで演出制御部 2 2 に伝送される。

【 0 1 6 5 】

一方、このタイミングが、図柄演出処理中であれば、大当り抽選処理が待機状態（抽選保留状態）となり、実行中の図柄演出が終了し、これに続く大当り抽選に伴う図柄演出が終了すれば、そのタイミングにおけるステップ S T 3 2 の処理として、保存状態の大当り抽選用の乱数値 R N D や、乱数値 R N D ' を使用した抽選処理が実行される。

【 0 1 6 6 】

何れにしても、特別図柄処理（S T 3 2）の大当り抽選処理によって当選状態となれば、大当り中の動作モードに変わり、大入賞口など特別電動役物の作動に向けた処理を行う（S T 3 4）。

【 0 1 6 7 】

次に、ステップ S T 3 2 の処理で生成された変動パターンコマンドが演出制御部 2 2 に伝送され（S T 3 5）、タイマ割込みが終わる。その結果、メインルーチン（不図示）の処理に戻ることになるが、所定時間（4 m S）経過すると、再度ステップ S T 1 1 の処理が開始されるので、ステップ S T 2 0 ~ 3 5 の処理は、4 m S 毎に繰り返されることになる。

【 0 1 6 8 】

以上説明した実施例では、入賞スイッチ信号 S G の O N 遷移を信号入力レジスタ 3 5 f の値に基づいて判定し（S T 2 3）、入賞スイッチ信号 S G が O N 遷移した場合には、各々、単一の命令で、乱数レジスタ 3 5 a , 3 5 c から 2 種類の乱数値 R N D , R N D ' を取得しており（S T 3 2）、ラッチレジスタ 3 5 b , 3 5 d やステイタスレジスタ 3 5 e をアクセスしない点で、プログラム負担が最小化されている。しかも、入賞スイッチ信号 S G の O N 遷移した直近のタイミングにおける数列生成部 3 3 の生成値を取得できる点で

10

20

30

40

50

も優れている。

【0169】

しかし、このような構成に限定されるものではなく、適宜に変更可能である。例えば、上書き禁止モードや上書き許可モードに設定されたラッチレジスタ(35b, 35dなど)から、複数種類の乱数値 RND, RND'...を取得するのも好適である。なお、この場合にも 16 ビット長のラッチレジスタ(35b)については、LD WA, (HL)などの命令で、2 バイト長の乱数値を一気に取得される。

【0170】

また、入賞スイッチ信号 SG の ON 遷移については、必ずしも、信号入力レジスタ 35f の値に基づいて判定する必要はなく、例えば、ステイタスレジスタ 35e のステイタス値(ラッチ情報)に基づいて判定しても良い。すなわち、本実施例では、信号入力レジスタ 35f に対すると同様の確実なノイズ対策を施した上で、ラッチパルス LT が出力されるので(図 6A (d) 参照)、ステイタスレジスタ 35e に加えて、信号入力レジスタ 35f をアクセスする必要は特にならない。

【0171】

但し、入賞スイッチ信号 SG の ON 状態が継続されている状態で、ラッチレジスタ(35b, 35dなど)を重複してアクセスしてしまう動作を防止するには、入賞スイッチ信号 SG の ON エッジに対応してラッチレジスタ(35b, 35dなど)をアクセスするのが好ましい。すなわち、入賞スイッチ信号 SG の ON エッジを検出するために、ステイタスレジスタ 35e に加えて、信号入力レジスタ 35f をアクセスするのが好ましい。

【0172】

なお、信号入力レジスタ 35f をアクセスする構成を探る場合には、入賞スイッチ信号 SG の OFF エッジを検出時に、ステイタスレジスタ 35e のステイタス値(ラッチ情報)をクリアすることもでき、ラッチレジスタ(35b, 35dなど)を上書き禁止モードで使用しても、何の問題も生じない。

【0173】

以上、本発明の実施例について詳細に説明したが、具体的な回路構成やプログラム処理は、適宜に変更可能であり、特に本発明を限定するものではない。例えば、図 5 (b) の回路構成では、D ラッチ 50 は、OR ゲート 52 の出力によって制御されているが、OR ゲート 52 を省略して、制御信号 MREQ や制御信号 RD によって D ラッチ 50 を制御しても良い。

【0174】

また、16 ビット固定長 / 可変長の数列生成部 FCT₁₆ や、8 ビット固定長 / 可変長の数列生成部 VCT₈ の用途は、上記したものに限定されず、各種の活用が可能である。例えば、特別図柄抽選処理(ST32)において、先の実施例で使用した数列生成部 VCT₈ と同一又は別の数列生成部 VCT₈ を使用して、その数列生成部 VCT₈ が生成する数値に基づいて、変動パターンコマンドを抽選決定することができる。

【0175】

この場合、変動パターンコマンドの個数と、数列生成部 VCT₈ が生成する数値列の数値範囲を同一に設定すれば、各変動パターンの当選率を同一にすることができます。逆に、変動パターンコマンドの個数より数列生成部 VCT₈ の数値範囲を広げれば、各変動パターンの当選率を非同一にすることで、変動パターン毎に、当選率を適宜に振分け設定することもできる。

【0176】

また、このような振分け抽選を想定すると、16 ビット可変長の数列生成部 FCT₁₆ が生成する数値に基づいて、変動パターンコマンドの決定や、非確変当りか確変当りかを規定する図柄抽選を実行するのも好適である。数列生成部 FCT₁₆ を使用すると、生成される数値範囲が広いので、例えば、1000 程度の数値範囲の乱数値に基づいて、細かな振分け抽選が可能になる。

【0177】

10

20

30

40

50

また、図10の実施例では、説明の便宜上、ソフトウェアカウンタ（当り用カウンタR G）に基づいて、普通図柄処理（S T 2 8）を実施したが、乱数生成回路G N Rからの取得値を使用するのが好適であることは先に説明した通りである。

【0178】

この場合、普通図柄処理S T 2 8での抽選処理で使用される乱数値として、数列生成部C T ₈や数列生成部C T _{1,6}が生成する固定長／可変長の数値が活用される。そして、8ビット可変長や16ビット可変長の数値は、例えば、普通図柄表示部19に表示する普通図柄を決定する用途や、その他の用途で使用される。

【0179】

その他の用途としては、例えば、電動式チューリップ（電チュー）の開放パターンの抽選決定が考えられる。この場合、電チューの開放パターンとして、開放回数（3回／4回）や、開放時間（3秒／5秒）などを適宜に組み合わせた多数の種類が用意され、普通図柄処理S T 2 8での当選時に、その何れかが抽選決定される。

【0180】

また、実施例では、信号入力レジスタ35fの記憶値に基づいて、入賞スイッチ信号S GのON／OFF状態を判定したが、入賞スイッチ信号S Gを、通常の入力ポートI N Pに供給する構成を採れば、入力ポートI N Pからの取得値に基づいて、入賞スイッチ信号S GのON／OFF状態を判定することができる。

【0181】

このような場合には、必ずしも、乱数生成回路G N Rに入賞スイッチ信号S Gを供給する必要はなく、入賞スイッチ信号S GがON状態であると判定される場合に、乱数レジスタ35a, 35cの数値を取得して抽選用乱数値とすれば良い。なお、入力ポートI N Pから取得した入賞スイッチ信号S Gが、ON状態又はOFF状態であると判定するに当って、ノイズ対策として、複数回の割込み処理において、入賞スイッチ信号S Gが同一レベルであることを条件としても良い。

【0182】

何れにしても、乱数生成回路G N Rに入賞スイッチ信号S Gを供給しない構成を採ると、ラッチ回路34Gやラッチレジスタ35b、35dは機能しないが、本実施例では、数列生成部41a, 41bの出力を受ける乱数レジスタ35a, 35cが設けられているので問題が生じない。

【0183】

ところで、図10に示す実施例では、特別図柄処理（S T 3 2）において、乱数生成回路G N Rの乱数レジスタ35a, 35cの数値を取得して抽選処理を実行したが、乱数レジスタ35a, 35cに代えて、ラッチレジスタ35b, 35dの数値を活用しても良いのは勿論である。そして、この場合には、図10に示す実施例と同様、図柄始動口15に関する入賞スイッチ信号S Gは、乱数生成回路G N Rの信号入力レジスタ35fをアクセスして取得するのが好ましい（S T 2 3参照）。

【0184】

図11は、ラッチレジスタ35b, 35dの数値を取得して抽選処理を実行する実施例を説明する図面であり、図6（A）と図6（B）のタイムチャートを、上書き禁止モード及び上書き許可モードについて纏めたものである。なお、図示例では、入賞スイッチ信号S GがOFF状態となってから、ラッチレジスタ35b, 35dの値が、C P Uに取得されるが（図11の右端下部read参照）、特に限定されない。

【0185】

以上を踏まえて説明すると、入賞スイッチ信号S G（図11（a））がON状態であると、ラッチパルスL Tは、例えば、更新クロックの128個（=128）毎に出力される（図11（d））。また、入賞スイッチ信号S GのON／OFFレベルは、例えば、更新クロックの128個分程度（128）の遅延時間を経て、信号入力レジスタ35fに記憶される。なお、更新クロックの周波数が10MHzであれば、遅延時間は、ほぼ12.8μSである。

10

20

30

40

50

【0186】

そのため、信号入力レジスタ35fを定時に繰り返しアクセスして、その記憶値のONエッジを確認し、直ちに、ラッチレジスタ35b, 35dのラッチデータを読み出す構成を探る場合(図10のST23, ST32参照)には、入賞スイッチ信号SWのONエッジに極めて近いタイミング(+12.8μS)の乱数値を取得することができる。この点は、動作モードが、上書き禁止モードであるか、上書き許可モードであるかに拘わらず、図11(f)や図11(g)に示す数列生成部41の更新値(数値Xや数値Y)が、抽選用の乱数値としてCPUに取得される。

【0187】

なお、図11(d)、図11(e)、図11(f)の関係から確認される通り、上書き禁止モードでは、CPUの乱数値を取得タイミングが如何に遅れても、最初のラッチパルスLTのタイミングの更新値Xが取得される。

10

【0188】

なお、ここでは、信号入力レジスタ35fを定時に繰り返しアクセスして、その記憶値のONエッジを確認して特別図柄処理(ST32)を実行する構成を説明したが、何ら限定されず、信号入力レジスタ35fの記憶値のOFFエッジを確認することを条件に、特別図柄処理(ST32)を実行しても良い。

【0189】

上書き禁止モードを探る場合には、このような構成でも、入賞スイッチ信号SWのONエッジに極めて近いタイミング(+12.8μS)の乱数値(数値X)を取得することができる。一方、上書き許可モードを探る場合には、入賞スイッチ信号SWのOFFエッジに極めて近いタイミングの乱数値(数値Z)を取得することができる。

20

【0190】

そして、信号入力レジスタ35fの記憶値のOFFエッジを確認する構成を探る場合には、上書き禁止モードであるか、上書き許可モードであるかに拘わらず、入賞スイッチ信号SG(図11(a))が確実に立下った後に、ステイタスレジスタのステイタス値(ラッチ情報)がOFFレベルとなるので(図11(h)のreadタイミング参照)、入賞スイッチ信号SGのON時間が如何に長くても、ラッチレジスタ(35b, 35dなど)を重複してアクセスしてしまうおそれがない。すなわち、CPUによる乱数取得タイミング(図11のread)の後は、ラッチパルスLTが出力されることがないので、ステイタスレジスタ35eのステイタス値(ラッチ情報)が改めてON状態となることはなく、したがって、乱数取得処理の重複実行のおそれがない。

30

【0191】

また、本発明の適用は、弾球遊技機に限定されるものではなく、回胴遊技機を含む各種の遊技機に適用可能である。

【符号の説明】

【0192】

GM 遊技機

21 主制御手段

21A ワンチップマイコン

40

SG スイッチ信号

CLK システムクロック

XCLK 外部クロック

GNR 乱数生成手段

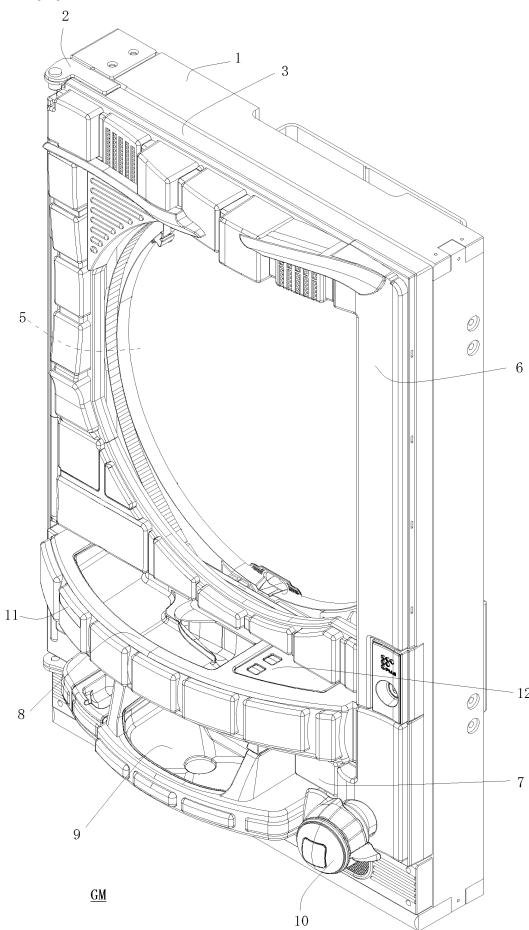
33G 数値更新手段

34G ラッチ手段

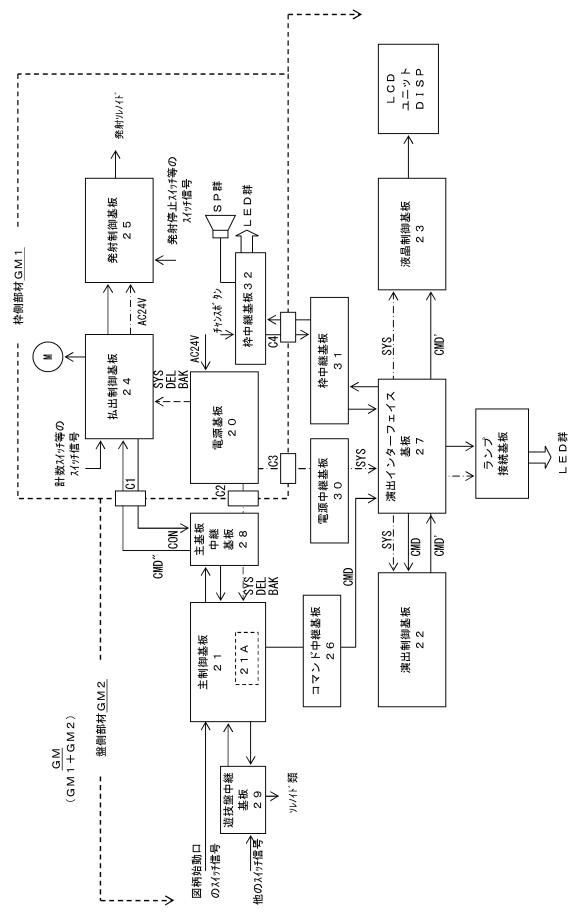
30 パルス出力手段

35f 信号取得手段

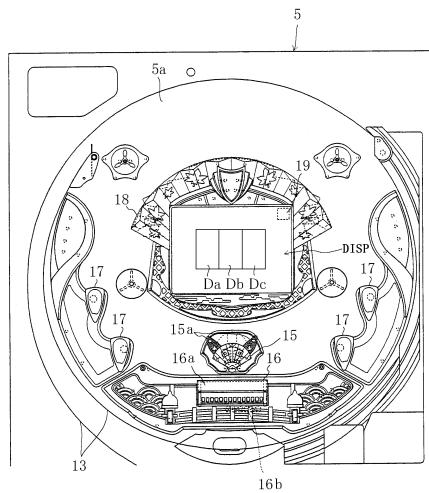
【図1】



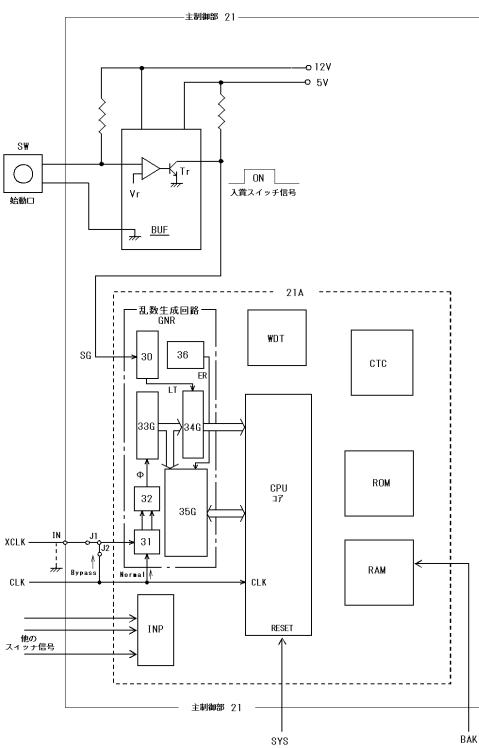
【図3】



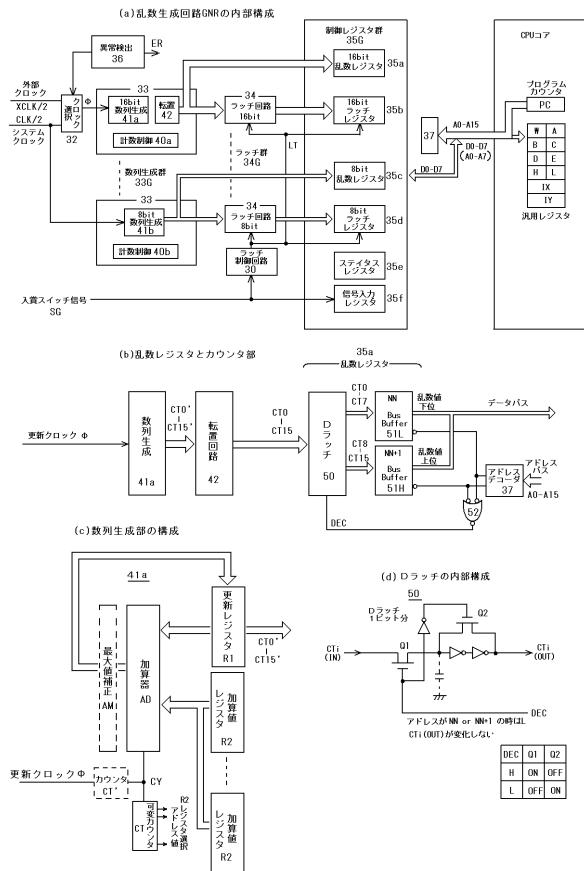
【図2】



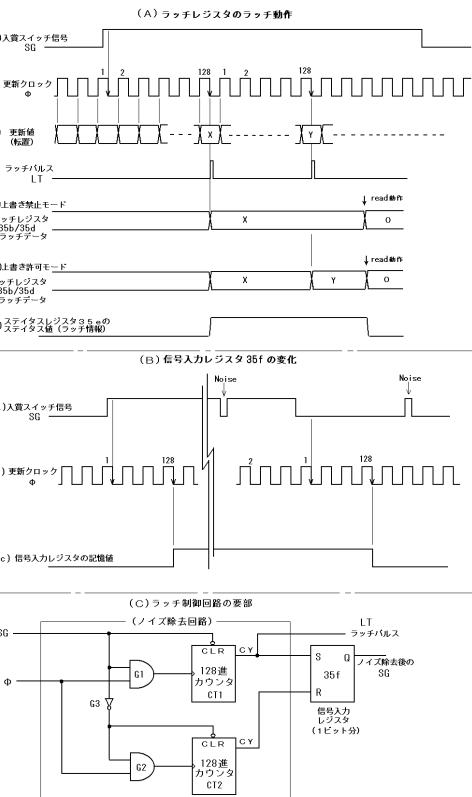
【図4】



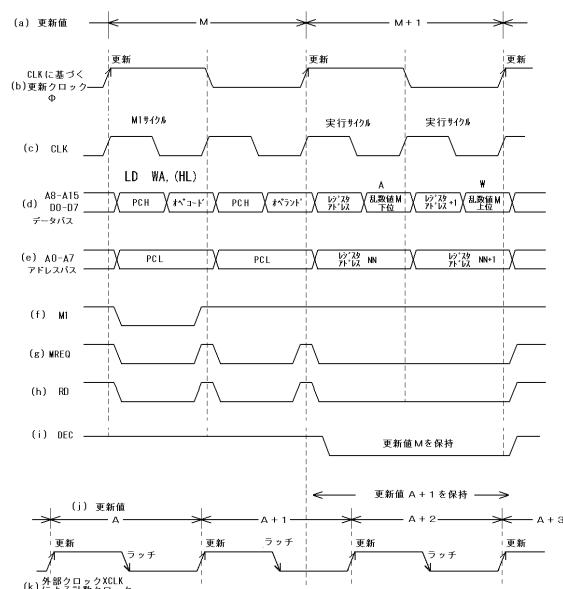
【図5】



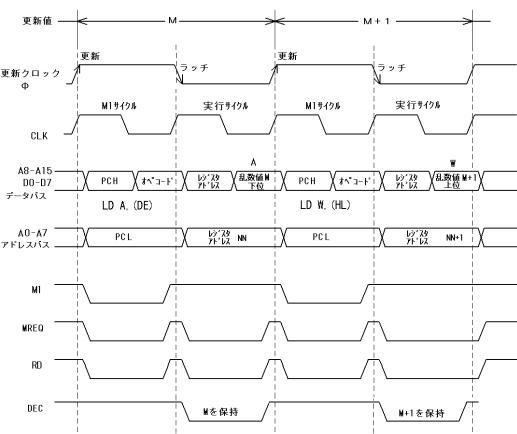
【図6】



【図7】



【図8】



(L)制御レジスタと汎用レジスタ

レジスタアドレス 乱数レジスタ

NN RND(L)

NN+1 RND(H)

LD WA, (HL)

1 バイト目
[乱数値下位] → [乱数値上位] → 2 バイト目

DEC

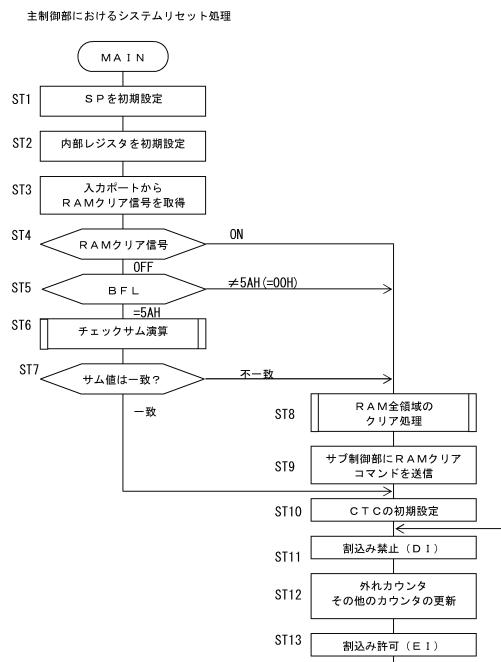
CPU

汎用レジスタ

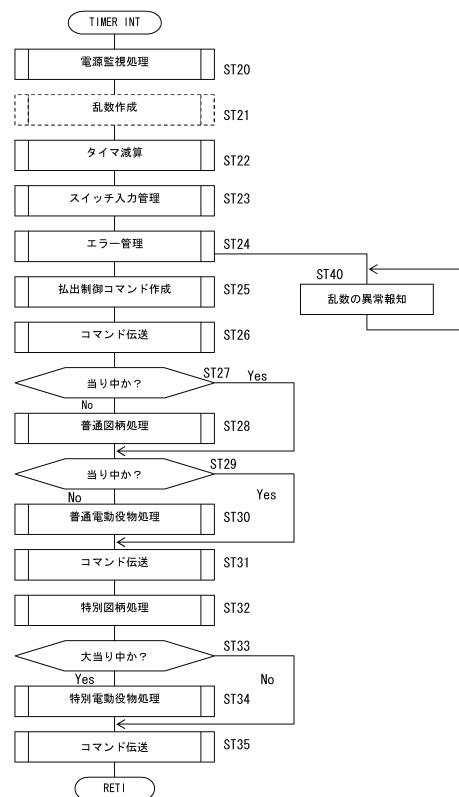
A RND(L)

W RND(H)

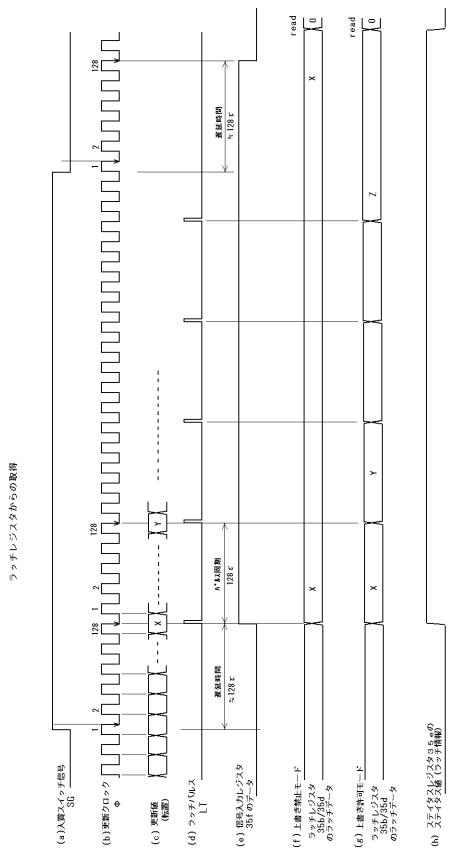
【図9】



【図10】



【図11】



フロントページの続き

(56)参考文献 特開2010-017337(JP, A)
特開2013-118941(JP, A)
特許第5801853(JP, B2)

(58)調査した分野(Int.Cl., DB名)

A 6 3 F 7 / 0 2