

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2008 年 9 月 12 日 (12.09.2008)

PCT

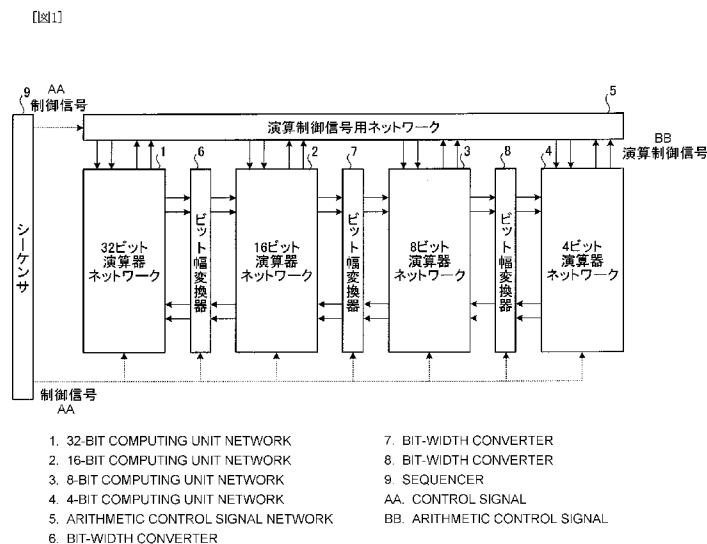
(10) 国際公開番号
WO 2008/107969 A1

- (51) 国際特許分類:
G06F 15/80 (2006.01)
- (21) 国際出願番号: PCT/JP2007/054265
- (22) 国際出願日: 2007 年 3 月 6 日 (06.03.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 笠間 一郎 (KASAMA, Ichiro) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 酒井 昭徳 (SAKAI, Akinori); 〒1006020 東京都千代田区霞が関 3 丁目 2 番 5 号 霞が関ビルディング 20 階 酒井総合特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

[続葉有]

(54) Title: ARITHMETIC DEVICE

(54) 発明の名称: 演算装置



(57) Abstract: An arithmetic device has a computing unit network (1) comprising a 32-bit wide computing unit, a computing unit network (2) comprising a 16-bit wide computing unit, a computing unit network (3) comprising an 8-bit wide computing unit, a computing unit network (4) comprising a 4-bit wide computing unit, and an arithmetic control signal network (5) for controlling these networks. Each network has a structure that is reconfigurable by a plurality of computing units. When data is transferred from a certain computing unit network to another computing unit network comprising a computing unit having a bit width different from that of the certain computing unit, the number of data bits is converted by bit-width converters (6, 7, 8) so as to have the number of data bits match the bit width of a computing unit network to which the data is to be transferred.

(57) 要約: 32ビット幅の演算器からなる演算器ネットワーク(1)、16ビット幅の演算器からなる演算器ネットワーク(2)、8ビット幅の演算器からなる演算器ネットワーク(3)、4ビット幅の演算器からなる演算器ネットワーク(4)、およびそれらを制御する演算制御信号用ネットワーク(5)を有する。各ネットワークは、複数の演算器により再構成可能な構成となっている。ある演算器ネットワークから、その演算器ネットワ

[続葉有]



WO 2008/107969 A1



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

一クとは異なるビット幅の演算器からなる別の演算器ネットワークにデータが渡される場合には、ビット幅変換器（６）、（７）、（８）により、データが渡される側の演算器ネットワークのビット幅に合うように、データのビット数を変換する。

明 細 書

演算装置

技術分野

[0001] この発明は、異なるビット幅の演算器を混載した再構成可能な演算装置に関する。

背景技術

[0002] 従来、再構成可能な演算装置として、次のようなものが公知である。例えば、特許文献1には、複数のプロセッシングユニットと、前記複数のプロセッシングユニットの少なくとも一部のプロセッシングユニットを直列に接続する第1の伝送経路を形成可能な接続網とを有し、前記プロセッシングユニットは、前記第1の伝送経路により接続された他のプロセッシングユニットとの間で、前記第1の伝送経路により接続されたプロセッシングユニットによりシリアルに処理されるデータを伝達する第1の伝達手段と、前記第1の伝送経路を介して、前記複数のプロセッシングユニットの特定のプロセッシングユニットに対するメッセージをワームホールルーティングにより伝達する第2の伝達手段とを有する構成のデータ処理装置が開示されている。

[0003] また、特許文献2には、それぞれが複数の演算機能を選択的に実行可能な論理回路の多段配列と、前段の論理回路の出力と後段の論理回路の入力の接続関係を設定可能な接続部とを含み、前記接続部には、論理回路間の接続用結線とは別に、途中段の論理回路へのデータの直接入力可能な入力用結線が設けられているリコンフィギュラブル回路が開示されている。このリコンフィギュラブル回路では、前記論理回路は、複数種類の多ビット演算を選択的に実行可能な算術論理回路により構成されている。

[0004] 特許文献1:特開2005-157653号公報

特許文献2:特開2004-221997号公報

発明の開示

発明が解決しようとする課題

[0005] しかしながら、従来の再構成可能な演算装置では、該演算装置を構成する複数の演算器は、乗算後に丸め処理を行うために一時的にビット幅が増える場合を除いて、

同じビット幅(例えば、16ビット)を有している。これは、上述した特許文献1に開示されたデータ処理装置や、特許文献2に開示されたリコンフィギュラブル回路においても、同様である。そのため、従来の構成では、演算器のビット幅よりも小さいビットでの演算を行うと、実装している演算器の仕様が過剰となり、面積効率が極端に悪化するという問題点がある。また、演算器のビット幅よりも大きいビットでの演算を行うと、レイテンシが悪化するという問題点がある。

[0006] また、特許文献1では、複数のプロセッシングユニットが同じビット幅の演算器で構成されていることを前提としているようである。そのため、あるプロセッシングユニットの演算器が4ビット幅であり、別のプロセッシングユニットの演算器が8ビット幅であり、さらに別のプロセッシングユニットの演算器が16ビット幅である、というような構成は想定されていない。従って、特許文献1には、プロセッシングユニット間で、ビットの圧縮(丸める)や伸張(拡張)を行って、ビット幅を変換するという技術的な思想はない。また、特許文献1には、シーケンサによって、プロセッシングユニット間の接続やビット幅の変換を同時に制御することについては、何ら記載されていない。特許文献2についても、同様である。

[0007] この発明は、上述した従来技術による問題点を解消するため、演算器のビット幅が演算のビットと異なることによる面積効率の悪化やレイテンシの悪化を防ぐことができる再構成可能な演算装置を提供することを目的とする。

課題を解決するための手段

[0008] 上述した課題を解決し、目的を達成するため、本発明にかかる再構成可能な演算装置は、複数の演算器ネットワーク、ビット幅変換器、演算制御信号用ネットワークおよびシーケンサを備える。演算器ネットワークは、複数の演算器で構成されている。その複数の演算器は、再構成可能なネットワークを構成している。同じ演算器ネットワークでは、演算器のビット幅は同じである。演算器ネットワークが異なると、演算器のビット幅が異なる。

[0009] 演算器ネットワークは、レジスタなし演算器ネットワークとレジスタ付き演算器ネットワークに分離されている。レジスタなし演算器ネットワークは、レジスタの付いていない演算器により構成される。レジスタ付き演算器ネットワークは、レジスタの付いた演算

器により構成される。レジスタなし演算器ネットワークとレジスタ付き演算器ネットワークは、直列またはループ構造をなすように接続されている。

[0010] ビット幅変換器は、ビット幅の異なる演算器からなる演算器ネットワーク間でビット幅の変換を行う。演算制御信号用ネットワークは、演算器により再構成可能なネットワークを構成している。演算制御信号用ネットワークは、複数の演算器ネットワークに共通であり、演算器ネットワークを制御する。シーケンサは、演算器ネットワーク、演算制御信号用ネットワークおよびビット幅変換器に対して、回路構成の切り替えタイミングを制御する。

[0011] この発明によれば、異なるビット幅の演算器を混載した再構成可能な演算装置が得られる。従って、複数の演算器ネットワークの中から、演算のビット数に応じて、そのビット数に一致するビット幅の演算器により構成される演算器ネットワークが選択され、その選択された演算器ネットワークでもって演算が行われる。また、ある演算器ネットワークから、その演算器ネットワークとは異なるビット幅の演算器からなる別の演算器ネットワークにデータが渡される場合には、ビット幅変換器により、データが渡される側の演算器ネットワークのビット幅に合うように、データのビット数に変換される。さらに、複数の演算器ネットワークに対して演算制御信号用ネットワークが共通であることにより、制御信号についての性能悪化が最小限に抑えられる。

発明の効果

[0012] 本発明にかかる再構成可能な演算装置によれば、演算器のビット幅が演算のビットと異なることによる面積効率の悪化やレイテンシの悪化を防ぐことができるという効果を奏する。

図面の簡単な説明

[0013] [図1]この発明の実施の形態にかかる再構成可能な演算装置の構成を示す図である。

[図2]図1に示す演算装置に含まれる演算器を説明する図である。

[図3]各演算器ネットワークの構成を示す図である。

[図4]この発明の実施の形態にかかるレジスタなし演算器ネットワークの構成を示す図である。

[図5]この発明の実施の形態にかかるレジスタ付き演算器ネットワークの構成を示す図である。

[図6]この発明の実施の形態にかかる演算制御信号用ネットワークの構成を示す図である。

符号の説明

- [0014] 1, 2, 3, 4 演算器ネットワーク
5 演算制御信号用ネットワーク
6, 7, 8 ビット幅変換器
9 シーケンサ
10 レジスタなし演算器ネットワーク
11 レジスタ付き演算器ネットワーク
21～32 レジスタのない演算器
33, 34 レジスタファイル
35, 36, 53 セレクタスイッチ
41～52 レジスタ付き演算器

発明を実施するための最良の形態

- [0015] 以下に添付図面を参照して、この発明にかかる再構成可能な演算装置の好適な実施の形態を詳細に説明する。

- [0016] 図1は、この発明の実施の形態にかかる再構成可能な演算装置の構成を示す図である。図1に示すように、例えば、演算装置は、32ビット演算器ネットワーク1、16ビット演算器ネットワーク2、8ビット演算器ネットワーク3、4ビット演算器ネットワーク4、演算制御信号用ネットワーク5、ビット幅変換器6, 7, 8およびシーケンサ9を備えている。

- [0017] 32ビット演算器ネットワーク1は、32ビット幅の複数の演算器(PE:Processor Element)により構成されており、それら演算器が再構成可能なネットワークを構成している。16ビット演算器ネットワーク2、8ビット演算器ネットワーク3および4ビット演算器ネットワーク4についても同様であり、それぞれ、16ビット幅、8ビット幅および4ビット幅の複数の演算器により再構成可能なネットワークが構成されている。

- [0018] これら各ビットの演算器ネットワークは、外部データの処理に供せられる。図1では、これら各ビットの演算器ネットワーク1, 2, 3, 4がビット幅の順に並んでいるが、これに限らない。演算制御信号用ネットワーク5は、32ビット、16ビット、8ビットおよび4ビットの各演算器ネットワーク1, 2, 3, 4に共通であり、これら各ビットの演算器ネットワーク1, 2, 3, 4との間で演算制御信号の送受信を行い、各ビットの演算器ネットワーク1, 2, 3, 4において演算を行うか否かを制御する。演算制御信号用ネットワーク5は、演算器により再構成可能なネットワークを構成している。
- [0019] ビット幅変換器6, 7, 8は、演算器ネットワーク間でビット幅の変換を行う。すなわち、図1の例では、32ビット演算器ネットワーク1と16ビット演算器ネットワーク2の間のビット幅変換器6は、前者から後者に渡されるデータのビット数を32ビットから16ビットに圧縮(丸め)、後者から前者に渡されるデータのビット数を16ビットから32ビットに伸張(拡張)する。
- [0020] 同様に、16ビット演算器ネットワーク2と8ビット演算器ネットワーク3の間のビット幅変換器7、および8ビット演算器ネットワーク3と4ビット演算器ネットワーク4のビット幅変換器8は、それぞれ、16ビットと8ビットの間、および8ビットと4ビットの間にビットの圧縮および伸長を行う。シーケンサ9は、32ビット、16ビット、8ビットおよび4ビットの各演算器ネットワーク1, 2, 3, 4、演算制御信号用ネットワーク5およびビット幅変換器6, 7, 8に対して、回路構成の切り替えタイミングを制御する。なお、各演算器ネットワーク1, 2, 3, 4、演算制御信号用ネットワーク5およびビット幅変換器6, 7, 8ごとに別々にシーケンサを設けてもよい。
- [0021] 図2は、各ビットにおける演算器を説明する図である。図2に示すように、例えば、演算器には、AND(論理積)やOR(論理和)やEOR(排他的論理和)やINV(否定)を実行するロジックPE、比較・加減算命令を実行してプレディケート生成するコンペアPE、シフト・マスク命令を実行するシフトPE、加減算命令を実行する加減算PE、特定条件判定でプレディケート生成するプレディケートPE、乗算を実行して上位ビット幅への接続が可能な乗算PE、1クロックサイクルの遅延を発生するディレイPE、カウント動作を行なってプレディケート生成するカウンタPE、データを保持するRAM_PE、データのビット数を伸長するエクステンションPE、乗算PEとともに使用されてデー

タのビット数を圧縮するラウンドPE、絶対値・補数命令を実行する絶対値・補数PE、および入力データを累積して丸めて出力するアキュムレートPEなどがある。

[0022] また、これら各演算器には、32、16、8および4の各ビット幅のものがある。32ビット、16ビット、8ビットおよび4ビットの各演算器ネットワーク1, 2, 3, 4には、図2に示す各演算器のうち、それぞれ、32ビット、16ビット、8ビットおよび4ビットの演算器が配置されている。演算制御信号用ネットワーク5には、プレディケートPEが配置されている。ビット幅変換器6, 7, 8には、変換するビット幅に対応するエクステンションPEやラウンドPEや乗算PEが配置されている。

[0023] 図3は、32ビット、16ビット、8ビットおよび4ビットの各演算器ネットワークの構成を示す図である。図3に示すように、例えば、各演算器ネットワーク1, 2, 3, 4は、レジスタのない演算器(図2において、属性がレジスタなしのもの)からなるレジスタなし演算器ネットワーク10と、レジスタを備える演算器(図2において、属性がレジスタありのもの)からなるレジスタ付き演算器ネットワーク11に分離されている。

[0024] さらに、レジスタなし演算器ネットワーク10は、レジスタのない演算器からなるレジスタなし演算器アレイ12とレジスタ器13を備えている。レジスタ付き演算器ネットワーク11は、ビット幅変換器6(7, 8)に対して相互にデータ送信が可能に接続されている。レジスタなし演算器アレイ12は、レジスタ付き演算器ネットワーク11およびレジスタ器13に対して、それぞれ、相互にデータ送信が可能に接続されている。

[0025] 例えば、ビット幅変換器6(7, 8)からレジスタ付き演算器ネットワーク11に入力されたデータは、レジスタ付き演算器ネットワーク11に入力され、必要に応じてそこで演算される。その演算結果は、必要に応じてレジスタなし演算器アレイ12に入力され、そこで演算され、レジスタ器13に送られる。また、レジスタ器13から出力されるデータは、レジスタなし演算器アレイ12に入力され、必要に応じてそこで演算される。その演算結果は、必要に応じてレジスタ付き演算器ネットワーク11に入力され、そこで演算され、ビット幅変換器6(7, 8)へ出力される。

[0026] 図4は、レジスタなし演算器ネットワークの構成を示す図である。図4に示すように、例えば、レジスタなし演算器ネットワーク10は、レジスタのない演算器21~32、レジスタファイル33, 34およびセクタスイッチ35, 36を備えている。演算器21~32は、

例えば、4行3列のマトリクス状に配置されている。なお、レジスタのない演算器の配置の行数および列数は、この例に限らない。レジスタファイル33, 34は、前記レジスタ器13に相当し、フリップフロップにより構成されている。このフリップフロップは、レジスタ付き演算器ネットワーク11と同じクロックで動作する。

[0027] 前段のレジスタファイル33は、レジスタ付き演算器ネットワーク11に接続されている。1列目の演算器21, 22, 23, 24は、前段のレジスタファイル33の出力端子に接続されている。前段のセクタスイッチ35は、1列目の演算器21, 22, 23, 24の出力端子に接続されている。2列目の演算器25, 26, 27, 28は、前段のセクタスイッチ35の出力端子に接続されている。後段のセクタスイッチ36は、2列目の演算器25, 26, 27, 28の出力端子に接続されている。3列目の演算器29, 30, 31, 32は、後段のセクタスイッチ36の出力端子に接続されている。

[0028] 後段のレジスタファイル34は、3列目の演算器29, 30, 31, 32の出力端子に接続されている。前段のレジスタファイル33と、前段のセクタスイッチ35および後段のセクタスイッチ36との間は、相互にデータ送信が可能に接続されている。後段のレジスタファイル34と、前段のセクタスイッチ35および後段のセクタスイッチ36との間は、相互にデータ送信が可能に接続されている。

[0029] 前段のセクタスイッチ35と後段のセクタスイッチ36の間は、前者から後者への一方向のデータ送信が可能になっている。このように、レジスタなし演算器ネットワーク10の内部では、両端のレジスタファイルの間に、レジスタのない演算器列とセクタスイッチが、演算器列の間にセクタスイッチ35を挟むように、配置されている。なお、レジスタファイル33, 34の内部にセクタスイッチがあってもよい。この場合、そのセクタスイッチもコンフィギュレーションメモリにより制御される。

[0030] セクタスイッチ35, 36は、全体の制御方法を決定しているコンフィギュレーションメモリにより制御される。その制御により、例えば、レジスタ付き演算器ネットワーク11からレジスタなし演算器ネットワーク10に入力されたデータは、前段のレジスタファイル33を経由して1列目の演算器21, 22, 23, 24のいずれかの演算器、前段のセクタスイッチ35または後段のセクタスイッチ36へ送られる。1列目の演算器21, 22, 23, 24のいずれかの演算器に送られた場合、その演算器の演算結果は、前段の

セクタスイッチ35へ送られる。

- [0031] 前段のセクタスイッチ35に入力されたデータは、2列目の演算器25, 26, 27, 28のいずれかの演算器、または後段のセクタスイッチ36へ送られるか、前段のレジスタファイル33へ戻される。2列目の演算器25, 26, 27, 28のいずれかの演算器に送られた場合、その演算器の演算結果は、後段のセクタスイッチ36へ送られる。後段のセクタスイッチ36に入力されたデータは、3列目の演算器29, 30, 31, 32のいずれかの演算器、または後段のレジスタファイル34へ送られるか、前段のレジスタファイル33へ戻される。
- [0032] 3列目の演算器29, 30, 31, 32のいずれかの演算器に送られた場合、その演算器の演算結果は、後段のレジスタファイル34へ送られる。後段のレジスタファイル34に入力されたデータは、前段のセクタスイッチ35または後段のセクタスイッチ36へ戻される。前段のレジスタファイル33に戻されたデータは、再び上述したようにレジスタなし演算器ネットワーク10内へ送られるか、レジスタ付き演算器ネットワーク11へ送られる。
- [0033] このように、レジスタなし演算器ネットワーク10の内部において、データが前段のレジスタファイル33または後段のレジスタファイル34を経由する。それによって、データが前段のレジスタファイル33または後段のレジスタファイル34からクロックに同期して出力されるので、レジスタなし演算器ネットワーク10とレジスタ付き演算器ネットワーク11の同期をとることができる。
- [0034] 図5は、レジスタ付き演算器ネットワークの構成を示す図である。図5に示すように、例えば、レジスタ付き演算器ネットワーク11は、レジスタ付き演算器41～52およびセクタスイッチ53を備えている。レジスタ付き演算器41～52は、2列に配置されており、レジスタなし演算器ネットワーク10と同じクロックで動作する。セクタスイッチ53は、1列目の演算器41～46と2列目の演算器47～52の間に配置されており、いずれの演算器41～52とも相互にデータ送信が可能に接続されている。また、セクタスイッチ53は、レジスタなし演算器ネットワーク10に相互にデータ送信が可能に接続されている。
- [0035] 図6は、演算制御信号用ネットワークの構成を示す図である。図6に示すように、例

例えば、演算制御信号用ネットワーク5は、ルックアップテーブルを保持するメモリ部61、AND(論理積)やOR(論理和)やINV(否定)やNOR(否定論理和)やEOR(排他的論理和)を実行するロジック部62およびセクタスイッチ63, 64を備えている。32ビット、16ビット、8ビットおよび4ビットの各演算器ネットワーク1, 2, 3, 4の演算器からの演算制御信号は、前段のセクタスイッチ63を経由してメモリ部61またはロジック部62に渡される。

[0036] メモリ部61に演算制御信号が渡されると、ルックアップテーブルが参照され、入力された演算制御信号に応じた信号がメモリ部61から出力される。ロジック部62に演算制御信号が渡されると、その演算制御信号に応じた論理演算結果がロジック部62から出力される。メモリ部61またはロジック部62から出力された信号は、後段のセクタスイッチ64を経由して、同じ演算器ネットワーク内または異なる演算器ネットワーク内の演算器へ送られる。

[0037] 以上説明したように、実施の形態によれば、32ビット、16ビット、8ビットおよび4ビットの各演算器ネットワーク1, 2, 3, 4の中から、演算のビット数に応じて、そのビット数に一致するビット幅の演算器により構成される演算器ネットワークが選択され、その選択された演算器ネットワークでもって演算が行われる。また、ある演算器ネットワークから、その演算器ネットワークとは異なるビット幅の演算器からなる別の演算器ネットワークにデータが渡される場合には、ビット幅変換器6, 7, 8により、データが渡される側の演算器ネットワークのビット幅に合うように、データのビット数が変換される。さらに、演算制御信号用ネットワーク5が全ての演算器ネットワーク1, 2, 3, 4に対して共通であるので、制御信号についての性能悪化が最小限に抑えられる。従って、異なるビット幅の演算器を混載し、演算器のビット幅が演算のビットと異なることによる面積効率の悪化やレイテンシの悪化を防ぐことができる再構成可能な演算装置が得られるという効果を奏する。

[0038] 以上において本発明は、上述した実施の形態に限らず、種々変更可能である。例えば、各演算器ネットワーク1, 2, 3, 4を、唯一のデータネットワークを有し、バススイッチタイプ結合によって非同期ループ結線を抑制した構成としてもよい。また、レジスタのない演算器を用いずに、全ての演算器をレジスタ付き演算器としてもよい。

産業上の利用可能性

[0039] 以上のように、本発明にかかる再構成可能な演算装置は、例えば種々の通信規格に対応可能なソフトウェア無線機に有用であり、特に、複数の通信方式に対応可能な携帯電話機や無線LAN(ローカル・エリア・ネットワーク)装置に適している。

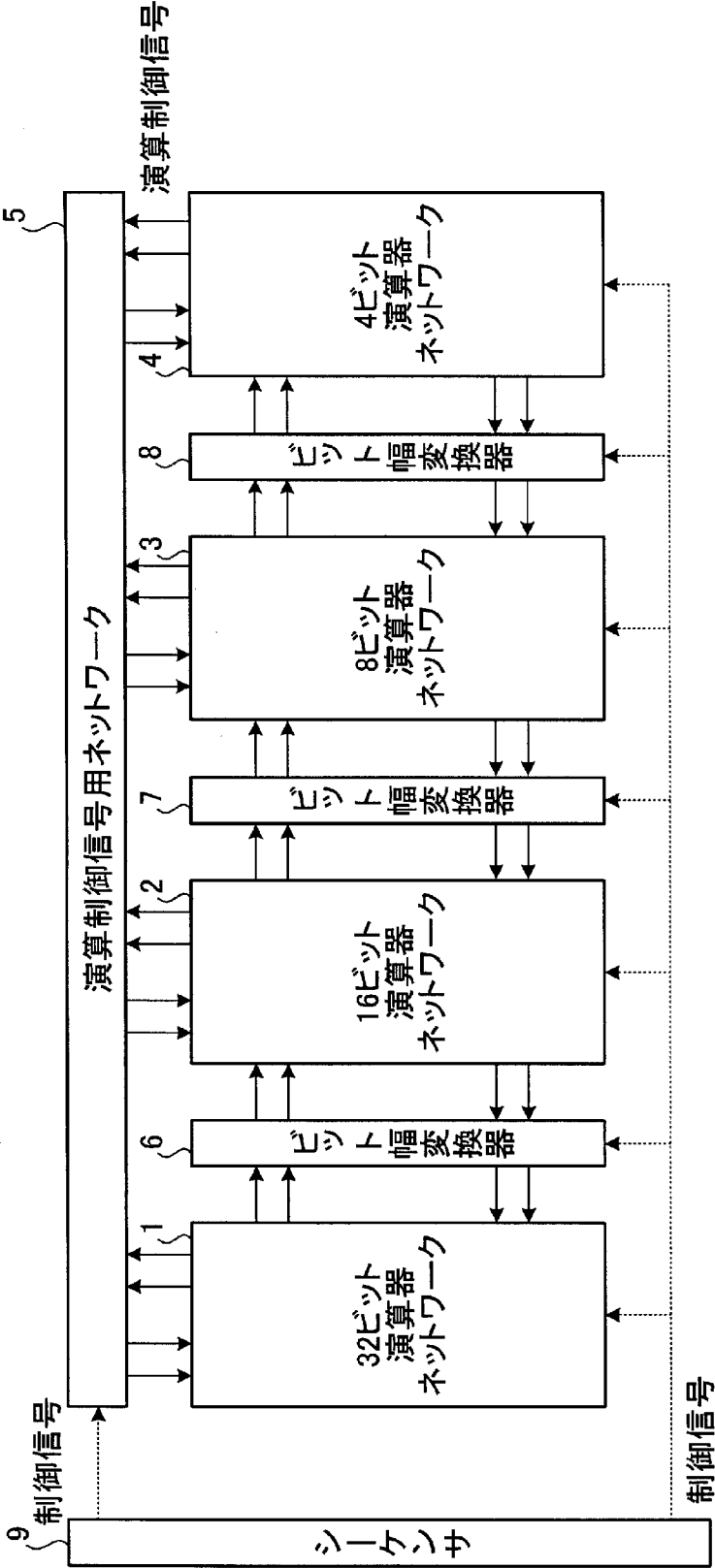
請求の範囲

- [1] 同じビット幅の複数の演算器が再構成可能なネットワークを構成し、かつネットワークによって前記演算器のビット幅が異なる複数の演算器ネットワークと、
- ビット幅の異なる演算器からなる前記演算器ネットワーク間でビット幅の変換を行うビット幅変換器と、
- 演算器により再構成可能なネットワークを構成し、かつ前記演算器ネットワークを制御する演算制御信号用ネットワークと、
- 前記演算器ネットワーク、前記演算制御信号用ネットワークおよび前記ビット幅変換器に対して、回路構成の切り替えタイミングを制御するシーケンサと、
- を備えることを特徴とする再構成可能な演算装置。
- [2] 前記演算器ネットワークは、レジスタなし演算器ネットワークとレジスタ付き演算器ネットワークに分離されており、
- 前記レジスタなし演算器ネットワークと前記レジスタ付き演算器ネットワークは、直列またはループ構造をなすように接続されていることを特徴とする請求項1に記載の再構成可能な演算装置。
- [3] 前記レジスタなし演算器ネットワークは、前記レジスタ付き演算器ネットワークに接続され、
- 前記レジスタ付き演算器ネットワークは、前記ビット幅変換器に接続されることを特徴とする請求項2に記載の再構成可能な演算装置。
- [4] 前記レジスタなし演算器ネットワークは、レジスタのない複数の演算器とレジスタファイルとセレクトスイッチを備えることを特徴とする請求項3に記載の再構成可能な演算装置。
- [5] 前記レジスタなし演算器ネットワークにおいて、前記レジスタのない演算器は、 m 行 n 列のマトリクス状に配置されており、そのうち、1列目の演算器は、前記レジスタ付き演算器ネットワークに接続される前記レジスタファイルに接続され、2列目以降の各列の演算器の間には、前列の演算器の出力と次の列の演算器の入力の接続関係を切り替える前記セレクトスイッチが挿入され、最終列の演算器の出力は、もう一方の前記レジスタファイルに接続されており、各列の前記セレクトスイッチは、前記各レジ

タファイルに相互にデータ送信が可能に接続され、かつ前の段のセレクトスイッチから次の段のセレクトスイッチへデータ送信が可能に接続されていることを特徴とする請求項4に記載の再構成可能な演算装置。

- [6] 前記レジスタ付き演算器ネットワークは、レジスタを備えた複数の演算器とセレクトスイッチを備えることを特徴とする請求項3に記載の再構成可能な演算装置。
- [7] 前記レジスタ付き演算器ネットワークにおいて、前記レジスタを備えた演算器は、前記セレクトスイッチに相互にデータ送信が可能に接続され、前記セレクトスイッチは、前記レジスタなし演算器ネットワークに相互にデータ送信が可能に接続されることを特徴とする請求項6に記載の再構成可能な演算装置。
- [8] 前記演算制御信号用ネットワークは、演算器ネットワークの演算器から渡される制御信号に基づいて、同じ演算器ネットワーク内または異なる演算器ネットワーク内の演算器を制御することを特徴とする請求項4～7のいずれか一つに記載の再構成可能な演算装置。

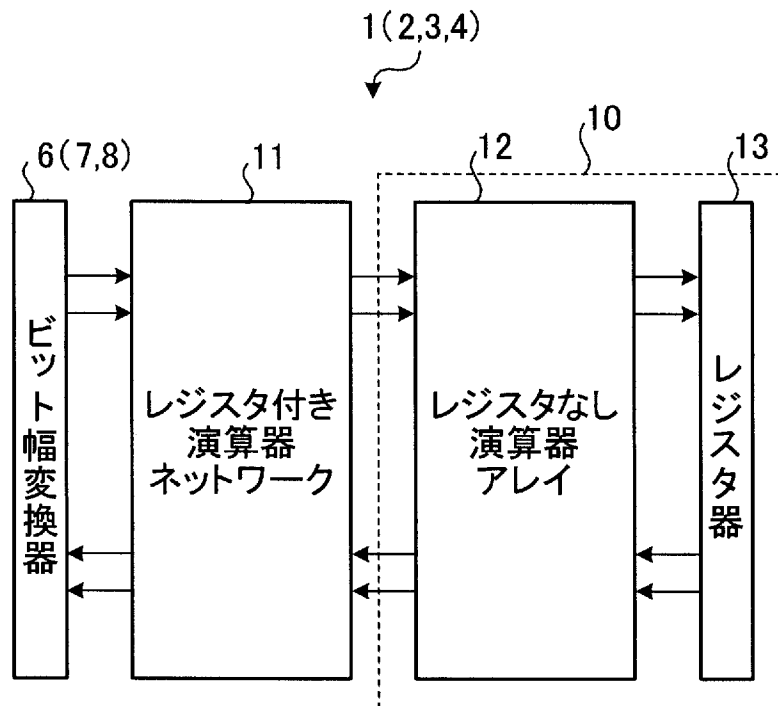
[図1]



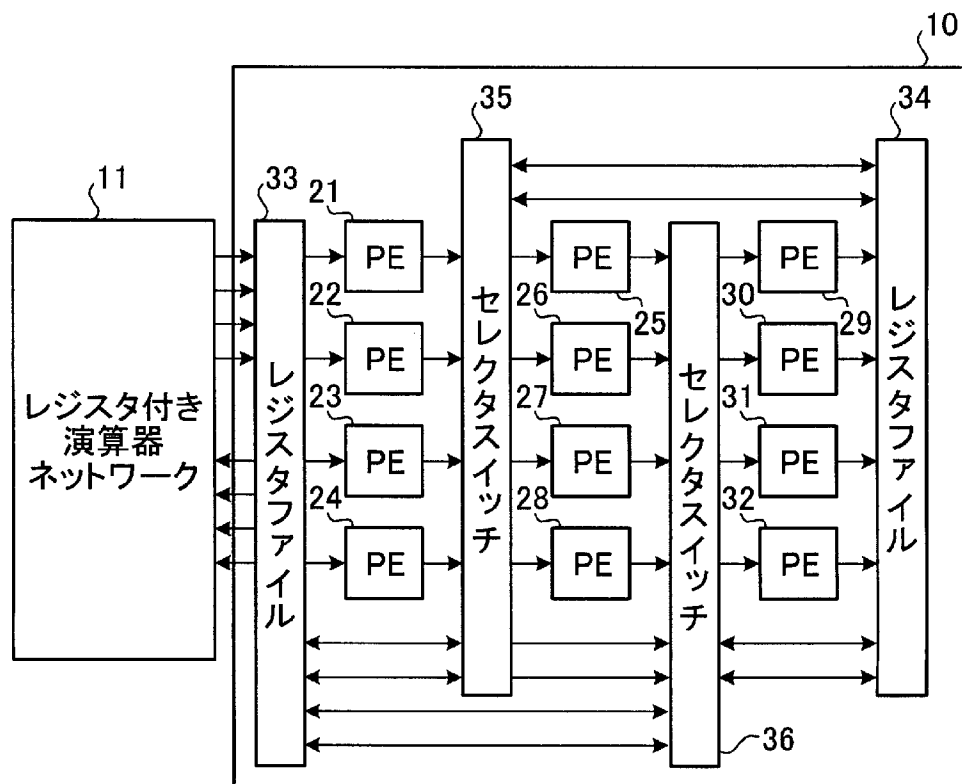
[図2]

ビット幅	PE種類	属性	概要
4/8	ロジックPE	レジスタなし	AND/OR/EOR/INVを実行
4/8	コンペアPE	レジスタなし プレディケート レジスタあり 制御機能あり	比較・加減算命令を実行 プレディケート生成機能あり
4/8	シフトPE	レジスタなし	シフト・マスク命令を実行 8ビット/16ビット出力可能 上位ビット幅への接続可能
4/8	加減算PE	レジスタなし	加減算命令を実行
4/8	プレディケートPE	レジスタあり 制御機能あり	特定条件判定で プレディケート生成する
4/8	乗算PE	レジスタなし	乗算を実行し、8ビット/16ビット出力 上位ビット幅への接続可能
4/8	ディレイPE	レジスタあり 制御機能あり	1クロックサイクルの遅延を発生する
4/8	カウンタPE	レジスタあり 制御機能あり	4ビットのカウント動作を行う プレディケート生成あり
4/8	RAM_PE	レジスタあり 制御機能あり	データストレージ1RWまたは2RWタイプ
4/8	エクステンションPE	レジスタあり 制御機能あり	4/8ビット演算結果をビット拡張(符号、0) 拡張により上位ビットへ接続
8	ラウンドPE	レジスタあり	4ビット接続PEで、丸めを目的とする 4ビット乗算とペアで使用する
32/16	ロジックPE	レジスタあり	AND/OR/EOR/INVを実行
32/16	コンペアPE	レジスタなし プレディケート レジスタあり 制御機能あり	比較・加減算命令を実行 プレディケート生成あり
32/16	シフトPE	レジスタなし	シフト・マスク命令を実行
32/16	加減算PE	レジスタなし	加減算命令を実行
32/16	絶対値・補数PE	レジスタなし	絶対値・補数命令実行
32/16	アキュムレートPE	レジスタあり 制御機能あり	入力データを累積し、丸めて出力する ただし、精度未定
32/16	プレディケートPE	レジスタあり 制御機能あり	特定条件判定でプレディケート生成する
32/16	ディレイPE	レジスタあり 制御機能あり	1クロックサイクルの遅延を発生する
16	エクステンションPE	レジスタあり 制御機能あり	32ビットへの接続を目的とする
32/16	ラウンドPE	レジスタあり 制御機能あり	16ビット/8ビット/4ビットへの接続を目的とする 16ビット乗算とペアで使用する
16/8	ラウンドPE	レジスタあり 制御機能あり	8ビット/4ビットへの接続を目的とする 8ビット乗算とペアで使用する
16	乗算PE	レジスタあり	32ビットへの接続が行える

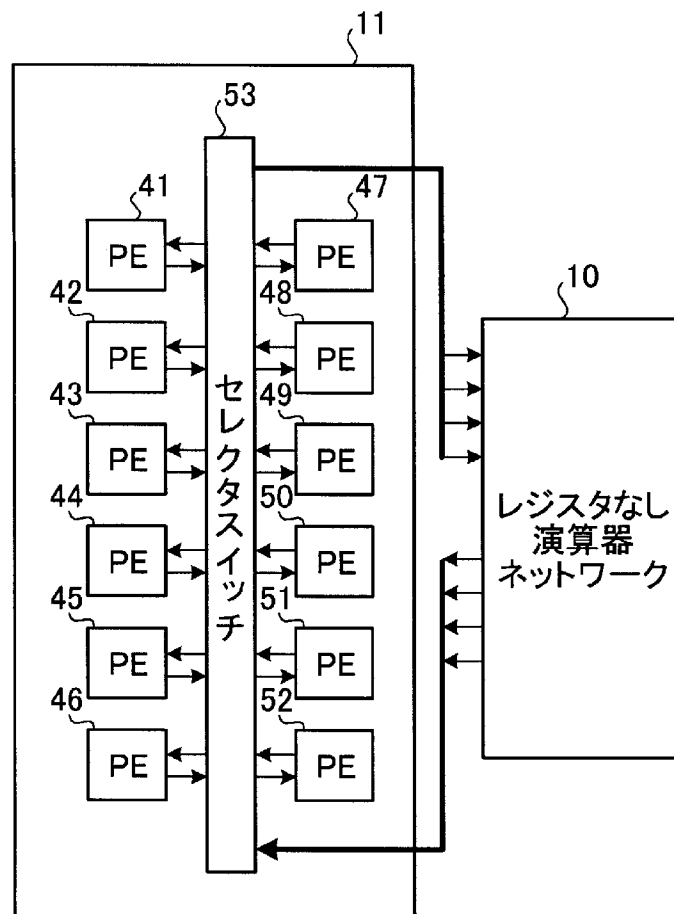
[図3]



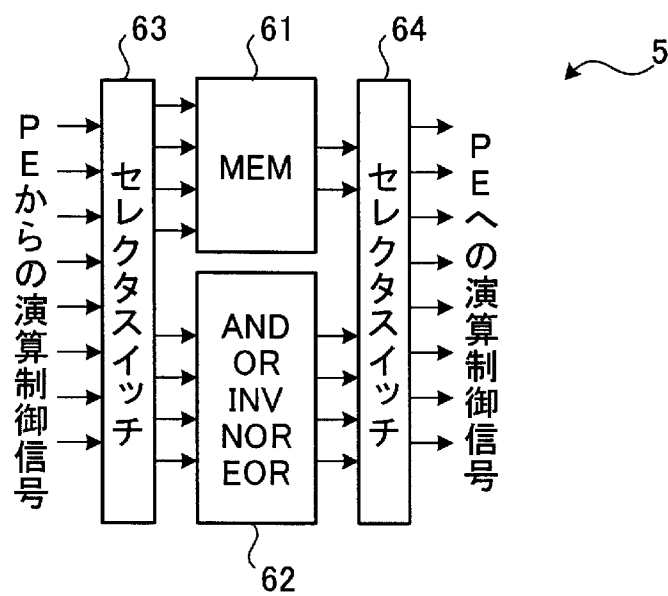
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/054265

A. CLASSIFICATION OF SUBJECT MATTER

G06F15/80(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F15/16-15/177, G06F15/80

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-222142 A (NEC Corp.), 18 August, 2005 (18.08.05), Full text; all drawings & US 2005/0172103 A1	1-8
A	JP 2006-303730 A (Mitsubishi Electric Corp.), 02 November, 2006 (02.11.06), Par. Nos. [0113] to [0133]; Figs. 9 to 10 (Family: none)	1-8
A	JP 2006-203795 A (Matsushita Electric Industrial Co., Ltd.), 03 August, 2006 (03.08.06), Full text; all drawings (Family: none)	1-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 April, 2007 (27.04.07)

Date of mailing of the international search report
15 May, 2007 (15.05.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G06F15/80(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F15/16 - 15/177, G06F15/80

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2007年
日本国実用新案登録公報	1996-2007年
日本国登録実用新案公報	1994-2007年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2 0 0 5 - 2 2 2 1 4 2 A（日本電気株式会社） 2 0 0 5 . 0 8 . 1 8 , 全文, 全図 & U S 2 0 0 5 / 0 1 7 2 1 0 3 A 1	1 - 8
A	J P 2 0 0 6 - 3 0 3 7 3 0 A（三菱電機株式会社） 2 0 0 6 . 1 1 . 0 2 , 段落【0113】 - 【0133】 , 第9 - 10図（ファミリーなし）	1 - 8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

27.04.2007

国際調査報告の発送日

15.05.2007

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

久保 正典

5B

9642

電話番号 03-3581-1101 内線 3544

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2 0 0 6 - 2 0 3 7 9 5 A (松下電器産業株式会社) 2 0 0 6 . 0 8 . 0 3 , 全文, 全図 (ファミリーなし)	1 - 8