

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 8 月 4 日 (04.08.2016)



(10) 国际公布号
WO 2016/119467 A1

- (51) 国际专利分类号:
G09G 3/20 (2006.01)
- (21) 国际申请号: PCT/CN2015/089759
- (22) 国际申请日: 2015 年 9 月 16 日 (16.09.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510038539.0 2015 年 1 月 26 日 (26.01.2015) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。北京京东方显示技术有限公司 (BEIJING BOE DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国北京市北京经济技术开发区经海一路 118 号, Beijing 100176 (CN)。
- (72) 发明人: 王洁琼 (WANG, Jieqiong); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 北京天昊联合知识产权代理有限公司 (TEE&HOWE INTELLECTUAL PROPERTY AT-

TORNEYS); 中国北京市东城区建国门内大街 28 号民生金融中心 D 座 10 层陈源, Beijing 100005 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

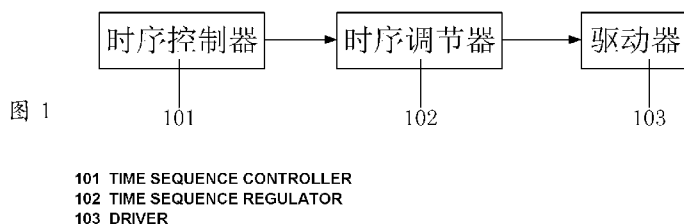
(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: DRIVE CIRCUIT AND DRIVE METHOD THEREFOR, AND DISPLAY DEVICE

(54) 发明名称: 驱动电路及其驱动方法、显示装置



(57) Abstract: Provided are a drive circuit and a drive method therefor, and a display device adopting the drive circuit. The drive circuit comprises a time sequence controller (101), a time sequence regulator (102) and a driver (103), the time sequence controller (101) outputting a first data signal and a first clock signal, the time sequence regulator (102) regulating phases of the first data signal and the first clock signal to generate a second data signal and a second clock signal corresponding to each other, and the driver (103) generating a drive signal according to the second data signal and the second clock signal. The time sequence regulator (102) actively regulates the first data signal and the first clock signal output by the time sequence controller (101) to generate the second data signal and the second clock signal which correspond to each other and are actually needed by the driver (103), such that the driver can be perfectly matched with a display panel, thereby improving the display quality of the display device.

(57) 摘要: 提供一种驱动电路及其驱动方法以及采用该驱动电路的显示装置, 所述驱动电路包括时序控制器(101)、时序调节器(102)和驱动器(103), 所述时序控制器(101)输出第一数据信号和第一时钟信号, 所述时序调节器(102)调节所述第一数据信号和所述第一时钟信号的相位, 以产生相互对应的第二数据信号和第二时钟信号, 所述驱动器(103)根据所述第二数据信号和所述第二时钟信号产生驱动信号; 所述时序调节器(102)主动对时序控制器(101)输出的第一数据信号和第一时钟信号进行调节, 以产生相互对应的、所述驱动器(103)实际需要的第二数据信号和第二时钟信号, 从而实现与显示面板的完美匹配, 进而提高了显示装置的显示质量。

WO 2016/119467 A1

驱动电路及其驱动方法、显示装置

技术领域

5 本发明涉及显示技术领域，尤其涉及一种驱动电路及其驱动方法、显示装置。

背景技术

10 在现有的显示面板的驱动过程中，通过时序控制器输出数据信号和时钟信号，所述显示面板的驱动器接收所述数据信号和所述时钟信号，并基于所述数据信号和时钟信号来执行逻辑运算，从而产生用于驱动所述显示面板的驱动信号。其中，所述数据信号和时钟信号之间的相位差为预定值，也就是说，所述数据信号和时钟信号之间是相互对应的。然而，在实际应用过程中，由于显示面板的尺寸的多样化以及电路布局等因素的影响，数据信号和时钟信号会出现不同程度的信号延迟，导致所述驱动器实际接收到的数据信号和时钟信号与其需要的数据信号和时钟信号之间不能相互匹配，从而影响显示装置的显示质量。

发明内容

20 为解决上述问题，本发明实施例提供一种驱动电路及其驱动方法、显示装置，用于解决现有技术中驱动器实际接收到的数据信号和时钟信号与其需要的数据信号和时钟信号之间不能相互匹配，从而影响显示装置的显示质量的问题。

25 本发明实施例提供一种驱动电路，包括时序控制器、时序调节器和驱动器，所述时序调节器与所述时序控制器的输出端连接，所述时序调节器的输出端与所述驱动器连接；所述时序控制器用于输出第一数据信号和第一时钟信号；所述时序调节器用于调节所述第一数据信号和所述第一时钟信号的相位，以产生相互对应的第二数据信号和第二时钟信号；所述驱动器用于根据所述第二数据信号和所述第二时钟信号产生驱动信号。

所述时序调节器可以包括转换单元和同步单元，所述转换单元的输入端与所述时序控制器连接，所述转换单元的第一输出端与所述同步单元的第一输入端连接，所述转换单元的第二输出端与所述驱动器连接，所述同步单元的第二输入端与所述时序控制器连接，所述同步单元的
5 输出端与所述驱动器连接；所述转换单元用于调节所述第一时钟信号的相位以产生所述第二时钟信号；所述同步单元用于根据所述第二时钟信号对所述第一数据信号的相位进行调节，从而产生第二数据信号，所述第二数据信号与所述第二时钟信号具有预定的相位差。

所述转换单元可以包括多个延迟电路。

10 所述延迟电路可以包括反相器。

所述反相器可以选自 NMOS 型反相器、PMOS 型反相器和 CMOS 型反相器。

所述同步单元可以包括 D 触发器。

所述驱动器可以包括源极驱动器。

15 所述驱动器和所述时序调节器可以集成设置。

本发明实施例还提供一种显示装置，包括显示面板和上述任一驱动电路。

本发明实施例还提供一种驱动电路的驱动方法，所述驱动电路包括时序控制器、时序调节器和驱动器，所述时序调节器与所述时序控制器的输出端连接，所述时序调节器的输出端与所述驱动器连接；所述驱动方法包括：
20 所述驱动方法包括：

通过所述时序控制器输出第一数据信号和第一时钟信号；

通过所述时序调节器调节所述第一数据信号和所述第一时钟信号的相位，以产生相互对应的第二数据信号和第二时钟信号；以及

25 根据所述第二数据信号和所述第二时钟信号，通过所述驱动器产生驱动信号。

所述时序调节器可以包括转换单元和同步单元，所述转换单元的输入端与所述时序控制器连接，所述转换单元的第一输出端与所述同步单元的第一输入端连接，所述转换单元的第二输出端与所述驱动器连接，所述同步单元的第二输入端与所述时序控制器连接，所述同步
30 连接，所述同步单元的第二输入端与所述时序控制器连接，所述同步

单元的输出端与所述驱动器连接；其中，通过所述时序调节器调节所述第一数据信号和所述第一时钟信号的相位，以产生相互对应的第二数据信号和第二时钟信号的步骤包括：

5 通过所述转换单元调节所述第一时钟信号的相位，以产生所述第二时钟信号；

根据所述第二时钟信号，通过所述同步单元对所述第一数据信号的相位进行调节，从而产生第二数据信号，所述第二数据信号与所述第二时钟信号具有预定的相位差。

所述转换单元可以包括多个延迟电路。

10 所述延迟电路可以包括反相器。

所述反相器可以选自 NMOS 型反相器、PMOS 型反相器和 CMOS 型反相器。

所述同步单元可以包括 D 触发器。

所述驱动器可以包括源极驱动器。

15 所述驱动器和所述时序调节器可以集成设置。

本发明具有下述有益效果：

20 本发明实施例提供的驱动电路及其驱动方法、显示装置中，所述驱动电路包括时序控制器、时序调节器和驱动器，所述时序控制器输出第一数据信号和第一时钟信号，所述时序调节器调节所述第一数据信号和所述第一时钟信号的相位，以产生相互对应的第二数据信号和第二时钟信号，所述驱动器根据所述第二数据信号和所述第二时钟信号产生驱动信号。所述时序调节器主动对时序控制器输出的第一数据信号和第一时钟信号进行调节，以产生相互对应的、所述驱动器实际需要的第二数据信号和第二时钟信号，从而实现与显示面板的完美匹
25 配，进而提高了显示装置的显示质量。

附图说明

图 1 为本发明实施例 1 提供的一种驱动电路的示意性框图；

图 2 为图 1 所示时序调节器的示意性框图；

30 图 3 为本发明实施例 3 提供的一种驱动电路的驱动方法的流程图。

具体实施方式

为使本领域的技术人员更好地理解本发明的技术方案，下面结合附图对本发明实施例提供的驱动电路及其驱动方法、显示装置进行详细描述。

[实施例 1]

图 1 为本发明实施例 1 提供的一种驱动电路的示意性框图。如图 1 所示，该驱动电路可以包括时序控制器 101、时序调节器 102 和驱动器 103，时序调节器 102 与时序控制器 101 的输出端连接，时序调节器 102 的输出端与驱动器 103 连接。时序控制器 101 用于输出第一数据信号和第一时钟信号，时序调节器 102 用于调节第一数据信号和第一时钟信号的相位，以产生相互对应的第二数据信号和第二时钟信号，驱动器 103 用于根据第二数据信号和第二时钟信号产生驱动信号。

本实施例中，时序控制器 101 产生第一数据信号和第一时钟信号，并将第一数据信号和第一时钟信号传输至时序调节器 102。在理想状态下，第一数据信号和第一时钟信号之间的相位差为预定值，然而，在实际应用中，电路布局等因素会导致第一数据信号和第一时钟信号会出现不同程度的信号延迟，使得第一数据信号和第一时钟信号之间的相位差偏离预定值。在本实施例中，时序调节器 102 接收到第一数据信号和第一时钟信号后，调节第一数据信号和第一时钟信号的相位，以产生相位修正后的第二数据信号和第二时钟信号，第二数据信号和第二时钟信号相互对应。驱动器 103 接收第二数据信号和第二时钟信号，然后根据第二数据信号和第二时钟信号产生显示面板需要的驱动信号，从而实现与显示面板的完美匹配，进而提高显示装置的显示质量。

图 2 为图 1 所示时序调节器 102 的示意性框图。如图 2 所示，时序调节器 102 与时序控制器 101 的输出端连接，时序调节器 102 的输出端与驱动器 103 连接。时序调节器 102 可以包括转换单元 104 和同步单元 105，转换单元 104 的输入端与时序控制器 101 连接，转换单元

104 的第一输出端与同步单元 105 的第一输入端连接, 转换单元 104 的第二输出端与驱动器 103 连接, 同步单元 105 的第二输入端与时序控制器 101 连接, 同步单元 105 的输出端与驱动器 103 连接。

转换单元 104 接收时序控制器 101 输出的第一时钟信号, 然后调节第一时钟信号的相位以产生第二时钟信号, 并将第二时钟信号分别传输至同步单元 105 和驱动器 103。同步单元 105 接收时序控制器 101 输出的第一数据信号以及转换单元 104 输出的第二时钟信号, 然后根据预定的相位差对第一数据信号的相位进行调节, 以产生与第二时钟信号对应的第二数据信号。

其中, 预定的相位差指的是显示面板的驱动器实际需要的时钟信号与数据信号之间的相位差。在实际应用中, 可以根据显示面板的尺寸等参数将一个或多个预定的相位差预先存储在存储单元 (附图中未示出) 中, 并且根据实际情况对预定的相位差进行设定, 从而使得当所述同步单元接收到第二时钟信号时, 可以根据预定的相位差对第一数据信号的相位进行调节, 从而产生驱动显示面板的驱动器实际需要的、与第二时钟信号相对应的第二数据信号。

本实施例中, 转换单元 104 包括多个延迟电路。各延迟电路为第一时钟信号提供不同程度的信号延迟, 以调节第一时钟信号的相位, 从而产生第二时钟信号。

在实际应用中, 可以采用任何已知形式的延迟电路对第一时钟信号的相位进行延迟, 在此不做具体限定。延迟电路通常包括反相器。可选的, 反相器为 NMOS 型反相器或 PMOS 型反相器。由于 NMOS 型反相器或 PMOS 型反相器只需要使用一种类型的晶体管, 因此可以降低驱动电路的制造成本。优选的, 反相器为 CMOS 型反相器。CMOS 型反相器的电阻值相对较低, 可以降低电路的功耗, 并且 CMOS 型反相器具有处理效率较高的优点, 更适用于本发明提供的驱动电路。

可选的, 同步单元 105 包括 D 触发器。D 触发器包括第一输入端、第二输入端以及输出端, 第一输入端用于接收第二时钟信号, 第二输入端用于接收第一数据信号, 输出端用于向驱动器 103 输出第二数据信号。

可选的，驱动器 103 包括源极驱动器。源极驱动器接收转换单元 104 产生的第二时钟信号和同步单元 105 产生的第二数据信号，然后根据第二时钟信号和第二数据信号产生驱动信号。由于第二数据信号与第二时钟信号相互对应，且为所述驱动器实际需要的数据信号和时钟信号，因此能够实现与显示面板的完美匹配，进而提高了显示装置的显示质量。

优选地，时序调节器 102 与驱动器 103 集成设置，如此可以进一步降低电路布局等因素对信号的影响，更有利于驱动器 103 获得其实际需要的数据信号和时钟信号，从而更有利于提高显示装置的显示质量。

本实施例提供的驱动电路中，驱动电路包括时序控制器、时序调节器和驱动器，时序控制器输出第一数据信号和第一时钟信号，时序调节器调节第一数据信号和第一时钟信号的相位，以产生相互对应的第二数据信号和第二时钟信号，驱动器根据第二数据信号和第二时钟信号产生驱动信号。时序调节器主动对时序控制器输出的第一数据信号和第一时钟信号进行调节，以产生相互对应的、所述驱动器实际需要的第二数据信号和第二时钟信号，从而实现与显示面板的完美匹配，进而提高了显示装置的显示质量。

[实施例 2]

本实施例提供一种显示装置，包括显示面板和实施例 1 提供的驱动电路，其具体内容可参照上述实施例 1 中的描述，此处不再赘述。

本实施例提供的显示装置中，驱动电路包括时序控制器、时序调节器和驱动器，时序控制器输出第一数据信号和第一时钟信号，时序调节器调节第一数据信号和第一时钟信号的相位，以产生相互对应的第二数据信号和第二时钟信号，驱动器根据第二数据信号和第二时钟信号产生驱动信号。时序调节器主动对时序控制器输出的第一数据信号和第一时钟信号进行调节，以产生相互对应的、所述驱动器实际需要的第二数据信号和第二时钟信号，从而实现与显示面板的完美匹配，进而提高了显示装置的显示质量。

[实施例 3]

图 3 为本发明实施例 3 提供的一种驱动电路的驱动方法的流程图。所述驱动电路可以包括时序控制器、时序调节器和驱动器，时序调节器与时序控制器的输出端连接，时序调节器的输出端与驱动器连接。

所述驱动方法可以包括如下步骤 3001-3003。

步骤 3001、通过时序控制器输出第一数据信号和第一时钟信号。

具体地，在该步骤中，时序控制器产生第一数据信号和第一时钟信号，并将第一数据信号和第一时钟信号传输至时序调节器。在理想状态下，第一数据信号和第一时钟信号之间的相位差为预定值，然而，在实际应用中，电路布局等因素会导致第一数据信号和第一时钟信号会出现不同程度的信号延迟，使得第一数据信号和第一时钟信号之间的相位差偏离预定值。

步骤 3002、通过时序调节器调节第一数据信号和第一时钟信号的相位，以产生相互对应的第二数据信号和第二时钟信号。

具体地，在该步骤中，时序调节器接收到第一数据信号和第一时钟信号后，调节第一数据信号和第一时钟信号的相位，以产生相位修正后的第二数据信号和第二时钟信号，第二数据信号和第二时钟信号相互对应。

更具体地，时序调节器可以包括转换单元和同步单元，转换单元的输入端与时序控制器连接，转换单元的第一输出端与同步单元的第一输入端连接，转换单元的第二输出端与驱动器连接，同步单元的第二输入端与时序控制器连接，同步单元的输出端与驱动器连接。

转换单元接收时序控制器输出的第一时钟信号，然后调节第一时钟信号的相位以产生第二时钟信号，并将第二时钟信号分别传输至同步单元和驱动器。同步单元接收时序控制器输出的第一数据信号以及转换单元输出的第二时钟信号，然后根据预定的相位差对第一数据信号的相位进行调节，以产生与第二时钟信号对应的第二数据信号。

本实施例中，转换单元可以包括多个延迟电路。各延迟电路为第一时钟信号提供不同程度的信号延迟，以调节第一时钟信号的相位，从而产生第二时钟信号。

在实际应用中，可以采用任何已知形式的延迟电路对第一时钟信号的相位进行延迟，在此不做具体限定。延迟电路通常包括反相器。可选的，反相器为 NMOS 型反相器或 PMOS 型反相器。由于 NMOS 型反相器或 PMOS 型反相器只需要使用一种类型的晶体管，因此可以降低驱动电路的制造成本。优选的，反相器为 CMOS 型反相器。CMOS 型反相器的电阻值相对较低，可以降低电路的功耗，并且 CMOS 型反相器具有处理速率较高的优点，更适用于本发明提供的驱动电路。

可选的，同步单元包括 D 触发器。D 触发器包括第一输入端、第二输入端以及输出端，第一输入端用于接收第二时钟信号，第二输入端用于接收第一数据信号，输出端用于向驱动器输出第二数据信号。

步骤 3003、根据第二数据信号和第二时钟信号，通过驱动器产生驱动信号。

具体地，在该步骤中，驱动器接收第二数据信号和第二时钟信号，然后根据第二数据信号和第二时钟信号产生显示面板需要的驱动信号，从而实现与显示面板的完美匹配，进而提高显示装置的显示质量。

可选的，驱动器包括源极驱动器。源极驱动器接收转换单元产生的第二时钟信号和同步单元产生的第二数据信号，然后根据第二时钟信号和第二数据信号产生驱动信号。由于第二数据信号与第二时钟信号相互对应，且为所述驱动器实际需要的数据信号和时钟信号，因此能够实现与显示面板的完美匹配，进而提高了显示装置的显示质量。

优选地，时序调节器与驱动器集成设置，如此可以进一步降低电路布局等因素对信号的影响，更有利于驱动器获得其实际需要的数据信号和时钟信号，从而更有利于提高显示装置的显示质量。

本实施例提供的驱动电路的驱动方法中，驱动电路包括时序控制器、时序调节器和驱动器，时序控制器输出第一数据信号和第一时钟信号，时序调节器调节第一数据信号和第一时钟信号的相位，以产生相互对应的第二数据信号和第二时钟信号，驱动器根据第二数据信号和第二时钟信号产生驱动信号。时序调节器主动对时序控制器输出的第一数据信号和第一时钟信号进行调节，以产生相互对应的、所述驱动器实际需要的第二数据信号和第二时钟信号，从而实现与显示面板

的完美匹配，进而提高了显示装置的显示质量。

可以理解的是，以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式，然而本发明并不局限于此。对于本领域内的普通技术人员而言，在不脱离本发明的精神和实质的情况下，可以做出各种变型和改进，这些变型和改进也视为本发明的保护范围。

权利要求书

1、一种驱动电路，包括时序控制器、时序调节器和驱动器，所述
5 时序调节器与所述时序控制器的输出端连接，所述时序调节器的输出
端与所述驱动器连接；

所述时序控制器用于输出第一数据信号和第一时钟信号；

所述时序调节器用于调节所述第一数据信号和所述第一时钟信号
的相位，以产生相互对应的第二数据信号和第二时钟信号；

10 所述驱动器用于根据所述第二数据信号和所述第二时钟信号产生
驱动信号。

2、根据权利要求 1 所述的驱动电路，其中，所述时序调节器包括
转换单元和同步单元，所述转换单元的输入端与所述时序控制器连接，
15 所述转换单元的第一输出端与所述同步单元的第一输入端连接，所述
转换单元的第二输出端与所述驱动器连接，所述同步单元的第二输入
端与所述时序控制器连接，所述同步单元的输出端与所述驱动器连接；

所述转换单元用于调节所述第一时钟信号的相位以产生所述第二
时钟信号；

20 所述同步单元用于根据所述第二时钟信号对所述第一数据信号的
相位进行调节，从而产生第二数据信号，所述第二数据信号与所述第
二时钟信号具有预定的相位差。

3、根据权利要求 2 所述的驱动电路，其中，所述转换单元包括多
25 个延迟电路。

4、根据权利要求 3 所述的驱动电路，其中，所述延迟电路包括反
相器。

30 5、根据权利要求 4 所述的驱动电路，其中，所述反相器选自 NMOS
型反相器、PMOS 型反相器和 CMOS 型反相器。

6、根据权利要求 2 所述的驱动电路，其中，所述同步单元包括 D 触发器。

5 7、根据权利要求 1 所述的驱动电路，其中，所述驱动器包括源极驱动器。

8、根据权利要求 1 所述的驱动电路，其中，所述驱动器与所述时序调节器集成设置。

10 9、一种显示装置，包括显示面板和权利要求 1-8 任一所述的驱动电路。

10、一种驱动电路的驱动方法，所述驱动电路包括时序控制器、时序调节器和驱动器，所述时序调节器与所述时序控制器的输出端连接，所述时序调节器的输出端与所述驱动器连接；

15 所述驱动方法包括：

通过所述时序控制器输出第一数据信号和第一时钟信号；

通过所述时序调节器调节所述第一数据信号和所述第一时钟信号的相位，以产生相互对应的第二数据信号和第二时钟信号；

20 根据所述第二数据信号和所述第二时钟信号，通过所述驱动器产生驱动信号。

11、根据权利要求 10 所述的驱动电路的驱动方法，其中，所述时序调节器包括转换单元和同步单元，所述转换单元的输入端与所述时序控制器连接，所述转换单元的第一输出端与所述同步单元的第一输入端连接，所述转换单元的第二输出端与所述驱动器连接，所述同步单元的第二输入端与所述时序控制器连接，所述同步单元的输出端与所述驱动器连接；其中

25 通过所述时序调节器调节所述第一数据信号和所述第一时钟信号的相位，以产生相互对应的第二数据信号和第二时钟信号的步骤包括：

通过所述转换单元调节所述第一时钟信号的相位，以产生所述第二时钟信号；

5 根据所述第二时钟信号，通过所述同步单元对所述第一数据信号的相位进行调节，从而产生第二数据信号，所述第二数据信号与所述第二时钟信号具有预定的相位差。

12、根据权利要求 11 所述的驱动电路的驱动方法，其中，所述转换单元包括多个延迟电路。

10 13、根据权利要求 12 所述的驱动电路的驱动方法，其中，所述延迟电路包括反相器。

14、根据权利要求 13 所述的驱动电路的驱动方法，其中，所述反相器选自 NMOS 型反相器、PMOS 型反相器和 CMOS 型反相器。

15 15、根据权利要求 11 所述的驱动电路的驱动方法，其中，所述同步单元包括 D 触发器。

20 16、根据权利要求 10 所述的驱动电路的驱动方法，其中，所述驱动器包括源极驱动器。

17、根据权利要求 10 所述的驱动电路的驱动方法，其中，所述驱动器与所述时序调节器集成设置。

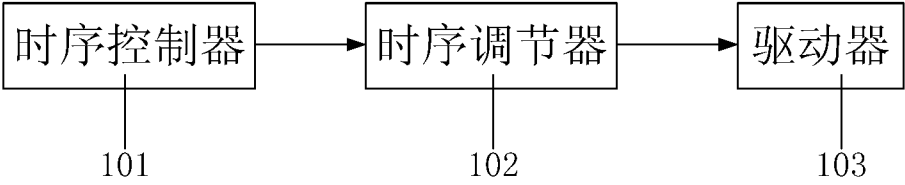


图 1

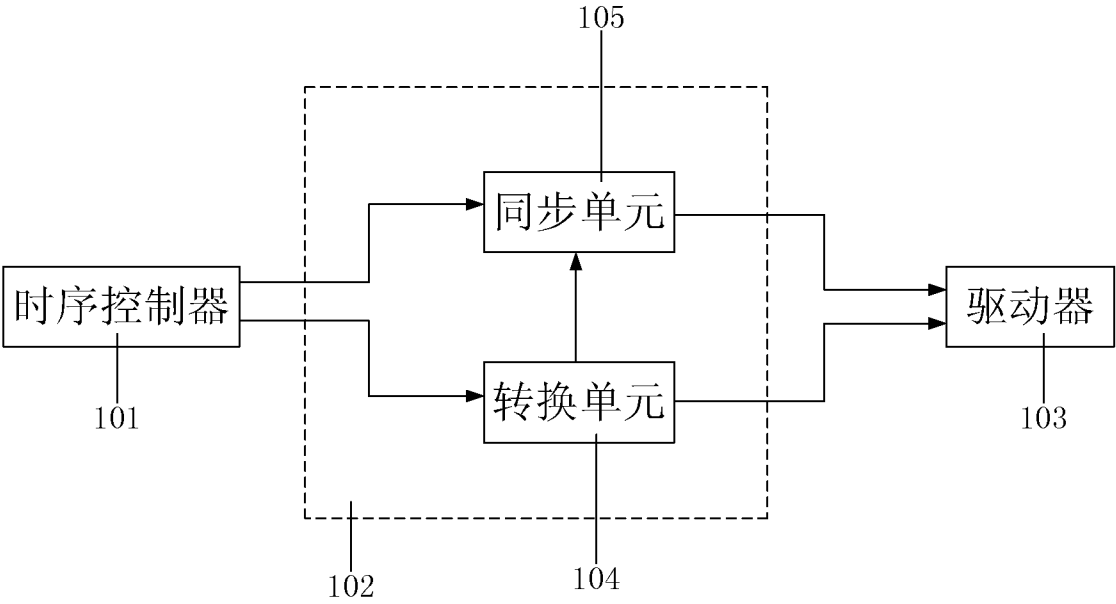


图 2

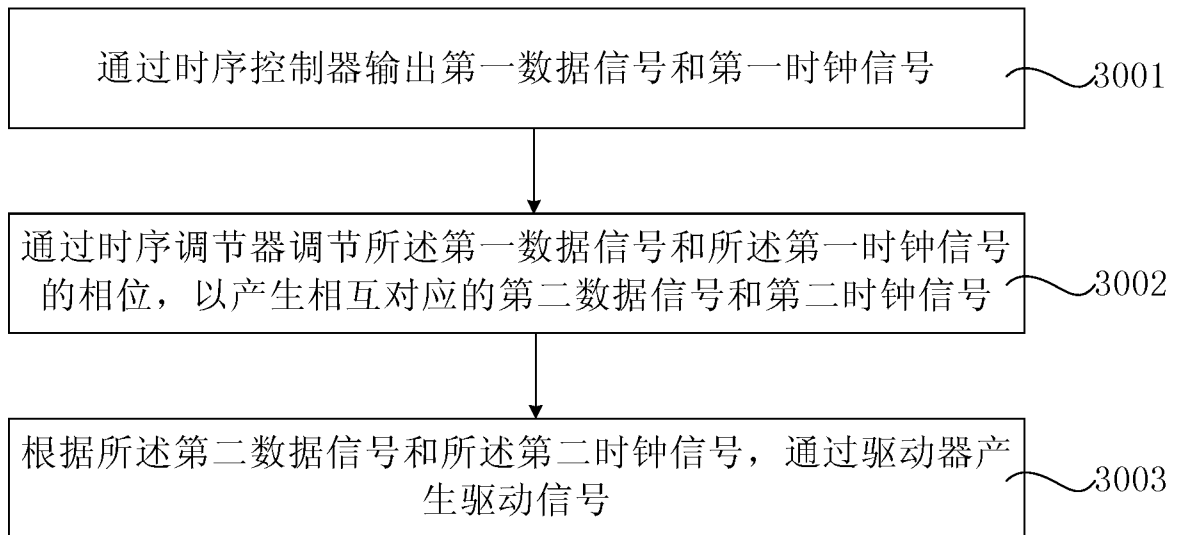


图 3

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/089759

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNXTX, CNABS, WPI, EPODOC: DISPLAY+, PHASE+, CONTROL+, DRIV+, CLK OR CLOCK, timing, adjust

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 204375392 U (BOE TECHNOLOGY GROUP CO., LTD. et al.) 03 June 2015 (03.06.2015) claims 1-7	1, 2, 4, 6, 7, 9
PX	CN 104505017 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 08 April 2015 (08.04.2015) description, paragraphs [0021]-[0049], and figures 1-3	1-17
X	CN 101042843 A (NOVATEK MICROELECTRONICS TECH) 26 September 2007 (26.09.2007) description, page 4, the first paragraph to page 5, the third paragraph, and figures 3-5	1-17
A	CN 101202027 A (QUNKANG SCIENCE & TECHNOLOGY) 18 June 2008 (18.06.2008) description, page 3, the first paragraph to page 6, the first paragraph	1-17
A	CN 101127199 A (AU OPTRONICS CORP.) 20 February 2008 (20.02.2008) description, page 6, the second paragraph to page 9, the third paragraph	1-17

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 24 November 2015	Date of mailing of the international search report 18 December 2015
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer ZHANG, Hui Telephone No. (86-10) 62414482

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/CN2015/089759

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101089686 A (LG PHILIPS LCD CO., LTD.) 19 December 2007 (19.12.2007) description, page 3, the third paragraph to page 8, the seventh paragraph	1-17
A	US 2008284768 A1 (SEMICONDUCTOR ENERGY LAB. CO., LTD.) 20 November 2008 (20.11.2008) description, paragraphs [0200]-[0224]	1-17
A	US 2008266477 A1 (SAMSUNG ELECTRONICS CO., LTD.) 30 October 2008 (30.10.2008) description, paragraphs [0039]-[0094]	1-17

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/089759

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 204375392 U	03 June 2015	None	
CN 104505017 A	08 April 2015	None	
CN 101042843 A	26 September 2007	CN 100535977 C	02 September 2009
CN 101202027 A	18 June 2008	CN 101202027 B	26 May 2010
CN 101127199 A	20 February 2008	CN 101127199 B	02 June 2010
CN 101089686 A	19 December 2007	KR 20070119918 A	21 December 2007
		FR 2902566 A1	21 December 2007
		US 2007290967 A1	20 December 2007
		US 9053676 B2	09 June 2015
		CN 101089686 B	14 September 2011
		KR 101232160 B1	12 February 2013
		FR 2902566 B1	27 December 2013
US 2008284768 A1	20 November 2008	US 8907879 B2	09 December 2014
		TW 200901154 A	01 January 2009
		TW 1450252 B	21 August 2014
		JP 2008287119 A	27 November 2008
		CN 101308641 B	04 June 2014
		CN 101308641 A	19 November.2008
US 2008266477 A1	30 October 2008	KR 20080096287 A	30 October 2008
		CN 101295481 B	02 January 2013
		CN 101295481 A	29 October 2008
		US 8159446 B2	17 April 2012
		KR 101307414 B1	12 September 2013
		CN 102645773 B	15 April 2015
		CN 102645773 A	22 August 2012

A. 主题的分类 G09G 3/20(2006.01) i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G3/- 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNTXT, CNABS, WPI, EPODOC: 驱动电路, 相位, 时序调节, 时序控制, 时序, 显示器, DISPLAY+, PHASE+, CONTROL+, DRIV+, CLK OR CLOCK		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 204375392 U (京东方科技集团股份有限公司, 等) 2015年 6月 3日 (2015 - 06 - 03) 权利要求书第1-7项	1-2, 4, 6-7, 9
PX	CN 104505017 A (京东方科技集团股份有限公司, 等) 2015年 4月 8日 (2015 - 04 - 08) 说明书第0021-0049段, 附图1-3	1-17
X	CN 101042843 A (联詠科技股份有限公司) 2007年 9月 26日 (2007 - 09 - 26) 说明书第4页第1段-第5页第3段, 附图3-5	1-17
A	CN 101202027 A (群康科技深圳有限公司, 等) 2008年 6月 18日 (2008 - 06 - 18) 说明书第3页第1段-第6页第1段	1-17
A	CN 101127199 A (友达光电股份有限公司) 2008年 2月 20日 (2008 - 02 - 20) 说明书第6页第2段-第9页第3段	1-17
A	CN 101089686 A (LG. 飞利浦LCD株式会社) 2007年 12月 19日 (2007 - 12 - 19) 说明书第3页第3段-第8页第7段	1-17
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2015年 11月 24日		国际检索报告邮寄日期 2015年 12月 18日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 张辉 电话号码 (86-10)62414482

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2008284768 A1 (SEMICONDUCTOR ENERGY LAB. CO., LTD.) 2008年 11月 20日 (2008 - 11 - 20) 说明书第0200段-0224段	1-17
A	US 2008266477 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2008年 10月 30日 (2008 - 10 - 30) 说明书第0039段-第0094段	1-17

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/089759

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	204375392	U	2015年 6月 3日	无			
CN	104505017	A	2015年 4月 8日	无			
CN	101042843	A	2007年 9月 26日	CN	100535977	C	2009年 9月 2日
CN	101202027	A	2008年 6月 18日	CN	101202027	B	2010年 5月 26日
CN	101127199	A	2008年 2月 20日	CN	101127199	B	2010年 6月 2日
CN	101089686	A	2007年 12月 19日	KR	20070119918	A	2007年 12月 21日
				FR	2902566	A1	2007年 12月 21日
				US	2007290967	A1	2007年 12月 20日
				US	9053676	B2	2015年 6月 9日
				CN	101089686	B	2011年 9月 14日
				KR	101232160	B1	2013年 2月 12日
				FR	2902566	B1	2013年 12月 27日
US	2008284768	A1	2008年 11月 20日	US	8907879	B2	2014年 12月 9日
				TW	200901154	A	2009年 1月 1日
				TW	I450252	B	2014年 8月 21日
				JP	2008287119	A	2008年 11月 27日
				CN	101308641	B	2014年 6月 4日
				CN	101308641	A	2008年 11月 19日
US	2008266477	A1	2008年 10月 30日	KR	20080096287	A	2008年 10月 30日
				CN	101295481	B	2013年 1月 2日
				CN	101295481	A	2008年 10月 29日
				US	8159446	B2	2012年 4月 17日
				KR	101307414	B1	2013年 9月 12日
				CN	102645773	B	2015年 4月 15日
				CN	102645773	A	2012年 8月 22日

表 PCT/ISA/210 (同族专利附件) (2009年7月)