

SCHWEIZERISCHE EIDGENOSSENSCHAFT  
EIDGENÖSSISCHES INSTITUT FÜR GEISTIGES EIGENTUM

(11) CH 700 419 A2

(51) Int. Cl.: H03K 17/10 (2006.01)  
H03K 17/0812 (2006.01)

Patentanmeldung für die Schweiz und Liechtenstein

Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978

(12) PATENTANMELDUNG

(21) Anmeldenummer: 00160/09

(71) Anmelder:  
ETH Zürich, ETH transfer HG E 47-49 Rämistrasse 101  
8092 Zürich (CH)

(22) Anmeldedatum: 05.02.2009

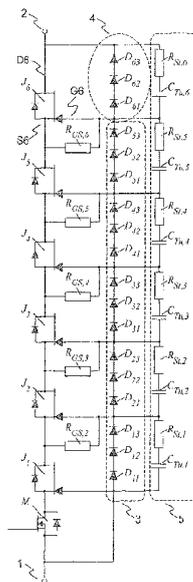
(72) Erfinder:  
Jürgen Biela, 8004 Zürich (CH)  
Johann W. Kolar, 8044 Zürich (CH)  
Daniel Aggeler, 8044 Zürich (CH)

(43) Anmeldung veröffentlicht: 13.08.2010

(74) Vertreter:  
Frei Patentanwaltsbüro AG, Postfach 1771  
8032 Zürich (CH)

(54) JFET-SERIESCHALTUNG.

(57) Die Erfindung betrifft eine Schalteinrichtung zum Schalten eines Stromes zwischen einem ersten Anschluss (1) und einem zweiten Anschluss (2), aufweisend eine Serieschaltung von mindestens zwei JFETs ( $J_1$ - $J_6$ ), von denen ein unterster JFET ( $J_1$ ) mit dem ersten Anschluss (1) verbunden ist oder der unterste JFET ( $J_1$ ) in einer Kaskodeschaltung über einen Steuerschalter (M) mit dem ersten Anschluss (1) verbunden ist, und mindestens einen weiteren JFET ( $J_2$ - $J_5$ ), der zu dem untersten JFET ( $J_1$ ) in Serie geschaltet ist, wobei der am weitesten vom untersten JFET ( $J_1$ ) entfernte JFET ( $J_6$ ) als oberster JFET ( $J_6$ ) bezeichnet wird und mit seinem Drainanschluss mit dem zweiten Anschluss (2) verbunden ist, und wobei eine Stabilisierungsschaltung ( $D_{11}$ - $D_{53}$ ) zur Stabilisierung der Gatespannungen der JFETs ( $J_1$ - $J_6$ ), zwischen die Gateanschlüsse der JFETs ( $J_1$ - $J_6$ ) und dem ersten Anschluss (1) geschaltet ist. Dabei ist zwischen dem Gateanschluss ( $G_6$ ) des obersten JFET ( $J_6$ ) und dem zweiten Anschluss (2) eine Zusatzschaltung (4) geschaltet, welche das Potential am Gateanschluss ( $G_6$ ) des obersten JFET ( $J_6$ ) zum Potential am Drainanschluss ( $D_6$ ) des obersten JFET ( $J_6$ ) zieht.



## Beschreibung

[0001] Die Erfindung bezieht sich auf das Gebiet der elektronischen Schaltungstechnik und insbesondere auf eine Schaltungseinrichtung mit einer Serieschaltung von Sperrschicht-FETs (JFET oder Junction Field Effect Transistor) gemäss dem Oberbegriff von Patentanspruch 1.

## STAND DER TECHNIK

[0002] Leistungsschalter oder Schalteinrichtungen zum Schalten bei hohen Betriebsspannungen können in leistungselektronischen Schaltungen durch Kaskadierung oder in Serie angeordnete Transistoren realisiert werden. Dabei werden nach US 6 822 842 oder DE 19 926 109 A1 solche Schalteinrichtungen beispielsweise als Kaskode-Schaltung bezeichnet, welche auf der speziellen Zusammenschaltung eines MOSFET M und mindestens einem JFET  $J_1$  basieren, illustriert durch die Fig. 1. Die Schalter sind zwischen einem ersten Anschluss 1 und einem zweiten Anschluss 2 angeordnet und durch einen Steueranschluss 7 des MOSFET M gesteuert. Diese bekannte Schalteinrichtung für hohe Betriebsspannungen basierend auf der Kaskoden-Topologie sieht vor, mehrere JFETs  $J_2 \dots J_1$  in Serie zu schalten und damit eine hohe Sperrspannung zu erreichen. Zum Schutz der JFETs werden Dioden, d.h. im Sperrbetrieb eingesetzte Schutzdioden D1-D5 an die Gate-Anschlüsse der JFETs angeschlossen. Diese Schutzdioden verbinden die Gate-Anschlüsse der JFETs untereinander, oder führen jeweils von den Gate-Anschlüssen zu einem gemeinsamen Anschluss 1 auf einem Grundpotential, an welchem auch der MOSFET angeschlossen ist. Die Funktionsweise der Schutzdioden  $D_1$ - $D_5$  zum Schutz der JFETs ist in US 6 822 842 beschrieben.

[0003] Aufgrund unterschiedlicher oder zu grosser Sperrschichtkapazitäten der Schutzdioden  $D_1$ - $D_5$  kann eine ungleichmässige Aufteilung der Sperrspannung über den JFETs entstehen. Dabei wirkt speziell beim obersten JFET  $J_6$  der Fig. 1, eine andere Kapazität im Gate-Anschluss als bei den unteren JFETs. Diese unterschiedliche Belastung der Gate-Anschlüsse kann die dynamische Aufteilung der Sperrspannung stark beeinflussen und dazu führen, dass zuerst der oberste Transistor die gesamte Spannung zwischen den Anschlüssen aufnimmt und im schlimmsten Fall zerstört wird.

## DARSTELLUNG DER ERFINDUNG

[0004] Es ist deshalb Aufgabe der Erfindung, eine Schalteinrichtung mit einer Serieschaltung von Sperrschicht-FETs der eingangs genannten Art zu schaffen, welche die oben genannten Nachteile behebt.

[0005] Diese Aufgabe löst eine Schalteinrichtung mit einer Serieschaltung von Sperrschicht-FETs mit den Merkmalen des Patentanspruches 1.

[0006] Die Schalteinrichtung zum Schalten eines Stromes zwischen einem ersten Anschluss und einem zweiten Anschluss, weist also eine Serieschaltung von mindestens zwei JFETs auf, von denen ein unterster JFET mit dem ersten Anschluss verbunden ist oder über einen in Serie angeordneten Steuerschalter mit dem ersten Anschluss verbunden ist. Es liegt mindestens ein weiterer JFET vor, der zu dem untersten JFET in Serie geschaltet ist, wobei der am weitesten vom untersten JFET entfernte JFET als oberster JFET bezeichnet wird und mit seinem Drainanschluss mit dem zweiten Anschluss verbunden ist. Es ist eine Stabilisierungsschaltung zur Stabilisierung der Gatespannungen der JFETs, zwischen die Gateanschlüsse der JFETs und dem ersten Anschluss geschaltet. Dabei ist zwischen dem Gateanschluss des obersten JFET und dem zweiten Anschluss eine Zusatzschaltung geschaltet welche das Potential am Gateanschluss des obersten JFET zum Potential am Drainanschluss des obersten JFET hin zieht und die Spannung verkleinert.

[0007] Dadurch wird beim eingeschalteten obersten JFET die Spannung am Gate gering über, vorzugsweise aber gleich der Spannung am Sourceanschluss gehalten, wodurch beim Ausschalten der oberste JFET länger eingeschaltet bleibt als ohne die Zusatzschaltung. Dadurch wiederum wird verhindert, dass die gesamte Spannung zwischen dem ersten und dem zweiten Anschluss am obersten JFET anliegt.

[0008] Das Netzwerk mit Stabilisierungsschaltung und Zusatzschaltung bewirkt, dass weiter oben angeordnete JFETs beim Ausschalten langsamer ausgeschaltet und schneller eingeschaltet werden, vorzugsweise synchrone Einschaltzeitpunkte aufweisen, als weiter unten angeordnete JFETs.

[0009] Dadurch wird die dynamische Sperrspannungsaufteilung des mit seriell angeordneten Transistoren aufgebauten Leistungsschalters, durch das gesamte Beschaltungsnetzwerk aus Stabilisierungsschaltung und Zusatzschaltung, sowohl balanciert als auch stabilisiert.

[0010] Die Stabilisierungsschaltung für sich alleine gesehen vermag, allgemein gesprochen, für jeden der JFETs einen vorgebbaren Strom zwischen dessen Gateanschluss und dem ersten Anschluss abzuleiten. Die Zusatzschaltung zusammen mit der Stabilisierungsschaltung bewirkt eine symmetrische Spannungsbelastung der Gateanschlüsse der seriell geschalteten JFETs.

[0011] Die Serieschaltung der JFETs kann mit einer Ansteuerung des untersten JFET in einer Kaskodeschaltung realisiert werden. Dabei weist die Serieschaltung einen Steuerschalter auf, beispielsweise einen MOSFET, der zwischen dem ersten Anschluss und einem untersten JFET geschaltet ist. Alternativ können die JFETs auch anders angesteuert werden, beispielsweise der unterste JFET mit einer direkten Ansteuerung seines Gate-Anschlusses durch eine Treiberschaltung.

[0012] Das Zeitverhalten der passiven Ansteuerung des obersten JFET ist, wenn es durch eine oder mehrere weitere Dioden realisiert ist, durch Wahl der gesamten Sperrschichtkapazität der Serieschaltung dieser weiteren Dioden einstellbar. Die Sperrschichtkapazität ist durch die Anzahl der seriellen weiteren Dioden und/oder durch die Auslegung der einzelnen weiteren Dioden einstellbar. Die Gesamt-Sperrspannung oder Durchbruchspannung einer oder mehrerer Dioden zwischen Drain und Gate des obersten JFET wird mindestens annähernd gleich wie bei den übrigen JFETs gewählt.

[0013] In einer weiteren bevorzugten Ausführungsform der Erfindung wird die Sperrschichtkapazität der weiteren Dioden klein gehalten und stattdessen eine Kapazität zwischen dem zweiten Anschluss und dem Gate des obersten JFET (und auch den weiteren JFETs) durch separate Elemente wie Kondensatoren eingestellt. Durch ein so gebildetes zusätzliches Symmetriernetzwerk ist das schnelle Schaltverhalten optimierbar. Das Symmetriernetzwerk weist also ein zwischen den Gates der JFETs und dem ersten Anschluss angeordnetes RC-Netzwerk auf. Beispielsweise sind die Gates von jeweils aufeinanderfolgenden JFETs durch jeweils eine Serieschaltung eines Widerstandes mit einer weiteren Kapazität verbunden, und ist das Gate des obersten JFETs durch ein vorzugsweise gleich strukturiertes Zusatz-RC-Glied mit dem zweiten Anschluss verbunden.

[0014] In einer anderen bevorzugten Ausführungsform der Erfindung sind die Gates der JFETs ausser des untersten JFETs durch jeweils eine Serieschaltung eines Widerstandes mit einer Kapazität mit dem ersten Anschluss verbunden, und ist zusätzlich das Gate des obersten JFETs durch eine Zusatzschaltung, vorzugsweise ein Zusatz-RC-Glied aus einer Serieschaltung eines Widerstandes mit einer weiteren Kapazität mit dem zweiten Anschluss verbunden.

[0015] In einer weiteren bevorzugten Ausführungsform der Erfindung sind die Gates der JFETs ausser des untersten JFETs durch jeweils eine Serieschaltung eines Widerstandes mit einer Kapazität mit dem ersten Anschluss verbunden, und sind zusätzlich die Gates der JFETs durch eine oder mehrere Dioden mit dem zweiten Anschluss verbunden. Das Gate des obersten JFETs ist zusätzlich durch eine Zusatzschaltung, vorzugsweise ein Zusatz-RC-Glied aus einer Serieschaltung eines Widerstandes mit einer weiteren Kapazität mit dem zweiten Anschluss verbunden.

[0016] In weiteren bevorzugten Ausführungsformen der Erfindung liegt nicht bei jeder der Kapazitäten (respektive der weiteren Kapazität) ein Widerstand zur Dämpfung vor, sondern nur bei einem oder mehreren, vorzugsweise bei weiter oben liegenden JFETs.

[0017] Grundsätzlich ist im Symmetriernetzwerk auch eine Parallelschaltung von Widerständen mit Kapazitäten möglich, jedoch sind damit statische Verluste infolge des auftretenden statischen Spannungsteilers in die Topologie eingepreist.

[0018] Das Symmetriernetzwerk ist vorzugsweise so ausgelegt, dass bei einem Schaltvorgang auftretende Ausgleichsvorgänge im Symmetriernetzwerk am obersten JFET die kleinste und am untersten JFET die grösste Zeitkonstante aufweisen. Dem entsprechend ist die Kapazität des Zusatz-RC-Gliedes (oder eines Zusatz-C-Gliedes) kleiner als die Kapazität des untersten, am Gate des untersten JFETs angeschlossenen RC-Gliedes (oder C-Gliedes). Vorzugsweise nimmt die Kapazität der dazwischen liegenden RC-Glieder oder C-Glieder von oben nach unten sukzessive zu. Durch das Zusammenwirken des Symmetriemetzwerkes mit der Stabilisierungsschaltung weisen die Ausgleichsvorgänge an den Gates der JFETs ausgeglichene Zeitkonstanten auf.

[0019] Dies bewirkt, dass es - im Vergleich zu der Schaltung ohne das Symmetriernetzwerk - beim Ausschalten der Transistoren respektive JFETs bei weiter oben liegenden JFETs länger dauert, bis der jeweilige Gateanschluss das Potential der Pinch-Off Spannung im Bezug auf den jeweiligen Sourceanschluss erreicht. Dadurch bleiben die oberen JFETs länger als die unteren JFETs eingeschaltet und dementsprechend werden die oberen JFETs langsamer ausgeschaltet. Umgekehrt werden die oberen JFETs beim Einschalten schneller eingeschaltet als ohne die Zusatzschaltung und das Symmetriernetzwerk. Idealerweise erreicht man ein komplett synchrones Ein- und Ausschalten aller JFETs.

[0020] Durch die Auslegung des Symmetriernetzwerkes sind die zeitlichen Verläufe bei den Vorgängen an den einzelnen Schaltern aufeinander abgestimmt, so dass die Schaltanordnung als Ganzes ein möglichst optimal ausgeglichenes Verhalten aufweist, also ein möglichst zeitgleiches Schalten der einzelnen JFETs.

[0021] In einer weiteren Ausführungsform der Erfindung wird der Steuerschalter, beispielsweise ein MOSFET, im linearen Bereich betrieben. Dadurch wird eine Dämpfung von Oszillationen, die durch Sperrschichtkapazitäten erzeugt werden, erreicht.

[0022] Die Stabilisierungsschaltung bildet also zusammen mit der Zusatzschaltung und dem Symmetriernetzwerk einen dynamischen Spannungsteiler zwischen der Spannung am ersten und am zweiten Anschluss, welcher bei Schaltvorgängen die Spannungsbelastung der JFETs vergleichsmässigt. Anders als bei den bekannten Leistungsschaltern oder Schalteinrichtungen zum Schalten hoher Betriebsspannungen wird die Balancierung der dynamischen Sperrspannungsbelastung der Transistoren durch Hinzufügen der Zusatzschaltung, beispielsweise durch die zusätzlichen Dioden signifikant verbessert, und kann zudem in einer bevorzugten Ausführungsform der Erfindung gezielt durch eine RC-Beschaltung optimiert werden.

[0023] Weitere bevorzugte Ausführungsformen gehen aus den abhängigen Patentansprüchen hervor.

## KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0024] Im Folgenden wird der Erfindungsgegenstand anhand von bevorzugten Ausführungsbeispielen, welche in den beiliegenden Zeichnungen dargestellt sind, näher erläutert. Es zeigen jeweils schematisch:

- Fig. 1 eine Serieschaltung von Sperrschicht-FETs gemäss dem Stand der Technik;
- Fig. 2 eine erste Ausführungsform der Erfindung;
- Fig. 3 eine zweite Ausführungsform der Erfindung, und
- Fig. 4 eine weitere Ausführungsform der Erfindung.

[0025] Die in den Zeichnungen verwendeten Bezugszeichen und deren Bedeutung sind in der Bezugszeichenliste zusammengefasst aufgelistet. Grundsätzlich sind in den Figuren gleiche Teile mit gleichen Bezugszeichen versehen.

## WEGE ZUR AUSFÜHRUNG DER ERFINDUNG

[0026] In Fig. 1 ist die Erfindung für eine Schalteinrichtung hoher Betriebsspannung dargestellt. Die Schaltung weist eine Kaskodeschaltung eines MOSFET M mit einem ersten oder untersten JFET  $J_1$  und mindestens einem in Serie zu diesem ersten JFET  $J_1$  geschalteten weiteren JFET  $J_2$ - $J_6$  auf. Der unterste oder erste JFET ist also in der Kaskodeschaltung von einem als Steuerschalter wirkenden MOSFET angesteuert. Der letzte, am weitesten vom ersten JFET entfernte JFET der in Serie geschalteten JFETs wird auch als oberster JFET h bezeichnet. Es sind lediglich beispielhaft sechs JFETs gezeigt, es können allgemein, in anderen Ausführungsformen der Erfindung, zwei oder mehr JFETs vorliegen. Zur Stabilisierung der Gatespannungen der JFETs ist eine Stabilisierungsschaltung 3 angeordnet. Diese weist jeweils zwischen den Gates zweier aufeinanderfolgender JFETs eine Serieschaltung von in Sperrichtung betriebenen Schutzdioden  $D_{11}$ - $D_{13}$ ,  $D_{21}$ - $D_{23}$ , ...  $D_{51}$ - $D_{53}$  auf. Die Anzahl von Schutzdioden  $D_{11}$ - $D_{53}$  die jeweils zueinander in Serie liegen hängt von der erforderlichen Sperrspannung der Schutzdioden  $D_{11}$ - $D_{53}$  ab. Allgemein können jeweils eine oder mehrere Schutzdioden  $D_{11}$ - $D_{53}$  zwischen den Gates zweier aufeinanderfolgender JFETs vorliegen. In anderen Ausführungsformen der Erfindung sind andere Schaltelemente als Dioden verwendet.

[0027] Jeweils zwischen Gate und Source der JFETs  $J_2$ - $J_6$  ausser dem ersten JFET sind Zenerdioden (in Fig. 1:  $Z_{GS,2}$ - $Z_{GS,6}$ ) oder Widerstände (in Fig. 2:  $Z_{GS,2}$ - $Z_{GS,6}$ ) geschaltet. Diese stabilisieren die jeweilige Gatespannung im stationären Zustand.

[0028] Zur Vergleichsmässigung der Spannungsbelastung der JFETs ist zwischen dem Gate und dem Drainanschluss des obersten JFETs eine Zusatzschaltung 4 geschaltet. Diese weist gemäss der Fig. 2 eine Serieschaltung aus drei von in Sperrichtung betriebenen weiteren Dioden  $D_{61}$ ,  $D_{62}$ ,  $D_{63}$  auf. Diese bewirken, dass das Potential am Gateanschluss des obersten JFET zum Potential am Drainanschluss des obersten JFET hin gezogen wird und damit die anliegende zwischen dem Drainanschluss und dem Gateanschluss verkleinert wird. Die weiteren Dioden  $D_{61}$ ,  $D_{62}$ ,  $D_{63}$  gewährleisten eine symmetrische Belastung der Gate-Anschlüsse und stabilisieren die Sperrspannungsaufteilung. Zusätzlich wirken sie als Schutzelement für den obersten JFET  $J_6$  gegen Überspannung zwischen Drain und Gate.

[0029] Anstelle der weiteren Dioden können in der Zusatzschaltung andere Schaltungselemente vorliegen, welche den gleichen Effekt bewirken, z.B. nur eine oder zwei oder mehr in Serie geschaltete weitere Dioden, ein Widerstand, eine Kapazität oder eine RC-Schaltung.

[0030] In einer bevorzugten Ausführungsform der Erfindung ist jeweils zwischen den Gates zweier aufeinanderfolgender JFETs, parallel zu den jeweils einen oder mehrere Schutzdioden  $D_{11}$ - $D_{53}$ , ein RC-Glied aus einer Serieschaltung eines Widerstandes oder Dämpfungswiderstandes  $R_{St,1}$ - $R_{St,5}$  mit einer Kapazität  $C_{Tu,1}$ - $C_{Tu,5}$  geschaltet. In diesem Fall ist auch zwischen dem Gate und dem Drainanschluss des obersten JFETs ein analoges, vorzugsweise gleich strukturiertes RC-Glied parallel zu der Zusatzschaltung 4 geschaltet. Alle diese genannten RC-Glieder bilden zusammen ein Symmetriernetzwerk 5.

[0031] Das gesamte Beschaltungsnetzwerk weist dann also zusätzliche 1 bis n Dioden  $D_{61}$ ,  $D_{62}$ ,  $D_{63}$ , und das passive R-C Netzwerk mit Dämpfungswiderständen  $R_{St,1}$ ...  $R_{St,6}$  und Kapazitäten  $C_{Tu,1}$  ...  $C_{Tu,6}$ .

[0032] Durch die Serieschaltung der Dioden kann die totale Sperrschichtkapazität, welche zwischen den Gate-Anschlüssen jeweils hinzugefügt wird, klein gehalten werden. Das ergibt die Möglichkeit, dank den zusätzlichen Kapazitäten  $C_{Tu,1}$  ...  $C_{Tu,6}$  die dynamische Sperrspannungsaufteilung zu optimieren bzw. unabhängig von den Sperrschichtkapazitäten einzustellen. Dabei werden die zusätzlichen Dämpfungswiderstände  $R_{St,1}$  ...  $R_{St,6}$  hinzugefügt, um durch die zusätzlichen Kapazitäten  $C_{Tu,1}$  ...  $C_{Tu,6}$  hervorgerufene Schwingungen zu dämpfen.

[0033] Fig. 3 zeigt eine alternative bevorzugte Ausführungsform der Erfindung, in welcher die Gates der JFETs  $J_1$ - $J_6$  nicht untereinander verbunden sind, sondern jeweils separat mit einer eigenen Beschaltung aus Schutzdioden  $D_{11}$ - $D_{53}$  und RC-Glied mit dem ersten Anschluss 1 verbunden sind. Wie in der Fig. 2 ist der Gateanschluss  $G_6$  des obersten JFET  $J_6$  über das Zusatznetzwerk 4 mit dem zweiten Anschluss 2 verbunden. Das Zusatznetzwerk 4 kann auch hier nur eine oder mehrere seriell geschaltete weitere Dioden  $D_{61}$ - $D_{63}$  aufweisen, oder andere Schaltelemente, oder die weiteren

Dioden  $D_{61}$ - $D_{63}$  kombiniert mit einem RC-Serieglied  $R_{St,6}$ ,  $C_{Tu,6}$ -Die an sich optionalen und vorzugsweise zur Optimierung eingesetzten RC-Glieder  $R_{St,1} \dots R_{St,6}$  und  $C_{Tu,1} \dots C_{Tu,6}$  bilden auch hier zusammen das Symmetriernetzwerk 5.

**[0034]** Fig. 4 zeigt eine weitere Ausführungsform der Erfindung in welcher die Gates der JFETs  $J_1$ - $J_6$  nicht untereinander verbunden sind, sondern jeweils separat mit einer eigenen Beschallung aus Schutzdioden  $D_{11}$ - $D_{23}$ , einer oder mehreren Zusatzdioden 6, welche vom jeweiligen Gateanschluss zum zweiten Anschluss verbunden ist und über ein RC-Glied mit dem ersten Anschluss 1 verbunden sind. Die Schutzdioden  $D_{11}$ - $D_{23}$  und Zusatzdioden 6 bilden jeweils einen Spannungsteiler für die Gatespannung, der bezüglich Spannungsniveau und dynamischem Verhalten (Zeitkonstanten) individuell parametrisierbar ist. Anstelle der in der Figur gezeigten einzelnen Zusatzdioden 6 können auch mehrere in Serie geschaltete Dioden vorliegen. Auch das, wie in der Fig. 3 angeordnete, Zusatznetzwerk 4 kann eine oder mehrere seriell geschaltete weitere Dioden  $D_{61}$ - $D_{63}$  aufweisen, oder andere Schaltelemente, oder die weiteren Dioden  $D_{61}$ - $D_{63}$  kombiniert mit einem RC-Serieglied  $R_{St,6} \dots R_{St,6}$  - Die an sich optionalen und vorzugsweise zur Optimierung eingesetzten RC-Glieder  $R_{St,1} \dots R_{St,6}$  und  $C_{Tu,1} \dots C_{Tu,6}$  bilden auch hier zusammen das Symmetriernetzwerk 5.

**[0035]** Für alle Beispiele und für die Erfindung als Ganzes gilt grundsätzlich, dass die Schaltung, sinngemäss modifiziert auch für p-Kanal JFETs anstelle der hier gezeichneten n-Kanal JFETs einsetzbar ist.

### Patentansprüche

1. Schalteinrichtung zum Schalten eines Stromes zwischen einem ersten Anschluss (1) und einem zweiten Anschluss (2), aufweisend eine Serieschaltung von mindestens zwei JFET's ( $J_1$ - $J_6$ ), von denen ein unterster JFET ( $J_1$ ) mit dem ersten Anschluss (1) verbunden ist oder der unterste JFET ( $J_1$ ) in einer Kaskodeschaltung über einen Steuerschalter (M) mit dem ersten Anschluss (1) verbunden ist, und mindestens einen weiteren JFET ( $J_2$ - $J_6$ ), der zu dem untersten JFET ( $J_1$ ) in Serie geschaltet ist, wobei der am weitesten vom untersten JFET ( $J_1$ ) entfernte JFET ( $J_6$ ) als oberster JFET ( $J_6$ ) bezeichnet wird und mit seinem Drainanschluss mit dem zweiten Anschluss (2) verbunden ist, und wobei eine Stabilisierungsschaltung ( $D_{11}$ - $D_{53}$ ) zur Stabilisierung der Gatespannungen der JFETs ( $J_1$ - $J_6$ ), zwischen die Gateanschlüsse der JFETs ( $J_1$ - $J_6$ ) und dem ersten Anschluss (1) geschaltet ist, dadurch gekennzeichnet, dass zwischen dem Gateanschluss ( $G_6$ ) des obersten JFET ( $J_6$ ) und dem zweiten Anschluss (2) eine Zusatzschaltung (4) geschaltet ist welche das Potential am Gateanschluss ( $G_6$ ) des obersten JFET ( $J_6$ ) zum Potential am Drainanschluss ( $D_6$ ) des obersten JFET ( $J_6$ ) zieht.
2. Schalteinrichtung gemäss Anspruch 1, wobei die Stabilisierungsschaltung (3) von den Gateanschlüssen der JFETs ( $J_1$ - $J_6$ ) jeweils einen vorgebbaren Strom zum ersten Anschluss (1) ableitet, insbesondere mittels in Sperrichtung betriebenen Schutzdioden ( $D_{11}$ - $D_{53}$ ) welche jeweils zwischen den Gateanschlüssen aufeinanderfolgender JFETs ( $J_1$ - $J_6$ ) oder zwischen den Gateanschlüssen der JFETs ( $J_1$ - $J_6$ ) und dem ersten Anschluss (1) angeordnet sind.
3. Schalteinrichtung gemäss Anspruch 1 oder 2, wobei die Zusatzschaltung (4) zusammen mit der Stabilisierungsschaltung (3) eine symmetrische Spannungsbelastung der Gateanschlüsse der JFETs ( $J_1$ - $J_6$ ) bewirkt.
4. Schalteinrichtung gemäss einem der bisherigen Ansprüche, wobei die Zusatzschaltung (4) eine oder mehrere in Serie und in Sperrichtung zwischen dem Gateanschluss ( $G_6$ ) des obersten JFET ( $J_6$ ) und dem zweiten Anschluss (2) betriebene weitere Dioden ( $D_{61}$ ,  $D_{62}$ ,  $D_{63}$ ) aufweist.
5. Schalteinrichtung gemäss einem der bisherigen Ansprüche, wobei die Zusatzschaltung (4) ein passives Netzwerk, insbesondere ein Widerstand ist, welches respektive welcher zwischen dem Gateanschluss ( $G_6$ ) des obersten JFET ( $J_6$ ) und dem zweiten Anschluss (2) angeschlossen ist.
6. Schalteinrichtung gemäss einem der bisherigen Ansprüche, wobei die Stabilisierungsschaltung (3) jeweils zwischen den Gateanschlüssen von aufeinanderfolgenden JFETs mindestens eine in Sperrichtung betriebene Diode mit einer ersten Gesamt-Sperrspannung aufweist, und die Zusatzschaltung (4) mindestens eine in Sperrichtung betriebene weitere Diode ( $D_{61}$ ,  $D_{62}$ ,  $D_{63}$ ) mit einer zweiten Gesamt-Sperrspannung aufweist, wobei die zweite Gesamt-Sperrspannung mindestens annähernd gleich der ersten Gesamt-Sperrspannung ist.
7. Schalteinrichtung gemäss einem der bisherigen Ansprüche, wobei ein Symmetriernetzwerk (5) aus einem ein zwischen den Gates der JFETs ( $J_1$ - $J_6$ ) und dem ersten Anschluss angeordneten RC-Netzwerk vorliegt.
8. Schalteinrichtung gemäss Anspruch 7, wobei das Symmetriernetzwerk (5) so ausgelegt ist, dass bei einem Schaltvorgang auftretende Ausgleichsvorgänge im Symmetriernetzwerk am obersten JFET ( $J_6$ ) die kleinste und am untersten JFET ( $J_1$ ) die grösste Zeitkonstante aufweisen.
9. Schalteinrichtung gemäss Anspruch 7 oder 8, wobei das Symmetriernetzwerk (5) jeweils zwischen den Gateanschlüssen von aufeinanderfolgenden JFETs ( $J_1$ - $J_6$ ) eine Kapazität ( $C_{Tu,1}$ - $C_{Tu,5}$ ) aufweist und parallel zur der Zusatzschaltung (4) eine weitere Kapazität ( $C_{Tu,6}$ ) aufweist, und in Serie zu mindestens einer der Kapazitäten ( $C_{Tu,1}$ - $C_{Tu,5}$ ) und/oder der weiteren Kapazität ( $C_{Tu,6}$ ) ein Dämpfungswiderstand ( $R_{St,1}$ - $R_{St,5}$ ,  $R_{St,6}$ ) geschaltet ist.
10. Schalteinrichtung gemäss Anspruch 7 oder 8, wobei das Symmetriernetzwerk (5) jeweils zwischen den Gateanschlüssen von aufeinanderfolgenden JFETs ( $J_2$ - $J_6$ ) ausser dem untersten JFET ( $J_1$ ) und dem ersten Anschluss (1)

## CH 700 419 A2

ein RC-Glied ( $R_{St,1}$ - $R_{St,5}$  und  $C_{Tu,1}$ - $C_{Tu,5}$ ) aufweist, und parallel zur der Zusatzschaltung (4) ein Zusatz-RC-Glied ( $R_{St,6}$ ,  $C_{Tu,6}$ ) aufweist.

11. Schalteinrichtung gemäss Anspruch 10, wobei die Schaltung eine Ansteuerschaltung zum Ansteuern des Steuer-  
schalters (M) aufweist, welche diesen in einem linearen Bereich betreibt.

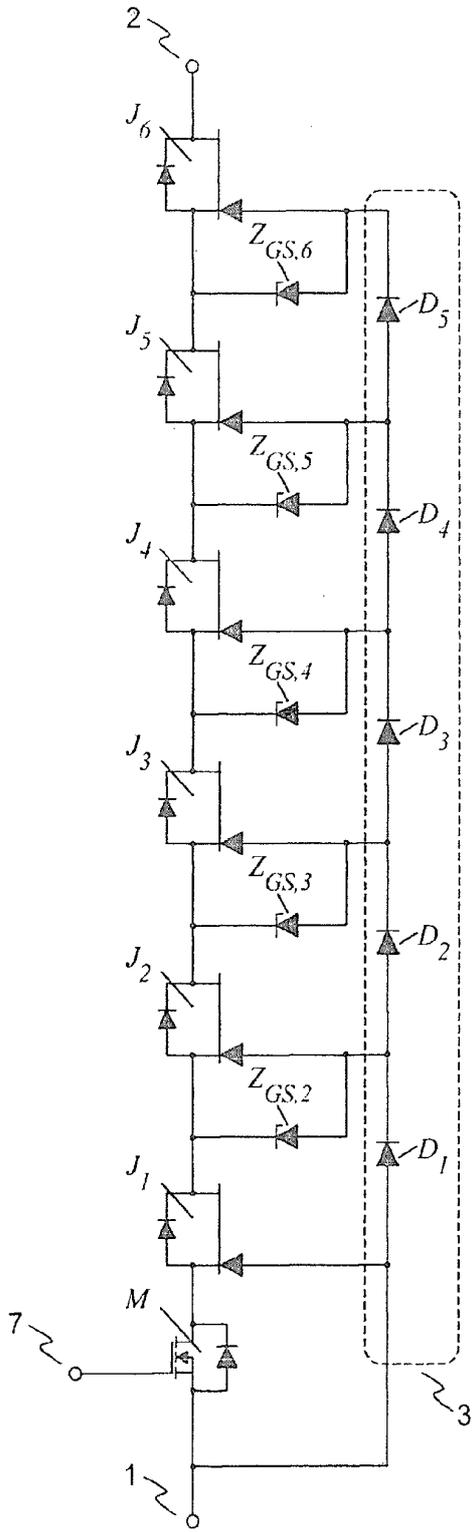


Fig. 1

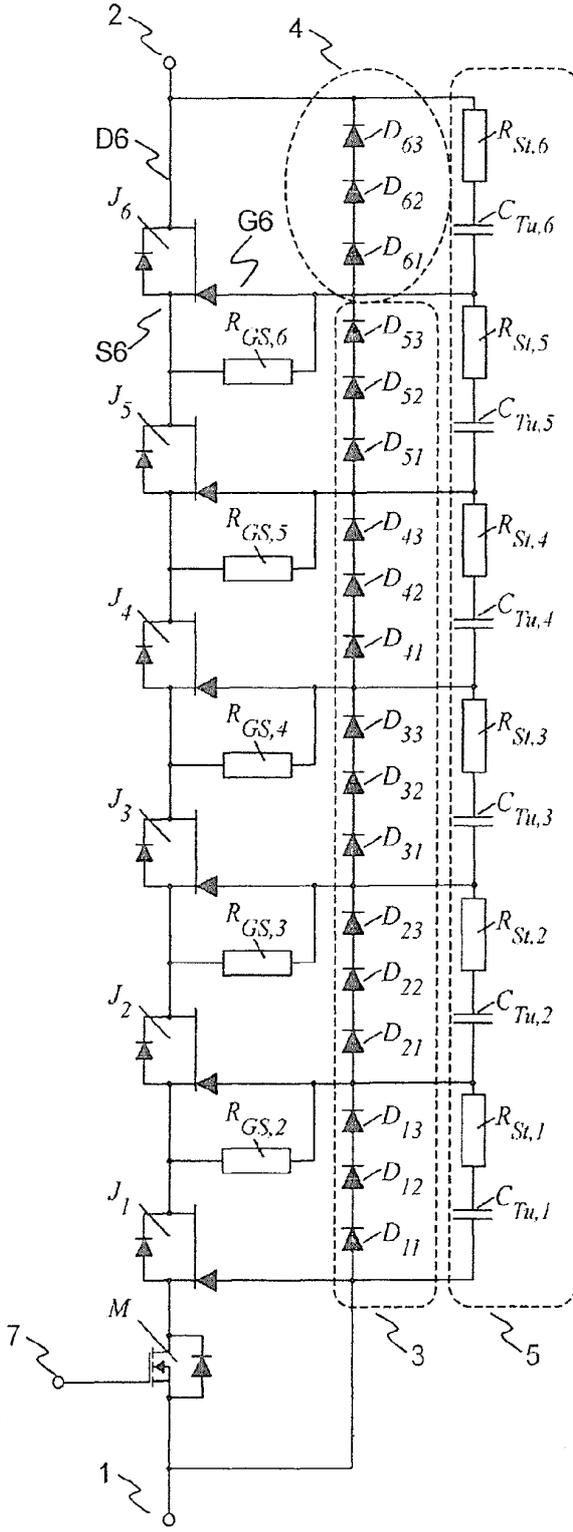


Fig. 2

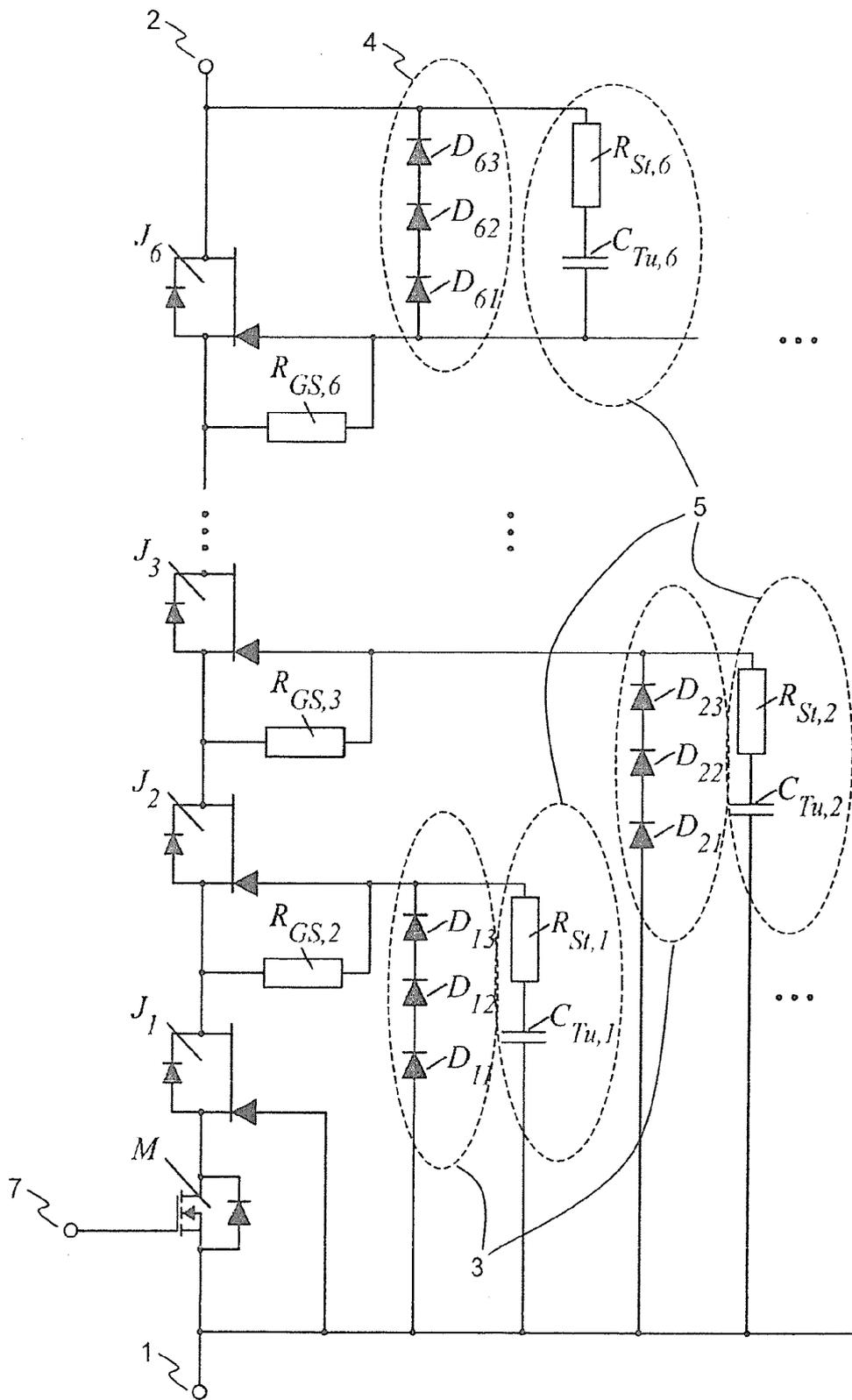


Fig. 3

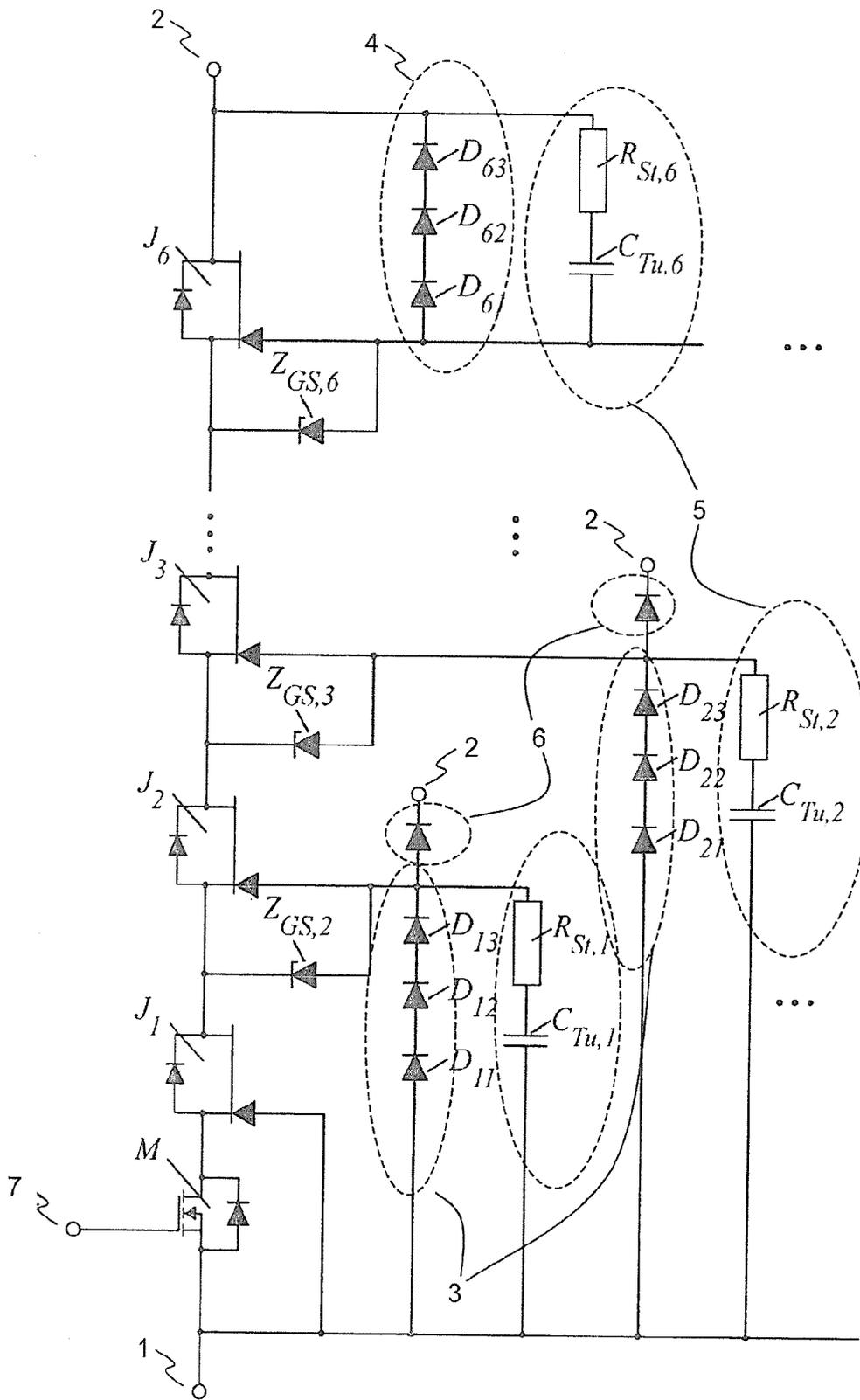


Fig. 4