



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVEDČENÍU

201 649
(11) (B1)

(61)

(23) Výstavná priorita
(22) Přihlášeno 06 02 78
(21) PV 767-78

(51) Int. Cl.

G 06 F 7/24
G 06 F 7/06
G 06 F 7/36
G 06 F 7/38

(40) Zveřejněno 31 03 80
(45) Vydáno 01 02 83

(75)
Autor vynálezu SEDLÁČEK PAVEL ing., KLECANY

(54) Zapojení terminálového procesoru

1

Vynález se týká zapojení terminálového procesoru určeného pro přenos a zpracování dat.

Dosavadní procesory pro zpracování informací jsou buď pomalé pro dnešní požadavky přenosu informací, nebo jsou sice rychlé, přitom však značně složité a také nedostatečně využité.

Tyto nedostatky odstraňuje zapojení terminálového procesoru podle vynálezu, jehož podstatou je, že vstup instrukcí je připojen na první vstup multiplexoru, opatřeného vstupem informací periférií a vstupem stavových informací periférií, přičemž výstup multiplexoru je spojen s prvním vstupem aritmeticko-logické jednotky, jejíž výstup je spojen se vstupem posuvného a vyrovnávacího registru, jehož výstupní sběrnice je spojena se vstupem střadače, s registrem řídicích stavů periférií, s registrem adres periférií, s klopným obvodem pro řízení periférií, s klopným obvodem pro generování synchronizačních impulsů výstupních dat, se vstupem zápisníkové paměti, se vstupem vyrovnávacího registru programového čítače, s nižší částí programového čítače, s prvním vstupem vyšší části programového čítače, přičemž výstup střadače je připojen na datovou sběrnici spojenou se čtvrtým vstupem multiplexoru, výstupy nižší části a vyšší části programového čítače jsou spojeny s adresní sběrnici, na niž jsou připojeny výstupy zápisníkové paměti, pátý vstup multiplexoru, druhý vstup aritmeticko-logické jednotky, která je oboustranně propojena s obvodem pro přenos.

Výhodné je též zapojení upravené tak, že mezi adresní sběrnici a programový

201 649

čítač je zapojena druhá zápisníková paměť.

Zapojení podle vynálezu je výhodné tím, že i při značném zjednodušení je poměrně rychlé. Umožňuje přesto také všechny operace požadované pro zpracování informací.

Jedno z možných provedení zapojení podle vynálezu je znázorněno na výkrese, který představuje blokové schéma celého zapojení.

Zapojení je provedeno tak, že vstup 1 instrukcí je připojen na první vstup multiplexoru 4, opatřeného vstupem 2 informací periférií a vstupem 3 stavových informací periférií, přičemž výstup multiplexoru 4 je spojen s prvním vstupem aritmeticko-logické jednotky 5, jejíž výstup je spojen se vstupem posuvného a vyrovnávacího registru 7, jehož výstupní sběrnice 24 je spojena se vstupem střadače 8, s registrem 10 řídicích stavů periférií, s registrem 11 adres periférií, s klopným obvodem 15 pro řízení periférií, s klopným obvodem 16 pro generování synchronizačních impulsů výstupních dat, se vstupem zápisníkové paměti 2, se vstupem vyrovnávacího registru 12 programového čítače 28, s nižší částí 14 programového čítače 28, s prvním vstupem vyšší části 13 programového čítače 28, přičemž výstup střadače 8 je připojen na datovou sběrnici 17 spojenou se čtvrtým vstupem multiplexoru 4, výstupy nižší části 14 a vyšší části 13 programového čítače 28 jsou spojeny s adresní sběrnicí 18, na níž jsou připojeny výstupy zápisníkové paměti 2, pátý vstup multiplexoru 4, druhý vstup aritmeticko-logické jednotky 5, která je oboustranně propojena s obvodem 6 pro přenos.

Multiplexor 4 má dále vstup 1 instrukcí, vstup 2 informací periférií a vstup 3 stavových informací periférií.

Datová sběrnice 17 tvoří výstup 25 do paměti a výstup 26 do periférií. Výstupní sběrnice 24 je připojena k registru 10 řídicích stavů periférií s výstupem 12, k registru 11 adres periférií s výstupem 20, ke klopnému obvodu 15 pro řízení periférií s výstupem 22, ke klopnému obvodu 16 pro generování synchronizačního impulsu výstupních dat s výstupem 21 a na vstup zápisníkové paměti 2. Zápisníková paměť 2 se skládá například ze šestnácti registrů rozdělených do dvou skupin šestnáctibitové adresace na liché registry 201, 203, 205, 207, 211, 213, 215 a sudé registry 200, 202, 204, 206, 208, 210, 212, 214.

Výhodné je též zapojení upravené tak, že mezi adresní sběrnicí 18 a programový čítač 28 je zapojena druhá zápisníková paměť 27.

Zapojení pracuje takto: Druh informace zvolený multiplexorem 4 se přivádí na vstup aritmeticko-logické jednotky 5, na jejíž druhý vstup je přivedena informace ze zápisníkové paměti 2 nebo programového čítače 28 s vyšší části 13 čítače a nižší části 14 čítače a hodnota přenosu uložená v obvodu 6 pro přenos. Informace zpracovaná podle zvolené funkce aritmeticko-logické jednotky 5 je přivedena na vstup posuvného registru 7, který slouží jako vyrovnávací registr paměti a jako posuvný registr zároveň pro provádění rotací. Výstup tohoto registru 7 je výstupní sběrnici 24 rozveden na vstupy různých bloků zapojení: střadač 8, zápisníkovou paměť 2, registr 10 řídicích stavů periférií, registr 11 adres periférií, vyrovnávací registr 12, klopný obvod 15 pro řízení periférií, klopný obvod 16 pro generování synchronizačních impulsů výstupních dat, programový čítač 28 s vyšší částí 13 tohoto čítače a nižší částí 14 tohoto čítače. Výstup datové sběrnice 17 ze střadače 8 a společný výstup adresové sběrnice 18 programového čítače 28 s vyšší částí 13 a s nižší částí 14 a zápisníkové paměti 2 jsou přivedeny jako vstupní informace na multiplexor 4 společně s informacemi ze zdrojů z periférií do vstupu 2, zdrojů stavových informací do vstupu 4, ze zdroje instrukcí z klávesnice nebo paměti do vstupu 1 multiplexoru 4.

Zapojení lze použít pro sběr, zpracování a třídění dat a zejména řízení telekomunikačních procesů a jiných.

PŘEDMĚT VYNÁLEZU

1. Zapojení terminálového procesoru, vyznačující se tím, že vstup / 1 / instrukcí je připojen na první vstup multiplexoru / 4 /, opatřeného vstupem / 2 / informací periférií a vstupem / 3 / stavových informací periférií, přičemž výstup multiplexoru / 4 / je spojen s prvním vstupem aritmeticko-logické jednotky / 5 /, jejíž výstup je spojen se vstupem posuvného a vyrovnávacího registru / 7 /, jehož výstupní sběrnice / 24 / je spojena se vstupem střadače / 8 /, s registrem / 10 / řídicích stavů periférií, s registrem / 11 / adres periférií, s klopným obvodem / 15 / pro řízení periférií, s klopným obvodem / 16 / pro generování synchronizačních impulsů výstupních dat, se vstupem zápisníkové paměti / 9 /, se vstupem vyrovnávacího registru / 12 / programového čítače / 28 /, s nižší částí / 14 / programového čítače / 28 /, s prvním vstupem vyšší části / 13 / programového čítače / 28 /, přičemž výstup střadače / 8 / je připojen na datovou sběrnici / 17 / spojenou se čtvrtým vstupem multiplexoru / 4 /, výstupy nižší části / 14 / a vyšší části / 13 / programového čítače / 28 / jsou spojeny s adresní sběrnici / 18 /, na níž jsou připojeny výstupy zápisníkové paměti / 9 /, pátý vstup multiplexoru / 4 /, druhý vstup aritmeticko-logické jednotky / 5 /, která je oboustranně propojena s obvodem / 6 / pro přenos.
2. Zapojení terminálového procesoru podle bodu 1, vyznačující se tím, že mezi adresní sběrnici / 18 / a programový čítač / 28 / je zapojena druhá zápisníková paměť / 27 /.

1 výkres

