

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-218758
(P2008-218758A)

(43) 公開日 平成20年9月18日(2008.9.18)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/60 (2006.01)	HO 1 L 21/60 3 1 1 S	5 F O 4 4
HO 1 L 25/04 (2006.01)	HO 1 L 25/04 Z	
HO 1 L 25/18 (2006.01)		

審査請求 未請求 請求項の数 3 O L (全 17 頁)

(21) 出願番号 特願2007-54957 (P2007-54957)
(22) 出願日 平成19年3月6日(2007.3.6)

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(74) 代理人 100068087
弁理士 森本 義弘
(74) 代理人 100096437
弁理士 笹原 敏司
(74) 代理人 100100000
弁理士 原田 洋平
(72) 発明者 後川 和也
大阪府門真市大字門真1006番地 松下
電器産業株式会社内
(72) 発明者 三村 忠昭
大阪府門真市大字門真1006番地 松下
電器産業株式会社内

最終頁に続く

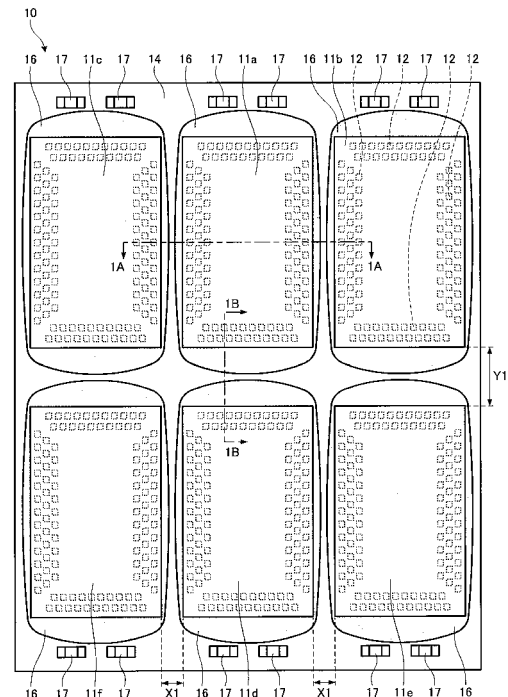
(54) 【発明の名称】 電子回路実装構造体

(57) 【要約】

【課題】複数個の半導体素子を高密度に実装可能な電子回路実装構造体を提供する。

【解決手段】半導体素子11の主面の周縁部を構成する4つの辺部のうち、半導体素子11の長手方向に直交する方向において対向する2つの辺部(所定の辺部)には、バンプ12を3列構成で、千鳥状に配列し、半導体素子11の長手方向において対向する2つの辺部(他の辺部)には、バンプ12を2列構成で、かつ千鳥状に配列して、バンプ12の列数が少ない辺部からの樹脂接着層16の樹脂のはみ出し量が、バンプ12の列数が多い辺部からののはみ出し量よりも大きくなるようにするとともに、各半導体素子11a~11fを、樹脂接着層16の樹脂のはみ出し量が小さい所定の辺部同士が隣接する配置で実装した。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

主面の周縁部を構成する各辺部にそれぞれ 1 列以上の配列構成で形成された bumps を有し、前記各辺部のうちの少なくとも 1 つの所定の辺部に形成された前記 bumps が、前記各辺部のうちの他の辺部に形成された前記 bumps の列数よりも多い列数で設けられるか、あるいは前記他の辺部に形成された前記 bumps の配列ピッチよりも短い配列ピッチで設けられた複数個の半導体素子と、

前記各半導体素子の前記 bumps に対応する位置に設けられた電極端子を有する基板と、前記半導体素子ごとに設けられ、前記各半導体素子の前記 bumps と前記基板の前記電極端子とを電氣的に接続した状態で前記各半導体素子を前記基板上に接着する各樹脂接着層と、を備え、

前記各樹脂接着層は、前記各半導体素子の前記所定の辺部からのはみ出し量が、前記他の辺部からのはみ出し量よりも小さく、

前記各半導体素子は、前記樹脂接着層のはみ出し量が小さい前記所定の辺部同士が隣接する配置で実装されていることを特徴とする電子回路実装構造体。

【請求項 2】

前記半導体素子の少なくとも 1 個においては、前記樹脂接着層のはみ出し量が小さい前記所定の辺部に形成された前記 bumps にダミー bumps が含まれ、且つ前記ダミー bumps を含む前記 bumps が 2 列以上で、かつ千鳥状に配置されており、

前記基板の前記電極端子は、前記ダミー bumps 以外の前記 bumps に対応する位置に設けられている

ことを特徴とする請求項 1 記載の電子回路実装構造体。

【請求項 3】

前記樹脂接着層は、その材料が絶縁性の熱硬化型樹脂または異方導電性樹脂からなることを特徴とする請求項 1 もしくは 2 のいずれかに記載の電子回路実装構造体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基板上に半導体素子がフリップチップ接続された電子回路実装構造体に関する。

【背景技術】

【0002】

近年、携帯電話を初めとした種々の電子機器に対して高機能化、小型化が要求されており、半導体装置には高密度化、微細化および高集積化が要求されている。このため、半導体素子を基板へ実装する実装技術についても、より高度な技術が要求されるようになってきた。

【0003】

例えば、半導体素子の高機能化に伴い電極パッド数が増加していることから、従来のように半導体素子の周縁部に単純に 1 列で電極パッドを配置することが困難となっており、周縁部を構成する各辺に沿って 2 列や 3 列に電極パッドを配列して実装することが行われている。

【0004】

また、従来、半導体素子の電極パッドはワイヤボンディング法によって基板の電極端子に接続されていたが、大容量で高機能の電子回路を実現するためにフリップチップ接続方式が主として用いられるようになってきている。

【0005】

以下、回路基板上に半導体素子がフリップチップ接続された従来の電子回路実装構造体について、図面を参照しながら説明する。例えば、特許文献 1 には、図 9 に示すような電子回路実装構造体の製造方法が開示されている。

10

20

30

40

50

【 0 0 0 6 】

図 9 は、従来の電子回路実装構造体の製造方法を説明するための図であり、(a) は半導体素子のバンブと回路基板の電極端子とを位置決めした状態を示す断面図、(b) は加圧と加熱を行って半導体素子を回路基板に接合した後の状態を示す断面図である。

【 0 0 0 7 】

この従来の電子回路実装構造体の製造方法では、まず図 9 (a) に示すように、絶縁性で導電粒子を含まない熱硬化性樹脂シート 9 4 を介在させながら、半導体素子 9 2 の電極パッド (図示せず) 上に形成されたバンブ 9 3 と回路基板 9 1 の電極端子 9 5 とを位置合わせする。この位置合わせは、図 9 (a) に示すように、ボンディングツール 9 6 に半導体素子 9 2 を吸着させて行う。その後、加熱しながら、半導体素子 9 2 を回路基板 9 1 に対して押圧する。この加圧と加熱により、熱硬化性樹脂シート 9 4 を流動 / 硬化させ、半導体素子 9 2 のバンブ 9 3 と回路基板 9 1 の電極端子 9 5 とを接合して電氣的に接続するとともに、半導体素子 9 2 と回路基板 9 1 との間を熱硬化性樹脂シート 9 4 により接着固定して、図 9 (b) に示すような実装構造体を得る。

10

【 0 0 0 8 】

なお、熱硬化性樹脂シート 9 4 としては、異方導電性樹脂シートまたは非導電性樹脂シートが用いられるが、異方導電性樹脂ペーストまたは非導電性樹脂ペーストをシート状に塗布して用いてもよいとされている。

【 0 0 0 9 】

しかしながら、この従来の電子回路実装構造体では、熱硬化性樹脂シート 9 4 が、加圧と加熱により半導体素子 9 2 の周縁部を越えてさらに外周領域の比較的広い範囲まで流れ出すため、半導体素子 9 2 が実装された領域だけでなく、その外周領域の広い範囲にわたり他の半導体素子等の電子部品を実装することができなくなる。その結果、フリップチップ実装であっても、回路基板上へ高密度で半導体素子を含む電子部品を実装することができず、高機能で、かつ大規模な電子回路を有する小型電子機器を実現することが困難であるという問題があった。

20

【 0 0 1 0 】

また、特許文献 2 には、接合材料を半導体素子の周縁部まで均一に拡げることで樹脂封止性を改善することを目的として、半導体素子の主面にダミーバンブを形成した電子回路実装構造体が開示されている。

30

【 0 0 1 1 】

図 1 0 は、この従来の電子回路実装構造体を説明するための図であり、(a) は従来一般的に用いられている半導体素子のバンブ形成面を示す平面図、(b) は接合材料の流動を規制するためのダミーバンブを形成した半導体素子のバンブ形成面を示す平面図である。

【 0 0 1 2 】

図 1 0 (a) に示すように、従来一般的に用いられている半導体素子 1 0 1 a では、ある隣接するバンブ 1 0 2 a 間が、他の隣接するバンブ 1 0 2 a 間より大きな間隔を有する構成となっていることが多い。このような構成の半導体素子 1 0 1 a を回路基板上にフリップチップ接続する場合、まず接合材料 1 0 3 を回路基板または半導体素子 1 0 1 a に供給した後、半導体素子 1 0 1 a のバンブ 1 0 2 a と回路基板上の電極端子とを位置合わせし、半導体素子 1 0 1 a を加熱および加圧して熱圧着し、半導体素子 1 0 1 a のバンブ 1 0 2 a と回路基板の電極端子とが電氣的に接触した状態で半導体素子 1 0 1 a と回路基板との間の接合材料 1 0 3 を硬化させるが、半導体素子 1 0 1 a を熱圧着させる際に、接合材料 1 0 3 の流動性が熱により増加し、接合材料 1 0 3 が、矢印 S で示すように均一に流れるだけでなく、矢印 R で示すように、間隔が大きいバンブ 1 0 2 a 間の領域から周縁部を越えて外周領域まで容易に流れ出てしまい、その結果、半導体素子 1 0 1 a の周縁部に十分な量の接合材料 1 0 3 が供給されず、封止の信頼性や電氣的接続の信頼性が低下するという問題があった。

40

【 0 0 1 3 】

50

これに対して、図10(b)に示す半導体素子を用いた電子回路実装構造体では、間隔が大きいパンプ102b間の領域に接合材料流動規制部材であるダミーパンプ104が形成されているので、半導体素子101bを熱圧着させる際に、そのダミーパンプ104により、接合材料103が半導体素子101bの周縁部から外周領域へ流動することが防止され、接合部材103の流れが矢印Sで示されるように全体として均一になり、その結果、接合材料103の充填不足や気泡の発生等を防止でき、封止の信頼性や電氣的接続の信頼性を充分確保できるようになる。

【0014】

また、特許文献3には、主面の周縁部を構成する各辺に沿って2列や3列に電極パッドが千鳥状に配列されている半導体素子を回路基板上にフリップチップ接続する際に、異方導電性フィルムを用いて半導体素子のパンプと回路基板の電極端子間を接続する場合、異方導電性フィルム中の樹脂の流れとともに導電ボールが移動してパンプ周辺にたまり、ショート不良が生じる現象を防止することを目的として、電極パッド列の間隔を所定間隔以上離間して配置した電子回路実装構造体が開示されている。

10

【0015】

図11は、この従来電子回路実装構造体を説明するための図であり、(a)は液晶表示装置を例とした従来電子回路実装構造体の要部断面図、(b)はその電子回路実装構造体に用いられる半導体素子のパンプ形成面を示す平面図である。なお、図11(a)に示す断面図は、液晶表示装置を図11(b)に示す11A-11A線の位置で切断した断面図である。

20

【0016】

図11(a)に示すように、液晶表示装置114は上部基板114aと下部基板114bで構成されており、下部基板114bには液晶表示装置114から電極配線115aが延在されている。なお、下部基板114bには、薄膜トランジスタが形成されており、さらに下部基板114bと上部基板114aの間には液晶が充填され、かつ周囲がシールされているが、これらについては図示していない。また、下部基板114bの端部には、外部との接続に用いられる電極配線115bが形成されている。

【0017】

この下部基板114bの電極配線115b、115aの端部は、それぞれパンプ接続用の電極端子を構成しており、電極配線115b、115aと半導体素子111に形成されたパンプ112b、112cとは、異方導電性樹脂113により電氣的および機械的に接続され、固定および封止されている。

30

【0018】

ここで、この従来電子回路実装構造体では、導電ボールがパンプ周辺部にたまってショートが発生することを防止するために、図11(b)に示すようにパンプが配置されている。すなわち、この例では、半導体素子111の主面の周縁部を構成する各辺部に、入力ライン用パンプ112b、ゲートライン用パンプ112aおよびデータライン用パンプ112cが設けられており、ゲートライン用パンプ112aとデータライン用パンプ112cは、それぞれ千鳥配置されている。そして、その千鳥配置の2つの列の間隔はゲートライン用パンプ112aおよびデータライン用パンプ112cのそれぞれ半分以上に設定されている。

40

【0019】

このような間隔に設定することにより、加熱と加圧を受けた異方導電性樹脂113は、導電ボールとともに半導体素子111の外周領域に押し出されて徐々に硬化する。その結果、導電ボールがパンプの周辺にたまることなくショート発生を防止できるとしている。

【特許文献1】特開2001-7159号公報

【特許文献2】特開2001-358175号公報

【特許文献3】特開2004-252466号公報

【発明の開示】

50

【発明が解決しようとする課題】**【0020】**

以上のように、従来から、基板上に半導体素子をフリップチップ実装するのに様々な工夫がなされてきた。本発明は、上述した従来の電子回路実装構造体とは全く異なる発想でなされた電子回路実装構造体を提供することを目的とする。

【0021】

すなわち、図9を用いて説明したように、従来より、熱硬化性樹脂シート等の樹脂接着層が、半導体素子の周縁部を越えてさらに外周領域の比較的広い範囲まで流れ出し、その外周領域の広い範囲にわたり他の半導体素子等の電子部品を実装することができなくなるという問題があったが、本発明は、同一基板上に複数個の半導体素子がフリップチップ接

10

続された電子回路実装構造体において、各半導体素子の各辺部からの樹脂接着層のはみ出し量をコントロールするとともに、各半導体素子を、樹脂接着層のはみ出し量が小さい辺部同士が隣接する配置で実装することにより、複数個の半導体素子を高密度に実装することが可能な電子回路実装構造体を提供することを目的とする。

【課題を解決するための手段】**【0022】**

上記目的を達成するために、本発明の請求項1記載の電子回路実装構造体は、主面の周縁部を構成する各辺部にそれぞれ1列以上の配列構成で形成されたバンプを有し、前記各辺部のうちの少なくとも1つの所定の辺部に形成された前記バンプが、前記各辺部のうちの他の辺部に形成された前記バンプの列数よりも多い列数で設けられるか、あるいは前記

20

【0023】

他の辺部に形成された前記バンプの配列ピッチよりも短い配列ピッチで設けられた複数個の半導体素子と、前記各半導体素子の前記バンプに対応する位置に設けられた電極端子を有する基板と、前記半導体素子ごとに設けられ、前記各半導体素子の前記バンプと前記基板の前記電極端子とを電気的に接続した状態で前記各半導体素子を前記基板上に接着する各樹脂接着層と、を備え、前記各樹脂接着層は、前記各半導体素子の前記所定の辺部からのはみ出し量が、前記他の辺部からのはみ出し量よりも小さく、前記各半導体素子は、前記樹脂接着層のはみ出し量が小さい前記所定の辺部同士が隣接する配置で実装されていることを特徴とする。

【0023】

このように、他の半導体素子を密接させたい所定の辺部に、他の辺部のバンプ列数よりも多いバンプ列数でバンプを設けるか、あるいは他の辺部におけるバンプの配列ピッチよりも短い配列ピッチでバンプを設けることで、その所定の辺部からの樹脂接着層のはみ出し量を、他の辺部からの樹脂接着層のはみ出し量を多くすることで抑制する構成としたので、半導体素子間の間隔を小さくしても、はみ出した樹脂接着層が他の半導体素子を実装するときの妨げとならず、半導体素子同士を密接して実装することができる。さらに、樹脂接着層のはみ出し量が小さい辺部に対して、受動部品等の電子部品を密接に実装することもできる。その結果、高密度実装が可能となるので、小型、薄型で、かつ高機能を有する電子回路実装構造体を実現することができる。

【0024】

また、本発明の請求項2記載の電子回路実装構造体は、請求項1記載の電子回路実装構造体であって、前記半導体素子の少なくとも1個においては、前記樹脂接着層のはみ出し量が小さい前記所定の辺部に形成された前記バンプにダミーバンプが含まれ、且つ前記ダミーバンプを含む前記バンプが2列以上で、かつ千鳥状に配置されており、前記基板の前記電極端子は、前記ダミーバンプ以外の前記バンプに対応する位置に設けられていることを特徴とする。

【0025】

このように、他の半導体素子を密接させたい所定の辺部にダミーバンプを設けることで、その所定の辺部に設けたバンプ群により樹脂接着層が堰き止められ、その所定の辺部からの樹脂接着層のはみ出し量を確実に抑制することができる。

【0026】

10

20

30

40

50

また、本発明の請求項 3 記載の電子回路実装構造体は、請求項 1 もしくは 2 のいずれかに記載の電子回路実装構造体であって、前記樹脂接着層は、その材料が絶縁性の熱硬化型樹脂または異方導電性樹脂からなることを特徴とする。

【0027】

このような材料を用いることにより、半導体素子を押圧して bumps と電極端子とを接触させた状態で樹脂接着層により接着して実装するか、あるいは bumps と電極端子間に導電ボールを介在させて電氣的接続を行った状態で樹脂接着層による実装を行うことができる。

【0028】

なお、前記した特許文献 2 には、接合材料を半導体素子の周縁部まで均一に拡げること
10
で樹脂封止性を改善することを目的として、間隔が大きい bumps 間の領域にダミー bumps を形成した構成が開示されているのみであり、本発明のように、他の半導体素子を密接させたい所定の辺部からの樹脂接着層のはみ出し量を、他の辺部からののはみ出し量を多くすることで抑制することについては全く考慮されていない。

【0029】

また、前記した特許文献 3 には、異方導電性フィルム中の樹脂の流れとともに導電ボールが移動して bumps 周辺にたまり、ショート不良が生じる現象を防止することを目的として、電極パッド列の間隔を所定間隔以上離間して配置した構成が開示されているのみであり、本発明のように、他の半導体素子を密接させたい所定の辺部からの樹脂接着層のはみ出し量を、他の辺部からののはみ出し量を多くすることで抑制することについては全く考慮
20
されていない。

【発明の効果】

【0030】

本発明によれば、半導体素子の所定の辺部からの樹脂接着層のはみ出し量を小さく制御できるので、その所定の辺部に密接させて他の半導体素子等を実装することが可能となり、回路基板上での高密度実装を実現できる。

【発明を実施するための最良の形態】

【0031】

(実施の形態 1)

以下、本発明の実施の形態 1 について、図面を参照しながら説明する。なお、同じ要素には同じ符号を付しており、説明を省略する場合がある。図 1 は、本発明の実施の形態 1
30
に係る電子回路実装構造体を説明するための平面図である。また図 2 は、この電子回路実装構造体の断面図であり、(a) は図 1 に示す 1 A - 1 A 線に沿った断面図、(b) は 1 B - 1 B 線に沿った断面図である。

【0032】

この電子回路実装構造体 10 は、図 1、図 2 に示すように、主面の周縁部を構成する各辺部の電極パッド 13 上に bumps 12 が形成された 6 個の半導体素子 11 a ~ 11 f と、これらの半導体素子 11 a ~ 11 f の bumps 12 に対応する位置に電極端子 15 を有する回路基板 14 と、各半導体素子 11 a ~ 11 f ごとに設けられ、各半導体素子 11 a ~ 11 f の bumps 12 と回路基板 14 の電極端子 15 とを電氣的に接続した状態で各半導体素子 11 a ~ 11 f を回路基板 14 上に接着する各樹脂接着層 16 と、12 個のチップコンデンサ 17 とを備え、6 個の半導体素子 11 a ~ 11 f と 12 個のチップコンデンサ 17 が回路基板 14 上に実装された構成をしている。以下、各半導体素子 11 a ~ 11 f に共通の説明については、半導体素子 11 として説明する。
40

【0033】

この電子回路実装構造体 10 では、半導体素子 11 の主面の周縁部を構成する各辺部にそれぞれ 2 列または 3 列の配列構成で bumps 12 が形成されている。具体的には、周縁部を構成する 4 つの辺部のうち、半導体素子 11 の長手方向に直交する方向 (第 1 方向) おいて対向する 2 つの辺部 (所定の辺部) に形成された bumps 12 は 3 列構成で、千鳥状に配列されている。また、半導体素子 11 の長手方向 (第 2 方向) において対向する 2 つの
50

辺部（他の辺部）に形成された bumps 12 は 2 列構成で、かつ千鳥状に配列されている。このように、この電子回路実装構造体 10 では、第 1 の方向において対向する所定の辺部に形成された bumps 12 が、第 2 方向において対向する他の辺部に形成された bumps 12 の列数よりも多い列数で設けられている。

【0034】

このように構成することで、bumps 12 の列数が少ない辺部からの樹脂接着層 16 の樹脂のはみ出し量が、bumps 12 の列数が多い辺部からののはみ出し量よりも大きくなるので、各半導体素子 11 a ~ 11 f を、各樹脂接着層 16 の樹脂のはみ出し量が小さい所定の辺部同士が隣接する配置で実装することで、高密度実装を実現できる。

【0035】

さらに詳細に説明すると、半導体素子 11 の bumps 12 と回路基板 14 上の電極端子 15 とを位置合わせし、半導体素子 11 を加熱および加圧して熱圧着し、半導体素子 11 の bumps 12 と回路基板 14 の電極端子 15 とが接触して電氣的に接続した状態で、半導体素子 11 と回路基板 14 との間を樹脂接着層 16 により接着、固定するが、半導体素子 11 を回路基板 14 へ押圧するときの加熱と加圧により樹脂接着層 16 は粘度が大きく低下して流動しやすくなる。しかしながら、第 1 方向において対向する所定の辺部では、bumps 12 が 3 列構成で千鳥状に配列されているため、その辺部から半導体素子 11 の外周領域への樹脂接着層 16 の樹脂の流動が妨げられる。一方、第 2 方向において対向する他の辺部では、bumps 12 が 2 列構成で千鳥状に配列されているので、その辺部から半導体素子 11 の外周領域への樹脂接着層 16 の樹脂の流動は、所定の辺部から半導体素子 11 の外周領域への樹脂の流動に比べて容易となる。

【0036】

よって、半導体素子 11 を押圧することで半導体素子 11 と回路基板 14 との間隙が小さくなるために生じる樹脂接着層 16 の余分な樹脂を、bumps 12 の列数が少ない辺部から容易に外周領域へ逃がすことができ、その結果、bumps 12 の列数が多い辺部から外周領域へ流れ出す樹脂の量を最小限度に抑制することができる。このため、図 1、図 2 に示すように、各半導体素子 11 a ~ 11 f を、bumps 12 の列数が多い辺部同士が隣接する配置で実装すれば、半導体素子 11 a ~ 11 c 間および半導体素子 11 d ~ 11 f 間の距離 X1 を、半導体素子 11 a、11 d 間、半導体素子 11 b、11 e 間、および半導体素子 11 c、11 f 間の距離 Y1 よりも小さくすることができ、複数個の半導体素子 11 を回路基板 14 上に高密度に実装することができる。

【0037】

以上のように、この電子回路実装構造体 10 によれば、複数個の長形状の半導体素子 11 を回路基板 14 に効率よく実装して、小型、薄型で、かつ高機能の電子回路実装構造体 10 を実現することができる。

【0038】

続いて、この電子回路実装構造体 10 の製造方法の一例を図 3 から図 5 を用いて説明する。図 3 は、回路基板 14 上に半導体素子 11 a を実装する工程を説明するための断面図であり、(a) は回路基板 14 の断面図、(b) は樹脂接着層 16 を形成した工程の断面図、(c) は半導体素子 11 a をボンディングツール 19 により吸着して位置合せした後、加熱と加圧をする工程の断面図である。また、図 4 は、樹脂接着層 16 の樹脂の流れを説明するための断面図であり、(a) は第 1 方向の断面図、(b) は第 2 方向の断面図である。さらに、図 5 は、半導体素子 11 a の両側の半導体素子 11 b、11 c を実装する工程を説明するための断面図であり、(a) は半導体素子 11 a を実装した工程の断面図、(b) は半導体素子 11 b を実装した工程の断面図、(c) は半導体素子 11 c を実装した工程の断面図である。

【0039】

まず、図 3 (a) に示すように、半導体素子 11 a ~ 11 f の bumps 12 に対応する位置に電極端子 15 が形成された回路基板 14 を準備する。ただし、回路基板 14 には、電極端子 15 が形成されている面上に導体配線も設けられているが、図面の簡単化のために

10

20

30

40

50

図示していない。なお、電極端子が形成されている面上に限らず、その裏面にも導体配線が形成されている回路基板や、多層配線構成の回路基板等を用いてもよい。このような回路基板としては、ガラスエポキシ樹脂やポリイミド樹脂等からなる樹脂基板が最も一般的に用いられるが、セラミック基板やガラス基板等を用いてもよい。また、回路基板14上の電極端子15および図示しない導体配線は、例えば銅(Cu)パターン上に金(Au)めっきした構成とすることが好ましいが、この構成に限定されるものではなく、銅(Cu)パターンのみの構成でもよいし、ニッケル(Ni)パターンや、導電性樹脂を印刷により形成した導体パターンを用いて構成してもよい。

【0040】

次に、図3(b)に示すように、回路基板14の半導体素子11aを実装する領域に樹脂接着層16を形成する。ここで、樹脂接着層16は、例えば絶縁性の熱硬化型樹脂材料をシート状に加工したものを貼り付けてもよい。この場合、半導体素子11aを実装する領域全体を覆うような形状で貼り付けてもよいし、あるいは半導体素子11aの内部領域に対応する領域のみに貼り付けるようにしてもよい。または、絶縁性の熱硬化型樹脂材料をペースト状にして、例えば印刷により形成してもよい。あるいは、導電ボールが分散された異方導電性樹脂からなる樹脂材料を用いてもよい。この場合には、半導体素子11aを実装する領域全体を覆うように形成することが必要とされる。

10

【0041】

次に、図3(c)に示すように、回路基板14を基板保持具18上に載置した後、半導体素子11aの bumps 12を回路基板14の電極端子15に位置合わせする。その後、ボンディングツール19で半導体素子11aを矢印Fで示す方向に加圧し、同時に加熱する。この工程で、樹脂接着層16の粘度が低下して流動性が増加するとともに、樹脂接着層16は半導体素子11aにより加圧される。

20

【0042】

このような加圧を受けると、半導体素子11aと回路基板14との間隔が小さくなることから、樹脂接着層16の樹脂の一部は半導体素子11aの周縁部から外周領域へ流れ出る。この場合、前述したように、第1方向において対向する2つの辺部には bumps 12が3列で、かつ千鳥状に配置されているので、図4(a)の矢印Gで示すように、その辺部から外周領域への樹脂接着層16の樹脂の流動が妨げられる。一方、第2方向において対向する2つの辺部に設けられた bumps 12は千鳥状であるが、2列しか配置されていないので、その辺部からは、第1方向に対向する2つの辺部から外周領域への樹脂の流動に比べて、樹脂が流動し易い。したがって、図4(b)の矢印Hで示すように、第2方向において対向する2つの辺部からは、樹脂接着層16の樹脂が外周領域の比較的広い範囲まではみ出す。

30

【0043】

このように、半導体素子11aの主面の周縁部を構成する少なくとも1つの辺部の bumps 12の列数を他の辺部よりも多くすることで、 bumps 12の列数が少ない辺部から外周領域へ樹脂接着層16の樹脂が流れやすくなり、その結果として bumps の列数が多く設けられている辺部から外周領域へ樹脂が流れ出す量を少なく制御することができる。このような作用については、他の半導体素子11b~13fについても同様である。

40

【0044】

このようにして、図5(a)に示すように、回路基板14上に半導体素子11aが実装される。なお、半導体素子11の電極パッド13上に形成する bumps 12には、ワイヤボンディング法により形成するワイヤ bumps、めっき法により形成するめっき bumps、あるいは樹脂ボール等を導電性接着剤により貼り付けて形成する樹脂 bumps 等、種々の方式の bumps を用いることができる。ただし、 bumps 12は、樹脂接着層16を突き抜けて回路基板14の電極端子15に電氣的に接続させるために比較的高度が大きいことが要求される。そのため、材料としては、半田 bumps や、金 bumps、あるいは銅 bumps 等を用いることが好ましい。

【0045】

50

次に、半導体素子 1 1 a と同じ工程を行い、図 5 (b) に示すように半導体素子 1 1 b をさらに実装する。その後、図 5 (c) に示すように、半導体素子 1 1 c を実装する。このようにして、さらに次の段にも半導体素子 1 1 d ~ 1 1 f を実装することで、6 個の半導体素子 1 1 a ~ 1 1 f の実装が完了する。その後、チップコンデンサ 1 7 を所定の位置に実装すれば、図 1 に示す電子回路実装構造体 1 0 が得られる。

【 0 0 4 6 】

以上説明したように、半導体素子 1 1 の長手方向に直交する方向において対向する 2 つの辺部からはみ出す樹脂の量が少なく制御されるので、半導体素子 1 1 同士を密接して実装することが可能となり、高密度で、かつ高信頼性の電子回路実装構造体 1 0 を実現することができる。

10

【 0 0 4 7 】

なお、本実施の形態 1 では、半導体素子 1 1 a、半導体素子 1 1 b、半導体素子 1 1 c の順で実装したが、この順番は特に限定されるものではなく、例えば半導体素子 1 1 c、半導体素子 1 1 a、半導体素子 1 1 b の順で実装してもよい。また、半導体素子 1 1 d を最初の実装するようにしてもよく、実装の順番については特に制約はない。

【 0 0 4 8 】

また、本実施の形態 1 では、6 個の半導体素子 1 1 と 1 2 個のチップコンデンサ 1 7 を実装した電子回路実装構造体について説明したが、本発明はこのような構成に限定されるものではない。

【 0 0 4 9 】

また、同じ形状からなる半導体素子を実装する場合について説明したが、同じ形状である必要はない。また、長方形の半導体素子を実装する場合について説明したが、半導体素子の形状は長方形に限定されるものではない。

20

【 0 0 5 0 】

また、同じバンプ構成からなる半導体素子を実装する場合について説明したが、同じバンプ構成である必要はない。例えば、図 1 において、半導体素子 1 1 b、1 1 c については、半導体素子 1 1 a に隣接する辺部に設けるバンプの配列を 3 列とし、回路基板 1 4 の周縁部に隣接する辺部に設けるバンプの配列を 2 列としてもよい。このようなバンプ構成としても、半導体素子 1 1 b、1 1 c の半導体素子 1 1 a に隣接する辺部からの樹脂接着層 1 6 の樹脂のはみ出し量を抑制できる。この場合、図 1 に示す電子回路実装構造体 1 0 よりも回路基板 1 4 の幅を大きくする必要が生じるが、全体としては高密度での実装が可能である。

30

【 0 0 5 1 】

(実施の形態 2)

以下、本発明の実施の形態 2 について、図面を参照しながら説明する。なお、同じ要素には同じ符号を付しており、説明を省略する場合がある。図 6 は、本発明の実施の形態 2 に係る電子回路実装構造体を説明するための平面図である。但し、前述した実施の形態 1 において説明した部材と同一の部材には同一符号を付して、説明を省略する。

【 0 0 5 2 】

この電子回路実装構造体 2 0 は、図 6 に示すように、主面の周縁部を構成する各辺部の電極パッド (図示せず) 上にバンプ 2 2 が形成された 4 個の半導体素子 2 1 a ~ 2 1 d と、これらの半導体素子 2 1 a ~ 2 1 d のバンプ 2 2 に対応する位置に電極端子 (図示せず) を有する回路基板 2 4 と、各半導体素子 2 1 a ~ 2 1 d ごとに設けられ、各半導体素子 2 1 a ~ 2 1 d のバンプ 2 2 と回路基板 2 4 の電極端子とを電氣的に接続した状態で各半導体素子 2 1 a ~ 2 1 d を回路基板 2 4 上に接着する各樹脂接着層 2 5 と、8 個のチップコンデンサ 2 6 とを備え、4 個の半導体素子 2 1 a ~ 2 1 d と 8 個のチップコンデンサ 2 6 が回路基板 2 4 上に実装された構成をしている。以下、各半導体素子 2 1 a ~ 2 1 d に共通の説明については、半導体素子 2 1 として説明する。

40

【 0 0 5 3 】

また、各半導体素子 2 1 の主面上には、電氣的に接続されないダミーバンプ 2 3 が形成

50

されている。詳しくは、各半導体素子 2 1 の主面の周縁部を構成する各辺部には、それぞれ 2 列の配列構成でパンプ 2 2 (以下、ダミーパンプ 2 3 と区別するために接続用パンプ 2 2 と称す。) が形成されている。さらに、周縁部を構成する 4 つの辺部のうち、他の半導体素子と隣り合う辺部 (所定の辺部) にはダミーパンプ 2 3 が形成されており、その所定の辺部ではパンプがダミーパンプ 2 3 を含めて 3 列構成で、かつ千鳥状に配列されている。また、他の辺部にはダミーパンプ 2 3 を形成せず、他の辺部では接続用パンプ 2 2 が 2 列構成で、かつ千鳥状に配列されている。

【0054】

以上の構成によれば、ダミーパンプ 2 3 を形成してパンプ列数を 3 列とした辺部と、ダミーパンプ 2 3 を形成せずにパンプ列数を 2 列とした辺部を設けることで、外周領域への樹脂接着層 2 5 の樹脂のはみ出し量が、ダミーパンプ 2 3 を形成した辺部よりも、ダミーパンプ 2 3 を形成しない辺部において大きくなり、ダミーパンプ 2 3 を形成した辺部からの樹脂接着層 2 5 の樹脂のはみ出し量を抑制することができる。

10

【0055】

よって、ダミーパンプを形成することで樹脂接着層の樹脂のはみ出し量を小さくした所定の辺部同士を隣接させる配置で複数個の半導体素子を実装すれば、高密度実装を実現できる。

【0056】

さらに詳細に説明すると、半導体素子 2 1 の接続用パンプ 2 2 と回路基板 2 4 上の電極端子とを位置合わせし、半導体素子 2 1 を加熱および加圧して熱圧着し、半導体素子 2 1 の接続用パンプ 2 2 と回路基板 2 4 の電極端子とが接触して電氣的に接続した状態で、半導体素子 2 1 と回路基板 2 4 との間を樹脂接着層 2 5 により接着、固定するが、半導体素子 2 1 を回路基板 2 4 へ押圧するときの加熱と加圧により樹脂接着層 2 5 は粘度が大きく低下して流動しやすくなる。しかしながら、他の半導体素子と隣り合う所定の辺部ではパンプがダミーパンプ 2 3 を含めて 3 列構成で、かつ千鳥状に配列されているため、その辺部から半導体素子 2 1 の外周領域への樹脂接着層 2 5 の樹脂の流動が妨げられる。一方、接続用パンプ 2 2 が 2 列構成で、かつ千鳥状に配列されているのみの辺部から半導体素子 2 1 の外周領域への樹脂接着層 2 5 の樹脂の流動は、所定の辺部からの樹脂の流動に比べて容易となる。

20

【0057】

このように、半導体素子 2 1 を押圧することで半導体素子 2 1 と回路基板 2 4 との間隙が小さくなるために生じる樹脂接着層 2 5 の余分な樹脂を、他の半導体素子に隣接しない辺部から容易に外周領域へ逃がすことができ、その結果、他の半導体素子と隣り合う辺部から外周領域へ流れ出す樹脂の量を最小限度に抑制することができる。このため、図 6 に示すように、各半導体素子 2 1 a ~ 2 1 d を、パンプ列数が少ない所定の辺部同士が隣接する配置で実装すれば、半導体素子 2 1 a、2 1 b 間および半導体素子 2 1 c、2 1 d 間の距離 X 1 を、半導体素子 2 1 a、2 1 d 間および半導体素子 2 1 b、2 1 c 間の距離 Y 1 よりも小さくすることができ、複数個の半導体素子 2 1 を回路基板 2 4 上に高密度に実装することができる。

30

【0058】

以上のように、この電子回路実装構造体 2 0 によれば、複数個の長形状の半導体素子 2 1 を回路基板 2 4 に効率よく実装して、小型、薄型で、かつ高機能の電子回路実装構造体 2 0 を実現することができる。

40

【0059】

なお、回路基板 2 4 については、前述した実施の形態 1 で説明した回路基板 1 4 と同様な材料および構成のものを用いることができるので、詳しい説明は省略する。また、樹脂接着層 2 5 についても、前述した実施の形態 1 で説明した樹脂接着層 1 6 と同様なものを用いることができるので、詳しい説明は省略する。また、接続用パンプ 2 2 についても、前述した実施の形態 1 で説明したパンプ 1 2 と同様なものを用いることができるので、詳しい説明は省略する。また、ダミーパンプ 2 3 についても、前述した実施の形態 1 で説明

50

したパンプ 1 2 と同様のものを用いることができる。よって、接続用パンプ 2 2 と同じ材料、プロセスでダミーパンプ 2 3 を形成することができる。但し、ダミーパンプ 2 3 は、接続用パンプ 2 2 と異なる材料、プロセスで形成してもよい。また、ダミーパンプ 2 3 は、前述した実施の形態 1 で説明したパンプ 1 2 と同様のものを用いる場合に限定されるものではない。

【 0 0 6 0 】

また、本実施の形態 2 では、4 個の半導体素子 2 1 と 8 個のチップコンデンサ 2 6 を実装した電子回路実装構造体について説明したが、本発明はこのような構成に限定されるものではない。

【 0 0 6 1 】

また、同じ形状からなる半導体素子を実装する場合について説明したが、同じ形状である必要はない。また、長方形の半導体素子を実装する場合について説明したが、半導体素子の形状は長方形に限定されるものではない。

【 0 0 6 2 】

また、同じパンプ構成からなる半導体素子を実装する場合について説明したが、同じパンプ構成である必要はない。例えば、図 7 に示すような半導体素子 3 1 a ~ 3 1 d を用いた電子回路実装構造体 3 0 の構成であってもよい。図 7 は、本発明の実施の形態 2 に係る電子回路実装構造体の第 1 の変形例を説明するための平面図である。

【 0 0 6 3 】

図 7 に示す電子回路実装構造体 3 0 は、上記した電子回路実装構造体 2 0 と比べて、半導体素子のパンプ構成、特にダミーパンプの配置および個数が異なる。すなわち、この電子回路実装構造体 3 0 に用いる半導体素子 3 1 a ~ 3 1 d では、半導体素子の長手方向に直交する方向において対向する辺部のうちの他の半導体素子に隣接する辺部の接続用パンプ 2 2 の個数が、上記した電子回路実装構造体 2 0 と比べて少ないため、その辺部においては、接続用パンプ 2 2 間を埋めるようにダミーパンプ 2 3 を設けている。なお、その他の辺部のパンプについては、上記した電子回路実装構造体 2 0 と同じである。このように、他の半導体素子に隣接する辺部において接続用パンプの個数が少なく、パンプ間の間隔が大きくなる場合にはダミーパンプを挿入して、3 列構成で、千鳥状の配列をすることで樹脂のはみ出し量を抑制することができる。

【 0 0 6 4 】

さらに、図 8 に示すような構成とすることもできる。図 8 は、本発明の実施の形態 2 に係る電子回路実装構造体の第 2 の変形例を説明するための平面図である。図 8 に示す電子回路実装構造体 4 0 は、外形寸法の大きな 2 個の半導体素子 4 1 a、4 1 b と外形寸法の小さな 2 個の半導体素子 4 1 c、4 1 d を回路基板 2 4 上に実装した構成からなる。

【 0 0 6 5 】

この場合、外形寸法の小さな半導体素子 4 1 c、4 1 d は、周縁部を構成する辺部のうちの 3 つの辺部で他の半導体素子とそれぞれ密接するため、その 3 つの辺部にダミーパンプ 2 3 を設けて、その 3 つの辺部のパンプ構成を 3 列構成で、かつ千鳥状の配列とし、他の 1 つの辺部のパンプ構成を 2 列構成で、且つ千鳥状の配列としている。

【 0 0 6 6 】

一方、外形寸法の大きな半導体素子 4 1 a、4 1 b は、主として長手方向において対向する 2 つの辺部に接続用パンプ 2 2 が集中して設けられており、長手方向に直交する方向において対向する 2 つの辺部には接続用パンプ 2 2 がほとんど設けられていない。このため、長手方向に直交する方向において対向する 2 つの辺部にダミーパンプ 2 3 を挿入することで、半導体素子 4 1 c、4 1 d に密接する辺部のパンプ構成を 3 列構成で、かつ千鳥状の配列とし、他の半導体素子に密接しない辺部のパンプ構成を 2 列構成で、千鳥状の配列としている。

【 0 0 6 7 】

このようにダミーパンプを挿入することで、他の半導体素子に密接する辺部から外周領域へ樹脂接着層の樹脂が大きくはみ出すことを抑制している。これにより、図 8 に示すよ

10

20

30

40

50

うに、半導体素子 4 1 c、4 1 d については、3つの辺部で半導体素子間の距離 X 1 を小さくすることができる。

【0068】

なお、本発明では、半導体素子等を密接させたい辺部においてバンブを複数列で、千鳥状に配列し、他の少なくとも1つの辺部ではその列数より少ない列数でバンブを配列することで、そのバンブの列数が少ない辺部から樹脂接着層の樹脂を外周領域へ大きくはみ出させ、バンブの列数が多い辺部からはみ出し量を抑制できる。したがって、前記した各実施の形態 1、2 では、半導体素子等を密接させたい辺部のバンブ配列を3列とし、他の辺部のバンブ配列を2列としたが、半導体素子等を密接させたい辺部のバンブを2列で、千鳥状に配列する場合には、他の少なくとも1つの辺部のバンブ配列を1列としてもよい。

10

【0069】

また、前記した各実施の形態 1、2 では、半導体素子等を密接させたい辺部においてバンブを複数列で、千鳥状に配列し、他の少なくとも1つの辺部ではその列数より少ない列数でバンブを配列したが、半導体素子等を密接させたい辺部においてバンブの配列ピッチを狭くし、他の少なくとも1つの辺部ではその配列ピッチより長い配列ピッチでバンブを配列してもよい。但し、この場合、樹脂接着層として異方性樹脂を用いるときには、導電ボールがバンブ周辺にたまらないような配列ピッチにする必要がある。

【0070】

また、ダミーバンブの配列ピッチについては、接続用バンブの配列ピッチよりも狭くしてもよい。このようにダミーバンブの配列ピッチを狭くすれば、樹脂の流れ出しをさらに確実に抑制することができる。

20

【産業上の利用可能性】

【0071】

本発明にかかる電子回路実装構造体は、他の半導体素子を密接させる辺部からの樹脂接着層の樹脂のはみ出す量を制御でき、複数個の半導体素子を密接して実装することが可能であり、高密度、小型の電子回路実装構造体を実現でき、種々の電子機器に有用である。

【図面の簡単な説明】

【0072】

【図 1】本発明の実施の形態 1 に係る電子回路実装構造体を説明するための平面図

30

【図 2】同実施の形態 1 に係る電子回路実装構造体の断面図であり、(a) は図 1 に示す 1 A - 1 A 線に沿った断面図、(b) は図 1 に示す 1 B - 1 B 線に沿った断面図

【図 3】同実施の形態 1 に係る電子回路実装構造体の製造方法を説明するための断面図であり、(a) は回路基板の断面図、(b) は樹脂接着層を形成した工程の断面図、(c) は半導体素子をボンディングツールにより吸着して位置合せした後、加熱と加圧をする工程の断面図

【図 4】同実施の形態 1 に係る電子回路実装構造体の製造過程における樹脂接着層の樹脂の流れを説明するための断面図であり、(a) は半導体素子の長手方向に直交する方向の断面図、(b) は半導体素子の長手方向の断面図

【図 5】同実施の形態 1 に係る電子回路実装構造体の製造方法を説明するための断面図であり、(a) は中央の半導体素子を実装した工程の断面図、(b) は中央の半導体素子の長手方向に直交する方向において対向する両辺のうち一方に隣接する半導体素子を実装した工程の断面図、(c) は他方に隣接する半導体素子を実装した工程の断面図

40

【図 6】本発明の実施の形態 2 に係る電子回路実装構造体を説明するための平面図

【図 7】同実施の形態 2 に係る電子回路実装構造体の第 1 の変形例を説明するための平面図

【図 8】同実施の形態 2 に係る電子回路実装構造体の第 2 の変形例を説明するための平面図

【図 9】従来の電子回路実装構造体の製造方法を説明するための断面図であり、(a) は半導体素子のバンブと回路基板の電極端子とを位置決めした状態を示す断面図、(b) は

50

加圧と加熱を行って半導体素子を回路基板に接合した後の状態を示す断面図

【図10】従来の別の構成の電子回路実装構造体を説明するための図であり、(a)は従来一般的に用いられている半導体素子のバンプ形成面を示す平面図、(b)は接合材料の流動を規制するためのダミーバンプを形成した半導体素子のバンプ形成面を示す平面図

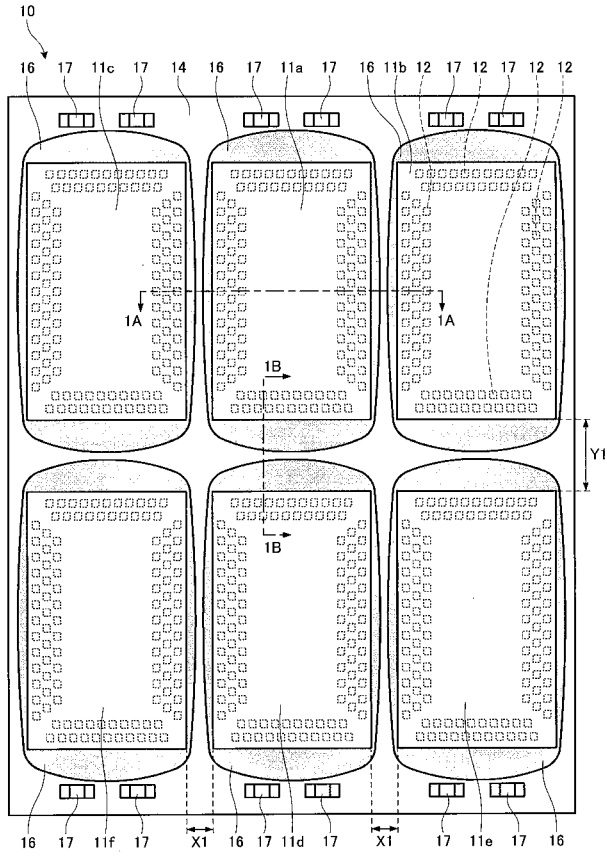
【図11】従来のさらに別の構成の電子回路実装構造体を説明するための図であり、(a)は液晶表示装置を例とした従来の電子回路実装構造体の要部断面図、(b)はその電子回路実装構造体に用いられる半導体素子のバンプ形成面を示す平面図である。

【符号の説明】

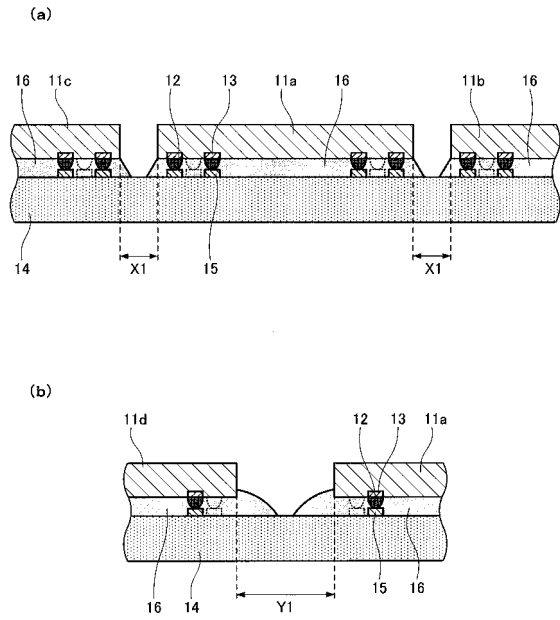
【0073】

10、20、30、40	電子回路実装構造体	10
11a～11f、21a～21d、31a～31d、41a～41d	半導体素子	
12、22	バンプ(接続用バンプ)	
13	電極パッド	
14、24	回路基板	
15	電極端子	
16、25	樹脂接着層	
17、26	チップコンデンサ	
18	基板保持具	
19	ボンディングツール	
23	ダミーバンプ	20
91	回路基板	
92	半導体素子	
93	バンプ	
94	熱硬化性樹脂シート	
95	電極端子	
96	ボンディングツール	
101a、101b	半導体素子	
102a、102b	バンプ	
103	接合材料	
104	ダミーバンプ	30
111	半導体素子	
112a	ゲートライン用バンプ	
112b	入力ライン用バンプ	
112c	データライン用バンプ	
113	異方導電性樹脂	
114	液晶表示装置	
114a	上部基板	
114b	下部基板	
115a、115b	電極配線	

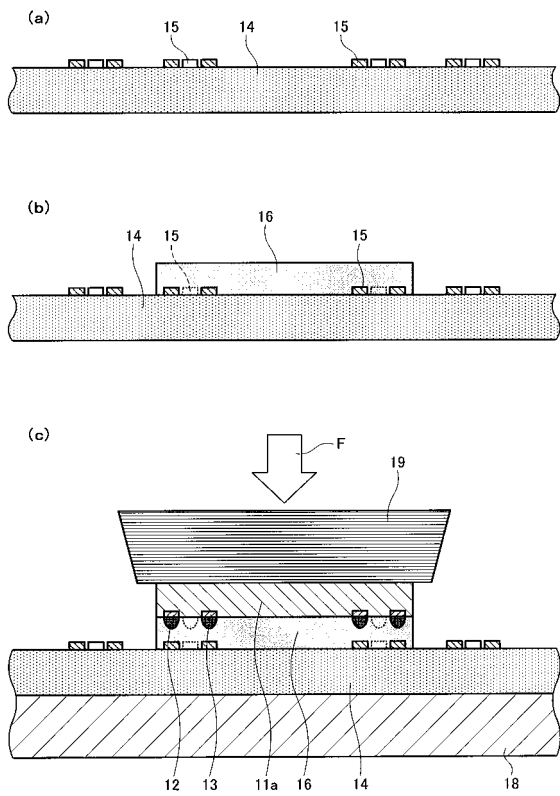
【 図 1 】



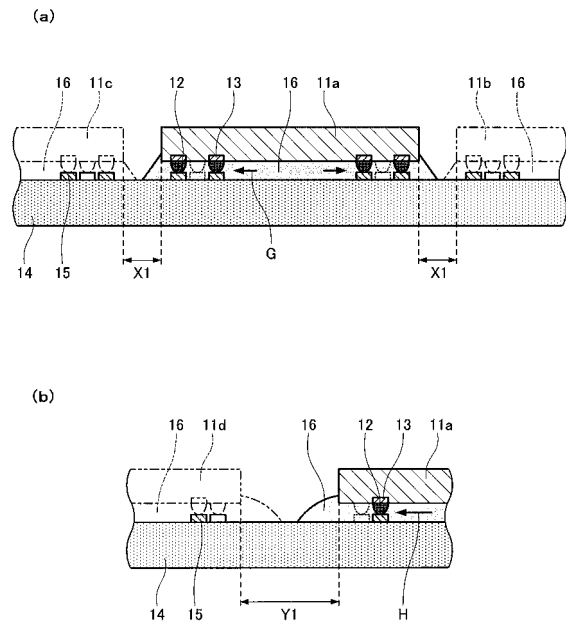
【 図 2 】



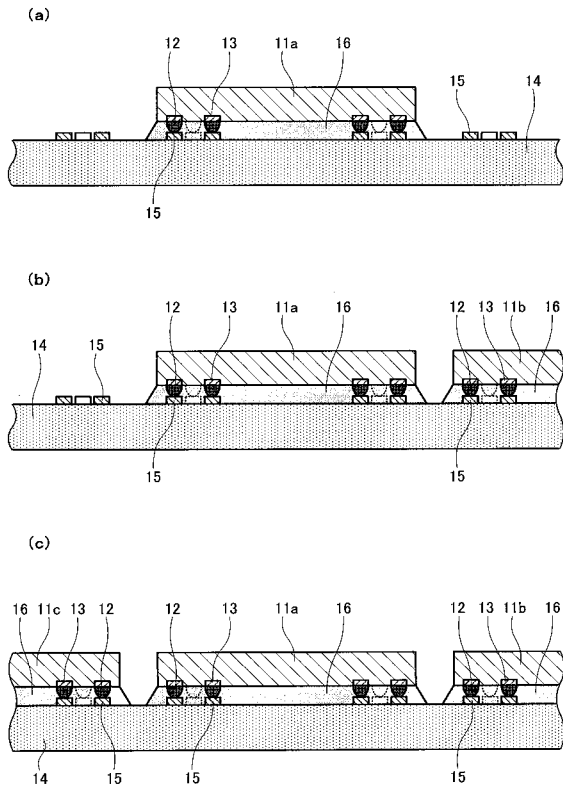
【 図 3 】



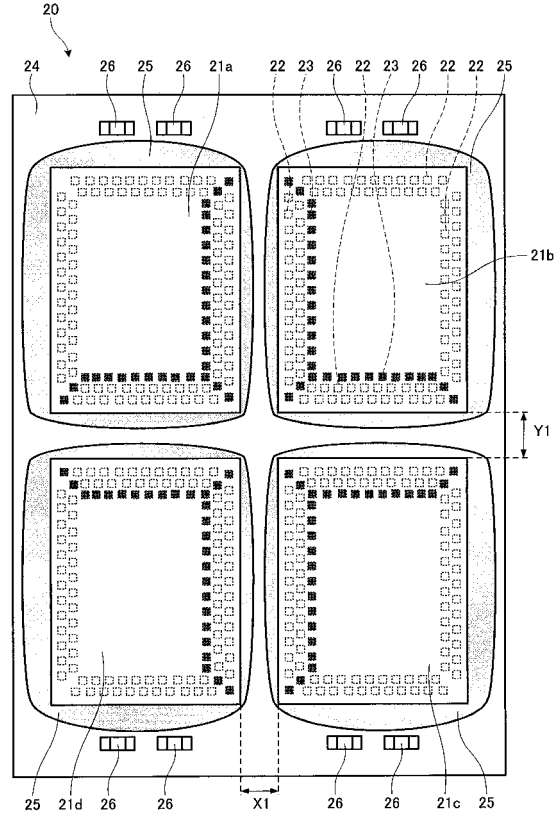
【 図 4 】



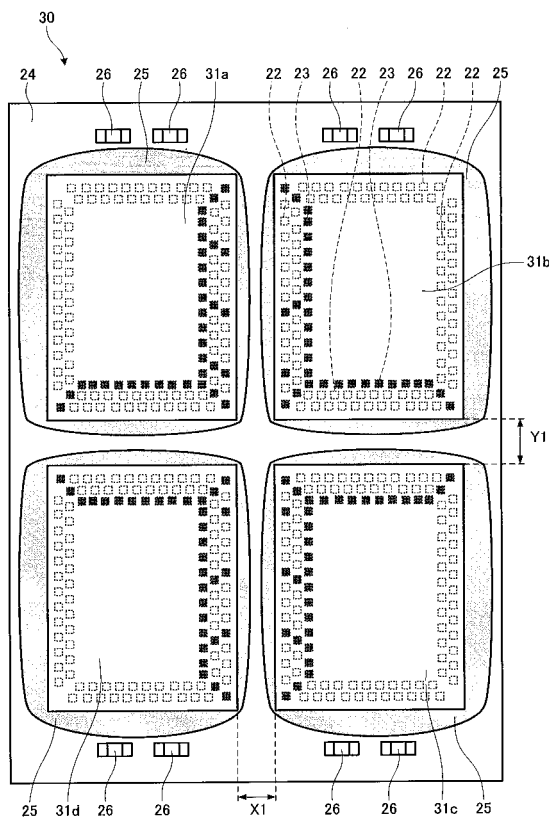
【 図 5 】



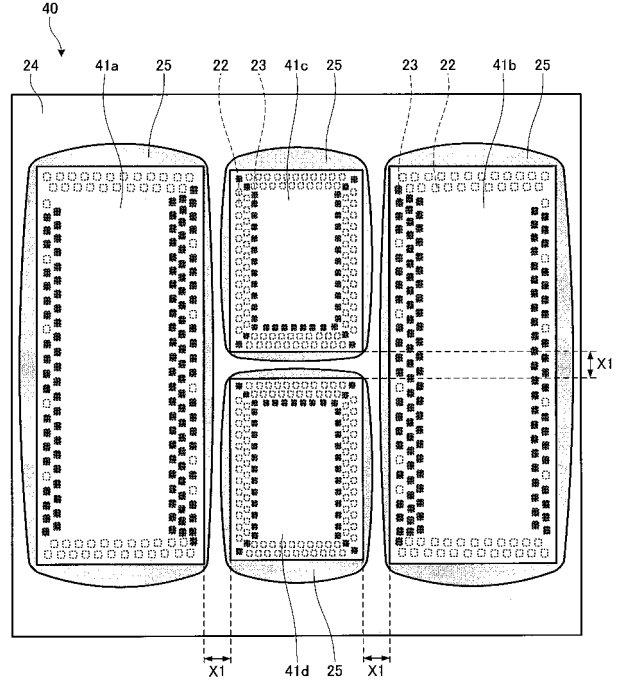
【 図 6 】



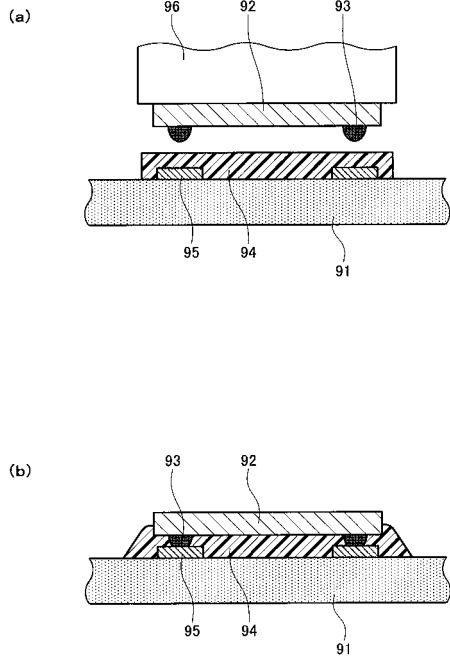
【 図 7 】



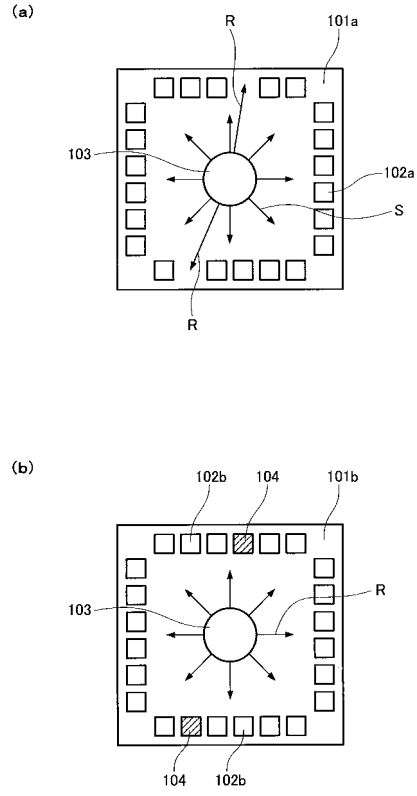
【 図 8 】



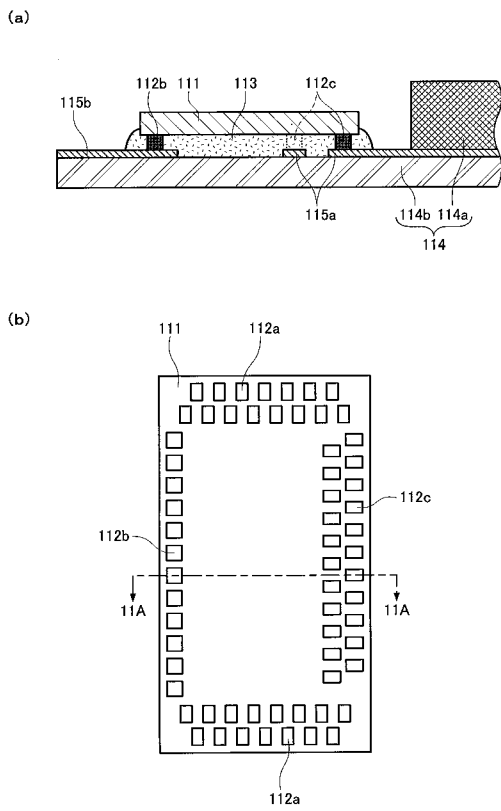
【 図 9 】



【 図 10 】



【 図 11 】



フロントページの続き

- (72)発明者 桑原 公仁
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
- (72)発明者 太田 行俊
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
- (72)発明者 福田 敏行
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
- Fターム(参考) 5F044 KK01 LL11 QQ02 RR01 RR18