(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년09월04일
(11) 등록번호 10-0755121
(24) 등록일자 2007년08월28일

(51) Int. Cl.
*H01L 21/336*(2006.01)
(21) 출원번호 10-2001-0046707
(22) 출원일자 2001년08월02일
심사청구일자 2006년04월13일
(65) 공개번호 10-2002-0011903
공개일자 2002년02월09일
(30) 우선권주장
JP-P-2000-00233928 2000년08월02일 일본(JP)
(56) 선행기술조사문헌
JP07235542 A
JP07297390 A
전체 청구항 수 : 총 9 항

(73) 특허권자
**마츠시타 덴끼 산교 가부시키가이샤**
일본 오오사카후 가도마시 오오아자 가도마 1006
(72) 발명자
**마츠모토미치카즈**
일본국교토후우지시고카쇼후쿠즈미82-14
**센고쿠나오히사**
일본국오오사카후다카츠키시사이와이쵸2-8-209
(74) 대리인
**김영철**

심사관 : 김주식

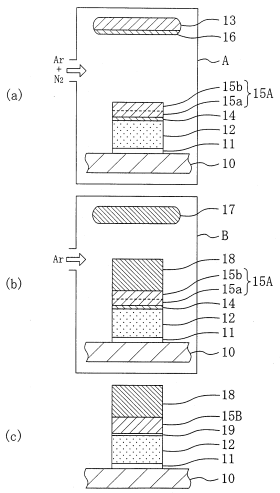
# (54) 전극구조체의 형성방법 및 반도체장치의 제조방법

*(57) 요 약*

폴리메탈구조를 갖는 게이트전극에 있어서 폴리실리콘막과 고융점금속막과의 사이의 계면저항을 낮게 한다.

반도체기판(10)상에 게이트절연막(11)을 개재하여 폴리실리콘막(12), 티타늄막(14), 질화티타늄막(15A) 및 텅스텐막(18)을 퇴적하고, 이러한 적층막으로 이루어진 전극구조체를 형성한 후, 그 전극구조체에 대하여 750℃ 이상의 열처리를 행한다. 열처리공정 전에 티타늄막(14)을 구성하는 티타늄은 이미 질화되어 질화티타늄으로 변화하는 동시에, 폴리실리콘막(12)의 표면에는 티타늄실리사이드층이 형성되어 있지 않다.

*대표도* - 도2



## *특허청구의 범위*

**청구항 1**

실리콘을 주성분으로 하는 실리콘함유막 위에 제 1의 금속으로 이루어진 제 1의 금속 막을 퇴적하는 공정과,

상기 제 1의 금속막 위에 제 2의 금속의 질화물로 이루어진 제 2의 금속막을 퇴적하는 공정과,

상기 제 2의 금속 막 위에 고융점 금속 막을 퇴적하여, 상기 실리콘함유막, 상기 제 1의 금속막, 상기 제 2의 금속막 및 상기 고융점금속막으로 이루어진 적층막을 형성하는 공정과,

상기 적층막 상에 열처리를 하면서 절연막을 퇴적하는 공정과,

상기 퇴적공정 후에 상기 적층막에 대해서 750℃ 이상의 온도로 열처리를 하는 공정을 구비하며,

상기 퇴적공정의 열처리에 의해 상기 제 2의 금속막 중의 질소가 상기 제 1의 금속막으로 확산하여 당해 제 1의 금속이 질화물로 변화하는 것을 특징으로 하는 전극구조체의 형성방법.

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

실리콘을 주성분으로 하는 실리콘함유막 위에 금속으로 이루어진 제 1의 금속막을 퇴적하는 공정과,

상기 제 1의 금속막 위에 상기 금속의 질화물로 이루어진 제 2의 금속막을 퇴적하는 공정과,

상기 제 2의 금속막 위에 고융점 금속막을 퇴적하여, 상기 실리콘함유막, 상기 제 1의 금속막, 상기 제 2의 금속막 및 상기 고융점 금속막으로 이루어진 적층막을 형성하는 공정과,

상기 적층막에 대해서 750℃ 이상의 온도로 열처리를 하는 공정을 구비하며,

상기 제 1의 금속막은 상기 금속으로 이루어진 타깃을 이용하여 행하는 스퍼터링에 의해 퇴적되고,

상기 제 2의 금속막은 상기 타깃의 표면에 형성된 상기 금속의 질화물막에 대한 스퍼터링에 의해 퇴적되며,

상기 열처리 전에 상기 금속은 이미 질화되어서 상기 금속의 질화물로 변화하는 것을 특징으로 하는 전극구조체의 형성방법.

**청구항 5**

삭제

**청구항 6**

제 1항에 있어서,

상기 제 2의 금속의 질화물은 질화티타늄, 질화텅스텐, 질화탄탈 또는 질화텅스텐실리사이드인 것을 특징으로 하는 전극구조체의 형성방법.

**청구항 7**

반도체영역 상에 폴리실리콘막을 퇴적하는 공정과,

상기 폴리실리콘막 위에 제 1의 금속으로 이루어진 제 1의 금속막을 퇴적하는 공정과,

상기 제 1의 금속막 위에 제 2의 금속의 질화물로 이루어진 제 2의 금속막을 퇴적하는 공정과,

상기 제 2의 금속막 위에 고융점금속막을 퇴적하여, 상기 폴리실리콘막, 상기 제 1의 금속막, 상기 제 2의 금속막 및 상기 고융점금속막으로 이루어지는 적층막을 형성하는 공정과,

상기 적층막 상에 열처리를 하면서 하드 마스크가 되는 절연막을 퇴적하는 공정과,

상기 하드 마스크를 이용하여 상기 적층막을 에칭해서 당해 적층막으로 이루어지는 게이트 전극을 형성하는 공정과,

상기 게이트 전극을 마스크로 하여 불순물을 이온주입 하여 소스 또는 드레인이 되는 불순물 층을 형성하는 공정과,

750℃ 이상의 온도에서 열처리를 행하여 상기 불순물층을 활성화하는 공정을 구비하며,

상기 퇴적공정의 열처리에 의해 상기 제 2의 금속막 중의 질소가 상기 제 1의 금속막으로 확산하여 당해 제 1의 금속의 질화물로 변화하는 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 8**

삭제

**청구항 9**

삭제

**청구항 10**

제 1항에 있어서,

상기 절연막은 상기 적층막에 대한 하드 마스크 또는 사이드 웰이 되는 것을 특징으로 하는 전극 구조체의 형성방법.

**청구항 11**

제 1항에 있어서,

상기 퇴적공정의 열처리 온도는 650℃ 이상 750℃ 이하의 범위인 것을 특징으로 하는 전극 구조체의 형성방법.

**청구항 12**

실리콘을 주성분으로 하는 실리콘함유막 위에 티타늄으로 이루어진 제 1의 금속막을 퇴적하는 공정과,

상기 제 1의 금속막 위에 질화 티타늄으로 이루어진 제 2의 금속막을 퇴적하는 공정과,

상기 제 2의 금속막 위에 고융점 금속막을 퇴적하여, 상기 실리콘함유막, 상기 제 1의 금속막, 상기 제 2의 금속막 및 상기 고융점 금속막으로 이루어진 적층막을 형성하는 공정과,

상기 적층막에 대해서 750℃ 이상의 온도로 열처리를 하는 공정을 구비하며,

상기 열처리 전에 상기 티타늄은 이미 질화되어서 질화 티타늄으로 변화하는 것을 특징으로 하는 전극구조체의 형성방법.

**청구항 13**

제 7항에 있어서,

상기 퇴적공정의 열처리 온도는 650℃ 이상 750℃ 이하의 범위인 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 14**

반도체영역 상에 폴리실리콘 막을 퇴적하는 공정과,

상기 폴리실리콘막 위에 티타늄으로 이루어진 제 1의 금속막을 퇴적하는 공정과,

상기 제 1의 금속막 위에 질화 티타늄으로 이루어진 제 2의 금속막을 퇴적하는 공정과,

상기 제 2의 금속막 위에 고융점금속막을 퇴적하여, 상기 폴리실리콘막, 상기 제 1의 금속막, 상기 제 2의 금속막 및 상기 고융점금속막으로 이루어지는 게이트 전극을 형성하는 공정과,

상기 게이트 전극을 마스크로 하여 불순물을 이온주입 하여 소스 또는 드레인이 되는 불순물 층을 형성하는 공정과,

750℃ 이상의 온도에서 열처리를 행하여 상기 불순물 층을 활성화하는 공정을 구비하며,

상기 열처리 전에 상기 티타늄은 이미 질화되어서 질화 티타늄으로 변화하는 것을 특징으로 하는 반도체장치의 제조방법.

# 명 세 서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

<22> 본 발명은 폴리실리콘 또는 어모퍼스실리콘으로 이루어진 하층막과 고융점금속으로 이루어진 상층막을 갖는 전극구조체의 제조방법 및 그 전극구조체로 이루어진 게이트전극을 갖는 반도체장치의 제조방법에 관한 것이다.

<23> 종래의 MOS 트랜지스터에 있어서는 게이트전극은 폴리실리콘막에 의해 형성되어 있었지만, LSI의 미세화 및 고속화의 진전에 따라 MOS 트랜지스터의 게이트전극의 저저항화의 요구가 커져 왔다.

<24> 그래서, 게이트전극의 저저항화를 도모하기 위해 게이트전극으로서 하층의 폴리실리콘막과 상층의 고융점금속막과의 적층막으로 이루어진 폴리메탈 게이트전극을 이용하는 기술이 제안되고 있는 동시에, 상층의 고융점금속막으로서는 텅스텐막이 제안되고 있다. 상층의 고융점금속막으로서 텅스텐막을 이용하면 게이트전극의 저항값을 작게 할 수 있다.

<25> 그런데, 폴리실리콘막과 텅스텐막과의 사이에는 폴리실리콘막 중에 도입된 불순물(예를 들어 B, P, As)이 텅스텐막으로 확산되는 것을 방지하기 위해서 질화텅스텐($WN_x$) 또는 질화티타늄(TiN)으로 이루어진 배리어막이 필요하게 된다(예를 들어, 일본국 특개평 11-261059호 공보 또는 일본국 특개평 7-235542호 공보를 참조).

<26> 도 8(a)는 제 1 종래예에 관한 전극구조체의 단면구조를 나타내고 있다. 도 8(a)에 나타내는 바와 같이 반도체기판(1) 위에 게이트절연막(2)을 개재하여 게이트전극이 형성되어 있고, 그 게이트전극은 하측으로부터 순차 형성된 폴리실리콘막(3), 질화텅스텐($WN_x$)으로 이루어진 배리어막(4A) 및 텅스텐막(5)에 의해 구성되어 있다.

<27> 도 8(b)는 제 2 종래예에 관한 전극구조체의 단면구조를 나타내고 있다. 도 8(b)에 나타내는 바와 같이 반도체기판(1) 위에 게이트절연막(2)을 개재하여 게이트전극이 형성되어 있고, 그 게이트전극은 하측으로부터 순차 형성된 폴리실리콘막(3), 질화티타늄(TiN)으로 이루어진 배리어막(4B) 및 텅스텐막(5)에 의해 구성되어 있다.

<28> 그런데, 제 1 종래예에 있어서는 후공정에서 열처리가 행해지면 도 8(c)에 나타내는 바와 같이 질화텅스텐으로 이루어진 배리어막(4A)의 질소가 증발하여 배리어막(4A)이 텅스텐막(5)으로 변화하는 동시에, 배리어막(4A)의 질소와 폴리실리콘막(3)의 실리콘이 반응하여 폴리실리콘막(3)과 텅스텐막(5)과의 사이에 저항값이 극히 큰 질화실리콘(SiN)으로 이루어진 반응층(6)이 형성되고, 이에 의해서 게이트전극의 저항값이 커지는 문제가 있다.

<29> 그래서, 일본국 특개평 7-235542호 공보에서는 질화실리콘으로 이루어진 반응층(6)의 질소의 면밀도를 소정값 이하로 하면 반응층(6)의 시트저항이 낮아져, 게이트전극의 저항값을 저감할 수 있다고 제안하고 있다.

#### 발명이 이루고자 하는 기술적 과제

<30> 그러나, 본건 발명자는 제 1 종래예에 있어서 반응층(6)의 질소의 면(面)밀도를 소정값 이하로 하여도 게이트전극의 저항값을 저감할 수는 없다는 사실에 직면하였다.

<31> 그래서, 제 1 종래예에 있어서 게이트전극의 저항값을 저감할 수 없는 이유에 대해서 여러가지 검토를 한 결과, 아래와 같은 사실을 발견하였다. 즉, 반응층(6)에서의 질소의 면밀도를 저감하기 위해 배리어막(4A)의 두께를 0.1~1.0㎚ 정도로 작게 하면 배리어막(4A)이 배리어기능을 발휘하지 못하고, 텅스텐실리사이드($WSi_x$)가 형성되기 때문에 게이트전극의 저항값을 낮게 할 수 없다. 한편, 배리어막(4A)의 두께를 1.0㎚을 넘을 정도로 크게 하

면 배리어기능은 발휘되지만, 폴리실리콘막(3)과 텅스텐막(5)과의 사이에 저항값이 극히 큰 질화실리콘으로 이루어진 반응층(6)이 형성되기 때문에 폴리실리콘막(3)과 텅스텐막(5)과의 사이의 계면저항값이 커진다.

<32> 또한, 질화텅스텐막은 내열성이 뒤떨어지기 때문에 750℃ 이상의 열처리가 행해지면 질화텅스텐막 중의 질소가 다량으로 확산되어 텅스텐막이 되는 문제도 있다.

<33> 제 2 종래예와 같이 질화티타늄으로 이루어진 배리어막을 이용한 경우에는 아래에 설명하는 이유에 의해서 폴리실리콘막과 텅스텐막과의 사이에 저항값이 극히 큰 질화실리콘으로 이루어진 반응층(6)이 형성되기 때문에 폴리실리콘막(3)과 텅스텐막(5)과의 사이의 계면저항값이 커진다.

<34> 우선, 도 9(a)에 나타내는 바와 같이 반도체기판(1) 위에는 게이트절연막(2)을 개재하여 폴리실리콘막(3)이 형성되어 있고, 그 폴리실리콘막(3)에는 p형 게이트전극을 형성하는 경우에는 보론 등의 p형 불순물이 도핑되어 있는 동시에, n형 게이트전극을 형성하는 경우에는 인 등의 n형 불순물이 도핑되어 있다. 다음으로, 폴리실리콘막(3) 위에 질화티타늄막(4B)을 퇴적하기 위해서 반도체기판(1)을, 티타늄을 주성분으로 하는 티타늄타깃(7)이 배치된 챔버내에 반입한 후, 그 챔버내에 아르곤가스와 질소가스와의 혼합가스를 도입하는 동시에 그 챔버내에서 방전을 일으키게 한다. 이와 같이 하면, 아르곤가스와 질소가스로 이루어진 플라즈마가 발생하고, 플라즈마 중의 질소이온과 폴리실리콘막(3) 중의 실리콘이 반응하여 폴리실리콘막(3)의 표면에 질화실리콘막으로 이루어진 반응층(6)이 형성된다. 그리고, 티타늄타깃(7)이 질화되어 질화티타늄막(8)이 형성되는 동시에 그 질화티타늄막(8)으로부터 질화티타늄이 튀어나와, 도 9(b)에 나타내는 바와 같이 반응층(6) 위에 질화티타늄으로 이루어진 배리어막(4B)이 형성된다.

<35> 다음으로, 반도체기판(1)을, 텅스텐을 주성분으로 하는 텅스텐타깃(9)이 배치된 챔버내로 이송한 후, 그 챔버내에 아르곤가스를 도입하는 동시에 그 챔버내에서 방전을 일으키게 한다. 이와 같이 하면, 아르곤가스로 이루어진 플라즈마가 발생하고, 플라즈마 중의 아르곤이온의 스퍼터링에 의해 텅스텐타깃(9)으로부터 텅스텐이 튀어나와, 튀어나온 텅스텐이 질화티타늄막(4B)의 표면에 퇴적되기 때문에 도 9(c)에 나타내는 바와 같이 질화티타늄막(4B) 위에 반응층(6)을 개재하여 텅스텐막(5)이 형성된다.

<36> 다음으로, 반도체기판(1)에 MOS 트랜지스터의 소스 또는 드레인이 되는 불순물층을 형성한 후, 그 불순물층을 활성화하기 위해서 예를 들어 750℃ 이상의 열처리를 행하면 도 10(a)에 나타내는 바와 같이 배리어막(4B) 중의 잉여의 질소가 폴리실리콘막(3)의 상부로 확산되기 때문에, 도 10(b)에 나타내는 바와 같이 질화티타늄으로 이루어진 반응층(6)의 두께가 커진다.

<37> 또한, 본건 발명자는 열처리온도와 열처리 후의 배리어막의 계면저항과의 관계에 대해서도 검토를 하였다. 도 11은 열처리온도(℃)와 열처리 후의 폴리실리콘막과 고융점금속막과의 사이의 계면저항($R_c$)과의 관계를 나타내고 있는 것으로, 도 11에 있어서 ●은 N형의 폴리실리콘막(NPS라고 표시) 위에 질화텅스텐($WN_x$)으로 이루어진 배리어막을 형성한 경우를 나타내고, ○은 P형의 폴리실리콘막(PPS라고 표시) 위에 질화텅스텐으로 이루어진 배리어막을 형성한 경우를 나타내며, ◆은 n형의 폴리실리콘막 위에 질화티타늄(TiN)으로 이루어진 배리어막을 형성한 경우를 나타내고, ◇은 p형의 폴리실리콘막 위에 질화티타늄으로 이루어진 배리어막을 형성한 경우를 나타내고 있다. 또한, 도 24에서는 비(非)오믹이기 때문에 계면저항으로서는 $1mA/\mu m^2$의 전류를 흘린 경우의 저항값을 나타내고 있다.

<38> 도 11에서 질화티타늄으로 이루어진 배리어막(4B)을 이용한 경우에는 열처리의 온도가 낮아도 계면저항이 높음을 알 수 있다. 또한, 본건 발명자들의 실험에서는 질화티타늄으로 이루어진 배리어막(4B)을 이용한 경우에는 열처리를 행하지 않아도 계면저항은 높다. 그 이유는 도 9(a)~(c)에 나타내는 바와 같이 폴리실리콘막(3)과 배리어막(4B)과의 사이에 질화티타늄으로 이루어진 반응층(6)이 형성되어 있기 때문이다.

<39> 또한, 질화텅스텐으로 이루어진 배리어막(4A)을 이용한 경우에는 질화티타늄으로 이루어진 배리어막(4B)을 이용한 경우에 비하여 계면저항은 낮지만, 750℃ 이상의 온도의 열처리를 행하면 계면저항은 급격하게 높아지는 것을 알 수 있다. 그 이유는 질화텅스텐으로 이루어진 배리어막(4A)을 이용한 경우에 750℃ 이상의 온도의 열처리를 행하면 질화텅스텐 중의 질소가 확산하여, 폴리실리콘막(3)과 텅스텐막(5)과의 사이에 질화실리콘으로 이루어진 반응층(6)이 형성되기 때문이다.

<40> 폴리실리콘막(3)과 텅스텐막(5)과의 사이의 계면저항($R_c$)이 커지면 MOS 트랜지스터의 동작속도는 늦어진다. 즉,

게이트전극이 AC (교류)동작을 하는 경우, 게이트절연막에 발생하는 분포용량에 대하여 충방전이 반복하여 행해지기 때문에 분포계면저항에 전류가 흐르므로, 분포계면저항의 영향이 나타나고, 이에 의해 MOS 트랜지스터의 동작속도는 늦어지는 것이다. MOS 트랜지스터의 동작속도가 늦어지면 LSI의 동작속도가 늦어져 신호지연시간이 증가하는 문제가 있다. LSI의 동작속도가 중요시되는 현재에 있어서는 MOS 트랜지스터의 동작속도는 수% 정도 열화하는 것만으로도 큰 문제가 된다.

<41> 또한, MOS 트랜지스터의 지연시간에 영향을 미치지 않는 정도로까지 계면저항을 낮게 하기 위해서는 계면저항값으로서는 300 $\Omega\mu m^2$ 이하의 값이 필요하게 된다.

<42> 상기에 감안하여 본 발명은 폴리실리콘막과 고융점금속막과의 사이의 계면저항을 낮게 하는 것을 목적으로 한다.

## 발명의 구성 및 작용

<43> 상기의 목적을 달성하기 위해서 본 발명에 관한 전극구조체의 형성방법은 실리콘을 주성분으로 하는 실리콘함유막 위에 제 1의 금속으로 이루어진 제 1의 금속막을 퇴적하는 공정과, 제 1의 금속막 위에 제 2의 금속의 질화물로 이루어진 제 2의 금속막을 퇴적하는 공정과, 제 2의 금속막 위에 고융점금속막을 퇴적하여 실리콘함유막, 제 1의 금속막, 제 2의 금속막 및 고융점금속막으로 이루어진 적층막을 형성하는 공정과, 적층막에 대하여 750 ℃ 이상의 온도에서 열처리를 행하는 공정을 구비하며, 열처리 전에 제 1의 금속은 이미 질화되어 제 1의 금속의 질화물로 변화되어 있고, 또한 열처리 전에 실리콘함유막의 표면에는 제 1의 금속의 실리사이드층이 형성되어 있지 않다.

<44> 본 발명에 관한 전극구조체의 형성방법에 의하면 실리콘함유막과 고융점금속막과의 사이에 제 1의 금속으로 이루어진 하층의 제 1의 금속막과 제 2의 금속의 질화물로 이루어진 상층의 제 2의 금속막으로 이루어진 배리어막을 개재시키는 동시에, 열처리 전에 제 1의 금속은 질화되어 제 1의 금속의 질화물로 변화되어 있는 동시에 실리콘함유막에는 제 1의 금속의 실리사이드층이 형성되어 있지 않기 때문에, 이하의 이유에 의해서 실리콘함유막과 고융점금속막과의 사이의 계면저항이 크게 저감한다. 즉, 제 2의 금속막에 포함되는 질소는 제 1의 금속막의 질화로 소비되고, 제 2의 금속막에 포함되는 질소 중 실리콘함유막의 질화에 기여하는 질소의 양은 적어지기 때문에, 실리콘함유막과 금속질화막과의 사이에 형성되는 실리콘질화막으로 이루어지고 저항값이 극히 큰 반응층의 두께가 작아지므로 계면저항은 저감한다.

<45> 본 발명에 관한 전극구조체의 형성방법에 있어서 열처리 후에, 실리콘함유막과 제 1의 금속막과의 사이에는 질화실리콘막이 형성되어 있지 않거나 또는 1.5㎚ 이하의 두께를 갖는 질화실리콘막이 형성되어 있는 것이 바람직하다.

<46> 이와 같이 하면, 실리콘함유막과 고융점금속막과의 사이의 계면저항을 300 $\Omega\mu m^2$ 이하로 할 수 있기 때문에, 본 발명에 관한 전극구조체로 이루어진 게이트전극을 구비한 MOS 트랜지스터의 지연시간을 크게 저감할 수 있다.

<47> 본 발명에 관한 전극구조체의 형성방법에 있어서 열처리 후에서의 폴리실리콘막과 고융점금속막과의 사이의 계면저항은 300 $\Omega\mu m^2$ 이하인 것이 바람직하다.

<48> 이와 같이 하면, 본 발명에 관한 전극구조체로 이루어진 게이트전극을 구비한 MOS 트랜지스터의 지연시간을 크게 저감할 수 있다.

<49> 본 발명에 관한 전극구조체의 형성방법에 있어서 제 1의 금속과 제 2의 금속은 동일한 금속으로, 제 1의 금속막은 상기 동일한 금속으로 이루어진 타깃을 이용하여 행하는 스퍼터링에 의해 퇴적되고, 제 2의 금속막은 타깃의 표면에 형성된 상기 동일한 금속의 질화물막에 대한 스퍼터링에 의해 퇴적되는 것이 바람직하다.

<50> 이와 같이 하면, 동일한 금속으로 이루어진 타깃을 이용하여 도입하는 가스를 전환하는 것만으로, 제 1의 금속막과 제 2의 금속막을 연속적으로 퇴적할 수 있기 때문에 스루풋이 향상한다.

<51> 본 발명에 관한 전극구조체의 형성방법에 있어서 제 1의 금속 및 제 2의 금속은 모두 티타늄인 것이 바람직하다.

<52> 본 발명에 관한 전극구조체를 형성방법에 있어서 제 2의 금속의 질화물로서는 질화티타늄, 질화텅스텐, 질화탄탈 또는 질화텅스텐실리사이드를 이용할 수 있다.

<53> 상기의 목적을 달성하기 위해서 본 발명에 관한 반도체장치의 제조방법은 반도체영역상에 폴리실리콘막을 퇴적하는 공정과, 폴리실리콘막 위에 제 1의 금속으로 이루어진 제 1의 금속막을 퇴적하는 공정과, 제 1의 금속막 위에 제 2의 금속의 질화물로 이루어진 제2의 금속막을 퇴적하는 공정과, 제 2의 금속막 위에 고융점금속막을 퇴적하여 폴리실리콘막, 제 1의 금속막, 제 2의 금속막 및 고융점금속막으로 이루어진 게이트전극을 형성하는 공정과, 게이트전극을 마스크로서 불순물을 이온주입하여 소스 또는 드레인이 되는 불순물층을 형성하는 공정과, 750℃ 이상의 온도에서 열처리를 행하고, 불순물층을 활성화하는 공정을 구비하며, 열처리 전에 제 1의 금속이 이미 질화되어 제 1의 금속의 질화물로 변화되어 있고, 또한 열처리 전에 폴리실리콘막의 표면에 제 1의 금속의 실리사이드층이 형성되어 있지 않다.

<54> 본 발명에 관한 반도체장치의 제조방법에 의하면 본 발명에 관한 전극구조체의 형성방법을 이용하여 반도체장치를 제조하기 때문에 소스 또는 드레인이 되는 불순물층을 활성화하기 위해서 750℃ 이상의 열처리를 행하여도 게이트전극에서의 폴리실리콘막과 고융점금속막과의 사이의 계면저항을 극히 낮게 할 수 있다.

<55> 본 발명에 관한 반도체장치의 제조방법에 있어서 열처리 후에 폴리실리콘막과 제 1의 금속막과의 사이에는 질화실리콘막이 형성되어 있지 않거나 또는 1.5㎚ 이하의 막두께를 갖는 질화실리콘막이 형성되어 있는 것이 바람직하다.

<56> 이와 같이 하면 MOS 트랜지스터의 지연시간을 크게 저감할 수 있다.

<57> 본 발명에 관한 반도체장치의 제조방법에 있어서 제 1의 금속 및 제 2의 금속은 모두 티타늄인 것이 바람직하다.

<58> (실시예)

<59> (제 1 실시예)

<60> 이하, 본 발명의 제 1 실시예에 관한 전극구조체의 형성방법으로서, 게이트전극의 형성방법에 대해서 도 1(a)~(c) 및 도 2(a)~(c)를 참조하여 설명한다.

<61> 우선, 도 1(a)에 나타내는 바와 같이 실리콘기판(10) 위에 실리콘산화막으로 이루어진 게이트절연막(11)을 형성한 후, 그 게이트절연막(11) 위에 게이트전극의 하층막이 되는 폴리실리막(12)을 퇴적한다. 그 후, p형의 폴리실리콘을 형성하는 경우에는 폴리실리콘막(12)에 보론 등의 p형불순물을 도핑하는 동시에, n형의 폴리실리콘을 형성하는 경우에는 폴리실리콘막(12)에 인 등의 n형불순물을 도핑한다. 또한, 폴리실리콘막(12)을 대신하여 어모퍼스실리콘막을 이용하여도 된다.

<62> 다음으로, 도 1(b)에 나타내는 바와 같이 반도체기판(10)을, 티타늄을 주성분으로 하는 티타늄타깃(13)이 배치된 챔버 A내에 반입한 후, 그 챔버 A내에 아르곤가스를 도입하는 동시에 그 챔버 A내에서 방전을 일으키게 한다. 이와 같이 하면 아르곤가스로 이루어진 플라즈마가 발생하여, 플라즈마 중의 아르곤이온이 티타늄타깃(13)을 스퍼터링하기 때문에 폴리실리콘막(12)의 표면에는 제 1의 금속막으로서의 티타늄막(14)이 퇴적된다. 이 티타늄막(14)의 막두께에 대해서는 후술하겠지만, 예를 들어 4.5㎚ 정도로 한다.

<63> 다음으로, 도 1(c)에 나타내는 바와 같이 챔버 A내에 아르곤가스와 질소가스와의 혼합가스를 도입하는 동시에 그 챔버 A내에서 방전을 일으켜, 아르곤가스 및 질소가스로 이루어진 플라즈마를 발생시킨다. 이와 같이 하면, 티타늄막(14)이 질화되어 티타늄막(14)의 표면에 제 1의 질화티타늄막(15a)이 형성되는 동시에, 티타늄타깃(13)도 질화되어 티타늄타깃(13)의 표면에도 질화티타늄막(16)이 형성된다.

<64> 다음으로, 도 2(a)에 나타내는 바와 같이 아르곤가스와 질소가스와의 혼합가스의 도입 및 챔버 A내에서의 방전을 계속하면, 티타늄타깃(13)의 표면의 질화티타늄막(16)이 아르곤이온에 의해 스퍼터링되기 때문에, 제 1의 질화티타늄막(15a) 위에 제 2의 질화티타늄막(15b)이 퇴적되어, 제 1의 질화티타늄막(15a)과 제 2의 질화티타늄막(15b)으로 이루어지고 제 2의 금속막으로서의 질화티타늄막(15A)이 형성된다. 또한, 티타늄막(14)(제 1의 금속막)과 질화티타늄막(15A)(제 2의 금속막)에 의하여 배리어막이 구성된다.

<65> 제 1 실시예에 의하면 티타늄타깃(13)이 배치된 챔버 A내에 우선, 아르곤가스를 도입함으로써 폴리실리콘막(12) 위에 티타늄막(14)을 퇴적할 수 있는 동시에, 그 후, 아르곤가스와 질소가스와의 혼합가스를 도입함으로써 티타늄막(14) 위에 질화티타늄막(15A)을 형성할 수 있다. 즉, 티타늄타깃(13)을 바꾸는 일 없이, 챔버 A내에 도입하는 가스를 전환하는 것만으로, 티타늄막(14) 및 질화티타늄막(15A)을 연속적으로 형성할 수 있다.

<66> 다음으로, 도 2(b)에 나타내는 바와 같이 반도체기판(10)을, 텅스텐을 주성분으로 하는 텅스텐타깃(17)이 배치

된 챔버 B내로 이송한 후, 그 챔버 B내에 아르곤가스를 도입하는 동시에 그 챔버 B내에서 방전을 일으키게 한다. 이와 같이 하면, 아르곤가스로 이루어진 플라즈마가 발생하여, 플라즈마 중의 아르곤이온이 텅스텐타깃(17)을 스퍼터링하기 때문에 질화티타늄막(15A) 위에 고융점금속막으로서의 텅스텐막(18)이 퇴적된다. 이상 설명한 폴리실리콘막(12), 티타늄막(14), 질화티타늄막(15A) 및 텅스텐막(18)은 전극구조체로서의 게이트전극을 구성하다.

<67> 그런데, 게이트전극을 형성할 때에는 소스 및 드레인의 형성 전에 행해지는 하드마스크(SiN막)의 퇴적공정 또는 사이드월(SiN막)의 퇴적공정이 행해지고, 이러한 퇴적공정의 열처리온도는 650~750℃ 정도이다. 소스 및 드레인의 형성 전의 열처리공정에 있어서 질화티타늄막(15A) 중에 존재하는 질소는 티타늄막(14) 및 폴리실리콘막(12)으로 확산한다. 이 때, 질소가 티타늄막(14)으로 확산됨으로써, 티타늄막(14)은 질화티타늄막으로 변화하기 때문에, 티타늄막(14)이 사라지는 동시에, 티타늄막(14)이 변화한 질화티타늄막과 전부터 존재하고 있던 질화티타늄막(15A)으로 이루어진 질화티타늄막(15B)이 형성되어 있다. 또한, 질소가 폴리실리콘막(12)으로 확산됨으로써, 폴리실리콘막(12)과 질화티타늄막(15B)과의 계면에 실리콘 및 질소를 주성분으로 하는 반응층(19)이 형성되어 있다. 또한, 반응층(19)에는 산소 등의 원자가 포함되어 있는 경우도 있다.

<68> 그리고, 반도체기판(10)에 게이트전극을 마스크로서 불순물을 도핑하여 소스 또는 드레인이 되는 불순물층을 형성한 후, 불순물을 활성화하기 위해서, 예를 들어 750℃ 이상의 열처리를 행한다. 이 불순물활성화를 위한 750℃ 이상의 열처리시에는 질화티타늄막(15B) 중에(확산할 수 있는) 잉여의 질소는 거의 존재하지 않기 때문에 반응층(19)의 증가는 없다.

<69> 상술한 바와 같이 실리콘 및 질소를 주성분으로 하는 반응층(19)의 저항값은 극히 크기 때문에, 반응층(19)의 두께가 큰 경우에는 폴리실리콘막(12)과 텅스텐막(18)과의 사이의 계면저항은 높아진다.

<70> 그런데, 제 1 실시예에서는 폴리실리콘막(12)과 질화티타늄막(15A)과의 사이에 티타늄막(14)을 개재시켰기 때문에, 질화티타늄막(15A) 중의 질소의 대부분은 티타늄막(14)의 질화로 소비되고, 폴리실리콘막(12)의 질화에 기여하는 질소의 양은 적기 때문에, 반응층(19)의 두께는 종래에 비교하여 현저하게 작아진다. 따라서, 폴리실리콘막(12)과 텅스텐막(18)과의 사이의 계면저항은 크게 저감한다.

<71> 따라서, 티타늄막(14)의 두께로서는 질화티타늄막(15A) 중의 질소가 티타늄막(14)으로 확산하여, 티타늄막(14)의 전영역이 질화티타늄막으로 변화하는 정도가 바람직하다.

<72> 티타늄막(14)의 두께가 커서 티타늄막(14)의 전영역이 질화티타늄막으로 변화되지 않는 경우에는 소스 및 드레인의 활성화를 위한 열처리보다도 전의 열처리공정에서 티타늄막(14)의 티타늄과 폴리실리콘막(12)의 실리콘이 반응하여 폴리실리콘막(12)의 표면부에 티타늄실리사이드($TiSi_2$)층이 형성되기 때문에, 소스 및 드레인의 활성화를 위한 750℃ 이상의 열처리로 막이 벗겨지는 일이 생긴다.

<73> 한편, 티타늄막(14)의 두께가 작을 때에는 티타늄실리사이드층은 형성되지 않지만, 질화티타늄막(15A)의 다량의 질소가 티타늄막(14)을 통과하여 폴리실리콘막(12) 중으로 확산되기 때문에, 반응층(19)의 두께가 커지므로, 폴리실리콘막(12)과 고융점금속막(18)과의 계면저항이 높아진다.

<74> 상술한 바와 같이 MOS 트랜지스터의 지연시간에 영향을 미치지 않을 정도로까지 폴리실리콘막(12)과 고융점금속막(18)과의 계면저항을 낮게 하기 위해서는 계면저항으로서는 300 $\Omega\mu m^2$이하의 값이 필요하게 된다.

<75> 또한, 폴리실리콘막(12)과 고융점금속막(18)과의 사이의 계면저항을 300 $\Omega\mu m^2$ 이하로 하기 위해서 질화실리콘으로 이루어진 반응층(19)의 두께로서는 폴리실리콘막(12)과 질화티타늄막(15B)과의 사이에 오믹성이 나타나는 정도 즉 0~1.5㎚의 범위가 바람직하고, 특히 0~1.0㎚의 범위가 바람직하다.

<76> 반응층(19)의 두께가 0㎚이라는 것은 반응층(19)이 실질적으로 존재하지 않는 것을 의미하고, 반응층(19)의 두께가 0㎚이면 반응층(19)의 저항이 존재하지 않게 되기 때문에 폴리실리콘막(12)과 고융점금속막(18)과의 사이의 계면저항은 보다 한층 낮아진다.

<77> 또한, 제 1 실시예에서는 질소가스로 이루어진 플라즈마에 의해 티타늄막(14)의 표면부가 질화되고, 그 후의 열처리공정에 있어서 질화티타늄막(15A) 중에 존재하는 질소가 티타늄막(14) 중으로 확산됨으로써, 티타늄막(14)은 질화티타늄막으로 변화하였지만, 이것을 대신하여 질소가스로 이루어진 플라즈마에 의해 티타늄막(14)의 전영역이 질화되어 티타늄막(14)이 질화티타늄막으로 변화하여도 된다. 이와 같이 하여도 티타늄막(14)을 퇴적하지 않는 경우에 비교하여 실리콘과 질소가 반응하여 형성되는 질화실리콘으로 이루어진 반응층의 성장이 억제되

고, 이것에 의해 폴리실리콘막과 고융점금속막과의 사이의 계면저항이 저감한다.

<78> (제 1 실시예에 의해 형성된 전극구조체의 특성)

<79> 이하, 제 1 실시예에 의해 형성된 폴리메탈구조를 갖는 게이트전극의 특성에 대해서 설명한다.

<80> 도 3은 제 1 실시예, 제 1 종래예 및 제 2 종래예에 관한 방법에 의해 얻어지는 게이트전극에 대한 열처리온도(℃)와, 열처리 후의 폴리실리콘막과 고융점금속막과의 사이의 계면저항($R_c$)과의 관계를 나타내고 있는 것으로, 도 3에 있어서 ★은 제 1 실시예에 의해 얻어지는 게이트전극(n형의 폴리실리콘막(NPS라고 표시) 위에 티타늄막 및 질화티타늄막으로 이루어진 배리어막을 갖는 구조)을 나타내고, ☆은 제 1 실시예에 의해 얻어지는 게이트전극(p형의 폴리실리콘막(PPS라고 표시) 위에 티타늄막 및 질화티타늄막으로 이루어진 배리어막을 갖는 구조)을 나타내며, ●은 제 1 종래예에 의해 얻어지는 게이트전극(n형의 폴리실리콘막 위에 질화텅스텐막으로 이루어진 배리어막을 갖는 구조)을 나타내고, ○은 제 1 종래예에 의해 얻어지는 게이트전극(p형의 폴리실리콘막 위에 질화텅스텐막으로 이루어진 배리어막을 갖는 구조)을 나타내며, ◆은 제 2 종래예에 의해 얻어지는 게이트전극(n형의 폴리실리콘막 위에 질화티타늄막으로 이루어진 배리어막을 갖는 구조)을 나타내고, ◇은 제 2 종래예에 의해 얻어지는 게이트전극(p형의 폴리실리콘막 위에 질화티타늄막으로 이루어진 배리어막을 갖는 구조)을 나타내고 있다. 또한, 도 3에 있어서는 계면저항값 Rc = 500Ω·$\mu m^2$을 넘으면 비오믹이기 때문에 계면저항으로서는 1mA/$\mu m^2$의 전류를 흘린 경우의 저항값을 나타내고 있다.

<81> 도 3에서 알 수 있듯이 제 1 실시예에 의해 얻어지는 게이트전극에서는 열처리온도가 트랜지스터의 형성에 필요한 900℃ 정도로 높아져도 계면저항의 상승은 없고, 상당히 양호한 결과가 얻어진다. 또한, 도 3에서 알 수 있듯이 750℃의 열처리에 있어서 제 1 실시예와 제 1 종래예와의 사이에서 계면저항에 격차가 나타나기 시작하고, 850℃의 열처리에 있어서는 제 1 실시예와 제 1 종래예와의 계면저항의 격차가 현저해지며, 900℃ 이상의 열처리에서는 제 1 실시예와 제 1 종래예와의 계면저항의 격차는 비교가 되지 않을 정도로 확산된다.

<82> 도 4(a)~(e)는 제 1 실시예에 관한 전극구조체의 형성방법에 있어서 티타늄막(14)의 두께를 변화시켰을 때의 열처리 후의 반응층(19)의 두께의 변화를 나타내고 있고, TEM사진을 모식적으로 표현한 단면도이다. 또한, 열처리의 온도는 1000℃이고, 열처리의 시간은 30초이다.

<83> 도 4(a)는 티타늄막의 두께가 0㎚의 경우를 나타내고, 도 4(b)는 티타늄막의 두께가 2.5㎚의 경우를 나타내며, 도 4(c)는 티타늄막의 두께가 3.5㎚의 경우를 나타내고, 도 4(d)는 티타늄막의 두께가 4.5㎚의 경우를 나타내며, 도 4(e)는 티타늄막의 두께가 10.0㎚의 경우를 나타내고 있다.

<84> 도 4(a)~(d)에서도 알 수 있듯이 티타늄막의 두께의 증가에 따라 질화실리콘으로 이루어진 반응층(19)의 두께는 감소한다. 특히 티타늄막의 두께가 4.5㎚의 경우에서는 반응층(19)의 두께는 1㎚ 이하가 되어 계면저항이 크게 저감한다.

<85> 또한, 도 4(e)에서 알 수 있듯이 티타늄막의 두께가 10.0㎚가 되면 열처리공정에서 폴리실리콘막 중의 실리콘원자가 질화티타늄막 중을 확산하여 텅스텐막에 이르고, 텅스텐실리사이드($WSi_x$)층이 형성된다. 텅스텐실리사이드가 형성되는 메커니즘은 다음과 같다. 즉, 티타늄막의 두께가 크기 때문에 열처리공정 전에 티타늄막의 티타늄원자와 폴리실리콘막의 실리콘원자가 반응하여 티타늄실리사이드($TiSi_2$)층이 형성되어 있다. 이것은 하드마스크(SiN막) 또는 사이드월(SiN막)의 퇴적공정에서 650~750℃의 열처리가 가해지고, 티타늄실리사이드층이 형성되어 있기 때문이다. 그 후에 행해지는 소스 및 드레인의 활성화를 위한 열처리와 같은 고온의 열처리에 의해 티타늄실리사이드층이 응집하여 질화티타늄막에 틈이 형성되고, 폴리실리콘막의 실리콘이 질화티타늄막의 틈을 확산하여 텅스텐막에 이르는 것이라고 추측된다(J.Appl.Phys.62(4), 15 August 1987. p1265 참조). 이 현상이 발생한 경우에는 폴리실리콘막에서의 실리콘원자가 확산된 자리에는 보이드가 발생하기 때문에 폴리실리콘막과 텅스텐막과의 사이에서 막이 벗겨지는 결과가 된다. 따라서, 티타늄막의 두께로서는 8㎚ 이하로 할 필요가 있다.

<86> (제 2 실시예)

<87> 이하, 본 발명의 제 2 실시예에 관한 반도체장치의 제조방법에 대해서 도 5(a), (b) 및 도 6(a), (b)를 참조하여 설명한다.

<88> 우선, 도 5(a)에 나타내는 바와 같이 반도체기판(20) 위에 게이트절연막이 되는 실리콘산화막(21)을 형성한 후,

그 실리콘산화막(21) 위에 폴리실리콘막(22)을 퇴적한다.

<89> 다음으로, 제 1 실시예와 동일한 방법으로, 폴리실리콘막(22) 위에 배리어막이 되는 티타늄막(24) 및 질화티타늄막(25)을 순차 형성한 후, 질화티타늄막(25) 위에 텅스텐막(28)을 퇴적하여, 폴리실리콘막(22), 티타늄막(24), 질화티타늄막(25) 및 텅스텐막(28)으로 이루어진 적층체를 형성한다.

<90> 다음으로, 도 5(b)에 나타내는 바와 같이 상기의 적층체 위에 질화실리콘막으로 이루어지고 게이트전극을 형성하기 위한 하드마스크(29)를 형성한다. 이 경우, 질화실리콘막의 퇴적온도는 750℃ 정도이고, 이 열처리에 의해 질화티타늄막(25) 중의 잉여질소가 티타늄막(24)으로 확산하여 질화티타늄막으로 변화한다. 잉여질소가 많은 경우에는 도 5(b)에 나타내는 바와 같이 폴리실리콘막(22)과 질화티타늄막(25)과의 사이에 실리콘 및 질소를 주성분으로 하는 반응층(34)이 형성된다.

<91> 다음으로 도 5(c)에 나타내는 바와 같이 상기의 적층체에 대해서 하드마스크(29)를 이용하여 에칭을 행하고 적층체로 이루어진 게이트전극을 형성한 후, 그 게이트전극을 세정한다. 이 경우, 게이트전극의 상층막에는 텅스텐막(28)이 이용되고 있기 때문에, 텅스텐이 용출되지 않는 세정액을 이용하여 세정한다. 세정액으로서는 과산화수소수는 텅스텐을 용출시키기 때문에 희석불산(HF)을 이용하는 것이 바람직하다.

<92> 그런데, 티타늄실리사이드($TiSi_2$)층은 희석불산에 용해되는 성질을 갖기 때문에 폴리실리콘막(22)과 질화티타늄막(25)과의 사이에 티타늄실리사이드층이 형성되어 있으면 폴리실리콘막(22)과 질화티타늄막(25)과의 사이의 영역에는 사이드에칭이 발생한다. 그러나, 제 2 실시예에서는 희석불산을 이용하여 세정함에도 불구하고, 폴리실리콘막(22)과 질화티타늄막(25)과의 사이의 영역에는 사이드에칭이 발생하고 있지 않다. 이로부터 티타늄막(24)은 전면적으로 질화티타늄으로 변화하고, 이것에 의해서 폴리실리콘막(22)과 질화티타늄막(25)과의 사이에 티타늄실리사이드층이 형성되어 있지 않은 것을 확인할 수 있다.

<93> 다음으로, 반도체기판(20)에 게이트전극을 마스크로서 불순물을 도핑하여 저농도불순물층(30)을 형성한 후, 반도체기판(20) 위에 전면에 걸쳐 750℃의 온도에서 실리콘질화막을 퇴적하고, 그 후 그 실리콘질화막에 대하여 이방성에칭을 행함으로써, 도 6(a)에 나타내는 바와 같이 게이트전극의 벽면에 사이드월(31)을 형성한다. 다음으로, 반도체기판(20)에 게이트전극 및 사이드월(31)을 마스크로서 불순물을 도핑하여 고농도불순물층(33)을 형성한다.

<94> 다음으로, 반도체기판(20)에 대하여 750℃ 이상의 온도의 열처리를 행하고, 소스 및 드레인이 되는 저농도불순물층(30) 및 고농도불순물층(33)을 활성화한다. 소스 및 드레인이 되는 불순물층의 활성화를 위한 750℃ 이상의 열처리를 행하기 전의 시점에서 질화티타늄막(25) 중의 잉여질소는 거의 없어졌기 때문에, 750℃ 이상의 열처리를 행하여도 폴리실리콘막(22)과 질화티타늄막(25)과의 사이에 형성되는 반응층(34)의 증가는 거의 없다.

<95> 도 7(a), (b)는 제 2 실시예에 관한 반도체장치의 제조방법에서의 티타늄막(24)의 막두께 d와 열처리 후에서의 폴리실리콘막(22)과 고융점금속막(28)과의 사이의 계면저항 Rc과의 관계를 나타내고 있고, 티타늄막(24) 위에 10㎚의 두께를 갖는 질화티타늄막(25) 및 40㎚의 두께를 갖는 텅스텐막(28)을 퇴적한 경우이다. 또한, 열처리공정으로서 하드마스크(29)가 되는 질화티타늄막을 750℃에서 퇴적하는 공정과, 소스 또는 드레인이 되는 저농도불순물층(30) 및 고농도불순물층(33)을 활성화하기 위해서 975℃의 온도하에서 30초간의 열처리를 행하였다. 또한, 도 7(a)는 n형의 폴리실리콘막(22)을 이용한 경우를 나타내고, 도 7(b)는 p형의 폴리실리콘막(22)을 이용한 경우를 나타내고 있다.

<96> 도 7(a), (b)에서 알 수 있듯이 티타늄막(24)의 막두께가 2㎚ 이상이면 계면저항은 200 $\Omega\mu m^2$ 이하가 되어 극히 낮은 동시에 오믹특성을 얻을 수 있다.

<97> 또한, 티타늄막(24)의 막두께가 1㎚의 경우에는 오믹성은 얻어졌지만, 계면저항은 조금 높아졌다. 이것은 티타늄막(24)의 막두께가 작아, 실리콘질화막으로 이루어진 반응층(29)의 두께가 약간 커지고 있기 때문이다.

<98> 또한, 비교예로서 티타늄막(24)을 형성하지 않고, 그 밖에 대해서는 제 2 실시예와 동일한 조건에서 형성된 게이트전극에 대해서 계면저항을 측정한 바, n형의 폴리실리콘막(22)을 이용한 경우에는 1488 $\Omega\mu m^2$이고 비오믹이며, p형의 폴리실리콘막(22)을 이용한 경우에는 1689 $\Omega\mu m^2$이고 비오믹이었다.

<99> 제 2 실시예에 의하면 750℃ 이상의 열처리 후에서도 티타늄실리사이드층이 형성되지 않는 동시에 계면저항을 저감할 수 있기 때문에 MOS 트랜지스터의 동작속도의 저하를 방지할 수 있다. 또한, 티타늄실리사이드층이 형성되는 것에 기인하여 텅스텐막(28)의 막이 벗겨지는 사태도 방지할 수 있다.

<100> 또한, 제 1 및 제 2 실시예에서는 고융점금속막으로서 텅스텐막을 이용하였지만, 이것을 대신하여 몰리브덴(Mo)막, 텅스텐실리사이드($WSi_x$)막 또는 몰리브덴실리사이드($MoSi_2$)막을 이용하여도 된다.

<101> 또한, 배리어막의 상층막으로서는 질화티타늄막을 이용하였지만, 이것을 대신하여 질화탄탈(TaN)막 또는 질화텅스텐(WN)막 등의 다른 금속질화물막을 이용하여도 된다.

<102> 또한, 배리어막의 하층막으로서는 티타늄막을 이용하였지만, 이것을 대신하여 탄탈(Ta) 또는 텅스텐(W) 등과 같이 질화물을 형성할 수 있는 금속을 이용할 수 있다.

<103> 또한, 배리어막의 상층막 및 하층막을 구성하는 금속(Ti, Ta, W)은 동일하여도 되고 달라도 되지만, 동일한 금속을 이용하면 동일한 타깃을 이용하여 도입하는 가스를 변화시키는 것만으로, 배리어막의 상층막 및 하층막을 연속적으로 형성할 수 있기 때문에 바람직하다.

<104> 또한, 실리콘기판을 대신하여 SOI기판을 이용할 수도 있다.

## *발명의 효과*

<105> 본 발명에 관한 전극구조체의 형성방법에 의하면 750℃ 이상의 열처리를 행하여도 전극구조체에서의 실리콘함유막과 고융점금속막과의 사이의 계면저항을 낮게 할 수 있다.

<106> 또한, 본 발명에 관한 반도체장치의 제조방법에 의하면 소스 또는 드레인이 되는 불순물층을 활성화하기 위해서 750℃ 이상의 열처리를 행하여도 게이트전극에서의 폴리실리콘막과 고융점금속막과의 사이의 계면저항을 낮게 할 수 있다. 따라서, MOS 트랜지스터의 지연시간을 저감하여 MOS 트랜지스터의 동작속도의 향상을 도모할 수 있다.

## *도면의 간단한 설명*

<1> 도 1의 (a)~(c)는 제 1 실시예에 관한 전극구조체의 형성방법의 각 공정을 나타내는 단면도

<2> 도 2의 (a)~(c)는 제 1 실시예에 관한 전극구조체의 형성방법의 각 공정을 나타내는 단면도

<3> 도 3은 제 1 실시예, 제 1 종래예 및 제 2 종래예에 관한 전극구조체의 형성방법에 의해 얻어지는 게이트전극에 대한 열처리의 온도와 열처리 후의 계면저항과의 관계를 나타내는 도면

<4> 도 4의 (a)~(e)는 제 1 실시예에 관한 전극구조체의 형성방법에 있어서 티타늄막의 두께를 변화시켰을 때의 열처리 후의 반응층의 두께의 변화를 나타내는 단면도

<5> 도 5의 (a)~(c)는 제 2 실시예에 관한 반도체장치의 제조방법의 각 공정을 나타내는 단면도

<6> 도 6의 (a), (b)는 제 2 실시예에 관한 반도체장치의 제조방법의 각 공정을 나타내는 단면도

<7> 도 7의 (a), (b)는 제 2 실시예에 관한 반도체장치의 제조방법에 있어서의 티타늄막의 막두께와 열처리 후의 계면저항과의 관계를 나타내는 도면

<8> 도 8의 (a)는 제 1 종래예에 관한 전극구조체의 단면도이고, (b)는 제 2 종래예에 관한 전극구조체의 단면도이며, (c)는 제 1 종래예에 관한 전극구조체에 대해서 750℃ 이상의 열처리를 행하였을 때의 단면도

<9> 도 9의 (a)~(c)는 제 2 종래예에 관한 전극구조체의 형성방법의 각 공정을 나타내는 단면도

<10> 도 10의 (a), (b)는 제 2 종래예에 관한 전극구조체의 형성방법의 문제점을 설명하는 단면도

<11> 도 11은 제 1 종래예 및 제 2 종래예에 관한 전극구조체의 형성방법에 의해 얻어지는 게이트전극에 대한 열처리의 온도와 열처리 후의 계면저항과의 관계를 나타내는 도면

<12> *도면의 주요 부분에 대한 부호의 설명*

<13> A, B : 챔버 10, 20 : 반도체기판

<14> 11, 21 : 게이트절연막 12, 22 : 폴리실리콘막

<15> 13 : 티타늄타깃 14, 24 : 티타늄막

<16> 15A, 15B, 16, 25, 25A : 질화티타늄막

<17> 15a : 제 1 질화티타늄막 15b : 제 2 질화티타늄막

<18> 17 : 텅스텐타깃 18, 28 : 텅스텐막

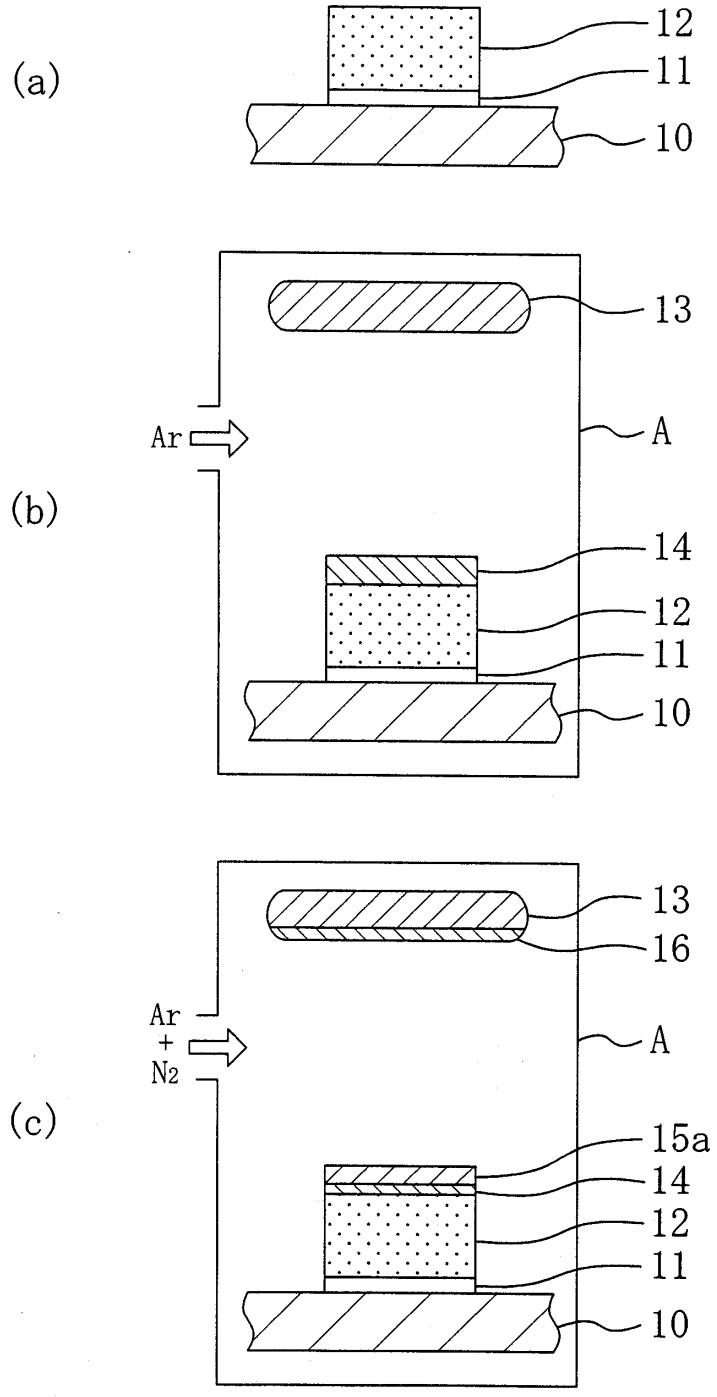
<19> 19, 34 : 반응층 29 : 하드마스크

<20> 30 : 저농도불순물층 31 : 사이드월

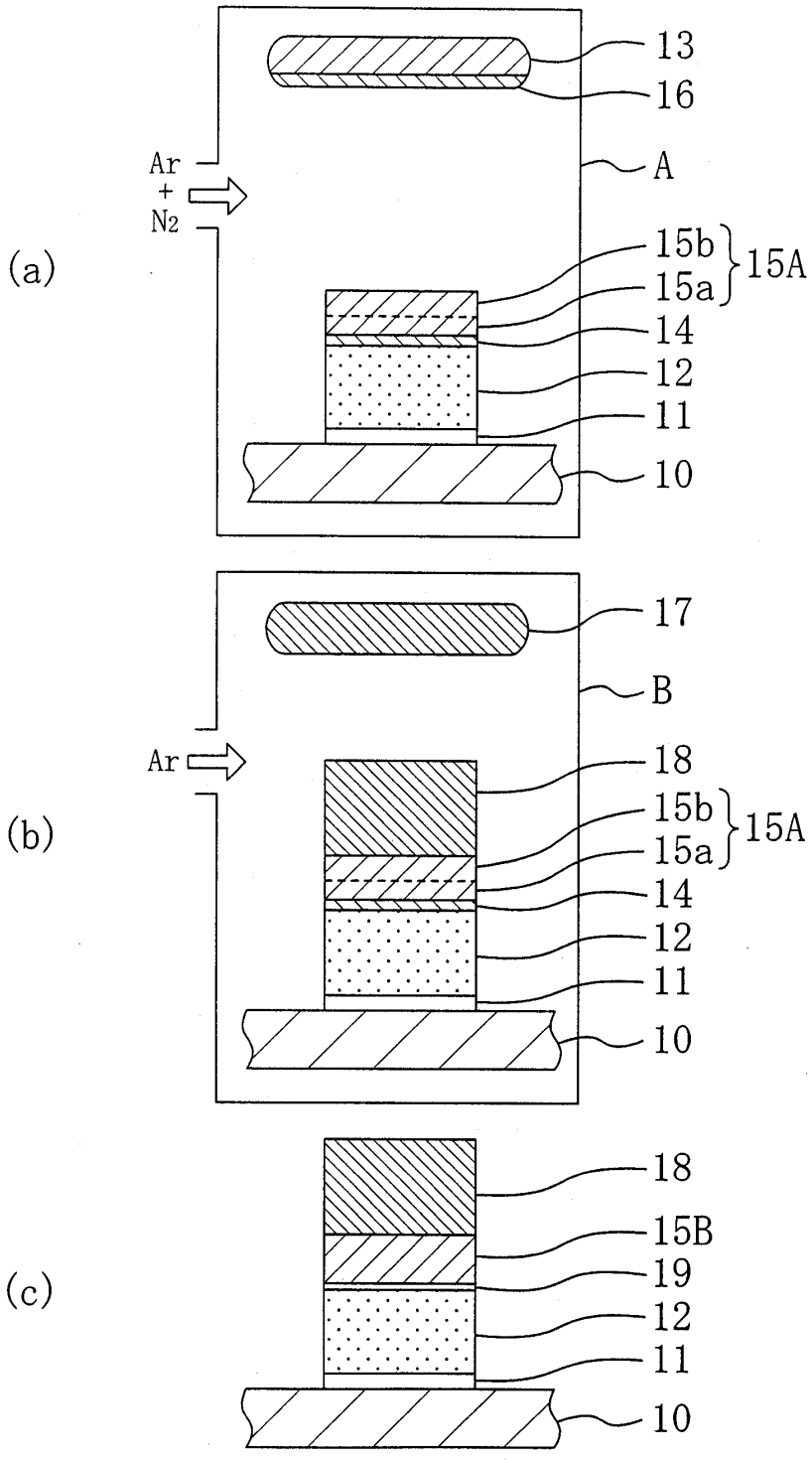
<21> 33 : 고농도불순물층

## 도면

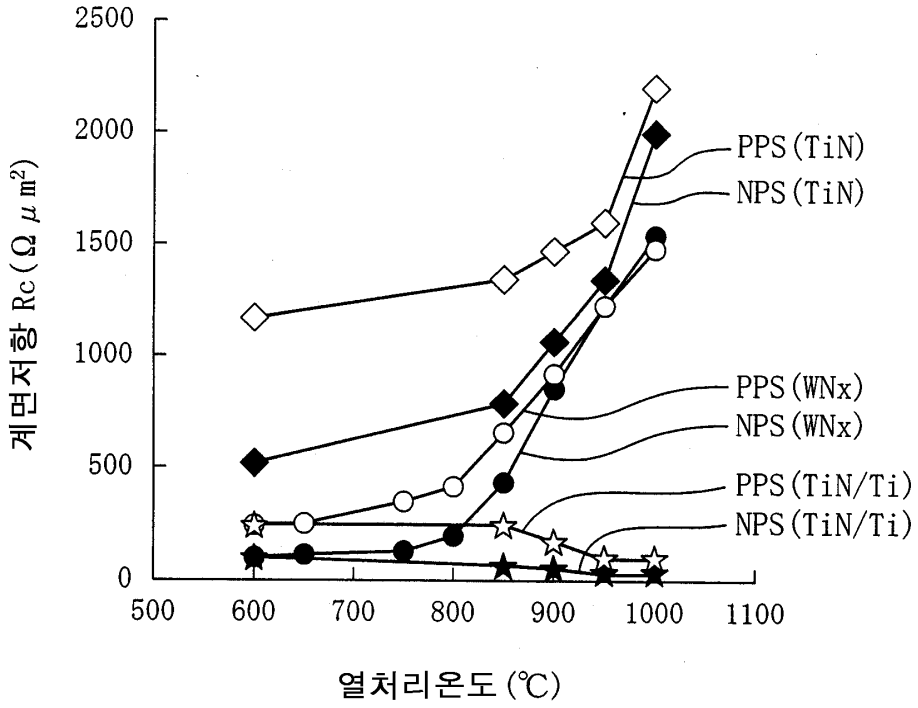
### 도면1



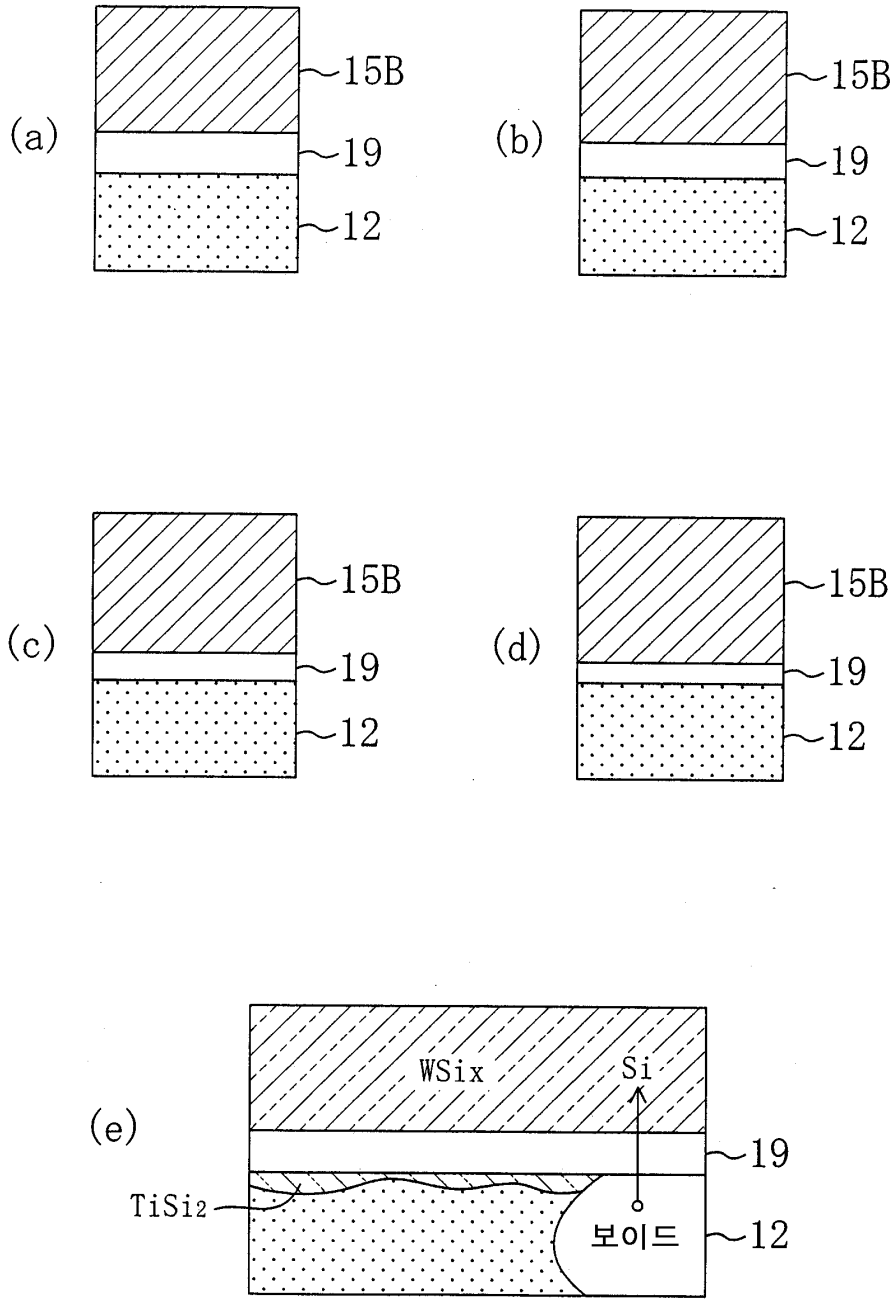
도면2


(a)
Ar
+
N2
13
16
A
15b
15a
15A
14
12
11
10
(b)
Ar
17
B
18
15b
15a
15A
14
12
11
10
(c)
18
15B
19
12
11
10

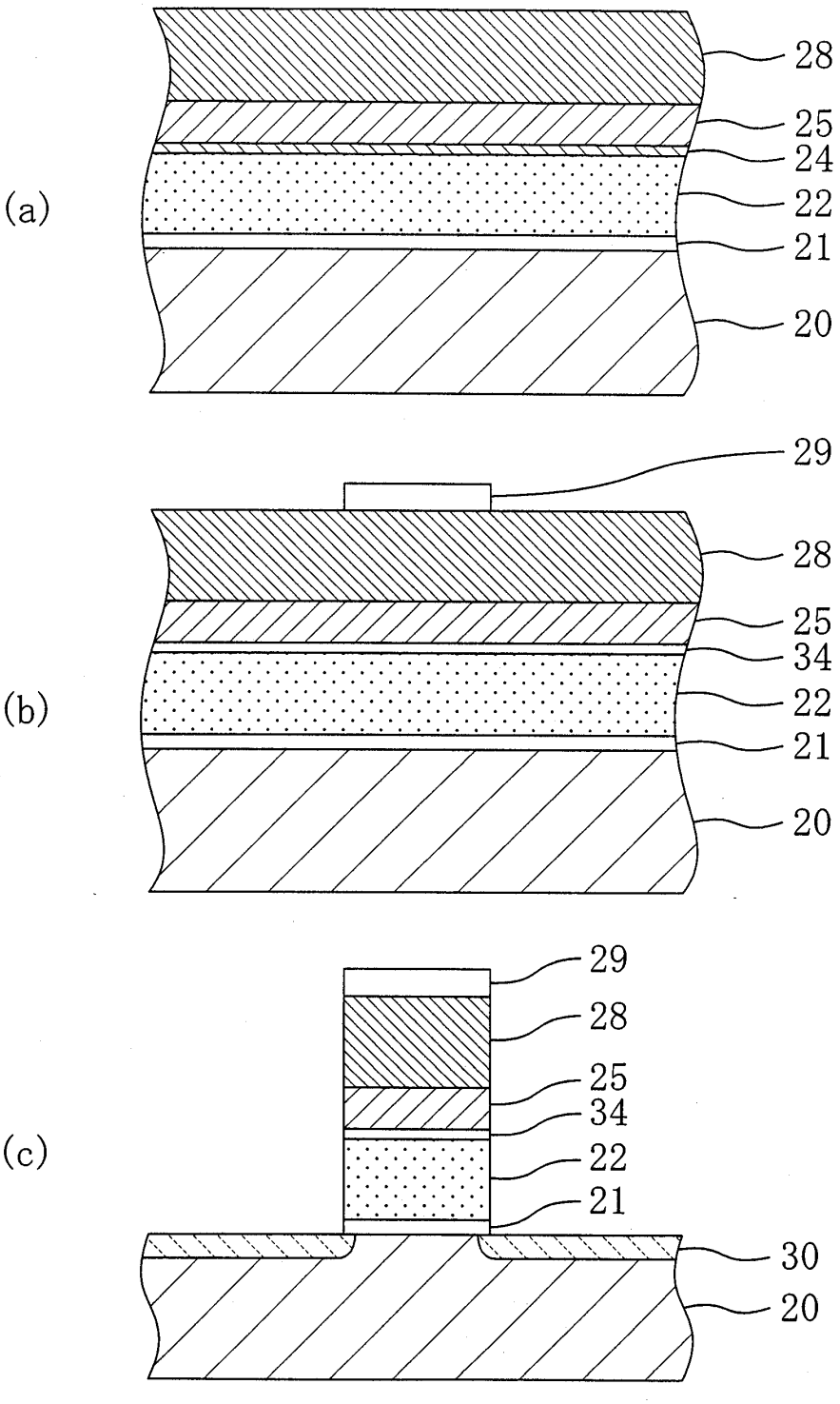
도면3


2500
2000
1500
1000
500
0
500
600
700
800
900
1000
1100
계면저항 Rc (Ω μm²)
열처리온도 (℃)
PPS (TiN)
NPS (TiN)
PPS (WNx)
NPS (WNx)
PPS (TiN/Ti)
NPS (TiN/Ti)

도면4

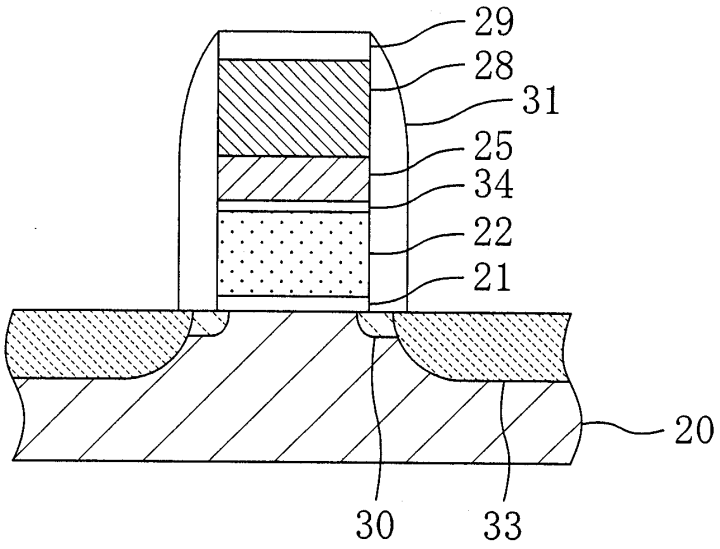

(a)
15B
19
12
(b)
15B
19
12
(c)
15B
19
12
(d)
15B
19
12
(e)
WSix
Si
19
TiSi2
보이드
12

도면5

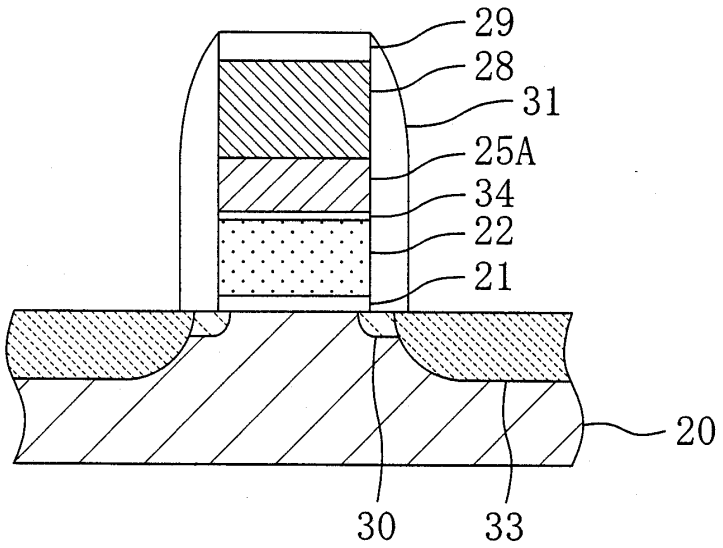


도면6

(a)

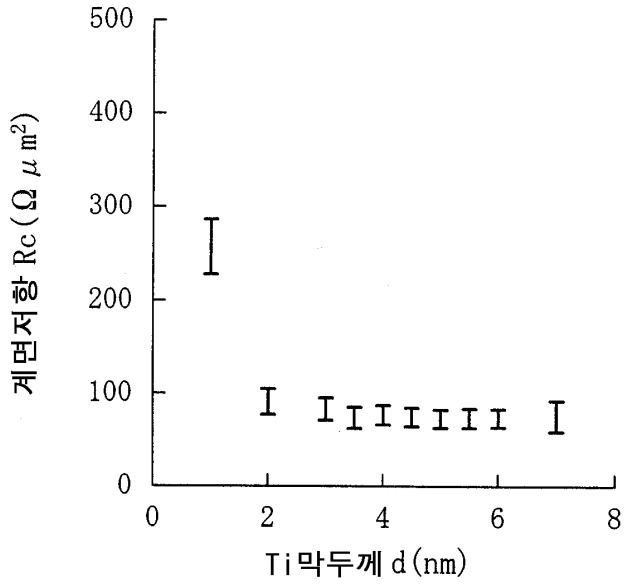



(b)

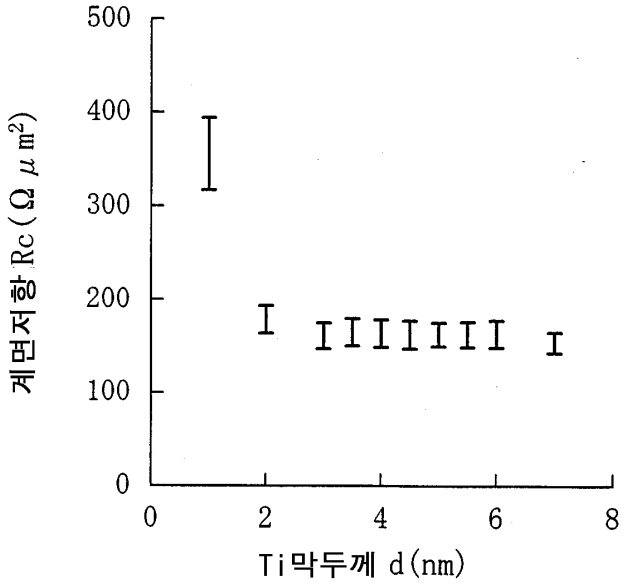


도면7

(a)

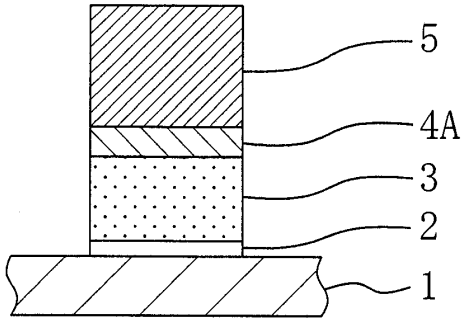

500
400
300
200
100
0
0
2
4
6
8
계면저항 Rc (Ω μm²)
Ti막두께 d (nm)

(b)

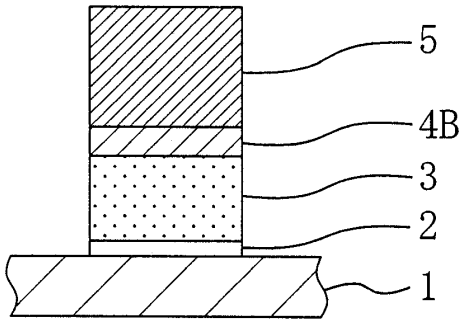

500
400
300
200
100
0
0
2
4
6
8
계면저항 Rc (Ω μm²)
Ti막두께 d (nm)

도면8

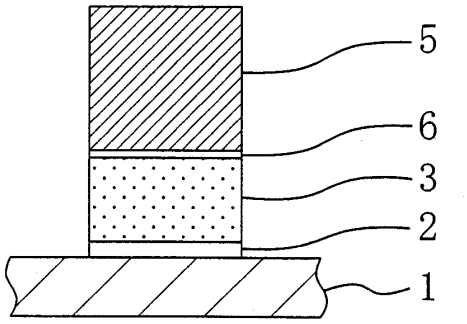
(a)



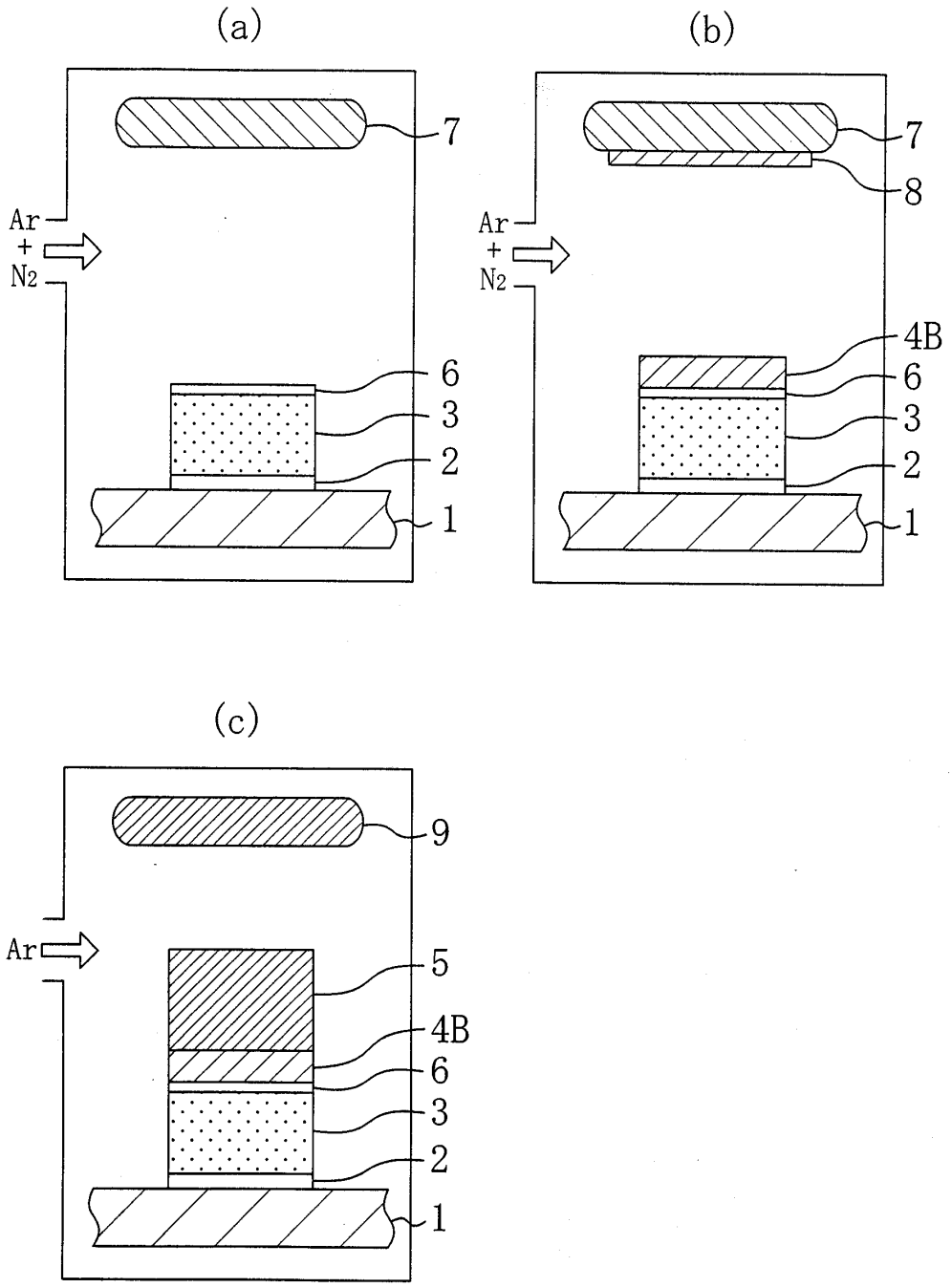

(b)



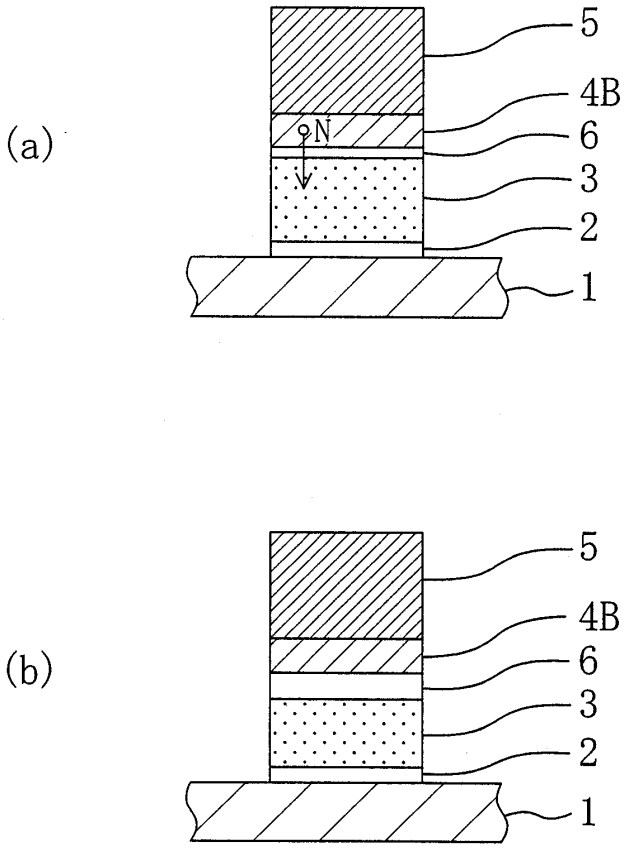

(c)



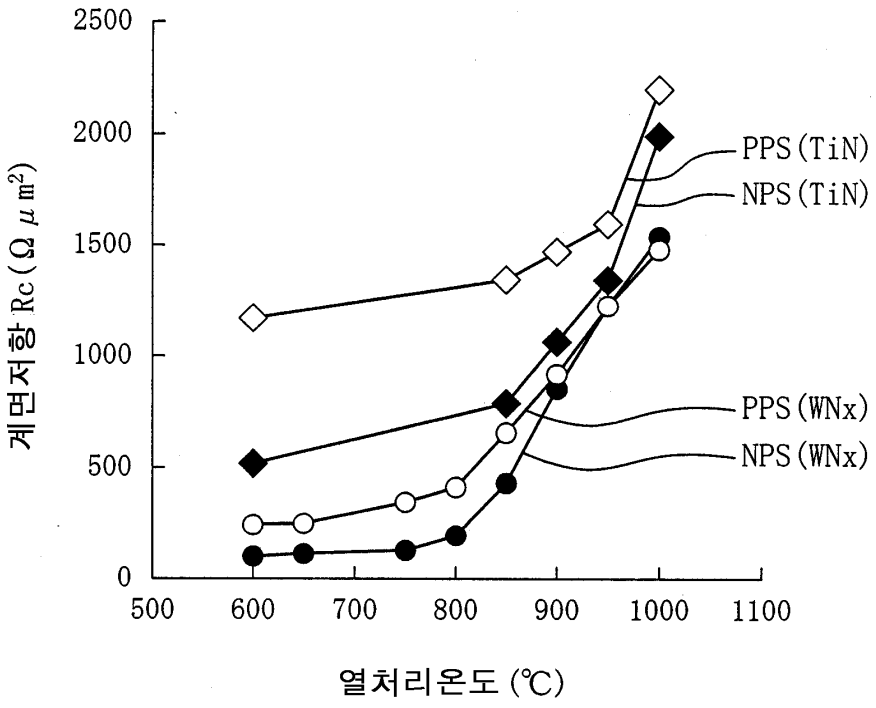
도면9



도면10


(a)
5
4B
N
6
3
2
1
(b)
5
4B
6
3
2
1

도면11


2500
2000
1500
1000
500
0
500
600
700
800
900
1000
1100
계면저항 Rc (Ω μm²)
열처리온도 (℃)
PPS (TiN)
NPS (TiN)
PPS (WNx)
NPS (WNx)