

Cette invention se rapporte à un nouveau circuit de tampon d'entrée ayant une entrée destinée à recevoir des signaux de données à des niveaux de potentiel haut et bas de logique TTL et une sortie destinée à délivrer des signaux de données à des niveaux de potentiel haut et bas de logique CMOS. L'invention procure un premier étage étendu avec un courant de polarisation au niveau haut dynamique augmenté pendant les transitions BAS-HAUT au niveau d'un noeud de sortie intermédiaire en réponse aux transitions HAUT-BAS au niveau de l'entrée de façon à augmenter la vitesse de commutation. L'invention réduit également le courant statique I_{CCT} en limitant le courant de polarisation au niveau haut à travers le premier étage pendant un signal de données de niveau de potentiel haut stabilisé HAUT à l'entrée et un signal de données de niveau de potentiel bas stabilisé correspondant BAS au noeud de sortie intermédiaire. L'étage d'entrée étendu commute des niveaux de tension de signal de données à un premier niveau de tension de seuil TTL plus bas et commute le courant de polarisation au niveau haut d'augmentation à un deuxième niveau de tension de seuil spécifié plus élevé. Dans le premier étage étendu, le courant de polarisation au niveau haut est commandé depuis l'entrée par un réseau de plusieurs transistors de polarisation au niveau haut reliés en parallèle et en série. Les paramètres de circuit de tampon d'entrée à double seuil peuvent être dimensionnés et programmés en fonction de l'application du circuit.

Un circuit de tampon d'entrée de conversion TTL-CMOS de l'état de la technique composé de premier et deuxième étages d'inverseur CMOS est illustré sur la figure 1. Le premier étage d'inverseur P1, N1 est relié entre l'entrée V_{IN} et un noeud de sortie intermédiaire m1. Le deuxième étage d'inverseur P2, N2 est relié entre le noeud intermédiaire m1 et la sortie V_{OUT} . Les étages d'inverseur P1, N1 et P2, N2 sont reliés entre des pistes d'alimentation à potentiel haut

et bas V_{CCQ} et $GNDQ$. La tension de piste d'alimentation à potentiel haut de V_{CCQ} , par exemple de 5 volts, et la tension de piste d'alimentation de potentiel bas $GNDQ$ de par exemple 0 volt, représentent les niveaux de potentiel haut et bas de
5 logique CMOS.

Des signaux de données de niveau de potentiel haut et bas TTL, de manière typique de 2 à 2,4 volts pour les signaux hauts et de 0,4 à 0,8 volts pour les signaux bas sont appliqués à l'entrée V_{IN} . Le rapport des largeurs de canal
10 respectif du transistor PMOS de polarisation au niveau haut P1 et du transistor NMOS de polarisation au niveau bas N1 du premier étage d'inverseur est décalé afin de procurer un niveau de tension de seuil de commutation TTL à l'entrée V_{IN} de typiquement 1,5 volts. Afin d'obtenir cette tension de
15 seuil de commutation TTL, le rapport des largeurs de canal P1/N1 est typiquement de 1/4.

Une transition HAUT-BAS pour un signal de données de niveau de potentiel haut TTL HAUT à l'entrée V_{IN} rend passant le transistor NMOS de polarisation au niveau bas N1 afin
20 d'amener un signal de données de potentiel bas BAS au noeud de sortie intermédiaire m1. Le signal de potentiel haut TTL HAUT n'est cependant pas suffisamment élevé pour bloquer totalement le transistor PMOS de polarisation au niveau haut P1, ce qui amène un courant statique indésirable ou courant de
25 dissipation I_{CCT} à s'écouler à travers P1 et N1 pendant un signal de données de potentiel bas stabilisé BAS au noeud intermédiaire m1. Le transistor P1 est par conséquent dimensionné avec une largeur de canal faible afin de limiter à un niveau spécifié acceptable le courant statique de
30 dissipation de puissance indésirable I_{CCT} .

Des valeurs typiques de largeur de canal de P1/N1 sont, par exemple, de 25 micromètres/100 micromètres pour la même longueur de canal. Bien que cette largeur de canal P1 de faible taille et de rapport décalé limite le courant statique
35 I_{CCT} à un niveau spécifié, il ralentit la transition BAS-HAUT

d'un niveau de potentiel bas à élevé au noeud de sortie intermédiaire m1. Des signaux de données atteignent des niveaux de tension de piste d'alimentation logique CMOS de 0 volt et 5 volts au noeud intermédiaire m1 mais avec une
5 vitesse réduite et avec une dissipation de puissance indésirable.

Le noeud intermédiaire m1 attaque le deuxième étage d'inverseur CMOS P2, N2 qui est choisi de façon à avoir des largeurs de canal dans une plage de rapport standard de par
10 exemple 1/1 à 1/2. Des valeurs d'exemples de largeurs de canal de P2, N2 sont par exemple 150 micromètres/150 micromètres pour la même longueur de canal. Le deuxième étage d'inverseur CMOS P2, N2 avec des largeurs de canal de rapport standard commute à la tension de seuil CMOS de 2,5 volts par exemple et
15 termine la conversion non décalée des signaux de données de niveau de potentiel bas et élevé de logique CMOS à la sortie V_{OUT}. Les signaux de sortie en V_{OUT} sont disponibles pour attaquer d'autres circuits CMOS ou BICMOS.

C'est par conséquent un but de la présente invention
20 que de surmonter la limitation de passage de courant de polarisation au niveau haut d'un transistor de polarisation au niveau haut de premier étage d'inverseur à largeur de canal réduite dans des circuits de tampon d'entrée de conversion TTL-CMOS. Un but de l'invention est de procurer un courant de
25 polarisation au niveau haut dynamique augmenté pendant les transitions BAS-HAUT au noeud de sortie intermédiaire en réponse aux transitions HAUT-BAS à l'entrée de façon à augmenter la vitesse de commutation.

Dans le même temps, un autre but de l'invention est
30 de limiter le courant de polarisation au niveau haut à travers le premier étage d'inverseur pendant des signaux de données à potentiel bas stabilisé BAS au noeud de sortie intermédiaire afin de se conformer aux spécifications de courant statique I_{CC1} réduit.

Afin d'obtenir ces résultats, l'invention prévoit un nouveau circuit de tampon d'entrée avec un premier étage ou étage d'entrée étendu. Le premier étage est construit de façon à procurer des seuils de tension de commutation d'entrée
5 doubles au niveau de l'entrée. Le circuit de polarisation au niveau haut et de polarisation au niveau bas de sortie de premier étage commute à un premier niveau de tension de seuil relativement bas. Un circuit d'augmentation de polarisation au
10 niveau haut commute à un deuxième niveau de tension de seuil relativement plus élevé.

Selon la forme de réalisation d'exemple préférée de l'invention, le circuit de polarisation au niveau haut et de polarisation au niveau bas de sortie de premier étage du premier étage étendu est construit de façon à commuter du
15 courant dynamique au niveau d'un noeud de sortie m1 au premier niveau de tension de seuil relativement bas pour des transitions de signal de données entre des niveaux de potentiel haut et bas au noeud de sortie. Le circuit d'augmentation de polarisation au niveau haut est construit de
20 façon à commuter le courant statique I_{CCT} à travers le noeud de sortie intermédiaire m1 au deuxième niveau de tension de seuil relativement plus élevé afin de réduire le courant statique I_{CCT} pendant un signal de données de niveau de potentiel bas statique au noeud de sortie m1. Le premier
25 niveau de tension de seuil relativement bas est choisi de façon à être sensiblement à un seuil de commutation d'entrée TTL alors que le deuxième niveau de tension de seuil relativement plus élevé est choisi de façon à être sensiblement à un seuil de commutation d'entrée CMOS.

30 Au sens large, l'invention procure ainsi un nouveau procédé d'adaptation de signaux de données d'entrée à l'entrée d'un circuit de tampon d'entrée ayant un circuit de polarisation au niveau haut et de polarisation au niveau bas de sortie de premier étage relié à un noeud de sortie. Les
35 étapes du procédé comprennent la commutation du circuit de

polarisation au niveau haut et de polarisation au niveau bas de sortie du premier étage à un premier niveau de tension de seuil relativement bas, et la commutation d'un circuit d'augmentation de polarisation au niveau haut à un deuxième
5 niveau de tension de seuil relativement plus élevé.

Le procédé préféré prévoit une commutation de courant dynamique au noeud de sortie au premier niveau de tension de seuil pour des transitions de signal de données au noeud de sortie et une commutation de courant statique au
10 noeud de sortie au deuxième niveau de tension de seuil afin de réduire le courant statique I_{CCT} . Le circuit de polarisation au niveau haut et de polarisation au niveau bas de sortie de premier étage peut être réalisé de façon à commuter à un premier niveau de tension de seuil de commutation d'entrée TTL
15 et le circuit d'augmentation de polarisation au niveau haut peut être construit de façon à commuter à un deuxième niveau de tension de seuil de commutation d'entrée CMOS.

Dans l'exemple préféré, l'invention prévoit un circuit de tampon d'entrée de conversion TTL-CMOS avec un
20 circuit de polarisation au niveau haut étendu de premier étage P1 comprenant un premier transistor PMOS de polarisation au niveau haut de limitation de courant statique à largeur de canal relativement faible et un deuxième transistor de polarisation au niveau haut d'augmentation du courant
25 dynamique conduisant un courant relativement important. Les premier et deuxième transistors de polarisation au niveau haut ont des passages principaux de courant reliés en parallèle à une piste d'alimentation à potentiel haut. Un troisième transistor PMOS de polarisation au niveau haut d'addition de
30 courant de polarisation au niveau haut est relié au noeud de sortie intermédiaire en série avec les premier et deuxième transistors de polarisation au niveau haut reliés en parallèle. Les premier, deuxième et troisième transistors de polarisation au niveau haut sont reliés au circuit de tampon
35 d'entrée afin de fonctionner sensiblement en phase.

Selon l'invention, les premier et troisième transistors de polarisation au niveau haut ont des noeuds de grille de commande reliés à l'entrée et forment une partie du circuit de polarisation au niveau haut et de polarisation au niveau bas de sortie de premier étage. L'invention procure également un circuit de commande de réduction de courant statique et d'augmentation de courant dynamique relié entre l'entrée et un noeud de grille de commande du deuxième transistor de polarisation au niveau haut d'augmentation de courant. Le circuit de commande est construit de façon à rendre passant le deuxième transistor de polarisation au niveau haut afin de délivrer un courant de source augmenté pendant une transition BAS-HAUT au noeud de sortie intermédiaire m1 de façon à augmenter la vitesse de commutation. Le circuit de commande bloque également le deuxième transistor de polarisation au niveau haut pendant un signal de données de niveau de potentiel bas statique BAS au noeud de sortie intermédiaire m1 afin de réduire le courant statique I_{CCT} .

Dans l'exemple préféré, le circuit de commande de réduction de courant statique et d'augmentation de courant dynamique est procuré par des premier et deuxième étages CMOS d'inversion. Les étages d'inversion de circuit de commande sont composés de transistors PMOS et NMOS complémentaires à faible largeur de canal pour un fonctionnement rapide du deuxième transistor de polarisation au niveau haut sensiblement en phase avec les premier et deuxième transistors de polarisation au niveau haut. Les largeurs de canal des transistors PMOS et NMOS complémentaires des étages d'inversion de circuit de commande sont réalisées avec des rapports de largeur de canal PMOS et NMOS choisis afin de commuter le deuxième transistor de polarisation au niveau haut d'augmentation de courant de façon à commander un courant statique à un deuxième niveau de tension de seuil relativement plus élevé à l'entrée.

Le circuit de polarisation au niveau haut et de polarisation au niveau bas de sortie d'étage d'entrée comprend un circuit de polarisation au niveau bas qui est procuré par un transistor de polarisation au niveau bas à largeur de canal
5 relativement importante. Le transistor de polarisation au niveau bas à largeur de canal importante est relié à l'entrée avec les premier et troisième transistors de polarisation au niveau haut afin de commuter du courant dynamique de façon à effectuer une transition du niveau de potentiel de signal de
10 données au noeud de sortie intermédiaire m1 à un premier niveau de tension de seuil relativement faible.

Une caractéristique du premier étage à tension de seuil double ou étage d'entrée du circuit de tampon d'entrée de l'invention est que le courant de polarisation au niveau
15 haut d'augmentation à travers le deuxième transistor de polarisation au niveau haut est commandé séparément de la commutation des niveaux de tension de signal de données. La largeur de canal ou la capacité de conduction de courant du deuxième transistor de polarisation au niveau haut
20 d'augmentation de courant dynamique est sensiblement plus grande que la largeur de canal du premier transistor de polarisation au niveau haut de limitation de courant statique. Lors du blocage total du deuxième transistor de polarisation au niveau haut, le courant statique I_{CCT} à travers le premier
25 transistor de polarisation au niveau haut est par conséquent limité à un niveau spécifié acceptable. La largeur de canal du troisième transistor de polarisation au niveau haut est plus grande que celle du premier ou bien du deuxième transistor de polarisation au niveau haut afin de combiner le courant de
30 polarisation au niveau haut limité et augmenté pendant des transitions BAS-HAUT au noeud de sortie intermédiaire m1.

Selon l'invention, les premier, deuxième et troisième transistors de polarisation au niveau haut du premier étage d'inversion de circuit de tampon d'entrée sont
35 choisis de façon à procurer une largeur de canal effective ou

une capacité de transport de courant de circuit de polarisation au niveau haut équivalent P1 sensiblement inférieure à la largeur de canal ou la capacité de transport de courant du circuit de transistor de polarisation au niveau

5 bas de premier étage N1. Ce rapport décalé de la largeur de canal de polarisation au niveau haut effective sur la largeur de canal de polarisation au niveau bas, de l'ordre par exemple de 1/4, procure le premier niveau de tension de seuil de

10 commutation TTL souhaité à l'entrée pour la commutation de courant dynamique de façon à effectuer une transition des niveaux de tension de signal de données à 1,5 volts par exemple. Dans le même temps, les rapports de largeur de canal des transistors complémentaires PMOS et NMOS des étages d'inverseur de circuit de commande sont choisis de façon à

15 commuter le courant de polarisation au niveau haut d'augmentation dynamique à travers le deuxième transistor de polarisation au niveau haut à un niveau de tension de seuil de commutation spécifié plus élevé dans la plage par exemple de 2,5 à 3,4 volts de façon à commander le courant statique.

20 Un avantage de cet étage d'inversion d'entrée selon l'invention est que le deuxième transistor de polarisation au niveau haut d'augmentation de courant procure un courant de polarisation au niveau haut sensiblement augmenté pour les transitions BAS-HAUT au noeud de sortie intermédiaire en

25 réponse aux transitions HAUT-BAS à l'entrée avec une vitesse de commutation accrue. Dans le même temps, le premier transistor de polarisation au niveau haut de limitation de courant statique limite le courant statique pendant des signaux de niveau de potentiel bas stabilisé BAS au noeud de

30 sortie intermédiaire à une spécification de circuit acceptable.

Une autre caractéristique de l'invention est que le rapport de largeur de canal effective pour le circuit de polarisation au niveau haut d'étage d'entrée P1 par rapport au

35 circuit de polarisation au niveau bas N1 fonctionne

approximativement à une valeur de rapport décalée standard de 1/4 pendant une commutation dynamique d'une transition BAS-HAUT au noeud de sortie intermédiaire en réponse à une transition HAUT-BAS à l'entrée. En outre, les valeurs absolues des largeurs de canal effectives peuvent être sensiblement plus grandes, par exemple quatre fois plus grandes que les dimensions de canal absolues d'un étage d'inverseur d'entrée conventionnel, pour une réduction substantielle du temps de propagation et une augmentation substantielle de la vitesse de commutation. Toutefois, pendant un signal de données de niveau de potentiel bas stabilisé BAS au noeud de sortie intermédiaire, le rapport des largeurs de canal effectives du circuit de polarisation au niveau haut de l'étage d'entrée sur le circuit de polarisation au niveau bas fonctionne dans une plage de rapport sensiblement plus faible de par exemple 1/8 à 1/16 afin de supprimer le courant statique I_{CCT} de façon à répondre aux spécifications de circuit requises.

Un avantage de l'invention est que les dimensions de canal respectives et les rapports de largeur de canal des transistors CMOS d'étage d'entrée de circuit de tampon d'entrée peuvent être dimensionnés et choisis afin de programmer une large plage de paramètres de fonctionnement de circuit en fonction de l'application du circuit. Par exemple, les premier et deuxième niveaux de tension de seuil double peuvent être programmés en fonction des rapports de largeur de canal choisis pour des paires complémentaires de transistors PMOS et NMOS et les rapports de canal effectifs ou équivalents des circuits de polarisation au niveau haut et de polarisation au niveau bas d'étage d'entrée P1, N1. Par ailleurs, les tailles en valeur absolue des dimensions de canal peuvent être choisies afin d'obtenir la commande de courant de polarisation au niveau haut et au niveau bas, le temps de propagation et la vitesse de commutation souhaités.

Dans une variante de réalisation de l'invention, la fonction du troisième transistor de polarisation au niveau

haut d'addition de courant de polarisation au niveau haut est divisée entre des troisième et quatrième transistors PMOS de polarisation au niveau haut d'addition de courant. Le troisième transistor de polarisation au niveau haut est relié
5 en série au deuxième transistor de polarisation au niveau haut d'augmentation de courant. Le quatrième transistor de polarisation au niveau haut est relié en série au premier transistor de polarisation au niveau haut de limitation de courant statique. Les troisième et quatrième transistors de
10 polarisation au niveau haut d'addition de courant de polarisation au niveau haut sont reliés à des passages principaux de courant en parallèle au noeud de sortie m1 du premier étage étendu. Un avantage de cet agencement de circuit est qu'il réduit la capacitance du noeud entre le premier
15 transistor de polarisation au niveau haut et le quatrième transistor de polarisation au niveau haut d'addition pour une vitesse de commutation dynamique plus élevée.

L'invention est applicable à la fois à des circuits CMOS et à des circuits combinés bipolaires et CMOS (BICMOS).
20 Des variantes de réalisation sont décrites à la fois pour des circuits CMOS et BICMOS.

D'autres buts, caractéristiques et avantages de l'invention apparaîtront à la lecture de la description suivante et des dessins annexés.

25 La figure 1 est un schéma d'un circuit de tampon d'entrée de conversion TTL-CMOS de l'état de la technique.

La figure 2 est un schéma détaillé d'un circuit de tampon d'entrée de conversion TTL-CMOS selon l'invention.

30 La figure 2A est un schéma simplifié du circuit de tampon d'entrée de conversion TTL-CMOS de la figure 2.

La figure 3 est un graphique comparant le temps de propagation pour les circuits des figures 1 et 2.

35 La figure 4 est un graphique comparant les niveaux de tension de seuil de commutation d'entrée pour des valeurs

de courant statique I_{CCT} pour les circuits des figures 1 et 2, incluant la comparaison avec le circuit de la figure 1 pour des valeurs de largeur de canal différentes pour le transistor PMOS de circuit de polarisation au niveau haut.

5 La figure 5 est un schéma partiel d'une modification de circuit BICMOS du circuit de tampon d'entrée des figures 2 et 2A en remplaçant le deuxième transistor PMOS de polarisation au niveau haut P1E d'augmentation de courant par un transistor bipolaire NPN P1E.

10 La figure 6 est un schéma partiel d'une autre modification de circuit BICMOS du circuit de tampon d'entrée des figures 2 et 2A en remplaçant le deuxième transistor PMOS de polarisation au niveau haut d'augmentation de courant dynamique P1E par un transistor bipolaire PNP P1E.

15 La figure 7 est un schéma partiel représentant une variante de modification de circuit du circuit de tampon d'entrée des figures 2 et 2A dans laquelle la fonction du troisième transistor de polarisation au niveau haut d'addition de courant de polarisation au niveau haut P1L est divisée en
20 troisième et quatrième transistors de polarisation au niveau haut d'addition de courant de polarisation au niveau haut P1LA et P1LB reliés en parallèles.

Un circuit de tampon d'entrée de conversion TTL-CMOS selon l'invention est illustré sur la figure 2, avec un schéma
25 de circuit équivalent simplifié représenté sur la figure 2A. Le circuit de transistor de polarisation au niveau haut P1 pour l'étage d'inverseur d'entrée P1, N1 a été remplacé par un réseau complexe de plusieurs transistors de polarisation au niveau haut PMOS P1R, P1E, P1L reliés en parallèle et en
30 série. Un premier transistor de polarisation au niveau haut de limitation de courant statique P1R et un deuxième transistor de polarisation au niveau haut d'augmentation de courant P1E sont reliés avec leurs passages principaux de courant en parallèle à la piste d'alimentation de potentiel haut V_{CCQ} . Un
35 troisième transistor de polarisation au niveau haut d'addition

de courant de polarisation au niveau haut P1L est relié au noeud de sortie intermédiaire m1 à partir du premier étage d'inverseur avec son passage principal de courant en série avec les transistors reliés en parallèle P1R, P1E.

5 Les noeuds de grille de commande du premier transistor de polarisation au niveau haut de limitation de courant statique P1R et du troisième transistor de polarisation au niveau haut de combinaison de courant de source P1L sont reliés directement à l'entrée de niveau de tension de signal de données TTL V_{IN} . Les transistors de polarisation au niveau haut P1R et P1L forment avec le transistor de polarisation au niveau bas N1L le circuit de polarisation au niveau haut et de polarisation au niveau bas de sortie de premier étage.

15 Le noeud de grille de commande du troisième transistor de polarisation au niveau haut d'augmentation de courant de polarisation au niveau haut P1E est relié à l'entrée V_{IN} par l'intermédiaire d'un circuit de commande I3, I4 décrit par la suite. Le circuit de commande rend passant le deuxième transistor de polarisation au niveau haut P1E pendant une transition BAS-HAUT au noeud de sortie intermédiaire m1 et maintient le transistor P1E passant pendant un signal de données haut stabilisé HAUT au noeud m1. Le transistor de polarisation au niveau haut P1E et les étages d'inverseur de circuit de commande I3, I4 forment le circuit d'augmentation de polarisation au niveau haut de première étage.

Le premier transistor de polarisation au niveau haut P1R a une largeur de canal relativement faible comparable au transistor de polarisation au niveau haut P1 du circuit de l'état de la technique de la figure 1, par exemple 25 micromètres, et génère uniquement un courant de source limité I_{GR} afin de limiter le courant statique consécutif I_{CCT} . Du fait que le noeud de grille de commande est relié directement à l'entrée V_{IN} , il n'est pas polarisé au niveau haut à la tension de piste d'alimentation de potentiel haut CMOS V_{CCQ}

lorsqu'un signal de données haut de logique TTL est appliqué à l'entrée V_{IN} . Le blocage partiel a pour résultat un courant statique I_{CCT} à travers le premier transistor de polarisation au niveau haut P1R.

5 Le transistor de polarisation au niveau haut d'augmentation de courant en parallèle P1E est pourvu d'une largeur de canal relativement importante, par exemple 175 micromètres, afin de générer un courant de source d'augmentation relativement important I_{SE} de façon à augmenter
10 le courant de source. Avec un signal de niveau de potentiel bas BAS à l'entrée V_{IN} , P1E est près à délivrer du courant. En réponse à une transition HAUT-BAS à l'entrée V_{IN} , P1E génère le courant de source augmenté important et accélère la transition BAS-HAUT au noeud de sortie intermédiaire m1. Le
15 troisième transistor de polarisation au niveau haut de courant de source P1L relié en série est pourvu d'une largeur de canal suffisamment importante, par exemple 200 micromètres, afin de recevoir et combiner le courant de source limité I_{SE} et le courant de source d'augmentation I_{SE} de façon à délivrer un
20 courant de polarisation au niveau haut augmenté important I_{SL} au noeud de sortie intermédiaire m1.

 Le circuit de polarisation au niveau bas N1 est procuré par un transistor de polarisation au niveau bas NMOS de largeur de canal relativement importante N1L. Les
25 transistors des circuits de polarisation au niveau haut et de polarisation au niveau bas P1, N1 sont dimensionnés l'un par rapport à l'autre comme suit. La largeur de canal équivalente du circuit de polarisation au niveau haut du réseau de transistor de polarisation au niveau haut P1R, P1E, P1L
30 lorsque tous les transistors de polarisation au niveau haut sont conducteurs est choisie de façon à procurer un rapport d'étage d'entrée de la largeur de canal de circuit de polarisation au niveau haut équivalente sur la largeur de canal du transistor de polarisation au niveau bas N1L de 1/4
35 par exemple. Ceci établit le niveau de tension de seuil de

commutation TTL souhaité à l'entrée V_{IN} d'approximativement 1,5 volts. Dans l'exemple résumé dans le tableau 1, la largeur de canal de circuit de polarisation au niveau haut équivalente du réseau de polarisation au niveau haut P1R, P1E, P1L est de
 5 100 micromètres alors que la largeur de canal du transistor de polarisation au niveau bas N1L est de 400 micromètres.

Il est évident que le circuit des figures 2 et 2A permet des circuits de polarisation au niveau haut et de polarisation au niveau bas P1, N1 de largeur de canal
 10 sensiblement plus importante que le circuit de l'état de la technique de la figure 1. Dans l'exemple du tableau 1, la capacité de commande de courant de l'étage inverseur d'entrée est quatre fois celle du circuit de la figure 1 pour un capacité de charge de sortie plus importante et une vitesse de
 15 commutation plus rapide.

Pendant un signal de données de potentiel bas stabilisé BAS au noeud de sortie intermédiaire m1 en réponse à un signal de données de potentiel haut TTL à l'entrée V_{IN} , le deuxième transistor de polarisation au niveau haut
 20 d'augmentation de courant dynamique P1E est totalement bloqué comme cela est décrit ci-après, de sorte qu'un courant statique indésirable est limité au transistor de polarisation au niveau haut de largeur de canal de 25 micromètres P1R. Un courant statique indésirable est par conséquent limité aux
 25 mêmes spécifications que le circuit de la figure 1. Le rapport de largeur du canal effective des circuits de polarisation au niveau haut et de polarisation au niveau bas P1, N1 pour le circuit de la figure 2 est par conséquent de 1/16 dans des conditions de courant statique. Le fonctionnement du circuit
 30 de commande I3, I4 afin d'obtenir ce résultat est décrit en se référant à l'exemple du tableau 1.

Tableau 1

Largeurs de canal de transistor en micromètres	
P1R	25 micromètres
35 P1E	175 micromètres

	P1L	200 micromètres
	N1L	400 micromètres
	P3	20 micromètres
	N3	6 micromètres
5	P4	6 à 12 micromètres
	N4	6 à 12 micromètres
	P2	150 micromètres
	N2	150 micromètres

10 Le circuit de commande au noeud de grille du transistor PMOS P1E se compose de deux étages inverseurs I3, I4. L'étage inverseur I3 comporte une paire de transistors CMOS complémentaires P3, N3 et l'étage d'inverseur I4 comporte des transistors CMOS complémentaires P4, N4. Les tailles de

15 largeur de canal absolues des transistors CMOS d'étage d'inverseur P3, N3, P4, N4 sont faibles pour une commutation rapide de sorte que le deuxième transistor de polarisation au niveau haut d'augmentation P1E fonctionne sensiblement en phase avec les premier et troisième transistors de

20 polarisation au niveau haut P1R, P1L qui sont reliés directement à l'entrée V_{IN} . Toutefois, le rapport des largeurs de canal respectives des transistors CMOS complémentaires du circuit de commande P3/N3 est choisi de façon à procurer un deuxième niveau de tension de seuil de commutation plus élevé

25 pour la commutation à l'état passant et à l'état bloqué du deuxième transistor de polarisation au niveau haut P1E et du courant de polarisation au niveau haut d'augmentation dynamique I_{SE} . Dans l'exemple du tableau 1, le rapport de largeur de canal pour P3/N3 est décalé afin d'établir un

30 deuxième niveau de tension de seuil à l'entrée dans la plage de 2,5 à 3,4 volts par exemple. Les niveaux de tension de signal de données au noeud d'entrée V_{IN} et au noeud de sortie V_{OUT} sont ainsi commutés à la première tension de seuil inférieure TTL d'approximativement 1,5 volts alors que le

35 courant d'augmentation de polarisation au niveau haut à

travers le deuxième transistor de polarisation au niveau haut P1E est commuté à la deuxième tension de seuil supérieure CMOS d'approximativement 2,5 à 3,4 volts.

5 Avec une transition de signal de données bas vers haut BAS-HAUT à l'entrée V_{IN} , le transistor NMOS de polarisation au niveau bas de grande taille N1L devient passant et lance la transition du signal de données haut vers bas HAUT-BAS au noeud de sortie intermédiaire m1 et la transition de signal de données bas vers haut finale BAS-HAUT
10 au niveau de la sortie V_{OUT} . La commutation se produit au premier niveau de tension de seuil de commutation TTL relativement bas d'approximativement 1,5 volts comme cela est illustré sur le graphique de la figure 4. Lorsque le transistor de polarisation au niveau bas N1L devient passant,
15 il y a un saut de courant statique I_{CCT} jusqu'à une crête maximum du fait que le réseau de transistors de polarisation au niveau haut P1R, P1E, P1L du circuit de polarisation au niveau haut P1 est toujours passant depuis la condition de signal de données bas précédent BAS à l'entrée V_{IN} . Lorsque le
20 niveau de tension à l'entrée augmente, les premier et troisième transistors de polarisation au niveau haut P1R, P1L ayant des noeuds de grille reliés directement à l'entrée V_{IN} commencent à devenir bloqués en réduisant le courant de dissipation I_{CCT} comme cela est représenté sur le graphique de
25 la figure 4.

Lorsque le niveau de tension de signal de données à l'entrée V_{IN} augmente jusqu'à un deuxième niveau de tension de seuil de commutation CMOS relativement plus élevé, les étages d'inverseurs de circuit de commande I3, I4 bloquent le
30 deuxième transistor de polarisation au niveau haut d'augmentation de courant P1E. Le transistor PMOS P4 d'étage d'inverseur I4 polarise au niveau haut le noeud de grille du transistor de polarisation au niveau haut d'augmentation de courant dynamique P1E à la tension de niveau de potentiel haut
35 CMOS de la piste d'alimentation de potentiel haut V_{CCQ} de

sorte qu'il est totalement bloqué. Aucun courant statique ne passe à travers le transistor P1E. Il y a une chute finale du courant statique I_{CCT} comme cela est représenté sur le graphique de la figure 4 jusqu'au niveau minimum acceptable de courant statique passant à travers le premier transistor de polarisation au niveau haut P1R. La dimension de largeur de canal du transistor de polarisation au niveau haut de limitation de courant statique P1R peut par conséquent être choisie de façon à répondre à la spécification du circuit.

5
10 Le graphique de la figure 4 permet une comparaison du courant de dissipation I_{CCT} du nouveau circuit de la figure 2 avec le circuit de l'état de la technique de la figure 1. A des fins de mesure et d'essai d' I_{CCT} standardisé, un signal de niveau de potentiel haut HAUT de 3,4 volts est appliqué à
15 l'entrée V_{IN} pour la mesure d' I_{CCT} représentée sur le graphique de la figure 4. Les résultats pour le circuit de la figure 1 sont représentés avec deux valeurs de dimension de largeur de canal différentes pour le transistor de polarisation au niveau haut d'étage d'entrée P1. Il en ressort
20 que le circuit de la figure 2 combine l'avantage du courant de commutation dynamique important permis par un circuit de polarisation au niveau haut de dimension de largeur de canal relativement importante P1 (100 micromètres) avec les avantages d'un courant statique limité comparable à un circuit
25 de polarisation de dimension de largeur de canal faible P1 (25 micromètres). Une composante faible additionnelle I_{PRE} de I_{CCT} qui passe à travers l'étage inverseur I3 est également représentée sur le graphique de la figure 4.

30 Une comparaison des temps de propagation pour les circuits respectifs des figures 1 et 2 est représentée sur le graphique de la figure 3. Le circuit de la figure 2 commence et termine les transitions de commutation de signal de données à des intervalles de temps réduits avec une augmentation de la vitesse de commutation d'approximativement 10%. Ceci est
35 obtenu avec la commande de courant dynamique augmentée

équivalente à un rapport de dimension de canal du circuit de polarisation du niveau haut P1 sur le circuit de polarisation au niveau bas N1 d'approximativement 100/400, quatre fois supérieur au circuit de l'état de la technique de la figure 1.

5 Le courant statique I_{CCT} est limité là encore au même niveau que le transistor de polarisation au niveau haut de dimension de canal faible P1 de la figure 1.

Les valeurs absolues des dimensions de canal, et les rapports de largeur de canal des paires de transistors CMOS
10 peuvent être dimensionnés et programmés afin d'obtenir les performances de courant dynamique et de courant statique exigées pour une application de circuit particulière. Un exemple de circuit de tampon d'entrée ayant un étage d'entrée
15 avec une commande de courant dynamique encore plus grande avec le même courant statique limité I_{CCT} est exposé dans le tableau 2.

Tableau 2

Valeurs des largeurs de canal en micromètres

	P1R	25 micromètres
20	P1E	375 micromètres
	P1L	400 micromètres
	N1L	800 micromètres

Il est à noter que, dans le circuit des figures 2 et
25 2A, les circuits de polarisation au niveau haut et de polarisation au niveau bas de premier étage P1, N1, et le deuxième étage P2, N2, sont reliés à des pistes d'alimentation de potentiel haut et bas séparées V_{CCQ} , V_{CCP} , et $GNDQ$, $GNDP$. Ces pistes d'alimentation séparées sont optionnelles et
30 procurent une isolation au bruit entre les étages d'entrée et de sortie. Les pistes d'alimentation peuvent être totalement séparées. En variante, une séparation relative des pistes d'alimentation "calmes" (V_{CCQ} , $GNDQ$) et "bruyantes" (V_{CCP} , $GNDP$) peut être prévue en utilisant par exemple des cadres

divisés comme cela est décrit dans le brevet US numéro 5.065.224 délivré le 12 novembre 1991.

Le circuit de tampon d'entrée CMOS des figures 2 et 2A peut être modifié pour des applications de circuit BICMOS
5 incorporant à la fois des transistors CMOS et bipolaires. Dans l'exemple de la figure 5, le deuxième transistor de polarisation au niveau haut d'augmentation de courant P1E est remplacé par un transistor bipolaire NPN P1E (NPN). L'utilisation d'un transistor bipolaire NPN P1E (NPN) permet
10 l'élimination de l'un des étages d'inverseur I4 du circuit de commande I3, I4 comme cela est représenté sur la figure 5. Tous les autres éléments du circuit de tampon d'entrée de la figure 2A restent les mêmes. Du fait que le transistor bipolaire NPN P1E (NPN) est bloqué en réponse à un signal de
15 données de niveau de potentiel bas au noeud de base, il fonctionne en phase avec les premier et troisième transistors de polarisation au niveau haut PMOS P1R, P1L avec seulement un unique étage d'inverseur de circuit de commande I3.

Dans l'exemple de modification du circuit BICMOS de
20 la figure 6, le deuxième transistor de polarisation au niveau haut d'augmentation de courant PMOS P1E est remplacé par un transistor bipolaire PNP P1E (PNP). Le transistor bipolaire PNP est analogue sur le plan de la logique de fonctionnement à un transistor PMOS et devient passant en réponse à un signal
25 de données de niveau de potentiel bas au noeud de base. Les deux étages d'inverseur du circuit de commande I3, I4 sont par conséquent conservés pour le fonctionnement du transistor bipolaire PNP P1E (PNP) en phase avec les premier et troisième transistors de polarisation au niveau haut PMOS P1R, P1L. Les
30 parties restantes du circuit de la figure 6 sont les mêmes que le circuit de tampon d'entrée de la figure 2A. Une autre modification de circuit BICMOS du circuit de tampon d'entrée est celle dans laquelle les transistors CMOS de deuxième étage ou étage de sortie P2, N2 peuvent être remplacés par des

transistors de polarisation au niveau haut et de polarisation au niveau bas bipolaires.

Une variante de réalisation du circuit de tampon d'entrée des figures 2 et 2A est illustrée dans le schéma partiel de la figure 7. Dans cet exemple, la fonction d'addition de courant de polarisation au niveau haut du troisième transistor de polarisation au niveau haut PMOS P1L des figures 2 et 2A est répartie entre des troisième et quatrième transistors de polarisation au niveau haut d'addition de courant P1LA et P1LB comme cela est représenté sur la figure 7. Le troisième transistor de polarisation au niveau haut d'addition de courant P1LA est relié en série au deuxième transistor de polarisation au niveau haut d'augmentation de courant P1E. Le quatrième transistor de polarisation au niveau haut d'addition de courant P1LB est relié en série au premier transistor de polarisation au niveau haut de limitation de courant statique P1R. Les troisième et quatrième transistors de polarisation au niveau haut P1LA et P1LB sont à leur tour reliés en parallèle au noeud de sortie intermédiaire m1. Un avantage de la configuration de circuit de la figure 7 est qu'elle réduit la capacitance au niveau d'un noeud intermédiaire m2 entre le premier transistor de polarisation au niveau haut P1R et le quatrième transistor de polarisation au niveau haut P1LB. Cette capacitance réduite au noeud m2 augmente la vitesse de commutation dynamique au noeud de sortie intermédiaire m1.

REVENDEICATIONS

1. Circuit de tampon d'entrée de conversion TTL-CMOS ayant une entrée (V_{IN}) destinée à recevoir des signaux de données de niveau de tension haut (HAUT) et bas (BAS), et un
5 noeud de sortie (m1) destiné à laisser passer des signaux de données, ledit circuit de tampon d'entrée comportant un premier étage ayant un circuit de polarisation au niveau haut (P1) relié afin de délivrer du courant vers un noeud de sortie (m1) et un circuit de polarisation au niveau bas (N1) relié
10 afin de dissiper du courant du noeud de sortie (m1), lesdits circuits de polarisation au niveau haut de polarisation au niveau bas (P1, N1) ayant des noeuds de grille de commande reliés à l'entrée (V_{IN}), caractérisé en ce que :

lesdits circuits de polarisation au niveau haut et
15 de polarisation au niveau bas (P1, N1) sont construits de façon à procurer des seuils doubles à l'entrée (V_{IN}), un premier niveau de tension de seuil relativement bas afin de commuter du courant dynamique au noeud de sortie (m1) et un deuxième niveau de tension de seuil relativement plus élevé
20 afin de commuter du courant statique au noeud de sortie (m1).

2. Circuit de tampon d'entrée de conversion TTL-CMOS selon la revendication 1, caractérisé en ce que le premier niveau de tension de seuil relativement faible est
25 sensiblement un niveau d'une tension de seuil d'entrée TTL et en ce que le deuxième niveau de tension de seuil relativement plus élevé est sensiblement un niveau de tension de seuil d'entrée CMOS.

30 3. Circuit de tampon d'entrée de conversion TTL-CMOS selon la revendication 1, caractérisé en ce que les circuits de polarisation au niveau haut et de polarisation au niveau bas (P1, N1) comportent un circuit de polarisation au niveau haut et de polarisation au niveau bas de sortie de premier
35 étage (P1R, P1L, N1L) construit afin de commuter du courant

dynamique au noeud de sortie (m1) au premier niveau de tension de seuil relativement bas pour des transitions de signal de données entre des niveaux de potentiel haut et bas au noeud de sortie (m1), et un circuit d'augmentation de polarisation au
5 niveau haut (P1E, I3, I4) destiné à commuter du courant statique (I_{CCT}) à travers le noeud de sortie (m1) au deuxième niveau de tension de seuil relativement plus élevé afin de réduire le courant statique (I_{CCT}) pendant un signal de données de niveau potentiel bas statique (BAS) au noeud de
10 sortie (m1).

4. Circuit de tampon d'entrée de conversion TTL-CMOS selon la revendication 3, caractérisé en ce que les circuits de polarisation au niveau haut et de polarisation au niveau
15 bas (P1, N1) comportent un étage d'inversion.

5. Circuit de tampon d'entrée de conversion TTL-CMOS selon la revendication 3, caractérisé en ce que ledit circuit de polarisation au niveau haut (P1) comporte un premier
20 transistor de polarisation au niveau haut PMOS (P1R) limitant le courant statique (I_{CCT}), à largeur de canal relativement faible et un deuxième transistor de polarisation au niveau haut (P1E) d'augmentation du courant à capacité de courant relativement importante, lesdits premier et deuxième
25 transistors de polarisation au niveau haut (P1R, P1E) ayant des passages principaux de courant reliés en parallèle à une piste d'alimentation à potentiel haut (V_{CCQ}), et un troisième transistor de polarisation au niveau haut PMOS d'addition de courant de polarisation au niveau haut (P1L) relié au noeud de
30 sortie (m1) en série avec les premier et deuxième transistor de polarisation au niveau haut reliés en parallèle (P1E, P1R), lesdits premier, deuxième et troisième transistors de polarisation au niveau haut (P1R, P1E, P1L) étant reliés afin de fonctionner sensiblement en phase.

35

6. Circuit de tampon d'entrée selon la revendication 5, caractérisé en ce que les premier et troisième transistors de polarisation au niveau haut (P1R, P1L) ont des noeuds de grille de commande reliés à l'entrée (V_{IN}), et en ce que ledit

5 circuit de tampon comporte en outre un circuit de commande d'augmentation de courant (I3, I4) relié entre la borne d'entrée (V_{IN}) et un noeud de grille de commande du deuxième transistor de polarisation au niveau haut d'augmentation de courant (P1E), ledit circuit de commande (I3, I4) étant

10 construit afin de rendre passant le deuxième transistor de polarisation au niveau haut (P1E) afin de délivrer un courant de source augmenté (I_{SE}) pendant une transition BAS-HAUT au noeud de sortie (m1) de façon à augmenter la vitesse de commutation et afin de bloquer le deuxième transistor de

15 polarisation au niveau haut (P1E) pendant un signal de données de niveau de potentiel bas statique (BAS) au noeud de sortie (m1) de façon à réduire le courant statique I_{CCT} .

7. Circuit de tampon d'entrée selon la revendication 6,

20 caractérisé en ce que la largeur de canal du deuxième transistor de polarisation au niveau haut d'augmentation de courant (P1E) est sensiblement plus grande que la largeur de canal du premier transistor de polarisation au niveau haut de limitation de courant statique (P1R) et en ce que la largeur

25 de canal du troisième transistor de polarisation au niveau haut (P1L) est plus grande que celle du premier ou bien du deuxième transistor de polarisation au niveau haut (P1E, P1R).

8. Circuit de tampon d'entrée selon la revendication 6,

30 caractérisé en ce que le circuit de commande d'augmentation de courant comporte des étages CMOS d'inversion (I3, I4) comportant à leur tour des transistors PMOS et NMOS complémentaires à largeur de canal faible (P3, N3; P4, N4) pour le fonctionnement du deuxième transistor de polarisation

35 au niveau haut (P1E) sensiblement en phase avec les premier et

deuxième transistors de polarisation au niveau haut (P1R, P1E).

9. Circuit de tampon d'entrée selon la revendication 8, caractérisé en ce que les transistors PMOS et NMOS complémentaires (P3, N3; P4, N4) du circuit de commande d'augmentation de courant sont réalisés avec des rapports de largeur de canal PMOS et NMOS choisis afin de commuter le troisième transistor de polarisation d'augmentation de courant (P1E) au deuxième niveau de tension de seuil relativement plus élevé à l'entrée (V_{IN}), et en ce que le circuit de polarisation au niveau bas (N1) comporte un transistor de polarisation au niveau bas à largeur de canal relativement importante (N1L) relié à l'entrée (V_{IN}) avec les premier et troisième transistors de polarisation au niveau haut (P1R, P1L) destinés à commuter le niveau de potentiel de signal de données au noeud de sortie (m1) au premier niveau de tension de seuil relativement bas à l'entrée (V_{IN}).

10. Circuit de tampon d'entrée selon la revendication 9, caractérisé en ce que le circuit de polarisation au niveau bas CMOS (N1) comporte un transistor NMOS à largeur de canal relativement importante (N1L), et en ce que les premier, deuxième et troisième transistors de polarisation au niveau haut (P1R, P1E, P1L) sont choisis afin de procurer une largeur de canal effective de circuit équivalent pour le circuit de polarisation au niveau haut (P1) sensiblement inférieure à la largeur de canal du transistor de polarisation au niveau bas (N1L) pour un rapport décalé des largeurs de canal effectives.

11. Circuit de tampon d'entrée de conversion TTL-CMOS selon la revendication 3, caractérisé en ce que ledit circuit de polarisation au niveau haut (P1) comporte un premier transistor de polarisation au niveau haut PMOS (P1R) de limitation de courant statique (I_{CCT}), à largeur de canal

relativement faible et un deuxième transistor de polarisation au niveau haut (P1E) d'augmentation de courant, à capacité de transport de courant relativement importante, lesdits premier et deuxième transistors de polarisation au niveau haut (P1R, P1E) ayant des passages principaux de courant reliés en parallèle à une piste d'alimentation à potentiel haut (V_{CCQ}), et des troisième et quatrième transistors de polarisation au niveau haut PMOS d'addition de courant de polarisation au niveau haut (P1LA, P1LB) reliés en parallèle au noeud de sortie (m1), ledit troisième transistor de polarisation au niveau haut (P1LA) étant relié en série au deuxième transistor de polarisation au niveau haut (P1E), et ledit quatrième transistor de polarisation au niveau haut (P1LB) est relié en série au premier transistor de polarisation au niveau haut (P1R), lesdits premier, deuxième, troisième et quatrième transistors de polarisation au niveau haut (P1R, P1E, P1LA, P1LB) étant reliés afin de fonctionner sensiblement en phase.

12. Circuit de tampon d'entrée selon la revendication 11, caractérisé en ce que le deuxième transistor de polarisation au niveau haut (P1E) du circuit de polarisation au niveau haut (P1) est relié à l'entrée (V_{IN}) par l'intermédiaire d'au moins un étage de polarisation au niveau haut CMOS (I3, I4) comportant des transistors CMOS complémentaires comprenant des transistors PMOS et NMOS à largeur de canal relativement faible (P3, N3; P4, N4) pour un fonctionnement du deuxième transistor de polarisation au niveau haut (P1E) sensiblement en phase avec les premier et troisième transistors de polarisation au niveau haut (P1R, P1L).

13. Circuit de tampon d'entrée selon la revendication 12, caractérisé en ce que les transistors PMOS et NMOS complémentaires (P3, N3; P4, N4) du circuit de commande d'augmentation de courant sont réalisés avec des rapports de

la largeur de canal PMOS et NMOS choisis afin de commuter le deuxième transistor de polarisation au niveau haut d'augmentation de courant (P1E) au deuxième niveau de tension de seuil relativement élevé à l'entrée (V_{IN}), et en ce que le

5 circuit de polarisation au niveau bas (N1) comporte un transistor de polarisation au niveau bas à largeur de canal relativement importante (N1L) relié à l'entrée (V_{IN}) avec les premier et troisième transistors de polarisation au niveau haut (P1R, P1L) de façon à commuter le niveau de potentiel de

10 signal de données au noeud de sortie (m1) au premier niveau de tension de seuil relativement plus bas à l'entrée (V_{IN}).

14. Circuit de tampon d'entrée selon la revendication 13, caractérisé en ce que le circuit de polarisation au niveau

15 bas CMOS (N1) comporte un transistor NMOS à largeur de canal relativement importante (N1L), et en ce que les premier, deuxième, troisième et quatrième transistors de polarisation au niveau haut (P1R, P1E, P1LA, P1LB) sont choisis de façon à procurer une largeur de canal effective de circuit équivalent

20 pour le circuit de polarisation au niveau haut (P1) sensiblement inférieure à la largeur de canal du transistor de polarisation au niveau bas (N1L) pour un rapport décalé des largeurs de canal effectives.

25 15. Circuit de tampon d'entrée selon la revendication 14, caractérisé en ce que les dimensions en largeur de canal des transistors respectifs et le rapport des dimensions en largeur de canal des transistors CMOS complémentaires sont choisis de telle sorte que le premier niveau de tension de

30 seuil comprend un niveau de tension de seuil de commutation TTL relativement bas.

16. Procédé d'adaptation de signaux de données d'entrée à l'entrée (V_{IN}) d'un circuit de tampon d'entrée ayant des

35 circuits de polarisation au niveau haut et de polarisation au

niveau bas (P1, N1) reliés à un noeud de sortie (m1), caractérisé en ce qu'il comprend :

5 une commutation de courant dynamique au noeud de sortie (m1) à un premier niveau de tension de seuil relativement faible pour des transitions de signal de données au noeud de sortie et une commutation de courant statique au noeud de sortie (m1) à un deuxième niveau de tension de seuil relativement plus élevé afin de réduire le courant statique (I_{CCT}).

10

17. Procédé selon la revendication 16, caractérisé en ce qu'il comprend la commutation de courant dynamique à un premier niveau de tension de seuil TTL et la commutation de courant statique à un deuxième niveau de tension de seuil CMOS.

15

18. Procédé d'adaptation des signaux de données d'entrée de niveau de potentiel haut (HAUT) et bas (BAS) à une entrée (V_{IN}) pour la conversion TTL-CMOS et afin de délivrer des signaux de données à un noeud de sortie (m1) avec une vitesse de commutation accrue pendant des transitions BAS-HAUT au noeud de sortie (m1) et avec un courant statique réduit (I_{CCT}) pendant un signal donnée de niveau de potentiel bas statique (BAS) au noeud de sortie (m1), caractérisé en ce qu'il comprend :

20

25

la génération d'un courant de source limité (I_{SR}), la génération d'un courant de source d'augmentation parallèle séparé (I_{SE}) et la combinaison des courants de source limités d'augmentation afin de procurer un courant de polarisation au niveau haut augmenté (I_{SL}) au noeud de sortie (m1) de façon à effectuer une transition BAS-HAUT au noeud de sortie (m1) avec une vitesse de commutation accrue;

30

et le blocage du courant de source d'augmentation (I_{SE}) pendant une transition HAUT-BAS au noeud de sortie (m1) et le maintien bloqué du courant de source d'augmentation

35

(I_{SE}) pendant un signal de données de niveau potentiel bas statique (BAS) au noeud de sortie (m1) de façon à réduire le courant statique (I_{CCT}).

5 19. Procédé selon la revendication 18, caractérisé en ce qu'il comprend l'étape de génération d'un courant de dissipation important du noeud de sortie (m1) à un premier niveau de tension de seuil de commutation relativement bas à l'entrée (V_{IN}) afin d'effectuer une transition HAUT-BAS au
10 noeud de sortie (m1), et de blocage du courant de source d'augmentation (I_{SE}) à un deuxième niveau de tension de seuil de commutation relativement plus élevé à l'entrée (V_{IN}).

20. Procédé selon la revendication 19, caractérisé en ce
15 que le premier niveau de tension de seuil de commutation est un niveau de tension de seuil de commutation TTL relativement bas et le deuxième niveau de tension de seuil de commutation est un niveau de tension de seuil de commutation CMOS relativement plus élevé.

20 21. Procédé selon la revendication 20, caractérisé en ce que l'étape consistant à effectuer une transition BAS-HAUT en sortie comprend le fait de rendre passant le courant de source d'augmentation (I_{SE}) à ladite deuxième tension de seuil de
25 commutation relativement plus élevée avant de bloquer le courant de dissipation au noeud de sortie (m1) audit premier niveau de tension de seuil de commutation relativement bas.

30 22. Circuit de tampon d'entrée de conversion TTL-CMOS ayant une entrée (V_{IN}) destinée à recevoir des signaux de données de niveau de potentiel haut (HAUT) et bas (BAS), et un noeud de sortie (m1) destiné à laisser passer des signaux de données, ledit circuit de tampon d'entrée comportant un étage d'entrée ayant un circuit de polarisation au niveau haut (P1)
35 relié afin de délivrer du courant vers le noeud de sortie (m1)

et un circuit de polarisation au niveau bas (N1) relié afin de dissiper du courant du noeud de sortie (m1), lesdits circuits de polarisation au niveau haut et de polarisation au niveau bas ayant des noeuds de grille de commande reliés à l'entrée (V_{IN}), caractérisé en ce que, afin d'augmenter le courant dynamique pendant les transitions au noeud de sortie (m1) de façon à augmenter la vitesse de commutation tout en limitant le courant statique (I_{CC_T}) pendant les signaux de données bas statique (BAS) au noeud de sortie, celui-ci comprend :

10 ledit circuit de polarisation au niveau haut (P1) qui comporte un premier transistor de polarisation au niveau haut PMOS (P1R) de limitation de courant statique (I_{CC_T}) à largeur de canal relativement faible et un deuxième transistor de polarisation au niveau haut (P1E) d'augmentation du courant
15 conduisant un courant relativement important, lesdits premier et deuxième transistors de polarisation au niveau haut (P1R, P1E) ayant des passages de courant principaux reliés en parallèle à une piste d'alimentation à potentiel haut (V_{CCQ}), et au moins un transistor de polarisation au niveau haut PMOS
20 d'addition de courant de polarisation au niveau haut (P1L, P1LA, P1LB) reliés au noeud de sortie (m1) en série avec au moins un des premier et deuxième transistors de polarisation au niveau haut reliés en parallèle (P1E, P1R), ledit premier transistor de polarisation au niveau haut (P1R) et ledit
25 transistor de polarisation au niveau haut PMOS d'addition de courant (P1L, P1LA, P1LB) ayant des noeuds de grille de commande reliés à l'entrée (V_{IN});

 un circuit de commande d'augmentation de courant (I3, I4) reliés entre l'entrée (V_{IN}) et un noeud de grille de
30 commande du deuxième transistor de polarisation au niveau haut d'augmentation de courant (P1E), ledit circuit de commande (I3, I4) étant réalisé de façon à rendre passant le deuxième transistor de polarisation au niveau haut (P1E) afin de délivrer un courant de source augmenté (I_{SE}) pendant une
35 transition BAS-HAUT au noeud de sortie (m1) de façon à

augmenter la vitesse de commutation et afin de bloquer le deuxième transistor de polarisation au niveau haut (P1E) pendant un signal de données de niveau potentiel bas statique (BAS) au noeud de sortie (m1) de façon à réduire le courant statique (I_{CCT});

5 le dit circuit de commande d'augmentation de courant comportant au moins un étage CMOS d'inversion (I3, I4) comportant à son tour des transistors PMOS et NMOS complémentaires à largeur de canal relativement faible (P3, 10 N3; P4, N4) pour un fonctionnement du deuxième transistor de polarisation au niveau haut (P1E) sensiblement en phase avec les premier et deuxième transistors de polarisation au niveau haut (P1R, P1E).

15 23. Circuit de tampon d'entrée selon la revendication 22, caractérisé en ce que les transistors PMOS et NMOS complémentaires (P3, N3; P4, N4) du circuit de commande d'augmentation de courant sont réalisés avec des rapports de 20 largeur de canal PMOS et NMOS choisis de façon à commuter le troisième transistor de polarisation au niveau haut d'augmentation de courant (P1E) à un deuxième niveau de tension de seuil de commutation de courant relativement plus élevé à l'entrée (V_{IN}), et en ce que le circuit de 25 polarisation au niveau bas (N1) comporte un transistor de polarisation au niveau bas à largeur de canal relativement importante (N1L) relié à l'entrée (V_{IN}) avec les premier et troisième transistors de polarisation au niveau haut (P1R, P1L) de façon à commuter le niveau de potentiel de signal de données au noeud de sortie (m1) à un premier niveau de tension 30 de seuil relativement bas à l'entrée (V_{IN}).

24. Circuit de tampon d'entrée selon la revendication 23, caractérisé en ce que les dimensions de largeur de canal des transistors respectifs et le rapport des dimensions de 35 largeur de canal des transistors CMOS complémentaires sont

choisis de telle sorte que le premier niveau de tension de seuil comporte un niveau de tension de seuil de commutation TTL (V_{TTL}) et de telle sorte que le deuxième niveau de tension de seuil comporte un niveau de tension de seuil de commutation CMOS (V_{TCMOS}).

25. Circuit de tampon d'entrée selon la revendication 24, caractérisé en ce que le circuit de polarisation au niveau bas CMOS (N1) comporte un transistor NMOS à largeur de canal relativement importante (N1L), et en ce que les premier et deuxième et au moins un des transistors de polarisation au niveau haut d'addition de courant (P1R, P1E, P1L, P1LA, P1LB) sont choisis de façon à procurer une largeur de canal effective de circuit équivalent pour le circuit de polarisation au niveau haut (P1) sensiblement inférieure à la largeur de canal du transistor de polarisation au niveau bas (N1L) pour un rapport décalé de largeurs de canal afin d'établir un premier niveau de tension de seuil TTL.

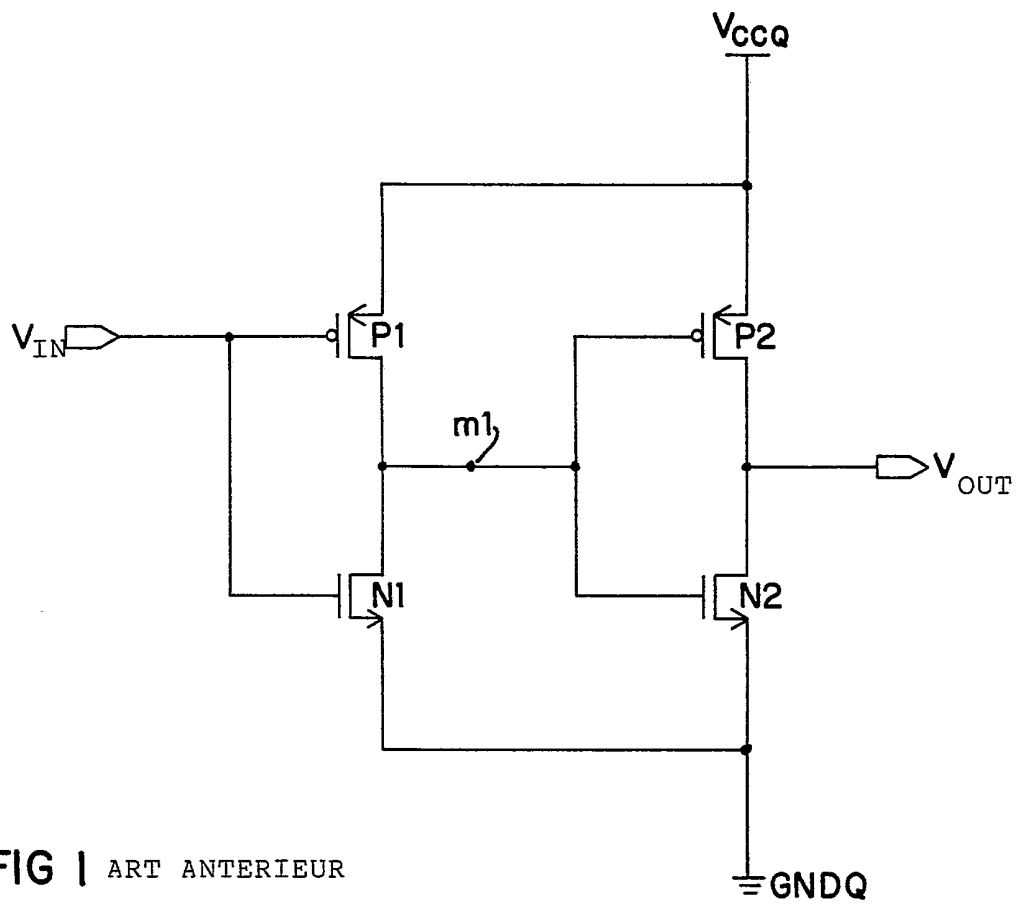


FIG 1 ART ANTERIEUR

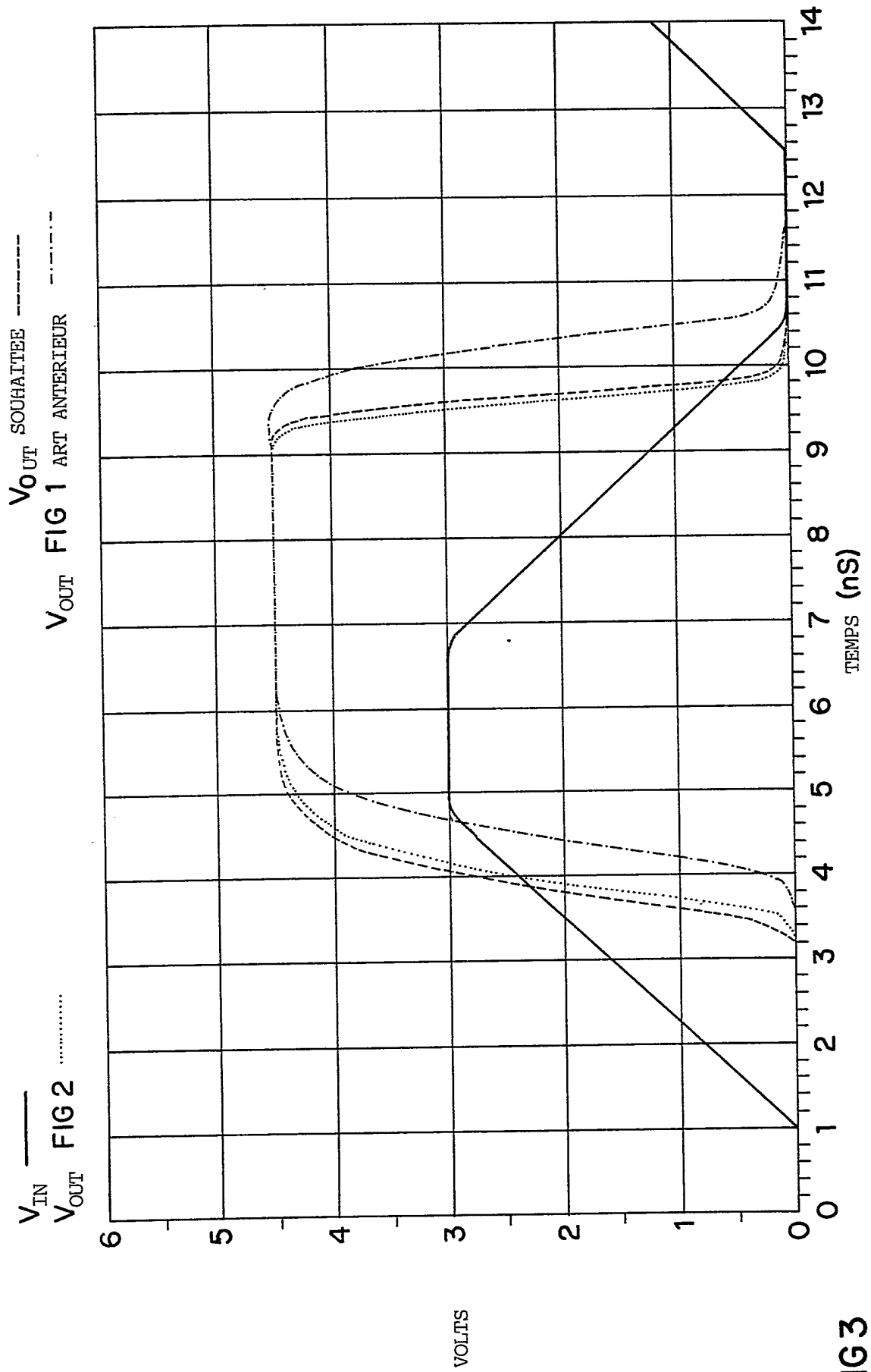


FIG3

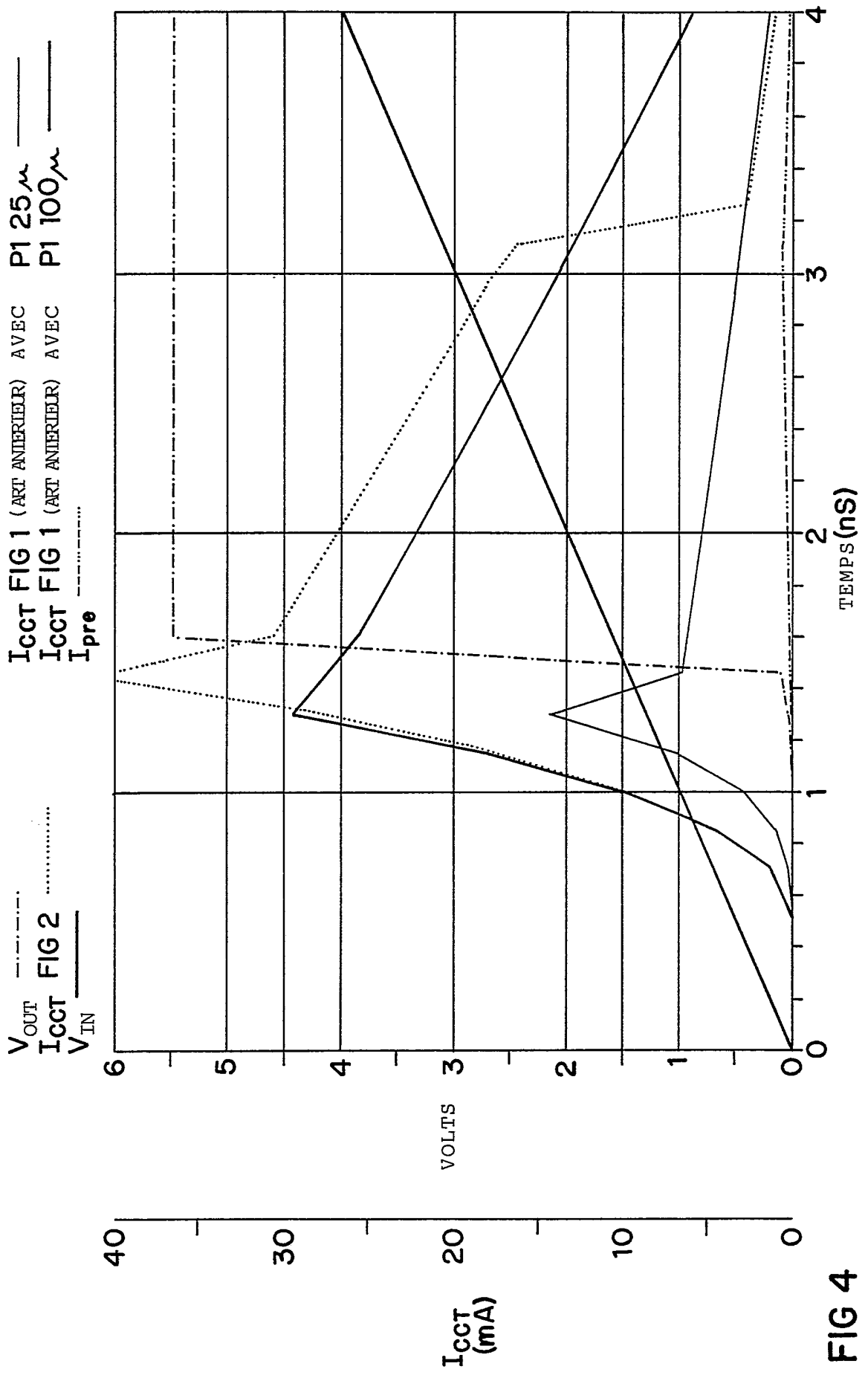


FIG 4

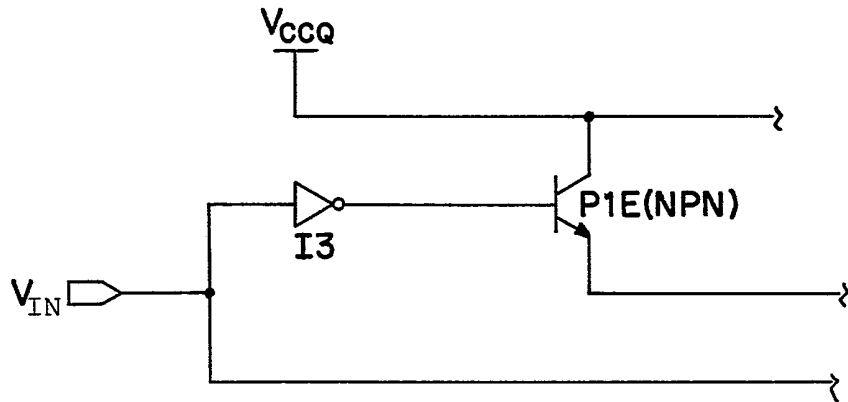


FIG 5

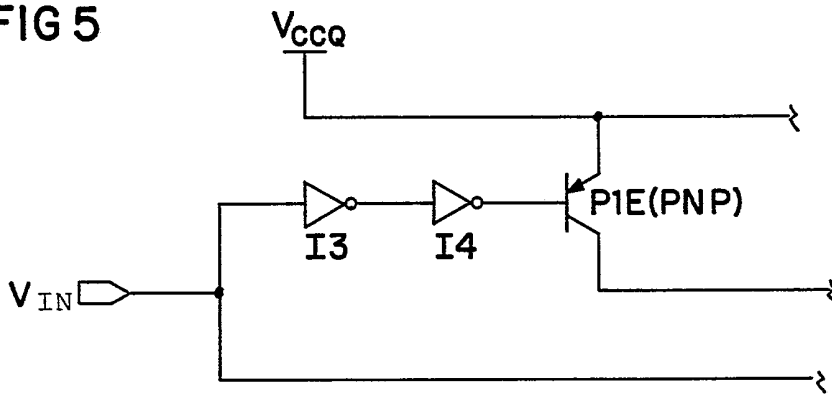


FIG 6

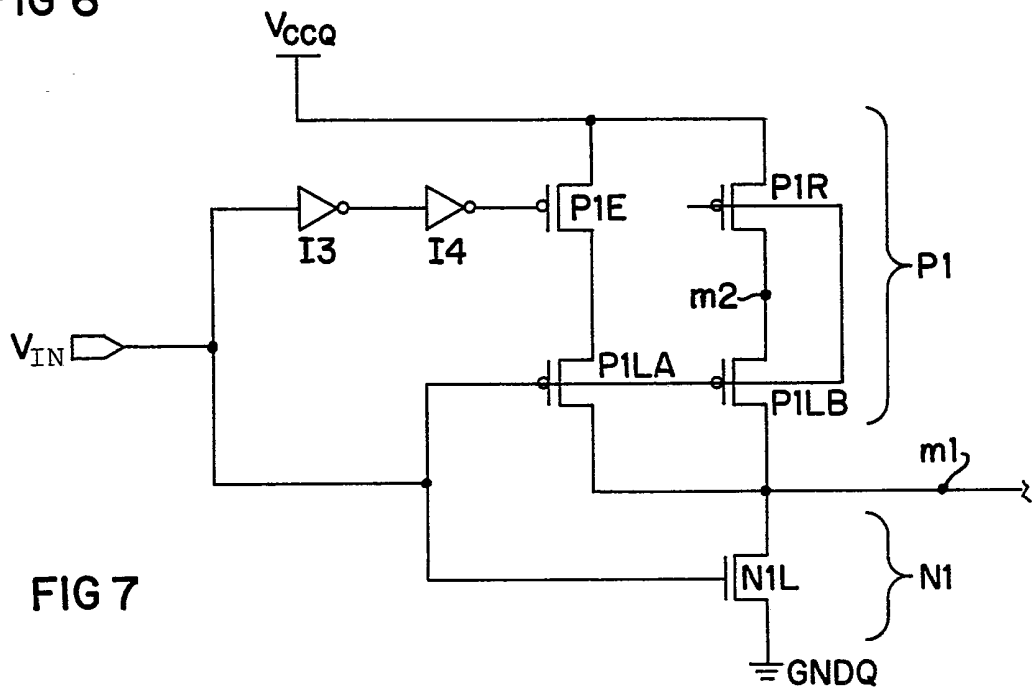


FIG 7