(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) ｡ Int. Cl.7
H01L 27/115
H01L 21/8247

(45) 공고일자 2004년06월23일
(11) 등록번호 10-0437470
(24) 등록일자 2004년06월15일

(21) 출원번호 10-2001-0004588
(22) 출원일자 2001년01월31일
(65) 공개번호 10-2002-0064016
(43) 공개일자 2002년08월07일

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 김동준
경기도 수원시 팔달구 영통동 967-2 극동A 614동 1303호

김진호
서울특별시 강남구 도곡동 대림APT 101동 1006호

이용규
경기도 수원시 팔달구 영통동 벽적골 주공9단지 909동 703호

조민수
경기도 성남시 분당구 정자동(한솔마을) 한일APT 304동 602 호

류의열
대전광역시 중구 중촌동 시영APT 8동 503호

(74) 대리인 임창현
권혁수

심사관 : 조지은

(54) 플래쉬 메모리 셀을 갖는 반도체 장치 및 그 제조 방법

요약

본 발명은 불휘발성 반도체 메모리 장치 및 그 제조 방법에 관한 것으로, 전하보존층을 기판 상에 형성한다. 제어게이트층을 전하보존층 상에 형성한다. 스페이서 형상의 게이트마스크를 제어게이트층 상에 형성한다. 제어게이트층과 전하보존층을 식각한다. 이때, 게이트마스크가 제어게이트층과 전하보존층를 보호하여, 제어게이트와 전하보존영역을 형성한다.

대표도

도 6

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 플래쉬 메모리 장치의 스택게이트 셀을 설명하기 위한 개략적인 단면도이다.
도 2는 종래 기술에 따른 플래쉬 메모리 장치의 소오스사이드인젝션 셀을 설명하기 위한 개략적인 단면도이다.
도 3은 종래 기술에 따른 플래쉬 메모리 장치의 모노스 셀을 설명하기 위한 개략적인 단면도이다.
도 4는 본 발명의 제1 실시 예 및 제2 실시 예에 따른 플래쉬 메모리 셀의 배열을 설명하기 위한 회로도이다.
도 5는 본 발명의 제1 실시 예에 따른 플래쉬 메모리 셀을 설명하기 위한 개략적인 평면도이다.
도 6은 본 발명의 제1 실시 예에 따른 플래쉬 메모리 셀을 설명하기 위한 개략적인 단면도이다.
도 7a 및 도7j는 본 발명의 제1 실시 예에 따른 플래쉬 메모리 셀의 제조 방법을 설명하기 위한 개략적인 단면도들이다.
도 8a 및 도8j는 본 발명의 제1 실시 예에 따른 플래쉬 메모리 셀의 제조 방 법을 설명하기 위한 개략적인 평면도들이다.
도 9a 및 도9j는 본 발명의 제2 실시 예에 따른 플래쉬 메모리 셀의 제조 방법을 설명하기 위한 개략적인 단면도들이다.
*도면의 주요 부분에 대한 부호의 설명
101, 201, 401, 501, 801 : 기판
102, 202, 402, 502, 802 : 소오스
104, 204, 404 : 드레인
206, 406, 506, 806 : 선택게이트
510 : 플로팅게이트층
110, 210, 510' : 플로팅게이트
512, 812 : 제어게이트층
112, 212, 408, 512', 812' : 제어게이트
514 : 플로팅게이트유전막
516 : 인터폴리유전막
420 : ONO층
820 : 전하보존층
524, 824 : 제거가능패턴
526, 826 : 게이트마스크층
526', 826' : 게이트마스크
528, 828 : 소오스측스페이서
530, 830 : 소오스전극
532, 832 : 선택게이트유전막
534, 834 : LDD영역
536, 836 : HALO영역
538, 838 : 고농도영역
540, 840 : LDD스페이서
542 : 절연막
544 : 비트라인전극
546 : 비트라인콘택
548 : 활성영역
BL : 비트라인
CS : 공토소오스라인
WL : 워드라인
SL : 선택라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 구체적으로는 선택게이트 (select gate) 를 갖는 플래쉬 메모리 셀 (flash memory cell) 및 그 제조 방법에 관한 것이다.
플래쉬 메모리 장치는 전원이 공급되지 않더라도 그 메모리 셀에 저장되어 있는 정보를 유지할 뿐만 아니라, 회로기판 (circuit board) 에 장착되어 있는 상태로 고속의 전기적 소거가 가능한 불휘발성 메모리 장치이다. 플래쉬 메모리 기술은 셀 구조를 다양한 형태로 개선시키면서 계속적으로 발전하여 왔다. 이러한 다양한 셀의 종류로는 스택게이트 셀 (stacked gate cell), 스프릿게이트 셀 (split gate cell), 소오스사이드인젝션 셀 (source side injection cell) 및 기타 구조의 많은 셀들이 있다. 이러한 다양한 셀들에 대해서는 Yong-Wan Yi에 의한 미국 특허 제5,455,792호에 상

세히 기술되어 있다.
스택게이트 셀은 플로팅게이트 (floating gate) 와 제어게이트 (control gate) 가 순차적으로 적층되어 있는 형태이다. 이러한 스택게이트 셀의 일례가 Mukherjee 등에 의한 미국 특허 제4,698,787 호에 기술되어 있다. 도 1을 참조면, Mukherjee 셀이 기판 (101) 상에 형성되어 있다. CHEI (channel hot electron injection) 를 이용하여 드레인 (104) 측에서 프로그래밍 (programming) 동작을 실시하고, F-N (Fowler-Nordheim) 터널링 (tunneling) 을 이용하여 소오스 (102) 측에서 소거 동작을 실시한다. 이러한 스택게이트 셀은 그 크기가 작게 때문에 플래쉬 메모리 장치의 단위 셀로서 가장 많이 사용되어져 왔다. 스택게이트 셀의 다른 최신 예들이 H. Watanabe 등에 의한 논문 ('Novel 0.44 um2 Ti-salicide STI cell technology for high-density NOR flash memories and high performance embedded application ', 1998년 IEDM Technical Digest , p. 975) 과 한국 특허 공개 공보 제99-48775호에 기술되어 있다.
이러한 스택게이트 셀의 단점은 오우버이레이즈 (over-erase) 문제이다. 오우버이레이즈 (over-erase) 문제는 스택게이트 셀에서의 소거 동작 중 도 1의 플로팅게이트 (110) 가 과도하게 디스챠지 (discharged) 되었을 때 일어난다. 과도하게 디스챠지된 셀의 문턱전압 (threshold voltages) 은 음의 값을 나타낸다. 따라서, 셀이 선택되지 않은, 즉 제어게이트 (112) 에 리이디 전압 (read voltage) 을 가하지 않은, 상태에서도 전류가 흐르는 문제가 있게 된다.
이러한 오우버이레이즈 문제를 해결하기 위해, 두 가지 구조의 셀이 도입되었다. 그 하나는 Periegos 에 의한 미국 특허 제4,558,344호에 기술되어 있는 투-트랜지스터 셀 (two-transistor cell)이고 다른 하나는 Samachisa 등에 의한 미국 특허 제4,783,766호에 기술되어 있는 스프릿게이트 셀이다. Periegos 셀에서는 선택트랜지스터 (select transistor) 가 채용되었다. 즉, 셀이 선택되지 않은 때에는, 선택게이트 (select gate) 가 과도하게 디스챠지된 플로팅게이트로 인한 누설 전류 (leakage current) 를 방지한다. 이와 유사하게, Samachisa 등의 스프릿게이트 셀에서는 제어게이트 하부에 위치한 선택게이트 채널 (a select gate portion of a channel)을 이용하여 오우버이레이즈 문제를 해결하였다. 즉, 과도하게 디스챠지된 플로팅게이트 하부에 위치한 플로팅게이트 채널 (a floating gate portion of channel) 로 부터의 누설 전류를 선택게이트 영역 (a select gate portion) 에 의해 방지한다. 이때, 제어게이트는 턴 오프 (turned off) 되어 있다.
스프릿게이트 셀의 주요 단점은 낮은 프로그래밍 효율이다. 대부분의 종래 스프릿게이트 셀들은 역시 종래의 CHEI 방식에 의해 프로그램 된다. 이 CHEI 방식 은 프로그래밍 효율이 매우 낮아서, 불필요한 전력이 소비되고 프로그래밍 속도가 낮게 된다.
CHEI 방식에 의한 플로팅게이트로의 프로그래밍 효율을 개선시키기 위해서, SSI 셀 (source side injection cell)이 Wu 등에 의한 미국 특허 제4,794,565호와 Mar 등에 의한 미국 특허 제5,280,446호 에서 제안되었다. 도 2를 참조하면, Wu 등의 SSI 셀이 소오스 (202) 와 드레인 (204)을 갖는 기판 (201) 상에 형성되어 있다. 종래의 스택게이트 구조의 소오스측 측벽에 측벽게이트 (sidewall gate)라고도 불리는 선택게이트 (206)이 형성되어 있다. 따라서, 제어게이트 (212) 에 높은 전압이 걸리면, 소오스 (202) 로 부터 플로팅게이트 (210) 로의 HEI (hot electron injection) 가 일어나게 된다. 이 SSI 셀의 HEI 방식이 종래의 CHEI 방식 보다 프로그래밍 효율 상으로 1,000 ~ 10,000 배 개선 되는 것으로 보고되었다.
한편, MONOS (Metal-Oxide- Nitride-Oxide-Semiconductor) 구조라는 새로운 불휘발성 메모리 셀이 프로그램 전압을 낮출 목적으로 제안되었다. 이 MONOS 셀은 터널 막 (tunnel oxide layer) 이라고 불리는 하부 실리콘 산화막, 실리콘 질화막 및 탑 산화막 (top oxide layer) 이라 불리는 상부 실리콘 산화막으로 구성된 얇은 유전막을 포함한다. 이 얇은 유전막은 반도체 기판과 제어게이트 사이에 개재되어 있다. MONOS 셀은 '0' 와 '1'의 두 가지 논리 상태를 갖는데, 전자가 얇은 유전막의 실리콘 질화막 내에 포획 (trap) 되어 있으면 논리 '0' 상태이고, 전자가 실리콘 질화막 내에 포획 (trap) 되어 있지 않으면 논리 '1' 상태이다. MONOS 셀의 일 예가 Chih-Hsien Wang 등에 의한 미국 특허 제5,930,631에 기술되어 있다. Chih- Hsien Wang 등의 셀은 소오스 (402), 드레인 (404) 및 소오스 드레인 사이에 위치한 채널이 기판 (401) 에 형성되어 있다. 선택게이트 (406) 가 기판 (401) 상에 형성되어 있다. ONO (oxide/nitride/oxide) 층 (420) 이 선택게이트 (406) 와 기판 (401) 상에 형성되어 있다. 제어게이트 (408) 가 ONO층 (420) 상에 형성되어 있다. 드레인은 LDD (lightly doped drain) 구조를 채용하여 드레인 접합 부근에서 핫 캐리어 (hot carrier) 발생을 억제한다. 프로그램 동작 시, 핫 캐리어가 ONO층 (420) 으로 터널링 (tunneling) 하여, 질화막층에 포획된다. 이 때, 제어게이트 (408), 선택게이트 (406) 및 드레인 (404) 에 양의 바이어스 (positive bias)가 걸리고, 소오스 (406)는 접지 (ground) 된다. 소거 동작 시, 드레인 (404) 에 높은 전압을 가하고, 선택게이트 (406) 는 턴 오프 되도록 한다. 채널을 통한 전류의 흐름 없이 소거 동작이 일어나기 때문에 선택게이트 (406) 는 전력 소모를 줄이는 역할을 한다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 셀 크기가 최소화되고, 프로그램 동작 동안 낮은 전력을 소비하는 불휘발성 메모리 장치를 제공하는 데 있다.
본 발명이 이루고자 하는 다른 기술적 과제는 셀 크기가 최소화되고, 프로그램 동작 동안 낮은 전력을 소비하는 불휘발성 메모리 장치의 제조 방법을 제공하는 데 있다.

발명의 구성 및 작용

(구성)

상술한 목적을 달성하기 위하여 본 발명의 불휘발성 메모리 장치는, 기판 상에 적층된 전하보존영역, 상기 전하보존영역 상에 적층된 제어게이트 및 상기 제어게이트 상에 적층된 게이트마스크를 포함한다. 상기 게이트마스크는 스페이서 형상을 갖고 있다.
상술한 목적을 달성하기 위하여 본 발명의 다른 불휘발성 메모리 장치는 소오스와 드레인을 갖는 기판을 포함한다. 상기 기판은 상기 소오스와 상기 드레인 사이에 형성된 채널을 갖는다. 전하보존영역이 상기 채널 상에 형성되어 있고, 제어게이트가 상기 전하보존영역 상에 형성되어 있다. 선택게이트가 상기 전하보존영역과 드레인 사이의 채널 상에 형성되어 있다. 상기 전하보존영역, 상기 채널, 상기 드레인, 상기 선택게이트 및 상기 제어게이트는 제1 단위 셀을 구성한다.
상술한 목적을 달성하기 위하여 본 발명의 불휘발성 메모리 장치의 제조 방법은, 기판 상에 전하보존층을 형성하는 단계 및 상기 전하보존층 상에 제어게이트층을 형성하는 단계를 포함한다. 스페이서 형상을 갖는 게이트마스크를 상기 제어게이트층 상에 형성한다. 상기 전하보존층 및 상기 제어게이트층을 부분적으로 제거한다. 이 때, 상기 게이트마스크는 상기 전하보존층 및 상기 제어게이트층의 소정의 영역을 보호하여 제어게이트와 전하보존영역이 형성되도록 한다.
(실시예)
이하, 도면을 참조하여 본 발명의 바람직한 실시 예들을 상세히 설명한다.
도 4는 본 발명의 플래쉬 메모리 셀들의 배열을 설명하기 위한 회로도이다. 본 발명의 플래쉬 메모리 장치는 매트릭스 (matrix) 형태로 배치된 복수개의 플래 쉬 메모리 셀을 포함한다. 즉, 셀들이 종방향 및 횡방향으로 배치되어 있다. 단위 셀 (unit cell) 들은 매트릭스 내의 복수개의 워드라인 (WL) 과 복수개의 비트라인 (BL) 에 의해 형성된 각각의 교차점에 위치한다. 매트릭스 내에는 'm' 과 'n'의 곱의 수만큼의 셀이 있다. 'm'은 횡방향에 있어서의 셀의 개수이고, 'n'은 종방향에 있어서의 셀의 개수이다. 단위 셀은 후술할 제1 실시 예 및 제2 실시 예의 셀로 구성된다. 비트라인은 종방향으로 연장되고, 워드라인은 횡방향으로 연장된다. 상기 배열은 또한 복수개의 선택라인 (SL) 과 복수개의 공통소오스라인 (CS) 을 포함한다. 이들 선택라인과 공통소오스라인은 횡방향으로 연장된다. 워드라인과 선택라인은 해당 공통소오스라인에 대해 종방향에 있어 대칭적으로 배치되어 있다. 이것은, 후술하는 것처럼, 두 단위 셀이 하나의 공통소오스라인을 갖고, 두 단위 셀의 구조가 대칭적이기 때문이다.
도 5는 본 발명의 제1 실시 예의 플래쉬 메모리 셀을 설명하기 위한 개략적인 평면도이고, 도 6은 도 5의 I-I' 선에 따른 개략적인 단면도이다. 도 5와 도 6은 소오스전극 (530)과 소오스 (502) 에 대해 대칭인 두 개의 단위 셀을 포함하고 있다. 즉, 두 개의 단위 셀은 소오스전극 (530) 과 소오스 (502) 을 공유하고, 소오스전극 (530) 과 소오스 (502) 좌측에 형성된 구성 요소들이 하나의 단위셀을 구성하며, 소오스전극 (530) 과 소오스 (502) 우측에 형성된 구성 요소들이 다른 하나의 단위셀을 구성한다. 도 5의 두 개의 단위 셀이 평면 구조가 횡방향 및 종방향으로 반복되어 배열을 형성한다.
도 6을 참조하면, 제1 도전형의 기판 (501) 은 도전영역들, 즉 소오스 (502) 와 드레인을 갖고 있다. 이 소오스 (502) 와 드레인은 채널을 사이에 두고 서로 떨어져 있다. 도전영역은 불순물 도핑 (doping) 영역으로 이루어져 있다. 드레인은 LDD (lightly doped drain) 영역 (534), HALO영역 (536) 및 고농도영역 (538) 으로 구성되어 있다. 소오스 (502) 는 제1 도전형과 반대 도전형인 제2 도전형이다. LDD영역 (534) 및 고농도영역 (538)은 같은 제2 도전형이다. 그러나 LDD영역 (534) 은 고농도영역 (538) 보다 낮은 농도이고 접합 깊이도 낮다. HALO영역 (536) 은 제1 도전형이고 LDD영역 (534) 아래에 위치한다. 전하보존영역은 채널 상부 및 소오스 (502) 에 인접하도록 위치한다. 전하보존영역은 플로팅게이트유전막 (floating gate dielectric layer , 514) , 플로팅게이트 (floating gate, 510') 및 인터폴리유전막 (inter poly dielectric layer, 516) 을 포함한다. 제어게이트 (512') 와 게이트마스크 (526') 가 전하보존영역 상에 순차적으로 적층되어 있다. 도면에서 보듯이, 게이트마스크 (526') 는 스페이서 형상을 갖고 있다. 소오스측스페이서 (528) 는 전하보존영역과 제어게이트 (512') 의 측벽에 위치한다. 소오스전극 (530) 은 전기적으로 소오스 (502) 와 접한다. 소오스전극 (530) 은 전하보존영역과 제어게이트 (512') 로 부터 소오스측스페이서 (528) 에 의해 이격되고 전기적으로 절연되어 있다. 선택게이트유전막 (532) 이 전하보존영역과 제어게이트 (512') 의 다른 하나의 측벽, 제어게이트 (512') 상부 및 소정의 영역의 채널 상에 형성되어 있다. 스페어서 형상을 갖는 선택게이트 (506) 가 선택게이트유전막 (532) 상에 형성되어 있다. LDD스페이서 (540) 가 선택게이트 (506) 측벽에 형성되어 있다. 비트라인콘택 (546) 이 절연막 (542) 에 형성되어 있다. 비트라인전극 (544) 가 절연 막 (542) 상부 및 비트라인콘택 (546) 내에 형성되어 있다. 비트라인전극 (544) 은 전기적으로 드레인과 접한다.
도 5를 참조하면, 활성영역 (548) 은 기판(510) 에서 종방향의 인접한 셀로 연장된다. 도시하지는 않았지만, 활성영역 (548) 과 인접한 다른 활성영역 사이에는 분리영역이 있어 두 활성영역을 분리시킨다. 활성영역 (548) 은 소오스 (502), 드레인 및 채널을 포함한다. 플로팅게이트 (510') 는 셀의 다른 모든 구성요소로 부터 전기적으로 절연되어 있고 인접한 셀로 연장되지도 않는다. 제어게이트 (512'), 게이트마스크 (526'), 소오스측스페이서 (528), 소오스전극 (530), 선택게이트 (506) 및 LDD스페이서 (540) 는 횡방향에 있어 인접한 셀로 연장된다. 워드라인 (WL) 은 제어게이트 (512') 로 구성된다. 공통소오스라인 (CS) 은 소오스전극 (530) 으로 구성된다. 선택라인 (SL) 은 선택게이트 (506) 로 구성된다. 비트라인 (BL) 은 비트라인전극 (544) 으로 구성된다. 도시하지는 않았지만, 이 비트라인전극 (544) 은 종방향에 있어 인접한 셀로 연장된다.
본 발명의 제2 실시 예에서는, 전하보존영역이 기판 상에 형성된 ONO층으로 구성되어 있다. 이 ONO층은 횡방향에 있어 인접한 셀로 연장된다. 여타 다른 구성요소는 본 발명의 제1 실시 예와 같다.
상기 제1 및 제2 실시 예에서 설명한 셀들의 프로그램 동작의 예에 있어, CHEI이 사용될 수 있다. 즉, 워드라인 (WL) 과 비트라인 (BL) 에 소정 조건의 양의 값을 갖는 프로그램 전압들을 가하여, 전자가 플로팅게이트 (510') 또는 ONO층의 질화막에 포획되도록 한다. 또한 소정의 양의 값을 갖는 선택 전압을 선택라인 (SL) 에 가하여 소오스 (502) 와

드레인 사이에 흐르는 전류를 제한한다. 따라서 소비전력이 증가하는 것을 방지할 수 있다. 또한 상기 선택 전압은 선택게이트 (506) 와 전하보존영역 간의 경계 영역에 인접한 채널에서 강한 횡방향 전기장을 유발시키게 되어, 프로그램 효율을 증가 시킨다. 선택전압은 선택게이트 하부의 채널에서 반전을 일으키기에 충분하도록 높아야 한다.
상기 셀들의 소거 동작의 예에 있어, HHI (hot hole injection) 가 사용될 수 있다. 즉, 비트라인 (BL) 에 소정의 양의 값을 갖는 소거전압을 가하여, 핫홀 (hot hole) 이 플로팅게이트 (510') 또는 ONO층의 질화막에 포획되도록 한다. 워드라인 (WL) 은 접지된다. 더구나, 소정의 양의 값을 갖는 다른 하나의 선택전압을 선택게이트 (506) 에 가하여 핫홀을 가속시킴으로써 핫홀의 주입 (injection) 을 증진시킨다.
도 7a 내지 도 7j 및 도 8a 내지 도 8j는 본 발명의 제1 실시 예에 따른 플래쉬 메모리 셀의 제조 방법을 설명하기 위한 개략도 이다. 도 7a 내지 도 7j는 평면도인 도 8a 내지 도 8j의 II-II' 선을 따른 단면도이다.
도 7a 및 도 8a를 참조하면, 도 8a에는 도시하지 않았지만, 기판 (501) 은 바람직하게는 단결정 실리콘으로 구성되어 있다. 기판 (501) 은 제1 도전형의 불순물로 도핑 (doping) 되어 있다. 예로서, 이 불순물은 보론 (boron) 이다. 도 7a에는 도시하지 않았지만, 통상의 LOCOS 또는 트렌치 방법을 이용하여 활성영역 (548) 을 기판 (501) 에 형성한다. 활성영역 (548) 은 종방향에 있어 인접한 셀로 연장된다. 도 8a에는 도시하지 않았지만, 플로팅게이트유전막 (floating gate dielectric layer, 514) 을 기판 상에 형성한다. 플로팅게이트유전막 (514) 은 바람직하게는 기판 (501) 을 열산화시켜서 형성된 실리콘 산화물 또는 CVD (chemical vapor deposition) 방법에 의해 형성된 실리콘 산화질화물 (silicon oxynitride) 로 구성된다. 플로팅게이트층 (510) 을 플로팅게이트유전막 (514) 상에 형성한 후, 포토/에칭 (photo/etching) 방법에 의해 패터닝 (patterning) 하여, 종방향에 있어 인접한 셀로 연장되도록 한다. 플로팅게이트층 (510) 은 바람직하게는 도핑된 다결정 실리콘 또는 폴리사이드 (polycide) 로 구성한다. 도 8a에는 도시하지 않았지만, 인터폴리유전막 (inter poly dielectric layer, 516) 을 플로팅게이트층 (510) 상에 형성한다. 인터폴리유전막 (516) 은 바람직하게는 CVD 방법에 의한 실리콘 산화물 또는 ONO층으로 구성한다. 플로팅게이트유전막 (514), 플로팅게이트층 (510) 및 인터폴리유전막 (516) 은 전하보존층을 구성한다. 제어게이트층 (512) 을 인터폴리유전막 (516) 상에 형성한다. 제어게이트층 (512) 은 바람직하게는 도핑된 다결정 실리콘 또는 폴리사이드로 구성한다.
도 7b 및 도 8b를 참조하면, 제거가능층 (disposable layer) 을 제어게이트층 (512) 상에 형성한다. 제거가능층은 바람직하게는 실리콘 질화물로 구성한다. 포토/에칭 방법에 의해 제거가능층을 패턴닝하여 제거가능패턴 (524) 을 제어게이트층 (512) 상에 형성한다. 제거가능패턴 (524) 은 다른 제거가능패턴과 소정의 공간을 두고 떨어져 있다. 이 공간은 횡방향에 있어 인접한 셀로 연장된다. 제거가능패턴 (524) 을 이온주입 마스크로 사용하여, 비소 (arsenic) 또는 인 (phosphorus) 과 같은 불순물을 기판 (501) 의 표면 영역에 주입할 수도 있다. 상 기 이온주입은 표면 영역에서의 보론의 농도를 감소시켜 프로그램 동작 시, 채널 영역에서의 프로그램 효율을 증진시킨다. 상기 이온주입은 플로팅게이트유전막 (514), 플로팅게이트층 (510), 인터폴리유전막 (516) 및 제어게이트층 (512) 을 관통하여 실시된다. 비소 (arsenic) 또는 인 (phosphorus) 과 같은 불순물을 제어게이트층 (512) 에 주입하여 제어게이트층 (512) 의 전도도를 증가 시킬 수 있다. 이때 역시 제거가능패턴 (524) 을 이온주입 마스크로 사용한다.
도 7c 및 도 8c를 참조하면, 게이트마스크층 (526) 을 결과물 상에 형성한다. 게이트마스크층 (526) 은 바람직하게는 소정의 두께를 갖는 실리콘 산화물로 형성한다.
도 7d 및 도 8d를 참조하면, 게이트마스크층 (526) 을 이방성식각하여 제어게이트층 (512) 상부와 제거가능패턴 (524) 의 측벽에 스페이서 형상의 게이트마스크 (526') 를 형성한다. 게이트마스크 (526') 는 횡방향에 있어 인접한 셀로 연장된다. 계속해서, 플로팅게이트유전막 (514), 플로팅게이트층 (510), 인터폴리유전막 (516) 및 제어게이트층 (512) 을 식각한다. 이때, 게이트마스크 (526') 및 제거가능패턴 (524) 을 식각 마스크로 사용하여, 기판 (501) 을 노출시키고, 소오스콘택 (550) 을 형성한다. 도 8d에는 도시하지는 않았지만, 비소 이온을 기판 (501) 에 주입하여 소오스 (502) 를 형성한다. 이 때, 게이트마스크 (526') 및 제거가능패턴 (524) 을 이온주입 마스크로 사용한다. 열처리 (thermal annealing) 를 실시하여 소오스 (502) 의 불순물을 활성화시킬 수도 있다.
도 7e 및 도 8e를 참조하면, 소오스측스페이서층 (source-side spacer layer) 을 결과물 상에 형성한다. 소오스측스페이서층은 바람직하게는 실리콘 산화물로 구성한다. 소오스측스페이서층을 이방성식각하여 소오스측스페이서 (528) 를 플로팅게이트유전막 (514), 플로팅게이트층 (510), 인터폴리유전막 (516) 및 제어게이트층 (512) 의 측벽에 형성한다. 소오스측스페이서 (528) 는 횡방향에 있어 인접한 셀로 연장된다.
도 7f 및 도 8f를 참조하면, 소오스전극층을 결과물 상에 형성하여, 소오스콘택 (550) 을 채운다. 소오스전극층은 바람직하게는 텅스텐 또는 도핑된 다결정 실리콘으로 구성한다. 소오스전극층을 에치백 (etch back) 또는 CMP (chemical mechanical polishing) 방법에 의해 폴리싱 (polishing) 하여 소오스전극 (530) 을 소오스콘택 (550) 내에 형성한다. 소오스전극 (530) 은 횡방향에 있어 인접한 셀로 연장된다.
도 7g 및 도 8g를 참조하면, 제거가능패턴 (524) 을 건식식각 또는 습식식각을 이용하여 제거한다.
도 7h 및 도 8h를 참조하면, 플로팅게이트유전막 (514), 플로팅게이트층 (510), 인터폴리유전막 (516) 및 제어게이트층 (512) 을 다시 식각한다. 이 때, 게이트마스크 (526') 및 소오스전극 (530) 을 식각 마스크로 이용하여, 플로팅게이트 (510') 을 갖는 전하보존영역 및 제어게이트 (512') 를 형성하고 기판 (510) 의 일부를 노출시킨다. 이 때, 소오스전극 (530) 도 일부 식각되어 높이가 줄어들 수 있다. 플로팅게이트 (510') 및 제어게이트 (512') 는 횡방향에 있어 인접한 셀로 연장된다. 계속해서, 선택게이트유전막 (532) 을 결과물 상에 형성한다. 선택게이트 유전막 (532) 은 바람직하게는 CVD 실리콘 산화막이다. 선택게이트유전막 (532) 을 형성하기 전에, 얇은 열산화막을 상기 노출된 기판 상에 형성할 수도 있다.
도 7i 및 도 8i를 참조하면, 선택게이트층을 결과물 상에 형성한다. 선택게이트층은 바람직하게는 도핑된 다결정 실리콘으로 구성한다. 선택게이트층을 이방성식각하여 플로팅게이트 (510') 및 제어게이트 (512') 측벽에 스페이서 형상의 선택게이트 (506) 을 형성한다. 선택게이트 (506) 은 횡방향에 있어 인접한 셀로 연장된다. 계속해서, 도 8i에는 도

시하지 않았지만, 인을 이온주입하여 기판 (501) 에 LDD영역 (534) 을 형성하고, 보론을 이온주입하여 LDD영역 (534) 하부에 HALO영역 (536) 을 형성한다. 이 때, 선택게이트 (506) 을 이온주입 마스크로 이용한다.
도 7j 및 도 8j를 참조하면, LDD스페이서층을 결과물 상에 형성한다. LDD스페이서층은 바람직하게는 실리콘 산화물로 구성한다. LDD스페이서층을 이방성 식각하여, LDD스페이서 (540) 을 선택게이트 (506) 측벽에 형성한다. 선택게이트 (506) 는 횡방향에 있어 인접한 셀로 연장된다.
도 8j에는 도시하지 않았지만, 비소를 이온주입하여 기판 (501) 에 고농도영역 (538) 을 형성한다. 고농도영역 (538) 의 불순물 농도는 LDD영역 (534) 및 HALO영역 (536) 의 농도 보다 충분히 높다. 따라서, 도면에서 보듯이, 고농도영역 (538) 은 LDD영역 (534) 및 HALO영역 (536) 의 일부를 상쇄하여 형성된다. 이 때, LDD스페이서 (540) 및 선택게이트 (506) 를 이온주입 마스크로 이용한다. 고농도영역 (538), LDD영역 (534) 및 HALO영역 (536) 은 드레인을 구성한다.
계속해서, 도시하지는 않았지만, 통상적인 배선 공정을 실시한다. 즉, 절연 막을 결과물 상에 형성한다. 포토/에칭 방법에 의해 비트라인콘택을 형성하여 드레인을 노출시키고, 알루미늄으로 구성된 비트라인금속을 결과물 상에 형성한다. 비트라인금속을 포토/에칭 방법에 의해 패터닝하여 비트라인전극을 형성한다.
도 9a 내지 도 9j는 본 발명의 제2 실시 예에 따른 플래쉬 메모리 셀의 제조 방법을 설명하기 위한 개략적인 단면도이다.
도 9a를 참조하면, 기판 (801) 은 바람직하게는 단결정 실리콘으로 구성되어 있다. 기판 (801) 은 제1 도전형의 불순물로 도핑되어 있다. 예로서, 이 불순물은 보론이다. 도시하지는 않았지만, 활성영역을 제1 실시 예와 동일한 방법으로 형성한다. 전하보존층 (820) 을 기판 (801) 상에 형성한다. 전하보존층 (820) 은 바람직하게는 ONO층이다. 제어게이트층 (812) 을 제1 실시 예와 동일한 방법으로 형성한다. 제어게이트층 (812) 을 형성하기 전에 ONO층을 패턴닝할 필요는 없다.
도 9b를 참조하면, 제거가능패턴 (824) 을 제1 실시 예와 동일한 방법으로 형성한다. 제거가능패턴 (824) 을 이온주입 마스크로 사용하여, 비소 또는 인과 같은 불순물을 기판 (801) 의 표면 영역에 주입할 수도 있다. 상기 이온주입은 표면 영역에서의 보론의 농도를 감소시켜 프로그램 동작 시, 채널 영역에서의 프로그램 효율을 증진시킨다. 상기 이온주입은 전하보존층 (820) 및 제어게이트층 (812) 을 관통하여 실시된다. 비소 또는 인과 같은 불순물을 제어게이트층 (812) 에 주입하여 제어게이트층 (812) 의 전도도를 증가 시킬 수 있다. 이때 역시 제거가능패턴 (824) 을 이온주입 마스크로 사용한다.
도 9c를 참조하면, 게이트마스크층 (826) 을 제1 실시 예와 동일한 방법으 로 형성한다.
도 9d를 참조하면, 게이트마스크층 (826) 을 이방성식각하여 제어게이트층 (812) 상부와 제거가능패턴 (824) 의 측벽에 스페이서 형상의 게이트마스크 (826') 를 형성한다. 게이트마스크 (826') 는 횡방향에 있어 인접한 셀로 연장된다. 계속해서, 전하보존층 (820) 및 제어게이트층 (812) 을 식각한다. 이때, 게이트마스크 (826') 및 제거가능패턴 (824) 을 식각 마스크로 사용하여, 기판 (801) 을 노출시키고, 소오스콘택 (850) 을 형성한다. 소오스 (802) 를 제1 실시 예와 동일한 방법으로 형성한다. 열처리를 실시하여 소오스 (802) 의 불순물을 활성화시킬 수도 있다.
도 9e를 참조하면, 소오스측스페이서 (828) 를 전하보존층 (820) 및 제어게이트층 (812) 측벽에 제1 실시 예와 동일한 방법으로 형성한다.
도 9f를 참조하면, 소오스전극 (830) 을 소오스콘택 (850) 내에 제1 실시 예와 동일한 방법으로 형성한다.
도 9h를 참조하면, 전하보존층 (820) 및 제어게이트층 (812) 을 다시 식각한다. 이 때, 게이트마스크 (826') 및 소오스전극 (830) 을 식각 마스크로 이용하여, 전하보존영역 및 제어게이트 (812') 를 형성하고 기판 (810) 의 일부를 노출시킨다. 이 때, 소오스전극 (830) 도 일부 식각되어 높이가 줄어들 수 있다. 전하보존영역 및 제어게이트 (512') 는 횡방향에 있어 인접한 셀로 연장된다. 계속해서, 선택게이트유전막 (832) 을 결과물 상에 형성한다. 선택게이트유전막 (832) 은 바람직하게는 CVD 실리콘 산화막이다. 선택게이트유전막 (832) 을 형성하기 전에, 얇 은 열산화막을 상기 노출된 기판 상에 형성할 수도 있다.
도 9i를 참조하면, 전하보존층 (820) 및 제어게이트 (812') 측벽에 스페이서 형상의 선택게이트 (806) 를 제1 실시 예와 동일한 방법으로 형성한다. 계속해서, LDD영역 (834) 및 HALO영역 (836) 을 제1 실시 예와 동일한 방법으로 형성한다.
도 9j를 참조하면, LDD스페이서 (840) 을 선택게이트 (806) 측벽에 제1 실시 예와 동일한 방법으로 형성한다. 기판 (801) 에 고농도영역 (838) 을 제1 실시 예와 동일한 방법으로 형성한다. 고농도영역 (838), LDD영역 (834) 및 HALO영역 (836) 은 드레인을 구성한다.
계속해서, 통상적인 배선 공정을 제1 실시 예와 동일한 방법으로 실시한다.
본 발명의 제1 및 제2 실시 예에서, 제어게이트층 및 전하보존층을 패턴닝할 때, 스페이서 형상의 게이트마스크가 식각 마스크로서 제어게이트층 및 전하보존층을 보호한다. 이러한 패터닝 방법은 선택게이트를 갖지 않는 불휘발성 메모리 셀의 제조 방법에서도 적용될 수 있다. 즉, 도 제1 실시 예의 도 7h 또는 제2 실시 예의 도 9h 후, 선택게이트 형성 공정을 생략할 수 있다. 계속해서, 게이트마스크 및 소오스전극을 마스크로 하여 이온주입 하므로써, 전하보존영역에 인접한 기판에 드레인을 형성한다. 그 후, 통상적인 배선 공정을 실시하여 선택게이트를 갖지 않는 불휘발성 메모리 셀의 제조할 수도 있다.

발명의 효과

본 발명에서는 스페이서 형성 기법을 여러 번 사용하였다. 실시 예들에서 설명한 것처럼, 일반적인 스페이서 형성 기법은 단차를 갖는 구조 상에 막을 데포지션 (deposition) 하고, 이 막을 이방성식각하는 것을 포함한다. 형성된 스페

이서의 최종 너비는 데포지션한 막의 두께에 의해 결정된다. 다시 말해서, 막의 두께를 두껍게 형성할수록, 스페이서의 너비가 넓어진다. 따라서, 막의 두께를 충분히 얇게 하면, 스페이서의 너비를 포토리소그래피 (photolithography) 한계 이하로까지 줄일 수 있다. 결과적으로, 스페이서 형성 기법을 이용하여 제조된 본 발명의 셀의 크기는 최소화될 수 있다.
본 발명의 제2 실시 예에 따르면, 도 9a의 제어게이트층 형성 공정 전에 전하보존층인 ONO층을 패터닝할 필요가 없다. 그러나 제1 실시 예에서는, 도 7a 및 8a의 인터폴리유전막 형성 공정 및 제어게이트층 형성 공정 전에 플로팅게이트층을 패터닝하여야 한다. 따라서 본 발명의 제2 실시 예는 제1 실시 예 보다 공정이 단순하다. ONO층을 패터닝 할 필요가 없는 이유는 ONO층이 비전도성 물질이어서 포획된 전하 (charge) 가 한 셀에서 다른 셀로 이동하지 않기 때문이다.

(57) 청구의 범위

청구항 1.
기판;
상기 기판 상에 적층된 전하보존영역;
상기 전하보존영역 상에 적층된 제어게이트; 및
상기 제어게이트 상에 적층된 게이트마스크를 포함하되, 상기 게이트마스크는 스페이서 형상을 갖는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.
청구항 2.
제 1 항에 있어서,
상기 기판 상부와 상기 전하보존영역의 일 측벽에 형성된 선택게이트;
상기 전하보존영역의 다른 하나의 측벽에 인접하며 상기 기판에 형성된 도전영역; 및
상기 선택게이트에 인접한 상기 기판에 형성된 드레인을 더 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.
청구항 3.
제 2 항에 있어서,
상기전하보존영역, 상기 제어게이트, 상기 게이트마스크 및 상기 선택게이트로 이루어진 제1 단위 셀에 대해서 대칭관계를 유지하고 상기 도전영역을 공유하는 제2 단위 셀을 더 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.
청구항 4.
제 2 항에 있어서,
상기 제1 단위 셀은 상기 선택게이트 측벽에 LDD스페이서를 더 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.
청구항 5.
제 2 항에 있어서,
상기 도전영역에 반대 편 및 상기 선택게이트에 인접한 상기 기판에 형성된 드레인; 및
상기 드레인에 전기적으로 연결된 비트라인전극을 더 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.
청구항 6.
제 3 항에 있어서,
상기 드레인에 전기적으로 연결된 비트라인 전극; 및
상기 도전영역 상에 형성된 소오스전극을 더 포함하되, 상기 소오스전극은 상기 제어게이트로 부터 소오스측스페이서에 의해 전기적으로 절연되어 있는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.
청구항 7.
제 2 항에 있어서,
상기 선택게이트는 스페이서 형상을 갖는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.
청구항 8.
제 1 항에 있어서,
상기 전하보존영역은,
상기 기판 상에 형성된 플로팅게이트유전막;
상기 플로팅게이트유전막 상에 형성된 플로팅게이트; 및
상기 플로팅게이트 상에 형성된 인터폴리유전막을 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.
청구항 9.
제 1 항에 있어서,
상기 전하보존영역은, ONO층을 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.
청구항 10.
소오스 및 드레인을 갖는 기판;
상기 소오스 및 상기 드레인 사이에 형성된 채널;
상기 채널 상에 형성된 전하보존영역;

상기 전하보존영역 상에 형성된 제어게이트;
상기 제어 게이트 상에 형성된 스페이서 형상의 게이트마스크; 및
상기 전하보존영역과 상기 드레인 사이에 형성된 선택게이트를 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 11.

제 10 항에 있어서,
상기 전하보존영역, 상기 채널, 상기 드레인, 상기 제어게이트, 상기 제어게이트마스크 및 상기 선택게이트로 이루어진 제1 단위 셀에 대해 대칭관계를 유지하는 제2 단위 셀을 더 포함하되, 상기 제1 단위 및 상기 제2 단위 셀은 상기 소오스를 공유하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 12.

제 10 항에 있어서,
상기 선택게이트는 스페이서 형상을 갖는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 13.

삭제

청구항 14.

제 10 항에 있어서,
상기 선택게이트 측벽에 형성된 LDD스페이서를 더 포함하는 불휘발성 반도체 메모리 장치.

청구항 15.

제 10 항에 있어서,
상기 드레인에 연결된 비트라인전극; 및
상기 소오스 상에 형성되고, 상기 제어게이트로 부터 소오스측 스페이서에 의해 전기적으로 절연된 소오스전극을 더 포함하는 불휘발성 반도체 메모리 장치.

청구항 16.

제 10 항에 있어서,
상기 전하보존영역은,
상기 기판 상에 형성된 플로팅게이트유전막;
상기 플로팅게이트유전막 상에 형성된 플로팅게이트; 및
상기 플로팅게이트 상에 형성된 인터폴리유전막을 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 17.

제 10 항에 있어서,
상기 전하보존영역은, ONO층을 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 18.

기판 상에 전하보존층을 형성하는 단계;
상기 전하보존층 상에 제어게이트층을 형성하는 단계;
상기 제어게이트층 상에 스페이서 형상을 갖는 게이트마스크를 형성하는 단계; 및
상기 전하보존층 및 상기 제어게이트층을 재거하는 단계를 포함하되, 상기 게이트마스크가 상기 전하보존층 및 상기 제어게이트층 일부를 보호하여 전하보존영역 및 제어게이트를 형성하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치 제조 방법.

청구항 19.

제 18 항에 있어서,
상기 게이트마스크를 형성하는 단계는,
상기 제어게이트층 상에 제거가능패턴을 형성하는 단계;
상기 제어게이트층 및 상기 제거가능패턴 상에 게이트마스크층을 형성하는 단계; 및
상기 게이트마스크층의 일부를 제거하여 상기 제거가능패턴 측벽에 게이트마스크를 형성하는 단계를 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치 제조 방법.

청구항 20.

제 19 항에 있어서,
상기 전하보존층 및 상기 제어게이트층을 재거하는 단계는,
상기 게이트마스크 및 상기 제거가능패턴을 식각 마스크로 하여 상기 전하보존층과 상기 제어게이트층을 식각하여, 상기 상기 게이트마스크 및 상기 제거가능패턴 하부에 상기 전하보존층과 상기 제어게이트층의 일부를 남기는 단계;
상기 제거가능패턴을 제거하는 단계; 및
상기 게이트마스크를 식각 마스크로 하여 남겨진 상기 전하보존층과 상기 제어게이트층을 식각하여, 상기 게이트마스크 하부에 제어게이트 및 전하보존층을 형성하는 단계를 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치 제조 방법.

청구항 21.

제 20 항에 있어서,
상기 제어게이트의 측벽에 인접한 상기 기판에 소오스를 형성하는 단계;
상기 제어게이트 측벽 및 상기 전하보존영역 측벽에 소오스측스페이서를 형성하는 단계;

상기 소오스 상에 상기 소오스측스페이서에 의해 상기 제어게이트 및 상기 전하보존영역 으로 부터 전기적으로 절연된 소오스전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치 제조 방법.

청구항 22.

제 18 항에 있어서,

상기 전하보존층의 측벽에 선택게이트를 형성하는 단계를 더 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치 제조 방법.

청구항 23.

제 22 항에 있어서,

상기 선택게이트는 스페이서 형상을 갖는 것을 특징으로 하는 불휘발성 반도체 메모리 장치 제조 방법.

청구항 24.

제 22 항에 있어서,

상기 선택게이트를 이온주입 마스크로 하여 LDD영역을 기판에 형성하는 단계; 및

상기 선택게이트 측멱에 LDD 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치 제조 방법.

청구항 25.

제 18 항에 있어서,

상기 전하보존층을 형성하는 단계는,

상기 기판 상에 플로팅게이트유전막을 형성하는 단계;

상기 플로팅게이트유전막 상에 플로팅게이트층 형성하는 단계; 및

상기 플로팅게이트층 상에 인터폴리유전막을 형성하는 단계 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치 제조 방법.

청구항 26.

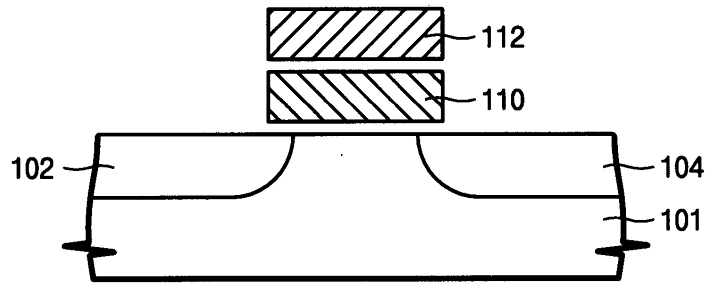
제 18 항에 있어서,

상기 전하보존층은 ONO층인 것을 특징으로 하는 불휘발성 반도체 메모리 장치 제조 방법.

도면

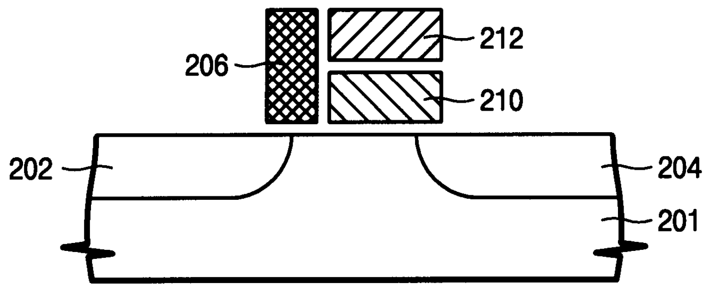
도면1

(종래기술)



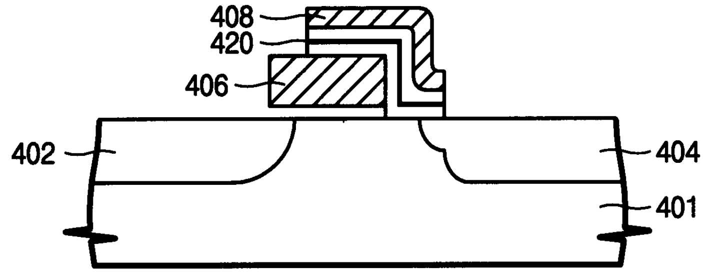
도면2

(종래기술)

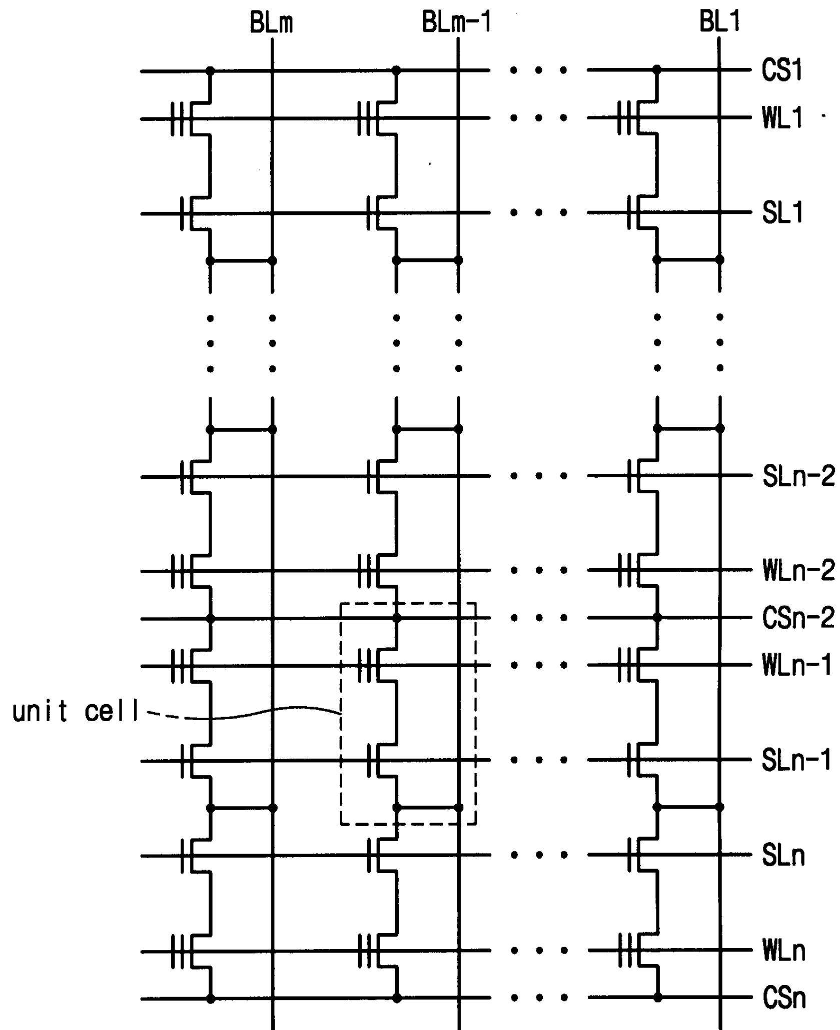


도면3

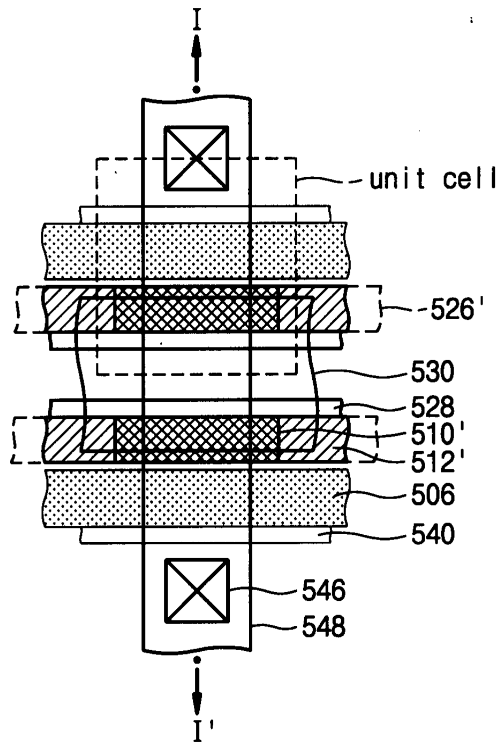
(종래기술)



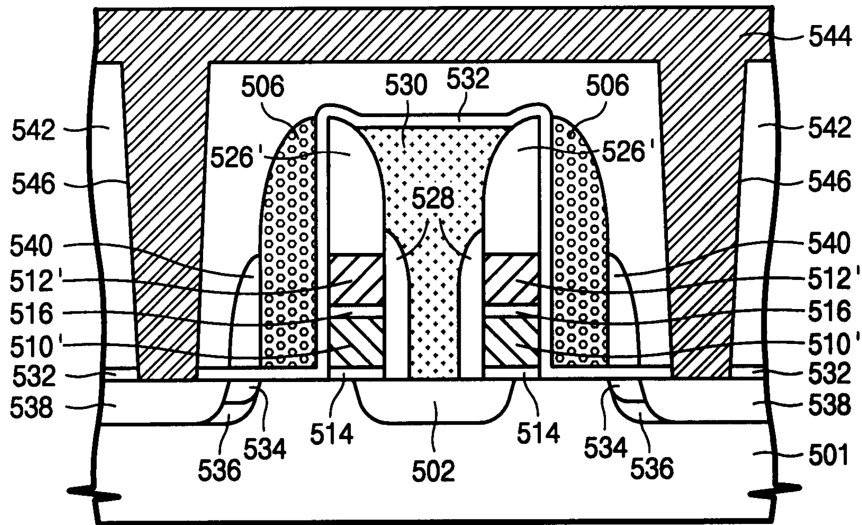
도면4



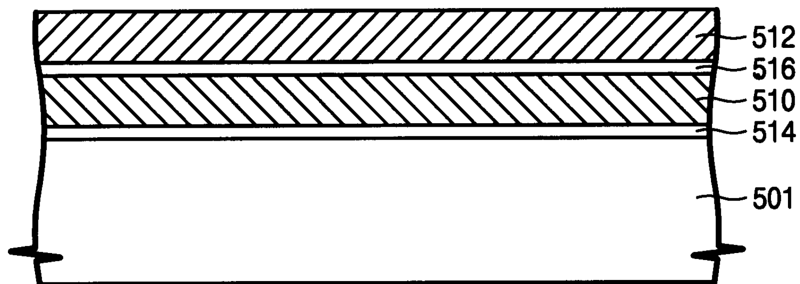
도면5



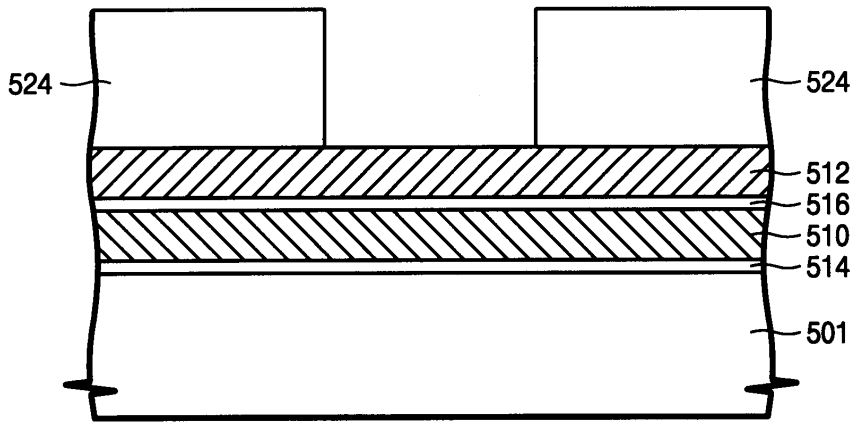
도면6



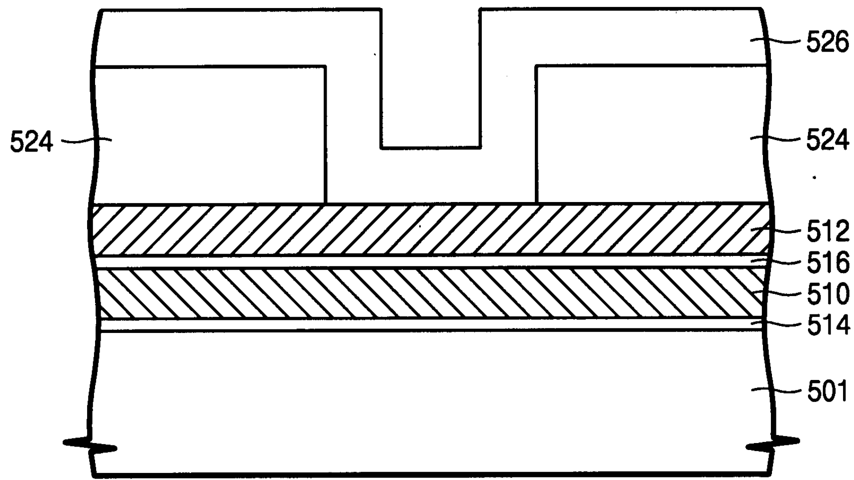
도면7a



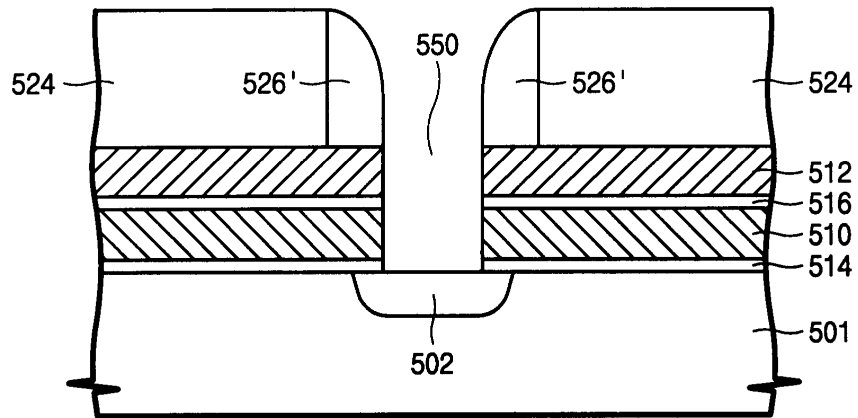
도면7b



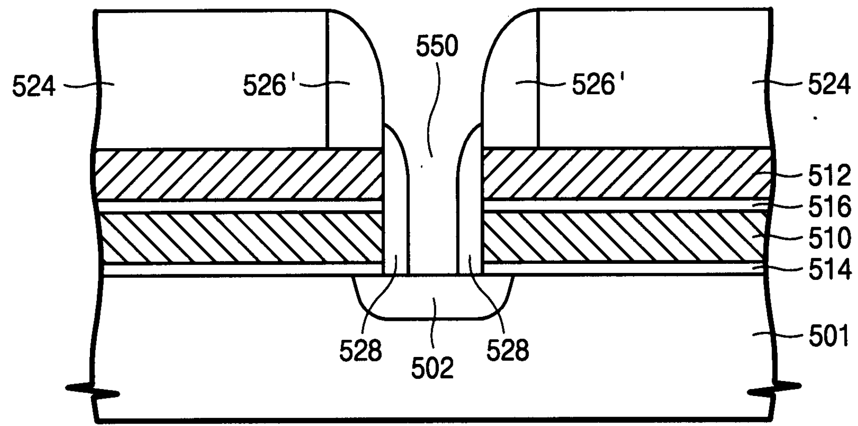
도면7c



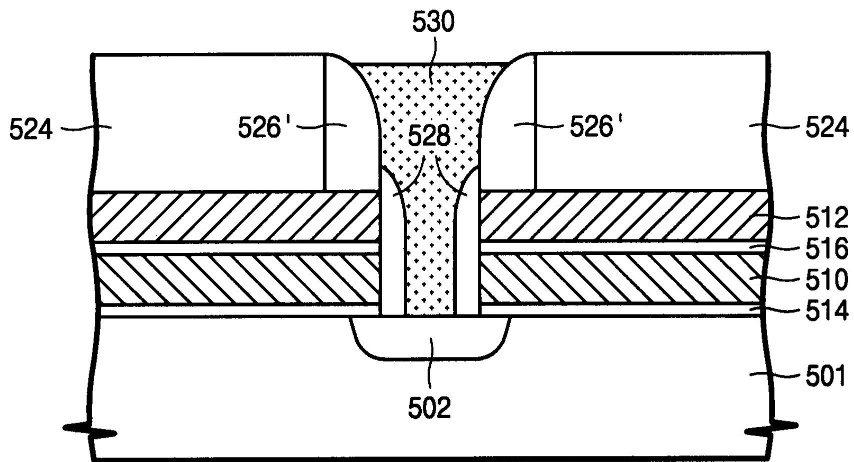
도면7d



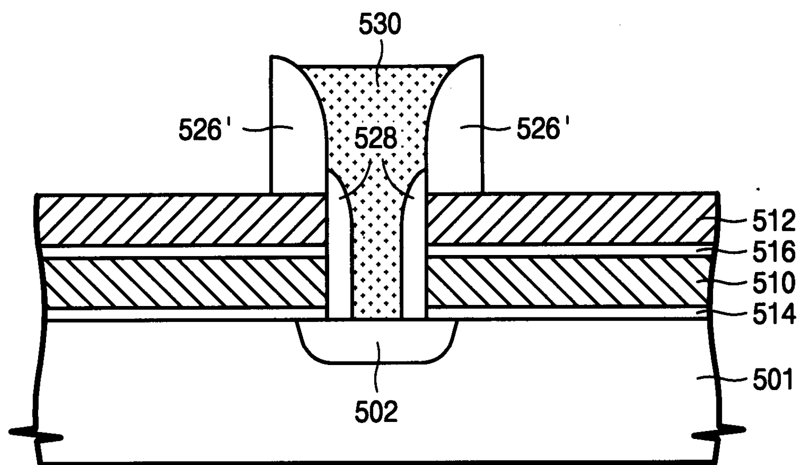
도면7e



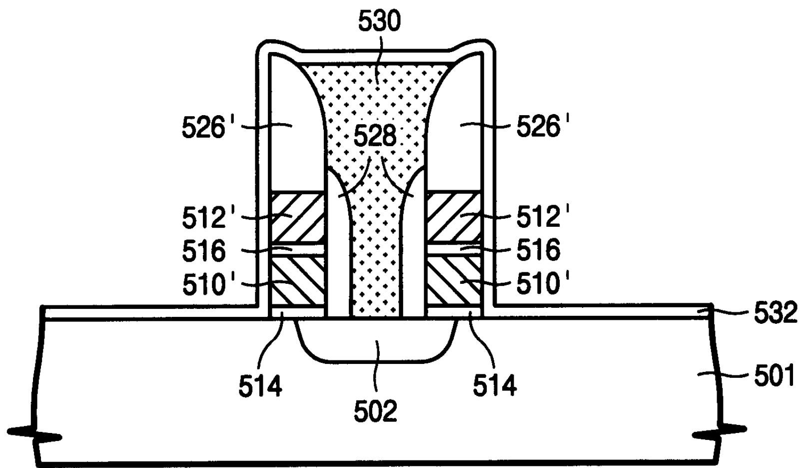
도면7f



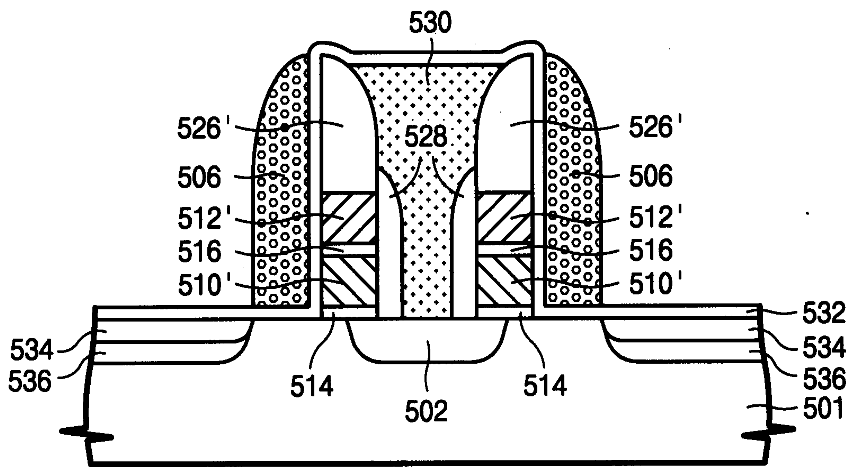
도면7g



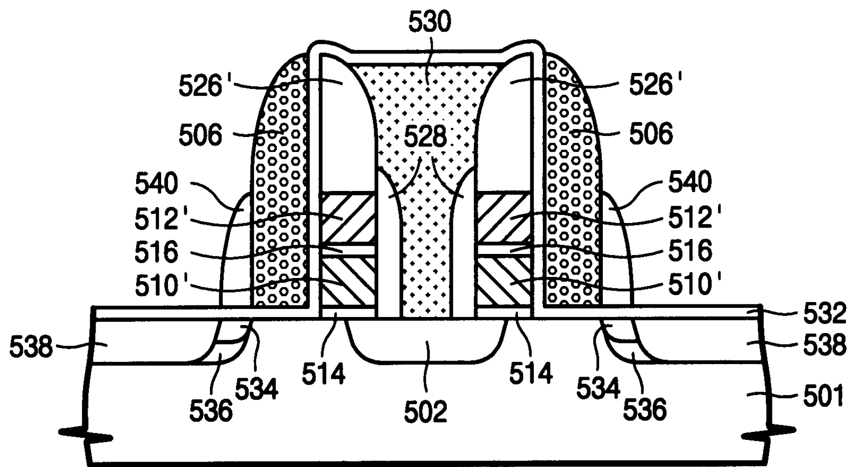
도면7h



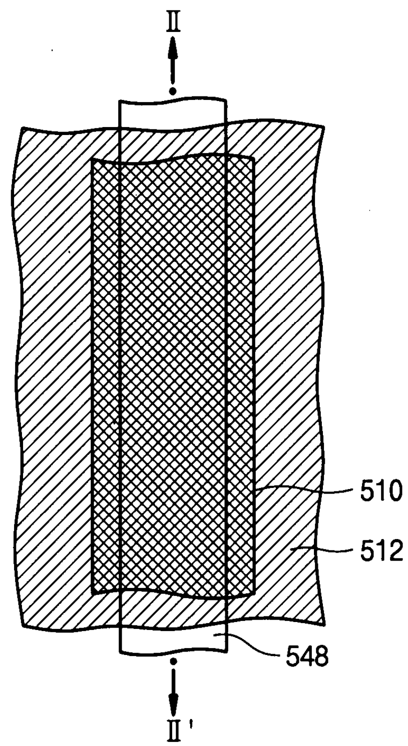
도면7i



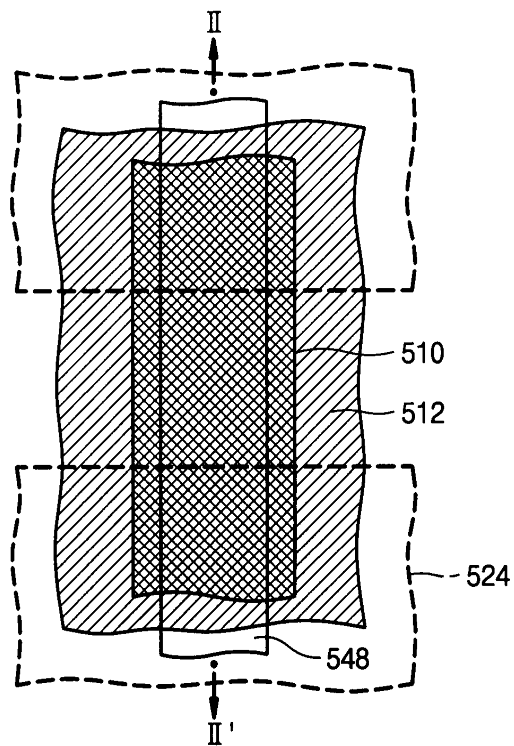
도면7j



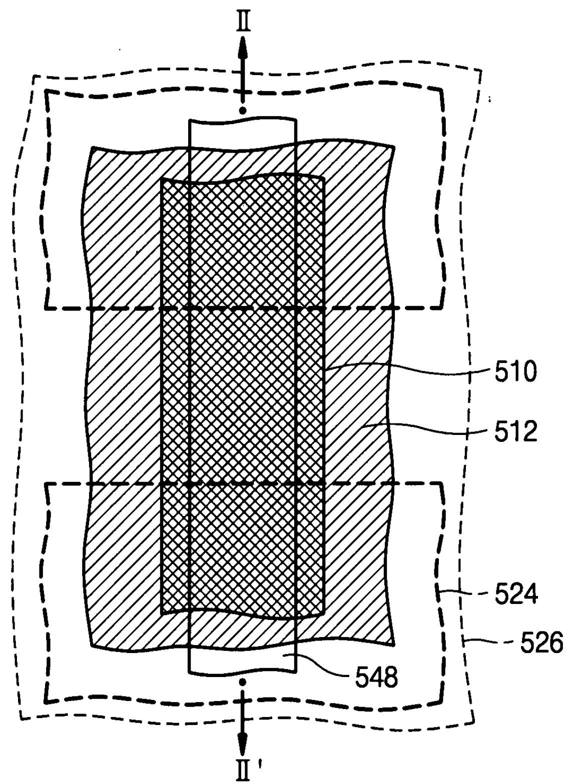
도면8a



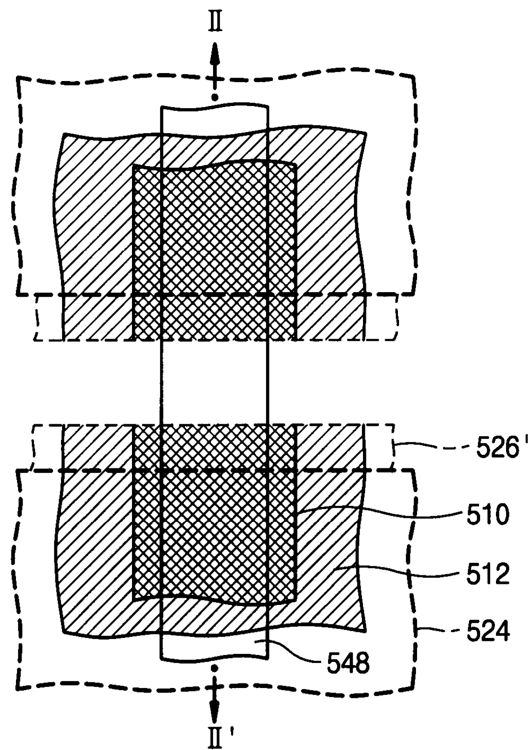
도면8b



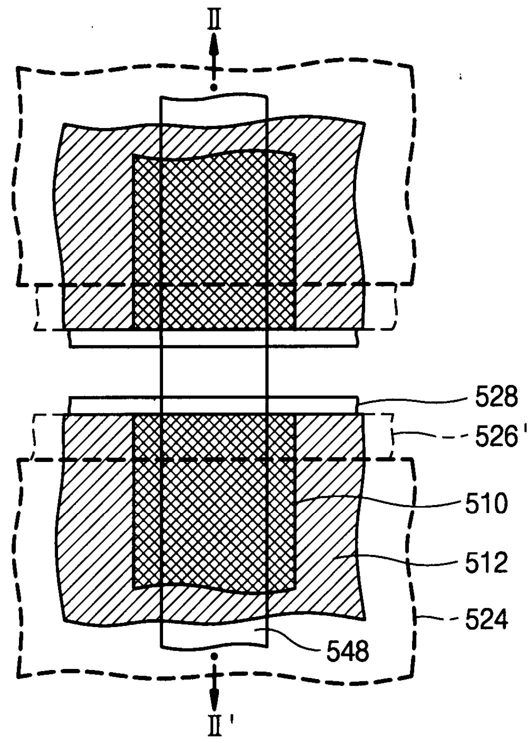
도면8c



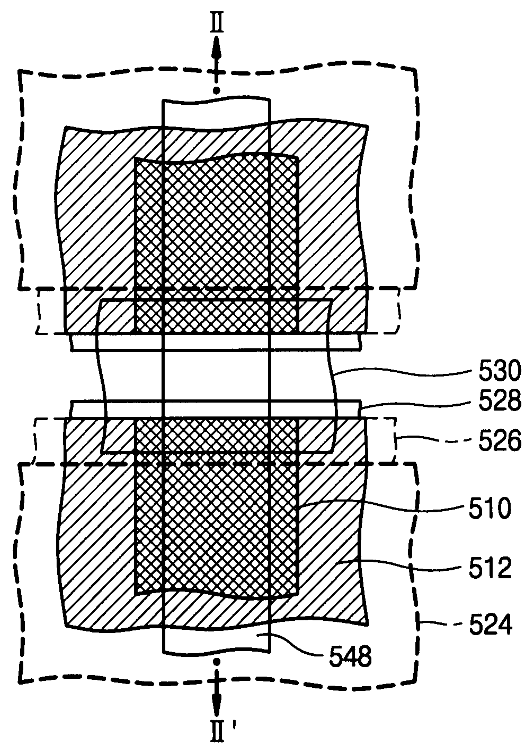
도면8d



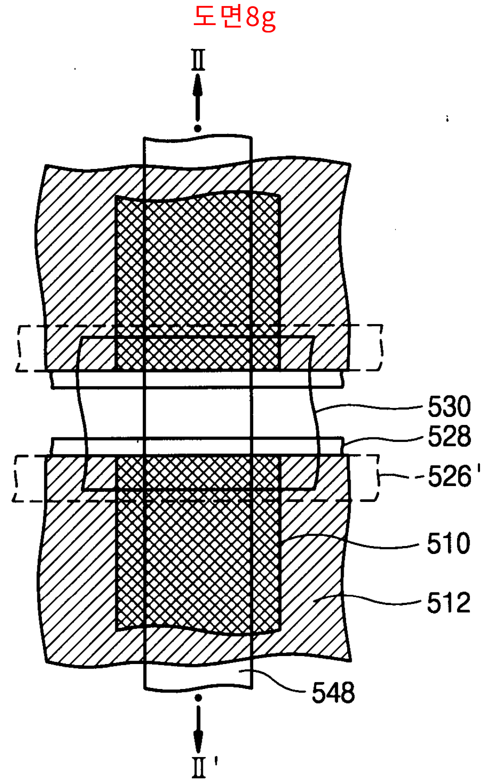
도면8e



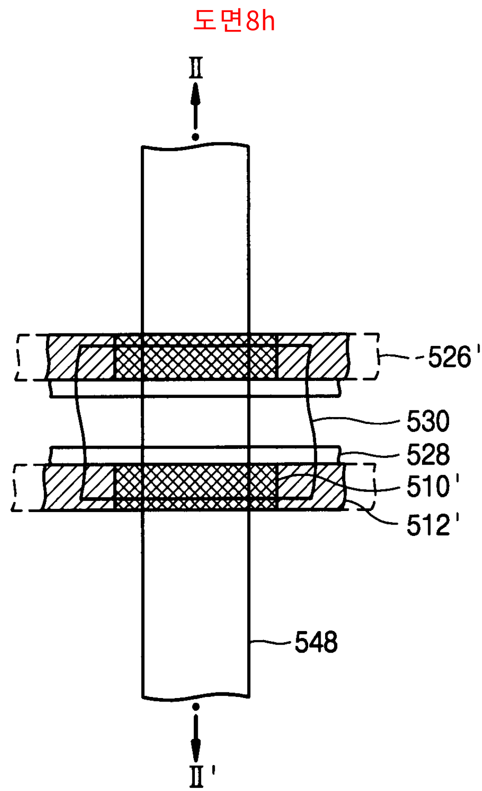
도면8f



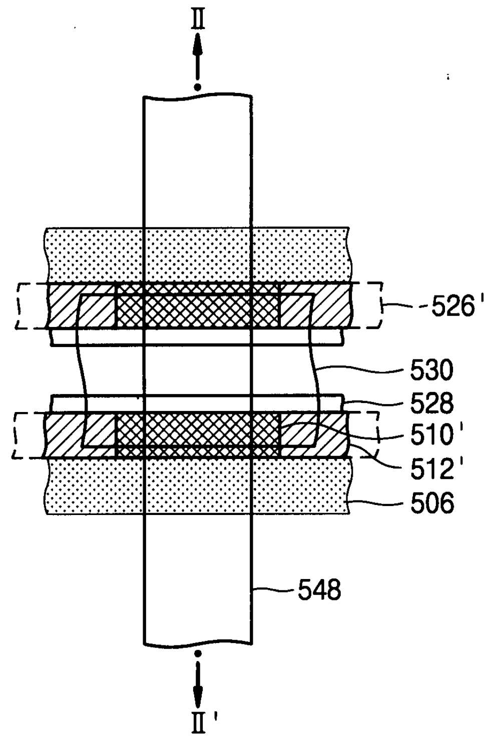
도면8g



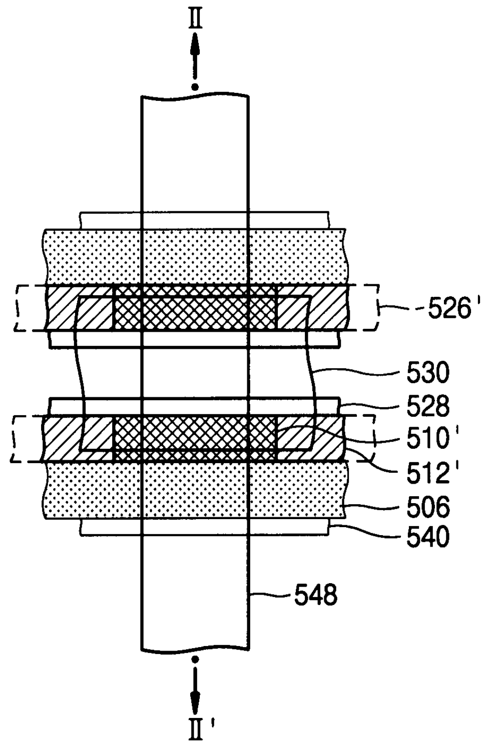
도면8h



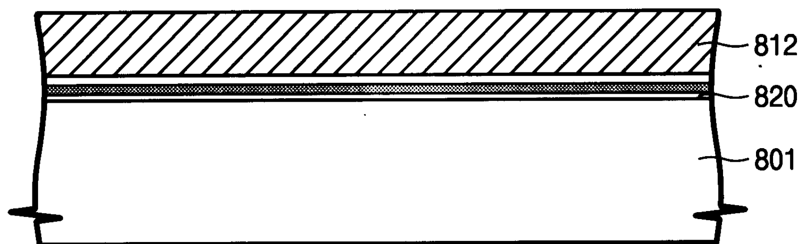
도면8i



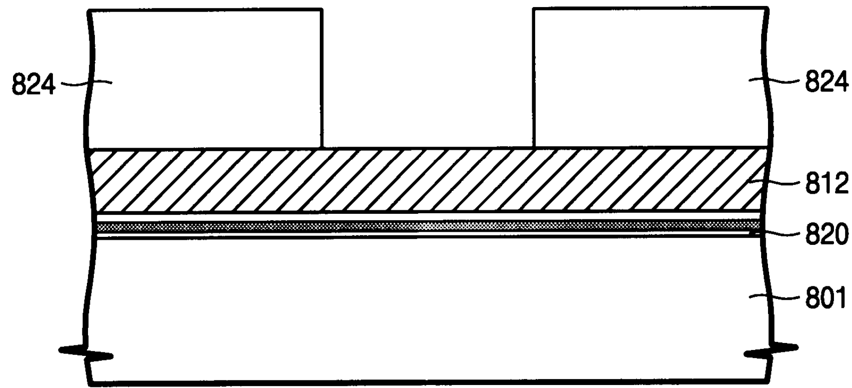
도면8j



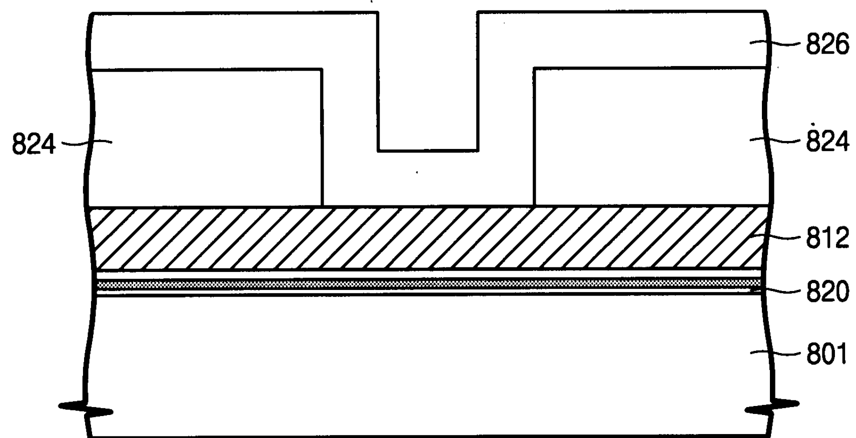
도면9a



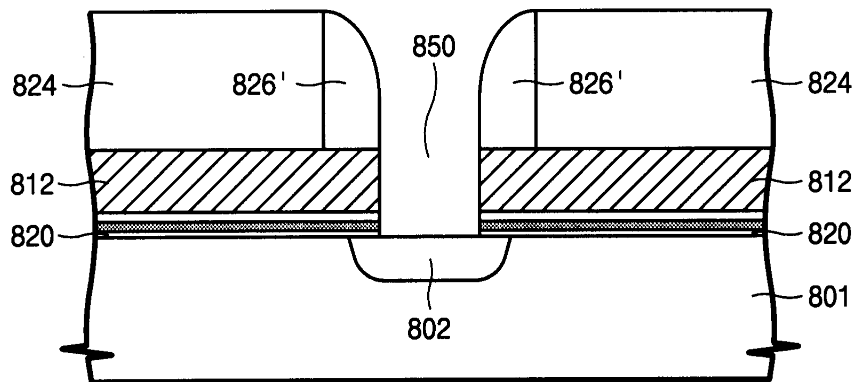
도면9b



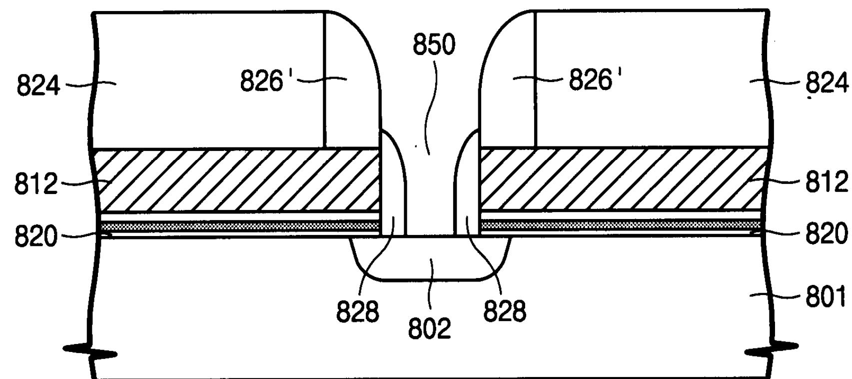
도면9c



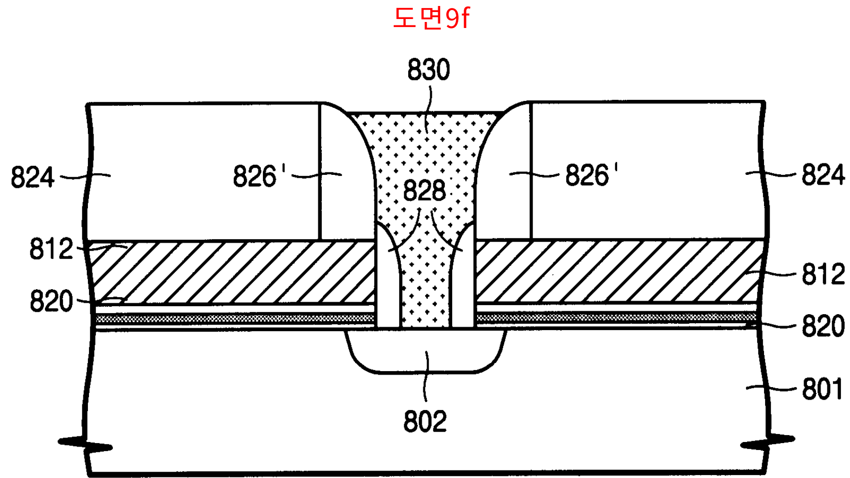
도면9d



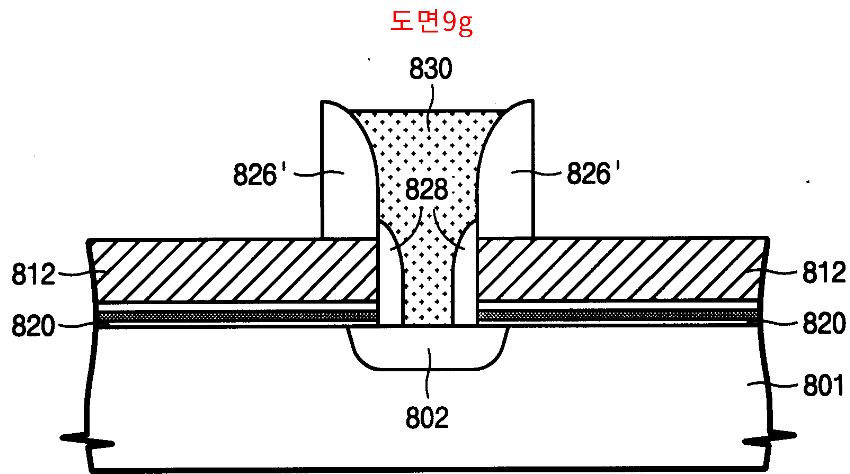
도면9e



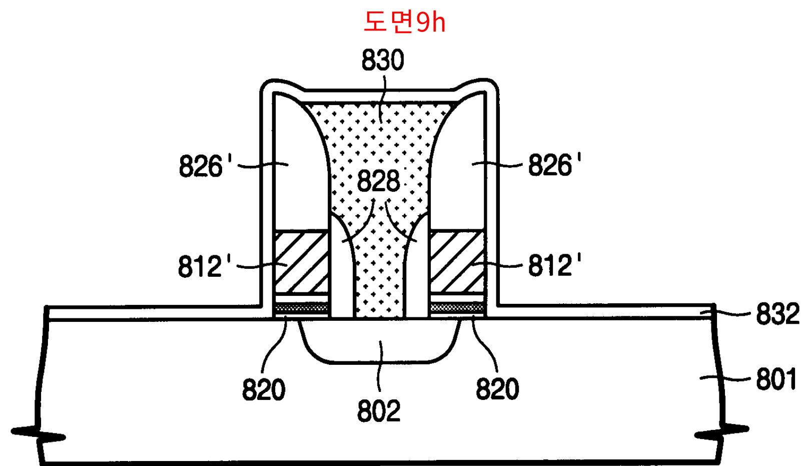
도면9f



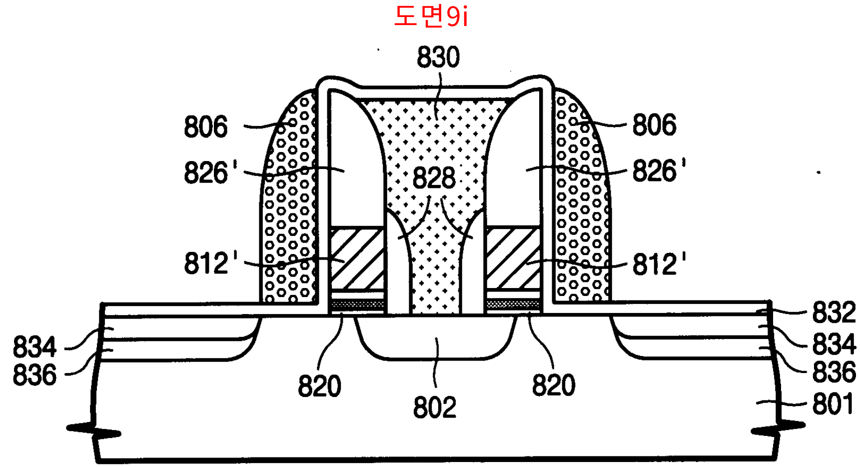
도면9g



도면9h



도면9i



도면9j