



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0022979
(43) 공개일자 2021년03월04일

(51) 국제특허분류(Int. Cl.)
H01L 27/108 (2006.01) H01L 21/02 (2006.01)
H01L 27/02 (2006.01)
(52) CPC특허분류
H01L 27/10882 (2013.01)
H01L 21/0217 (2013.01)
(21) 출원번호 10-2019-0102456
(22) 출원일자 2019년08월21일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
이충현
서울특별시 송파구 송파대로 345(가락동, 헬리오 시티)
최준용
경기도 화성시 경기대로1021번길 16-1, 403호(병점동)
이영주
경기도 용인시 기흥구 구성3로 65, 319동 401호(청덕동, 휴먼시아물푸레마을3단지아파트)
(74) 대리인
리엔목특허법인

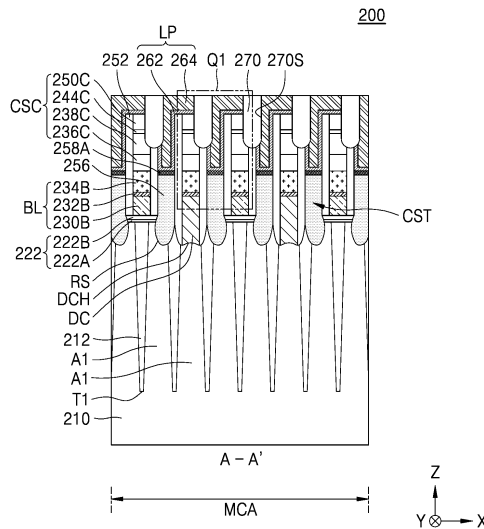
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 집적회로 소자 및 그 제조 방법

(57) 요약

집적회로 소자는 금속층을 포함하는 도전 라인과, 상기 도전 라인을 덮는 절연 캡핑 구조물을 포함하고, 상기 절연 캡핑 구조물은 상기 절연 캡핑 구조물 중 상기 금속층에 가장 가깝고 제1 치밀도를 가지는 제1 절연 캡핑 패턴과, 상기 제1 절연 캡핑 패턴을 사이에 두고 상기 금속층으로부터 이격되어 있고, 상기 제1 치밀도보다 더 큰 제2 치밀도를 가지는 제2 절연 캡핑 패턴을 포함한다. 집적회로 소자를 제조하기 위하여 기판 상에 금속층을 포함하는 도전 라인을 형성하고, 상기 금속층의 바로 위에 제1 치밀도를 가지는 제1 절연 캡핑층을 형성하고, 상기 제1 절연 캡핑층 위에 상기 제1 치밀도보다 더 큰 제2 치밀도를 가지는 제2 절연 캡핑층을 형성한다.

대표도 - 도4a



(52) CPC특허분류

H01L 21/76846 (2013.01)

H01L 21/7685 (2013.01)

H01L 27/0248 (2013.01)

H01L 27/10805 (2013.01)

H01L 27/1085 (2013.01)

명세서

청구범위

청구항 1

기판 상에 형성되고 금속층을 포함하는 도전 라인과, 상기 도전 라인을 덮는 절연 캡핑 구조물을 포함하고, 상기 절연 캡핑 구조물은

상기 절연 캡핑 구조물 중 상기 금속층에 가장 가깝고 제1 치밀도(density)를 가지는 제1 절연 캡핑 패턴과, 상기 제1 절연 캡핑 패턴을 사이에 두고 상기 금속층으로부터 이격되어 있고, 상기 제1 치밀도보다 더 큰 제2 치밀도를 가지는 제2 절연 캡핑 패턴을 포함하는 집적회로 소자.

청구항 2

제1항에 있어서,

상기 제1 절연 캡핑 패턴과 상기 제2 절연 캡핑 패턴은 서로 접해 있고, 상기 도전 라인의 길이 방향에 수직인 제1 수평 방향에서 상기 제1 절연 캡핑 패턴의 폭과 상기 제2 절연 캡핑 패턴의 폭은 동일한 집적회로 소자.

청구항 3

제1항에 있어서,

상기 제1 절연 캡핑 패턴은 상기 금속층에 접해 있고,

상기 금속층은 상기 금속층과 상기 제1 절연 캡핑 패턴과의 사이의 계면으로부터 상기 금속층의 일부 두께에 걸쳐 있는 질소 원자 확산 영역을 포함하는 집적회로 소자.

청구항 4

제3항에 있어서,

상기 질소 원자 확산 영역은 상기 금속층과 상기 제1 절연 캡핑 패턴과의 사이의 계면으로부터 5 Å 내지 40 Å의 두께를 가지는 집적회로 소자.

청구항 5

제1항에 있어서,

상기 제1 절연 캡핑 패턴 및 상기 제2 절연 캡핑 패턴은 각각 실리콘 질화막으로 이루어지는 집적회로 소자.

청구항 6

기판 상에 나란히 연장되고 제1 수평 방향에서 서로 이웃하는 한 쌍의 비트 라인과,

상기 한 쌍의 비트 라인을 덮는 한 쌍의 절연 캡핑 구조물과,

상기 한 쌍의 비트 라인의 사이, 및 상기 한 쌍의 절연 캡핑 구조물의 사이에서 수직 방향으로 연장되는 콘택 구조물을 포함하고,

상기 한 쌍의 비트 라인 각각은 금속층을 포함하고,

상기 한 쌍의 절연 캡핑 구조물 각각은

상기 금속층에 대면하고 제1 치밀도를 가지는 제1 절연 캡핑 패턴과,

상기 제1 절연 캡핑 패턴을 사이에 두고 상기 금속층으로부터 이격되어 있고, 상기 제1 치밀도보다 더 큰 제2 치밀도를 가지는 제2 절연 캡핑 패턴을 포함하는 집적회로 소자.

청구항 7

제6항에 있어서,

상기 한 쌍의 절연 캡핑 구조물 중 적어도 하나의 절연 캡핑 구조물에서, 상기 제1 수평 방향에서 상기 제1 절연 캡핑 패턴의 폭과 상기 제2 절연 캡핑 패턴의 폭은 동일한 집적회로 소자.

청구항 8

제6항에 있어서,

상기 제1 절연 캡핑 패턴은 상기 금속층에 접해 있고,

상기 금속층은 상기 제1 절연 캡핑 패턴에 접하는 W 층과, 상기 W 층 중 상기 제1 절연 캡핑 패턴에 접하는 일부 영역 내에서 상기 W 층을 구성하는 텅스텐 결정 구조들과의 화학 결합 없이 상기 W 층을 구성하는 텅스텐 결정 구조들 사이에 침투된 형태로 존재하는 N 원자들 및 W 원자들과, 상기 W 층 내에 분산되어 있는 텅스텐 질화물 입자들을 포함하는 집적회로 소자.

청구항 9

제6항에 있어서,

상기 한 쌍의 절연 캡핑 구조물 사이에 개재된 콘택 구조물을 더 포함하는 집적회로 소자.

청구항 10

셀 어레이 영역 및 주변 회로 영역을 가지는 기판과,

상기 셀 어레이 영역에서 상기 기판 상에 형성되고 제1 금속층을 포함하는 비트 라인과,

상기 셀 어레이 영역에서 상기 비트 라인을 덮는 제1 절연 캡핑 구조물과,

상기 주변 회로 영역에서 상기 기판 상에 형성되고 제2 금속층을 포함하는 게이트 전극과,

상기 주변 회로 영역에서 상기 게이트 전극을 덮는 제2 절연 캡핑 구조물을 포함하고,

상기 제1 절연 캡핑 구조물 및 상기 제2 절연 캡핑 구조물 각각은

제1 치밀도를 가지는 제1 절연 캡핑 패턴과,

상기 제1 절연 캡핑 패턴을 사이에 두고 상기 기판으로부터 이격되어 있고, 상기 제1 치밀도보다 더 큰 제2 치밀도를 가지는 제2 절연 캡핑 패턴을 포함하고,

상기 제1 금속층은 상기 제1 절연 캡핑 구조물에 포함된 상기 제1 절연 캡핑 패턴에 접해 있고, 상기 제1 금속층은 상기 제1 금속층과 상기 제1 절연 캡핑 구조물에 포함된 상기 제1 절연 캡핑 패턴과의 사이의 계면으로부터 상기 제1 금속층의 일부 두께에 걸쳐 있는 질소 원자 확산 영역을 포함하는 집적회로 소자.

청구항 11

제10항에 있어서,

상기 질소 원자 확산 영역은 상기 제1 금속층과 상기 제1 절연 캡핑 구조물에 포함된 상기 제1 절연 캡핑 패턴과의 사이의 계면으로부터 5 Å 내지 40 Å의 두께를 가지는 집적회로 소자.

청구항 12

기판 상에 금속층을 포함하는 도전 라인을 형성하는 단계와,

상기 도전 라인 위에 복수의 절연 패턴을 포함하는 절연 캡핑 구조물을 형성하는 단계를 포함하고,

상기 절연 캡핑 구조물을 형성하는 단계는

상기 금속층의 바로 위에 제1 치밀도를 가지는 제1 절연 캡핑층을 형성하는 단계와,

상기 제1 절연 캡핑층 위에 상기 제1 치밀도보다 더 큰 제2 치밀도를 가지는 제2 절연 캡핑층을 형성하는 단계

를 포함하는 집적회로 소자의 제조 방법.

청구항 13

제12항에 있어서,

상기 제1 절연 캡핑층을 형성하는 단계는 500 ~ 700 °C의 범위 내에서 선택되는 제1 온도 하에서 수행되고,

상기 제2 절연 캡핑층을 형성하는 단계는 상기 제1 온도보다 높고 700 ~ 800 °C의 범위 내에서 선택되는 제2 온도 하에서 수행되는 집적회로 소자의 제조 방법.

청구항 14

제12항에 있어서,

상기 금속층은 W 층으로 이루어지고, 상기 제1 절연 캡핑층은 실리콘 질화막, 실리콘 탄화질화막, 또는 이들의 조합으로 이루어지고, 상기 제2 절연 캡핑층은 실리콘 질화막으로 이루어지는 집적회로 소자의 제조 방법.

청구항 15

기관 상에 금속층이 노출되는 상면을 가지는 복수의 도전층을 형성하는 단계와,

상기 금속층 위에 제1 치밀도를 가지는 제1 절연 캡핑 패턴과, 상기 제1 치밀도보다 더 큰 제2 치밀도를 가지는 제2 절연 캡핑 패턴을 포함하는 절연 캡핑 구조물을 형성하는 단계와,

상기 절연 캡핑 구조물을 식각 마스크로 이용하여 상기 복수의 도전층을 식각하여 비트 라인을 형성하는 단계를 포함하는 집적회로 소자의 제조 방법.

청구항 16

제15항에 있어서,

상기 절연 캡핑 구조물을 형성하는 단계는

500 ~ 700 °C의 범위 내에서 선택되는 제1 온도 하에서 상기 금속층의 바로 위에 제1 절연 캡핑층을 형성하는 단계와,

상기 제1 온도보다 높고 700 ~ 800 °C의 범위 내에서 선택되는 제2 온도 하에서 상기 제1 절연 캡핑층 위에 제2 절연 캡핑층을 형성하는 단계와,

상기 제2 절연 캡핑층 및 상기 제1 절연 캡핑층을 식각하여 상기 제2 절연 캡핑 패턴 및 상기 제1 절연 캡핑 패턴을 형성하는 단계를 포함하는 집적회로 소자의 제조 방법.

청구항 17

제15항에 있어서,

상기 절연 캡핑 구조물을 형성하는 단계는 상기 제1 절연 캡핑층을 형성하면서 상기 제1 절연 캡핑층으로부터 상기 금속층으로 N 원자들을 확산시키는 단계를 포함하는 집적회로 소자의 제조 방법.

청구항 18

셀 어레이 영역 및 주변 회로 영역에서 기관 상에 금속층을 포함하는 복수의 도전층을 형성하는 단계와,

상기 셀 어레이 영역에서 상기 복수의 도전층 위에 제1 치밀도를 가지는 제1 절연 캡핑 패턴과, 상기 제1 치밀도보다 더 큰 제2 치밀도를 가지는 제2 절연 캡핑 패턴을 포함하는 제1 절연 캡핑 구조물을 형성하는 단계와,

상기 주변 회로 영역에서 상기 복수의 도전층 위에 상기 제1 치밀도를 가지는 제3 절연 캡핑 패턴과, 상기 제2 치밀도를 가지는 제4 절연 캡핑 패턴을 포함하는 제2 절연 캡핑 구조물을 형성하는 단계와,

상기 셀 어레이 영역에서 상기 제1 절연 캡핑 구조물을 식각 마스크로 이용하여 상기 복수의 도전층을 식각하여 비트 라인을 형성하는 단계와,

상기 주변 회로 영역에서 상기 제2 절연 캡핑 구조물을 식각 마스크로 이용하여 상기 복수의 도전층을 식각하여

게이트 전극을 형성하는 단계를 포함하는 집적회로 소자의 제조 방법.

청구항 19

제18항에 있어서,

상기 복수의 도전층을 형성하는 단계 후, 상기 셀 어레이 영역 및 상기 주변 회로 영역에서 500 ~ 700 °C의 범위 내에서 선택되는 제1 온도 하에서 상기 금속층의 바로 위에 제1 절연 캡핑층을 형성하는 단계와,

상기 셀 어레이 영역 및 상기 주변 회로 영역에서 상기 제1 온도보다 높고 700 ~ 800 °C의 범위 내에서 선택되는 제2 온도 하에서 상기 제1 절연 캡핑층 위에 제2 절연 캡핑층을 형성하는 단계를 더 포함하고,

상기 제1 절연 캡핑 구조물을 형성하는 단계는 상기 제2 절연 캡핑층 및 상기 제1 절연 캡핑층을 식각하여 상기 제2 절연 캡핑 패턴 및 상기 제1 절연 캡핑 패턴을 형성하는 단계를 포함하고,

상기 제2 절연 캡핑 구조물을 형성하는 단계는 상기 제2 절연 캡핑층 및 상기 제1 절연 캡핑층을 식각하여 상기 제4 절연 캡핑 패턴 및 상기 제3 절연 캡핑 패턴을 형성하는 단계를 포함하는 집적회로 소자의 제조 방법.

청구항 20

제19항에 있어서,

상기 제1 절연 캡핑층을 형성하는 동안 상기 제1 절연 캡핑층으로부터 상기 금속층으로 N 원자들을 확산시키는 단계를 포함하는 집적회로 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명의 기술적 사상은 집적회로 소자 및 그 제조 방법에 관한 것으로, 특히 비트 라인을 포함하는 집적회로 소자에 관한 것이다.

배경 기술

[0002] 집적회로 소자의 다운-스케일링(down-scaling)이 급속도로 진행됨에 따라 복수의 배선 라인 각각의 사이의 간격이 좁아지고, 복수의 배선 라인 및 이들 사이에 개재되는 복수의 도전성 구조체들이 차지하는 면적도 점차 감소되어, 상기 복수의 배선 라인 및 상기 복수의 도전성 구조체들에서 충분한 콘택 면적을 확보하기 어렵다. 이에 따라, 제한된 면적 내에서 고밀도로 배치되는 배선 라인들에서 저항 증가를 억제할 수 있는 구조 및 그 구현 방법의 개발이 필요하다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 기술적 사상이 이루고자 하는 기술적 과제는 집적회로 소자의 다운-스케일링에 따라 미세화된 단위 셀 사이즈를 가지는 집적회로 소자에서 제한된 면적 내에 고밀도로 배치되는 배선 라인들에서의 저항 증가를 억제할 수 있는 구조를 가지는 집적회로 소자를 제공하는 것이다.

[0004] 본 발명의 기술적 사상이 이루고자 하는 다른기술적 과제는 집적회로 소자의 다운-스케일링에 따라 미세화된 단위 셀 사이즈를 가지는 집적회로 소자에서 제한된 면적 내에 고밀도로 배치되는 배선 라인들에서의 저항 증가를 억제할 수 있는 구조를 가지는 집적회로 소자의 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0005] 본 발명의 기술적 사상에 의한 일 양태에 따른 집적회로 소자는 기판 상에 형성되고 금속층을 포함하는 도전 라인과, 상기 도전 라인을 덮는 절연 캡핑 구조물을 포함하고, 상기 절연 캡핑 구조물은 상기 절연 캡핑 구조물 중 상기 금속층에 가장 가깝고 제1 치밀도(density)를 가지는 제1 절연 캡핑 패턴과, 상기 제1 절연 캡핑 패턴을 사이에 두고 상기 금속층으로부터 이격되어 있고, 상기 제1 치밀도보다 더 큰 제2 치밀도를 가지는 제2 절연

캐핑 패턴을 포함한다.

- [0006] 본 발명의 기술적 사상에 의한 다른 양태에 따른 집적회로 소자는 기판 상에 나란히 연장되고 제1 수평 방향에서 서로 이웃하는 한 쌍의 비트 라인과, 상기 한 쌍의 비트 라인을 덮는 한 쌍의 절연 캐핑 구조물과, 상기 한 쌍의 비트 라인의 사이, 및 상기 한 쌍의 절연 캐핑 구조물의 사이에서 수직 방향으로 연장되는 콘택 구조물을 포함하고, 상기 한 쌍의 비트 라인 각각은 금속층을 포함하고, 상기 한 쌍의 절연 캐핑 구조물 각각은 상기 금속층에 대면하고 제1 치밀도를 가지는 제1 절연 캐핑 패턴과, 상기 제1 절연 캐핑 패턴을 사이에 두고 상기 금속층으로부터 이격되어 있고, 상기 제1 치밀도보다 더 큰 제2 치밀도를 가지는 제2 절연 캐핑 패턴을 포함한다.
- [0007] 본 발명의 기술적 사상에 의한 또 다른 양태에 따른 집적회로 소자는 셀 어레이 영역 및 주변 회로 영역을 가지는 기판과, 상기 셀 어레이 영역에서 상기 기판 상에 형성되고 제1 금속층을 포함하는 비트 라인과, 상기 셀 어레이 영역에서 상기 비트 라인을 덮는 제1 절연 캐핑 구조물과, 상기 주변 회로 영역에서 상기 기판 상에 형성되고 제2 금속층을 포함하는 게이트 전극과, 상기 주변 회로 영역에서 상기 게이트 전극을 덮는 제2 절연 캐핑 구조물을 포함하고, 상기 제1 절연 캐핑 구조물 및 상기 제2 절연 캐핑 구조물 각각은 제1 치밀도를 가지는 제1 절연 캐핑 패턴과, 상기 제1 절연 캐핑 패턴을 사이에 두고 상기 기판으로부터 이격되어 있고, 상기 제1 치밀도보다 더 큰 제2 치밀도를 가지는 제2 절연 캐핑 패턴을 포함하고, 상기 제1 금속층은 상기 제1 절연 캐핑 구조물에 포함된 상기 제1 절연 캐핑 패턴에 접해 있고, 상기 제1 금속층은 상기 제1 금속층과 상기 제1 절연 캐핑 구조물에 포함된 상기 제1 절연 캐핑 패턴과의 사이의 계면으로부터 상기 제1 금속층의 일부 두께에 걸쳐 있는 절소 원자 확산 영역을 포함한다.
- [0008] 본 발명의 기술적 사상에 의한 일 양태에 따른 집적회로 소자의 제조 방법에서는 기판 상에 금속층을 포함하는 도전 라인을 형성한다. 상기 도전 라인 위에 복수의 절연 패턴을 포함하는 절연 캐핑 구조물을 형성한다. 상기 절연 캐핑 구조물을 형성하기 위하여 상기 금속층의 바로 위에 제1 치밀도를 가지는 제1 절연 캐핑층을 형성한다. 상기 제1 절연 캐핑층 위에 상기 제1 치밀도보다 더 큰 제2 치밀도를 가지는 제2 절연 캐핑층을 형성한다.
- [0009] 본 발명의 기술적 사상에 의한 다른 양태에 따른 집적회로 소자의 제조 방법에서는 기판 상에 금속층이 노출되는 상면을 가지는 복수의 도전층을 형성한다. 상기 금속층 위에 제1 치밀도를 가지는 제1 절연 캐핑 패턴과, 상기 제1 치밀도보다 더 큰 제2 치밀도를 가지는 제2 절연 캐핑 패턴을 포함하는 절연 캐핑 구조물을 형성한다. 상기 절연 캐핑 구조물을 식각 마스크로 이용하여 상기 복수의 도전층을 식각하여 비트 라인을 형성한다.
- [0010] 본 발명의 기술적 사상에 의한 또 다른 양태에 따른 집적회로 소자의 제조 방법에서는 셀 어레이 영역 및 주변 회로 영역에서 기판 상에 금속층을 포함하는 복수의 도전층을 형성한다. 상기 셀 어레이 영역에서 상기 복수의 도전층 위에 제1 치밀도를 가지는 제1 절연 캐핑 패턴과, 상기 제1 치밀도보다 더 큰 제2 치밀도를 가지는 제2 절연 캐핑 패턴을 포함하는 제1 절연 캐핑 구조물을 형성한다. 상기 주변 회로 영역에서 상기 복수의 도전층 위에 상기 제1 치밀도를 가지는 제3 절연 캐핑 패턴과, 상기 제2 치밀도를 가지는 제4 절연 캐핑 패턴을 포함하는 제2 절연 캐핑 구조물을 형성한다. 상기 셀 어레이 영역에서 상기 제1 절연 캐핑 구조물을 식각 마스크로 이용하여 상기 복수의 도전층을 식각하여 비트 라인을 형성한다. 상기 주변 회로 영역에서 상기 제2 절연 캐핑 구조물을 식각 마스크로 이용하여 상기 복수의 도전층을 식각하여 게이트 전극을 형성한다.

발명의 효과

- [0011] 본 발명의 기술적 사상에 의한 집적회로 소자 및 그 제조 방법에 의하면, 셀 어레이 영역에 고밀도로 배치되는 복수의 비트 라인에서 금속층과 절연 캐핑층과의 사이의 계면에 원하지 않는 절연성 금속 질화막이 형성되는 것을 억제할 수 있다. 따라서, 복수의 비트 라인에서의 저항 증가를 억제할 수 있다. 또한, 복수의 비트 라인을 덮는 절연 캐핑 구조물의 설계를 최적화함으로써, 복수의 비트 라인 각각의 사이에 개재되는 복수의 도전성 구조체들에서의 저항 증가를 억제할 수 있고, 집적회로 소자의 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

- [0012] 도 1은 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 예시적인 구성을 설명하기 위한 블록도이다.
- 도 2는 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 예시적인 배치 구성을 설명하기 위한 평면도이다.
- 도 3은 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 셀 어레이 영역의 주요 구성들을 설명

하기 위한 개략적인 평면 레이아웃이다.

도 4a 내지 도 4c는 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자를 설명하기 위한 단면도들이다.

도 5는 도 4a의 "Q1"으로 표시한 점선 영역의 일부 구성들의 확대 단면도이다.

도 6a 내지 도 6c는 본 발명의 기술적 사상에 의한 다른 실시예들에 따른 집적회로 소자를 설명하기 위한 단면도들이다.

도 7은 도 6a의 "Q2"로 표시한 점선 영역의 일부 구성들의 확대 단면도이다.

도 8a 내지 도 8q는 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

도 9a 내지 도 9c는 본 발명의 기술적 사상에 의한 다른 실시예들에 따른 집적회로 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하, 첨부 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고, 이들에 대한 중복된 설명은 생략한다.
- [0014] 도 1은 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 예시적인 구성을 설명하기 위한 블록도이다. 도 1에는 DRAM(dynamic random access memory) 소자로 이루어지는 집적회로 소자(100)의 구성이 예시되어 있다.
- [0015] 도 1을 참조하면, 집적회로 소자(100)는 제1 영역(22) 및 제2 영역(24)을 포함한다. 제1 영역(22)은 DRAM 소자의 메모리 셀 영역이고, 제2 영역(24)은 DRAM 소자의 주변 회로 영역일 수 있다. 제1 영역(22)은 메모리 셀 어레이(22A)를 포함할 수 있다. 메모리 셀 어레이(22A)에서 데이터를 저장하기 위한 복수의 메모리 셀이 로우(row) 방향과 칼럼(column) 방향으로 배열될 수 있다. 제2 영역(24)은 로우 디코더(52), 센스 앰프(54), 칼럼 디코더(56), 셀프 리프레쉬 제어 회로(58), 커맨드 디코더(60), MRS/EMRS(Mode Register Set/Extended Mode Register Set) 회로(62), 어드레스 버퍼(64), 및 데이터 입출력 회로(66)를 구비할 수 있다.
- [0016] 도 2는 도 1에 예시한 집적회로 소자(100)의 예시적인 배치 구성을 설명하기 위한 평면도이다.
- [0017] 도 2를 참조하면, 집적회로 소자(100)는 복수의 제1 영역(22)을 포함한다. 복수의 제1 영역(22)은 각각 제2 영역(24)으로 포위될 수 있다. 복수의 제1 영역(22)은 각각 DRAM 소자의 셀 어레이 영역(MCA)이고, 제2 영역(24)은 DRAM 소자의 주변 회로들이 형성되는 영역 및 코어 영역(이하, "주변 회로 영역"이라 함)일 수 있다. 복수의 제1 영역(22)에서 셀 어레이 영역(MCA)은 도 1을 참조하여 설명한 메모리 셀 어레이(22A)를 포함할 수 있다.
- [0018] 제2 영역(24)은 서브 워드 라인 드라이버(sub-word line driver) 블록(SWD), 센스앰프 블록(S/A), 및 킨정선 블록(CJT)을 포함할 수 있다. 센스앰프 블록(S/A)에는 복수의 비트 라인 센스 앰프가 배치될 수 있다. 킨정선 블록(CJT)은 서브 워드 라인 드라이버 블록(SWD)과 센스앰프 블록(S/A)이 교차하는 지점에 배치될 수 있다. 킨정선 블록(CJT)에는 비트 라인 센스앰프를 구동하기 위한 전원 드라이버들 및 접지 드라이버들이 교대로 배치될 수 있다. 제2 영역(24)에는 인버터 체인(inverter chain), 입출력 회로 등과 같은 주변 회로가 더 형성될 수 있다.
- [0019] 도 3은 도 2에 예시한 셀 어레이 영역(MCA)의 주요 구성들을 설명하기 위한 개략적인 평면 레이아웃이다.
- [0020] 도 3을 참조하면, 셀 어레이 영역(MCA)은 복수의 셀 활성화 영역(A1)을 포함할 수 있다. 복수의 셀 활성화 영역(A1)은 각각 제1 수평 방향(X 방향) 및 제2 수평 방향(Y 방향)에 대하여 사선 방향으로 장축을 가지도록 배치될 수 있다. 복수의 워드 라인(WL)이 복수의 셀 활성화 영역(A1)을 가로질러 X 방향을 따라 상호 평행하게 연장될 수 있다. 복수의 워드 라인(WL) 위에는 복수의 비트 라인(BL)이 제2 수평 방향(Y 방향)을 따라 상호 평행하게 연장될 수 있다. 복수의 비트 라인(BL)은 다이렉트 콘택(DC)을 통해 복수의 셀 활성화 영역(A1)에 연결될 수 있다. 복수의 비트 라인(BL) 중 상호 인접한 2 개의 비트 라인(BL) 사이에 복수의 베리드 콘택(BC)이 형성될 수 있다. 복수의 베리드 콘택(BC)은 제1 수평 방향(X 방향) 및 제2 수평 방향(Y 방향)을 따라 일렬로 배열될 수 있다. 복수의 베리드 콘택(BC) 위에는 복수의 도전성 랜딩 패드(LP)가 형성될 수 있다. 복수의 베리드 콘택(BC) 및 복수의 도전성 랜딩 패드(LP)는 복수의 비트 라인(BL)의 상부에 형성되는 커패시터의 하부 전극(도시 생략)을 셀 활

성 영역(A1)에 연결시키는 역할을 할 수 있다. 복수의 도전성 랜딩 패드(LP)는 각각 베리드 콘택(BC)과 일부 오버랩되도록 배치될 수 있다.

- [0021] 도 4a 내지 도 4c는 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자를 설명하기 위한 단면도들로서, 도 4a 및 도 4b는 각각 집적회로 소자(200)의 셀 어레이 영역(MCA)의 일부 영역의 예시적인 구성을 보여주는 단면도이고, 도 4c는 집적회로 소자(200)의 주변 회로 영역(CORE/PERI)의 일부 영역의 예시적인 구성을 보여주는 단면도이다. 집적회로 소자(200)의 셀 어레이 영역(MCA)은 도 3에 예시한 평면 레이아웃을 가질 수 있다. 도 4a에는 도 3의 A - A' 선 단면에 대응하는 일부 영역의 단면 구성이 예시되어 있고, 도 4b에는 도 3의 B - B' 선 단면에 대응하는 일부 영역의 단면 구성이 예시되어 있다.
- [0022] 도 5는 도 4a의 "Q1"으로 표시한 점선 영역의 일부 구성들의 확대 단면도이다.
- [0023] 도 4a 내지 도 4c와 도 5를 참조하면, 집적회로 소자(200)는 도 1 내지 도 3에 예시한 집적회로 소자(100)의 일부를 구성할 수 있다. 집적회로 소자(200)는 셀 어레이 영역(MCA) 및 주변 회로 영역(CORE/PERI)을 가지는 기관(210)을 포함한다. 기관(210)에는 소자 분리용 트렌치(T1)가 형성되어 있고, 소자 분리용 트렌치(T1) 내에는 소자분리막(212)이 형성되어 있다. 소자분리막(212)에 의해 셀 어레이 영역(MCA)에서는 기관(210)에 복수의 셀 활성 영역(A1)이 정의되고, 주변 회로 영역(CORE/PERI)에서는 기관(210)에 주변 활성 영역(A2)이 정의될 수 있다.
- [0024] 기관(210)은 실리콘, 예를 들면 단결정 실리콘, 다결정 실리콘, 또는 비정질 실리콘을 포함할 수 있다. 다른 일부 실시예들에서, 기관(210)은 Ge, SiGe, SiC, GaAs, InAs, 및 InP 중에서 선택되는 적어도 하나를 포함할 수 있다. 일부 실시예들에서, 기관(210)은 도전 영역, 예를 들면 불순물이 도핑된 웰(well), 또는 불순물이 도핑된 구조물을 포함할 수 있다. 소자분리막(212)은 산화막, 질화막, 또는 이들의 조합으로 이루어질 수 있다.
- [0025] 셀 어레이 영역(MCA)에서, 기관(210)에는 제1 수평 방향(X 방향)으로 연장되는 복수의 워드 라인 트렌치(T2)가 형성되어 있고, 복수의 워드 라인 트렌치(T2) 내에는 복수의 게이트 유전막(216), 복수의 워드 라인(218), 및 복수의 매몰 절연막(220)이 형성되어 있다. 복수의 워드 라인(218)은 도 3에 예시한 복수의 워드 라인(WL)에 대응할 수 있다. 매몰 절연막(220)의 상면에 복수의 리세스 공간(220R)이 형성될 수 있다. 복수의 게이트 유전막(216)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, ONO(oxide/nitride/oxide) 막, 또는 실리콘 산화막보다 높은 유전 상수를 가지는 고유전막(high-k dielectric film)으로 이루어질 수 있다. 예를 들면, 복수의 게이트 유전막(216)은 HfO₂, Al₂O₃, HfAlO₃, Ta₂O₃, 또는 TiO₂를 포함할 수 있다. 복수의 워드 라인(218)은 Ti, TiN, Ta, TaN, W, WN, TiSiN, WSiN, 또는 이들의 조합으로 이루어질 수 있다. 복수의 매몰 절연막(220)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, 또는 이들의 조합으로 이루어질 수 있다.
- [0026] 셀 어레이 영역(MCA)에서 기관(210) 상에 버퍼막(222)이 형성될 수 있다. 버퍼막(222)은 제1 절연막(222A) 및 제2 절연막(222B)을 포함할 수 있다. 제1 절연막(222A) 및 제2 절연막(222B)은 각각 산화막, 질화막, 또는 이들의 조합으로 이루어질 수 있다. 복수의 다이렉트 콘택(DC)이 복수의 셀 활성 영역(A1) 위에 배치될 수 있다. 다이렉트 콘택(DC)은 Si, Ge, W, WN, Co, Ni, Al, Mo, Ru, Ti, TiN, Ta, TaN, Cu, 또는 이들의 조합으로 이루어질 수 있다.
- [0027] 기관(210) 및 복수의 다이렉트 콘택(DC) 위에 복수의 비트 라인(BL)이 제2 수평 방향(Y 방향)을 따라 길게 연장될 수 있다. 복수의 비트 라인(BL)은 각각 다이렉트 콘택(DC)을 통해 셀 활성 영역(A1)에 연결될 수 있다. 복수의 비트 라인(BL)은 각각 기관(210) 상에 차례로 적층된 하부 도전 패턴(230B), 중간 도전 패턴(232B), 및 상부 도전 패턴(234B)을 포함할 수 있다. 복수의 비트 라인(BL) 중 최상층을 구성하는 상부 도전 패턴(234B)은 금속으로 이루어질 수 있다. 하부 도전 패턴(230B)은 도핑된 폴리실리콘으로 이루어질 수 있다. 중간 도전 패턴(232B)은 TiN, TiSiN, W, 텅스텐 실리사이드, 또는 이들의 조합으로 이루어질 수 있다. 예시적인 실시예들에서, 중간 도전 패턴(232B)은 TiN, TiSiN, 또는 이들의 조합으로 이루어지고, 상부 도전 패턴(234B)은 W으로 이루어질 수 있다.
- [0028] 복수의 비트 라인(BL)은 복수의 절연 캡핑 구조물(CSC)로 덮일 수 있다. 복수의 비트 라인(BL) 및 복수의 절연 캡핑 구조물(CSC)은 제2 수평 방향(Y 방향)을 따라 상호 평행하게 연장될 수 있다.
- [0029] 절연 캡핑 구조물(CSC)은 비트 라인(BL)의 상부 도전 패턴(234B) 위에 차례로 적층된 제1 절연 캡핑 패턴(236C), 제2 절연 캡핑 패턴(238C), 절연 박막 패턴(244C), 및 제3 절연 캡핑 패턴(250C)을 포함할 수 있다. 복수의 절연 캡핑 구조물(CSC)에서, 제1 절연 캡핑 패턴(236C)의 저면은 상부 도전 패턴(234B)의 상면에 접할 수 있다. 제2 절연 캡핑 패턴(238C)의 저면은 제1 절연 캡핑 패턴(236C)의 상면에 접할 수 있다.

- [0030] 복수의 절연 캡핑 구조물(CSC) 각각에서, 제1 절연 캡핑 패턴(236C) 및 제2 절연 캡핑 패턴(238C)은 서로 다른 치밀도(density)를 가질 수 있다. 예시적인 실시예들에서, 제1 절연 캡핑 패턴(236C) 및 제2 절연 캡핑 패턴(238C) 중 비트 라인(BL)의 상부 도전 패턴(234B)에 더 가까운 제1 절연 캡핑 패턴(236C)은 제1 치밀도를 가지고, 제1 절연 캡핑 패턴(236C)을 사이에 두고 비트 라인(BL)의 상부 도전 패턴(234B)으로부터 이격된 제2 절연 캡핑 패턴(238C)은 상기 제1 치밀도보다 더 큰 제2 치밀도를 가질 수 있다. 절연 박막 패턴(244C) 및 제3 절연 캡핑 패턴(250C)은 제2 절연 캡핑 패턴(238C)과 유사하게 상기 제2 치밀도를 가질 수 있다. 제1 수평 방향(X 방향)에서, 제1 절연 캡핑 패턴(236C), 제2 절연 캡핑 패턴(238C), 절연 박막 패턴(244C), 및 제3 절연 캡핑 패턴(250C)의 폭은 대략 동일하거나 유사할 수 있다.
- [0031] 예시적인 실시예들에서, 제1 절연 캡핑 패턴(236C) 및 제2 절연 캡핑 패턴(238C)은 서로 동일한 물질로 이루어질 수 있다. 다른 예시적인 실시예들에서, 제1 절연 캡핑 패턴(236C) 및 제2 절연 캡핑 패턴(238C)은 서로 다른 물질로 이루어질 수 있다. 제1 절연 캡핑 패턴(236C)은 실리콘 질화막, 실리콘 탄화질화막, 또는 이들의 조합으로 이루어질 수 있다. 제2 절연 캡핑 패턴(238C), 절연 박막 패턴(244C), 및 제3 절연 캡핑 패턴(250C)은 각각 실리콘 질화막으로 이루어질 수 있다. 제1 절연 캡핑 패턴(236C)의 수직 방향(Z 방향)을 따르는 두께는 제2 절연 캡핑 패턴(238C)의 수직 방향(Z 방향)을 따르는 두께보다 더 작을 수 있다. 예를 들면, 제1 절연 캡핑 패턴(236C)은 약 20 ~ 400 Å의 두께를 가지고, 제2 절연 캡핑 패턴(238C)은 제1 절연 캡핑 패턴(236C)의 두께보다 더 클 수 있다.
- [0032] 예시적인 실시예들에서, 상부 도전 패턴(234B) 내부의 상측 일부 영역에는 질소 원자 확산 영역이 포함될 수 있다. 상기 질소 원자 확산 영역은 상부 도전 패턴(234B)과 제1 절연 캡핑 패턴(236C)과의 사이의 계면으로부터 상부 도전 패턴(234B) 내에서 기판(210)을 향해 상부 도전 패턴(234B)의 일부 두께에 걸쳐 있을 수 있다. 상기 질소 원자 확산 영역의 두께(Z 방향 길이)는 상부 도전 패턴(234B)의 총 두께(Z 방향 길이)의 약 0.01 % 내지 약 10 %일 수 있다. 예를 들면, 상기 질소 원자 확산 영역은 상부 도전 패턴(234B) 내에서 상부 도전 패턴(234B)과 제1 절연 캡핑 패턴(236C)과의 사이의 계면으로부터 약 5 Å 내지 약 40 Å의 두께, 또는 약 5 Å 내지 약 40 Å의 두께에 걸쳐 있을 수 있으나, 상기 질소 원자 확산 영역의 두께가 상기 예시한 바에 한정되는 것은 아니다.
- [0033] 상기 질소 원자 확산 영역에서는 N 원자들이 상부 도전 패턴(234B)을 구성하는 다른 원소들과의 화학 결합 없이 분산되어 있는 상태로 존재할 수 있다. 예시적인 실시예들에서, 상부 도전 패턴(234B)이 W 층으로 이루어지고, 제1 절연 캡핑 패턴(236C)이 실리콘 질화막으로 이루어진 경우, 상부 도전 패턴(234B) 내부의 상기 질소 원자 확산 영역은 W 층과, 상기 W 층을 구성하는 텅스텐 결정 구조들과의 화학 결합 없이 상기 W 층을 구성하는 텅스텐 결정 구조들 사이에 침투된 형태로 존재하는 N 원자들 및 W 원자들과, 상기 W 층 내에 분산되어 있는 텅스텐 질화물 입자들을 포함할 수 있다. 상기 텅스텐 질화물 입자들은 W과 N과의 화학 결합을 포함할 수 있다.
- [0034] 복수의 비트 라인(BL)의 측벽들과 절연 캡핑 구조물(CSC)의 측벽들은 복수의 절연 스페이서(252)로 덮일 수 있다. 복수의 절연 스페이서(252)는 복수의 비트 라인(BL)과 평행하게 제2 수평 방향(Y 방향)으로 길게 연장될 수 있다. 복수의 절연 스페이서(252)는 산화막, 질화막, 에어 스페이서(air spacer), 또는 이들의 조합으로 이루어질 수 있다. 본 명세서에서 용어 "에어"는 대기 또는 제조 공정 중에 존재할 수 있는 다른 가스들을 포함하는 공간을 의미할 수 있다.
- [0035] 복수의 비트 라인(BL) 각각의 사이, 및 복수의 절연 캡핑 구조물(CSC) 각각의 사이에는 복수의 절연 펜스(254) 및 복수의 도전성 플러그(256)가 제2 수평 방향(Y 방향)을 따라 일렬로 배치될 수 있다. 복수의 절연 펜스(254)는 매물 절연막(220)의 상면에 형성된 복수의 리세스 공간(220R)을 채우고 복수의 도전성 플러그(256) 각각의 사이에 하나씩 배치될 수 있다. 제2 수평 방향(Y 방향)에서 복수의 도전성 플러그(256) 각각의 양 측벽은 복수의 절연 펜스(254)로 덮일 수 있다. 제2 수평 방향(Y 방향)을 따라 일렬로 배열된 복수의 도전성 플러그(256)는 복수의 절연 펜스(254)에 의해 상호 절연될 수 있다. 복수의 절연 펜스(254)는 실리콘 질화막으로 이루어질 수 있다. 복수의 도전성 플러그(256)는 도 3에 예시한 복수의 베리드 콘택(BC)을 구성할 수 있다. 하나의 다이렉트 콘택(DC)과, 상기 하나의 다이렉트 콘택(DC)을 사이에 두고 서로 대면하는 한 쌍의 도전성 플러그(256)는 각각 복수의 셀 활성 영역(A1) 중 서로 다른 셀 활성 영역(A1)에 연결될 수 있다.
- [0036] 복수의 도전성 플러그(256) 위에는 복수의 금속 실리사이드막(258A) 및 복수의 도전성 랜딩 패드(LP)가 형성될 수 있다. 금속 실리사이드막(258A) 및 도전성 랜딩 패드(LP)는 도전성 플러그(256)와 수직으로 오버랩되도록 배치될 수 있다. 복수의 도전성 랜딩 패드(LP)는 각각 금속 실리사이드막(258A)을 통해 도전성 플러그(256)에 연결될 수 있다. 복수의 도전성 랜딩 패드(LP)는 복수의 비트 라인(BL)의 일부와 수직으로 오버랩되도록 제3 절연

캡핑 패턴(250C)의 상면의 적어도 일부를 덮을 수 있다. 도전성 플러그(256), 금속 실리사이드막(258A), 및 도전성 랜딩 패드(LP)는 도전성 랜딩 패드(LP) 상부에 형성되는 커패시터 하부 전극(도시 생략)을 셀 활성 영역(A1)에 연결시키는 콘택 구조물(CST)을 구성할 수 있다.

[0037] 금속 실리사이드막(258A)은 코발트 실리사이드, 니켈 실리사이드, 또는 망간 실리사이드로 이루어질 수 있다. 복수의 도전성 랜딩 패드(LP)는 각각 도전성 배리어막(262) 및 메인 도전층(264)을 포함할 수 있다. 도전성 배리어막(262)은 Ti, TiN, 또는 이들의 조합으로 이루어질 수 있다. 메인 도전층(264)은 금속, 금속 질화물, 도전성 폴리실리콘, 또는 이들의 조합으로 이루어질 수 있다. 예를 들면, 메인 도전층(264)은 W를 포함할 수 있다. 복수의 도전성 랜딩 패드(LP)는 평면에서 볼 때 복수의 아일랜드형 패턴 형상을 가질 수 있다. 복수의 도전성 랜딩 패드(LP)는 복수의 도전성 랜딩 패드(LP) 주위의 절연 공간(270S)을 채우는 절연막(270)에 의해 상호 전기적으로 절연될 수 있다. 절연막(270)은 실리콘 질화막, 실리콘 산화막, 또는 이들의 조합으로 이루어질 수 있다.

[0038] 주변 회로 영역(CORE/PERI)에서 기판(210) 상에 게이트 구조물(PG)이 형성될 수 있다. 게이트 구조물(PG)은 주변 활성 영역(A2) 상에 차례로 적층된 게이트 유전막(224), 게이트 전극(240), 및 절연 캡핑 구조물(CSP)을 포함할 수 있다.

[0039] 게이트 유전막(224)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, ONO(oxide/nitride/oxide), 또는 실리콘 산화막보다 높은 유전 상수를 가지는 고유전막 중에서 선택되는 적어도 하나로 이루어질 수 있다. 게이트 전극(240)은 하부 도전 패턴(230P), 중간 도전 패턴(232P), 및 상부 도전 패턴(234P)을 포함할 수 있다. 하부 도전 패턴(230P), 중간 도전 패턴(232P), 및 상부 도전 패턴(234P) 각각의 구성 물질은 각각 셀 어레이 영역(MCA)에 있는 비트 라인(BL)에 포함된 하부 도전 패턴(230B), 중간 도전 패턴(232B), 및 상부 도전 패턴(234B)의 구성 물질과 동일할 수 있다.

[0040] 절연 캡핑 구조물(CSP)은 제1 절연 캡핑 패턴(236P) 및 제2 절연 캡핑 패턴(238P)을 포함할 수 있다. 절연 캡핑 구조물(CSP)에서, 제1 절연 캡핑 패턴(236P)의 저면은 게이트 전극(240)의 상부 도전 패턴(234P)의 상면에 접할 수 있다. 제2 절연 캡핑 패턴(238P)의 저면은 제1 절연 캡핑 패턴(236P)의 상면에 접할 수 있다. 절연 캡핑 구조물(CSP)에서, 제1 절연 캡핑 패턴(236P) 및 제2 절연 캡핑 패턴(238P)은 서로 다른 치밀도를 가질 수 있다. 예시적인 실시예들에서, 제1 절연 캡핑 패턴(236P) 및 제2 절연 캡핑 패턴(238P) 중 게이트 전극(240)의 상부 도전 패턴(234P)에 더 가까운 제1 절연 캡핑 패턴(236P)은, 셀 어레이 영역(MCA)에 있는 제1 절연 캡핑 패턴(236C)과 동일하게 제1 치밀도를 가질 수 있다. 제1 절연 캡핑 패턴(236P)을 사이에 두고 게이트 전극(240)의 상부 도전 패턴(234P)으로부터 이격된 제2 절연 캡핑 패턴(238P)은, 셀 어레이 영역(MCA)에 있는 제2 절연 캡핑 패턴(238C)과 동일하게 상기 제1 치밀도보다 더 큰 제2 치밀도를 가질 수 있다. 기판(210)의 주면(210M)에 평행한 수평 방향에서, 제1 절연 캡핑 패턴(236P)의 폭과 제2 절연 캡핑 패턴(238P)의 폭은 대략 동일하거나 유사할 수 있다.

[0041] 예시적인 실시예들에서, 제1 절연 캡핑 패턴(236P) 및 제2 절연 캡핑 패턴(238P)은 서로 동일한 물질로 이루어질 수 있다. 다른 예시적인 실시예들에서, 제1 절연 캡핑 패턴(236P) 및 제2 절연 캡핑 패턴(238P)은 서로 다른 물질로 이루어질 수 있다. 제1 절연 캡핑 패턴(236P)은 실리콘 질화막, 실리콘 탄화질화막, 또는 이들의 조합으로 이루어질 수 있다. 제2 절연 캡핑 패턴(238P)은 실리콘 질화막으로 이루어질 수 있다.

[0042] 예시적인 실시예들에서, 게이트 전극(240)의 상부 도전 패턴(234P) 내부의 상측 일부 영역에는 질소 원자 확산 영역이 포함될 수 있다. 상기 질소 원자 확산 영역은 게이트 전극(240)의 상부 도전 패턴(234P)과 제1 절연 캡핑 패턴(236P)과의 사이의 계면으로부터 상부 도전 패턴(234P) 내에서 기판(210)을 향해 상부 도전 패턴(234P)의 일부 두께에 걸쳐 있을 수 있다. 상기 질소 원자 확산 영역의 두께(Z 방향 길이)는 상부 도전 패턴(234P)의 총 두께(Z 방향 길이)의 약 0.01 % 내지 약 10 %일 수 있다. 예를 들면, 상기 질소 원자 확산 영역은 상부 도전 패턴(234P) 내에서 상부 도전 패턴(234P)과 제1 절연 캡핑 패턴(236P)과의 사이의 계면으로부터 약 5 Å 내지 약 40 Å의 두께, 또는 약 5 Å 내지 약 40 Å의 두께에 걸쳐 있을 수 있으나, 상기 질소 원자 확산 영역의 두께가 상기 예시한 바에 한정되는 것은 아니다.

[0043] 상기 질소 원자 확산 영역에서는 N 원자들이 상부 도전 패턴(234P)을 구성하는 다른 원소들과의 화학 결합 없이 분산되어 있는 상태로 존재할 수 있다. 예시적인 실시예들에서, 상부 도전 패턴(234P)이 W 층으로 이루어지고, 제1 절연 캡핑 패턴(236P)이 실리콘 질화막으로 이루어진 경우, 상부 도전 패턴(234P) 내부의 상기 질소 원자 확산 영역은 W 층과, 상기 W 층을 구성하는 텅스텐 결정 구조들과의 화학 결합 없이 상기 W 층을 구성하는 텅스텐 결정 구조들 사이에 침투된 형태로 존재하는 N 원자들 및 W 원자들과, 상기 W 층 내에 분산되어 있는 텅스텐

질화물 입자들을 포함할 수 있다. 상기 텅스텐 질화물 입자들은 W과 N과의 화학 결합을 포함할 수 있다.

- [0044] 게이트 구조물(PG)의 양 측벽은 절연 스페이서(242)로 덮일 수 있다. 절연 스페이서(242)는 산화막, 질화막, 또는 이들의 조합으로 이루어질 수 있다. 게이트 구조물(PG) 및 절연 스페이서(242)는 절연 박막(244)으로 덮일 수 있다. 절연 박막(244)은 실리콘 질화막으로 이루어질 수 있다. 절연 박막(244) 위에는 게이트 구조물(PG) 주위의 공간을 채우는 층간절연막(246)이 형성될 수 있다. 층간절연막(246)은 TOSZ(Tonen SilaZene)으로 이루어질 수 있으나, 이에 한정되는 것은 아니다. 게이트 구조물(PG), 절연 박막(244), 및 층간절연막(246)은 제3 절연 캡핑층(250)으로 덮일 수 있다. 제3 절연 캡핑층(250)은 실리콘 질화막으로 이루어질 수 있다.
- [0045] 주변 회로 영역(CORE/PERI)에는 제3 절연 캡핑층(250), 층간절연막(246), 및 절연 박막(244)을 수직 방향으로 관통하여 기판(210)의 주변 활성 영역(A2)까지 연장되는 콘택 공간(CS2)이 형성될 수 있다. 제3 절연 캡핑층(250) 위에는 복수의 도전 패턴(CNP)이 형성될 수 있다. 복수의 도전 패턴(CNP)은 제3 절연 캡핑층(250) 위에서 다양한 평면 형상으로 연장될 수 있다. 복수의 도전 패턴(CNP)은 콘택 공간(CS2)을 통해 제3 절연 캡핑층(250), 층간절연막(246), 및 절연 박막(244)을 관통하여 수직 방향으로 연장되는 콘택 플러그를 포함할 수 있다. 복수의 도전 패턴(CNP)은 셀 어레이 영역(MCA)에 형성된 복수의 도전성 랜딩 패드(LP)와 동일하게, 도전성 배리어막(262) 및 메인 도전층(264)을 포함할 수 있다. 주변 활성 영역(A2)과 복수의 도전 패턴(CNP)과의 사이에는 금속 실리사이드막(258B)이 개재될 수 있다. 금속 실리사이드막(258B)은 코발트 실리사이드, 니켈 실리사이드, 또는 망간 실리사이드로 이루어질 수 있다.
- [0046] 도 6a 내지 도 6c는 본 발명의 기술적 사상에 의한 다른 실시예들에 따른 집적회로 소자를 설명하기 위한 단면도들로서, 도 6a 및 도 6b는 각각 집적회로 소자(300)의 셀 어레이 영역(MCA)의 일부 영역의 예시적인 구성을 보여주는 단면도이고, 도 6c는 집적회로 소자(300)의 주변 회로 영역(CORE/PERI)의 일부 영역의 예시적인 구성을 보여주는 단면도이다. 집적회로 소자(300)의 셀 어레이 영역(MCA)은 도 3에 예시한 평면 레이아웃을 가질 수 있다. 도 6a에는 도 3의 A - A' 선 단면에 대응하는 일부 영역의 단면 구성이 예시되어 있고, 도 6b에는 도 3의 B - B' 선 단면에 대응하는 일부 영역의 단면 구성이 예시되어 있다.
- [0047] 도 7은 도 6a의 "Q2"로 표시한 점선 영역의 일부 구성들의 확대 단면도이다.
- [0048] 도 6a 내지 도 6c와 도 7을 참조하면, 집적회로 소자(300)는 도 4a 내지 도 4c와 도 5를 참조하여 설명한 집적회로 소자(200)와 대체로 동일한 구성을 가진다. 집적회로 소자(300)는 복수의 비트 라인(BL)을 덮는 복수의 절연 캡핑 구조물(CSC3)을 포함할 수 있다. 절연 캡핑 구조물(CSC3)은 도 4a 및 도 5에 예시한 절연 캡핑 구조물(CSC)과 대체로 동일한 구성을 가진다. 단, 절연 캡핑 구조물(CSC3)은 제1 절연 캡핑 패턴(236C) 대신 제1 절연 캡핑 패턴(336C)를 포함한다.
- [0049] 제1 절연 캡핑 패턴(336C)의 저면은 상부 도전 패턴(234B)의 상면에 접할 수 있다. 제2 절연 캡핑 패턴(238C)의 저면은 제1 절연 캡핑 패턴(336C)의 상면에 접할 수 있다.
- [0050] 복수의 절연 캡핑 구조물(CSC3) 각각에서, 제1 절연 캡핑 패턴(336C) 및 제2 절연 캡핑 패턴(238C)은 서로 다른 치밀도를 가질 수 있다. 예시적인 실시예들에서, 제1 절연 캡핑 패턴(336C)은 제1 치밀도를 가지고, 제2 절연 캡핑 패턴(238C)은 상기 제1 치밀도보다 더 큰 제2 치밀도를 가질 수 있다.
- [0051] 제1 수평 방향(X 방향)에서, 제1 절연 캡핑 패턴(336C) 및 제2 절연 캡핑 패턴(238C) 각각의 최소폭은 서로 다르다. 즉, 제1 수평 방향(X 방향)에서, 제1 절연 캡핑 패턴(336C)의 최소폭은 제2 절연 캡핑 패턴(238C)의 최소폭보다 더 작다. 제1 절연 캡핑 패턴(336C) 및 제2 절연 캡핑 패턴(238C)의 제1 수평 방향(X 방향) 폭 차이로 인해 제2 절연 캡핑 패턴(238C)의 하부에는 제1 절연 캡핑 패턴(336C)의 측벽과 제2 절연 캡핑 패턴(238C)의 저면이 만나는 지점 부근에 언더컷 영역이 형성될 수 있다. 제1 절연 캡핑 패턴(336C)에 대한 보다 상세한 구성은 도 4a, 도 4b, 및 도 5를 참조하여 제1 절연 캡핑 패턴(236C)에 대하여 설명한 바와 대체로 동일하다.
- [0052] 복수의 비트 라인(BL)의 측벽들과 절연 캡핑 구조물(CSC3)의 측벽들은 복수의 절연 스페이서(352)로 덮일 수 있다. 복수의 절연 스페이서(352)는 각각 제1 절연 캡핑 패턴(336C)을 향해 볼록한 돌출 측벽(352S)을 포함할 수 있다. 복수의 절연 스페이서(352)에 대한 보다 상세한 구성은 도 4a, 도 4b, 및 도 5를 참조하여 복수의 절연 스페이서(252)에 대하여 설명한 바와 대체로 동일하다.
- [0053] 복수의 비트 라인(BL) 각각의 사이, 및 복수의 절연 캡핑 구조물(CSC3) 각각의 사이에는 복수의 도전성 플러그(256) 및 복수의 절연 펜스(354)가 제2 수평 방향(Y 방향)을 따라 일렬로 배치될 수 있다. 복수의 절연 펜스(354)는 각각 제1 절연 캡핑 패턴(336C)을 향해 볼록한 돌출 측벽(354S)을 포함할 수 있다. 복수의 절연 펜스(354)에 대한 보다 상세한 구성은 도 4a, 도 4b, 및 도 5를 참조하여 복수의 절연 펜스(254)에 대하여 설명한

바와 대체로 동일하다.

- [0054] 복수의 도전성 플러그(256) 위에는 복수의 금속 실리사이드막(258A) 및 복수의 도전성 랜딩 패드(LP3)가 형성될 수 있다. 도전성 랜딩 패드(LP3)는 도전성 플러그(256) 및 금속 실리사이드막(258A)와 수직으로 오버랩되도록 배치될 수 있다. 도전성 플러그(256), 금속 실리사이드막(258A), 및 도전성 랜딩 패드(LP3)는 도전성 랜딩 패드(LP3) 상부에 형성되는 커패시터 하부 전극(도시 생략)을 셀 활성 영역(A1)에 연결시키는 콘택 구조물(CST3)을 구성할 수 있다. 콘택 구조물(CST3) 중 일부 영역은 제1 절연 캡핑 패턴(336C)을 향해 볼록한 돌출 측벽을 포함할 수 있다. 예를 들면, 도 6a에 예시한 바와 같이, 복수의 도전성 랜딩 패드(LP3)는 각각 제1 절연 캡핑 패턴(336C)을 향해 볼록한 돌출 측벽(LP3S)을 포함할 수 있다. 복수의 도전성 랜딩 패드(LP3)는 각각 도전성 배리어막(362) 및 메인 도전층(364)을 포함할 수 있다. 도전성 배리어막(362) 및 메인 도전층(364)은 각각 돌출 측벽(LP3S)에 대응하는 부분에서 제1 절연 캡핑 패턴(336C)을 향해 볼록한 돌출 측벽을 포함할 수 있다. 도전성 랜딩 패드(LP3)는 제1 수평 방향(X 방향)의 양 측벽에 돌출 측벽(LP3S)을 포함하므로, 도전성 랜딩 패드(LP3) 중 이웃하는 2 개의 제2 절연 캡핑 패턴(238C) 사이에 개재되는 부분의 제1 수평 방향(X 방향) 폭보다 이웃하는 2 개의 제1 절연 캡핑 패턴(336C) 사이에 개재되는 부분의 제1 수평 방향(X 방향) 폭이 더 커질 수 있다. 따라서, 이웃하는 2 개의 제1 절연 캡핑 패턴(336C) 사이에서 도전성 랜딩 패드(LP3)의 부피가 돌출 측벽(LP3S)을 포함하지 않는 경우의 부피에 비해 더 커질 수 있다. 이와 같이, 도전성 랜딩 패드(LP3)는 돌출 측벽(LP3S)으로 인해 부피가 증가된 부분을 포함하게 되므로, 도전성 랜딩 패드(LP3)에서의 저항을 감소시킬 수 있다.
- [0055] 도 6a에서는 콘택 구조물(CST3) 중 도전성 랜딩 패드(LP3)의 측벽이 제1 절연 캡핑 패턴(336C)에 대면하고, 그에 따라 도전성 랜딩 패드(LP3)에 돌출 측벽(LP3S)이 형성된 경우를 예시하였으나, 본 발명의 기술적 사상은 이에 한정되지 않는다. 예를 들면, 콘택 구조물(CST3)을 구성하는 도전성 플러그(256)의 상면의 레벨이 도 6a에 예시한 구성보다 더 높고 도전성 플러그(256)의 측벽이 제1 절연 캡핑 패턴(336C)에 대면하게 되는 경우, 도전성 플러그(256)는 제1 절연 캡핑 패턴(336C)을 향해 돌출된 돌출 측벽을 포함할 수 있다.
- [0056] 복수의 도전성 랜딩 패드(LP3)에 대한 보다 상세한 구성은 도 4a, 도 4b, 및 도 5를 참조하여 복수의 도전성 랜딩 패드(LP)에 대하여 설명한 바와 대체로 동일하다. 도전성 배리어막(362) 및 메인 도전층(364)에 대한 보다 상세한 구성은 도 4a, 도 4b, 및 도 5를 참조하여 도전성 배리어막(262) 및 메인 도전층(264)에 대하여 설명한 바와 대체로 동일하다.
- [0057] 주변 회로 영역(CORE/PERI)에서 주변 활성 영역(A2) 상에 게이트 구조물(PG3)이 형성될 수 있다. 게이트 구조물(PG3)은 절연 캡핑 구조물(CSP3)을 포함한다. 절연 캡핑 구조물(CSP3)은 도 4c에 예시한 절연 캡핑 구조물(CSP)과 대체로 동일한 구성을 가질 수 있다. 단, 절연 캡핑 구조물(CSP3)은 제1 절연 캡핑 패턴(236P) 대신 제1 절연 캡핑 패턴(336P)를 포함한다.
- [0058] 수평 방향에서, 제1 절연 캡핑 패턴(336P)의 최소폭은 제2 절연 캡핑 패턴(238P)의 최소폭보다 더 작다. 제1 절연 캡핑 패턴(336P) 및 제2 절연 캡핑 패턴(238P)의 수평 방향 폭 차이로 인해 제2 절연 캡핑 패턴(238P)의 하부에는 제1 절연 캡핑 패턴(336P)의 측벽과 제2 절연 캡핑 패턴(238P)의 저면이 만나는 지점 부근에 언더컷 영역이 형성될 수 있다. 제1 절연 캡핑 패턴(336P)에 대한 보다 상세한 구성은 도 4c를 참조하여 제1 절연 캡핑 패턴(236P)에 대하여 설명한 바와 대체로 동일하다.
- [0059] 게이트 구조물(PG3)의 양 측벽은 절연 스페이서(342)로 덮일 수 있다. 절연 스페이서(342)는 제1 절연 캡핑 패턴(336P)을 향해 볼록한 돌출 측벽(342S)을 포함할 수 있다. 절연 스페이서(342)에 대한 보다 상세한 구성은 도 4c를 참조하여 절연 스페이서(242)에 대하여 설명한 바와 대체로 동일하다.
- [0060] 도 8a 내지 도 8q는 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다. 도 8a 내지 도 8q를 참조하여 도 4a 내지 도 4c에 예시한 집적회로 소자(200)의 제조 방법을 설명한다. 도 8a 내지 도 8q에서, (a)는 도 3의 A - A' 선 단면에 대응하는 부분의 일부 구성들의 공정 순서에 따른 단면도이고, (b)는 도 3의 B - B' 선 단면에 대응하는 부분의 일부 구성들의 공정 순서에 따른 단면도이다.
- [0061] 도 8a를 참조하면, 셀 어레이 영역(MCA) 및 주변 회로 영역(CORE/PERI)을 가지는 기판(210)에 복수의 소자 분리용 트렌치(T1)와, 이들을 채우는 복수의 소자분리막(212)을 형성하여, 기판(210)의 셀 어레이 영역(MCA)에 복수의 셀 활성 영역(A1)을 정의하고, 주변 회로 영역(CORE/PERI)에 주변 활성 영역(A2)을 정의한다.
- [0062] 셀 어레이 영역(MCA)에서 기판(210)에 상호 평행하게 연장되는 복수의 워드 라인 트렌치(T2)(도 4b 참조)를 형성할 수 있다. 저면에 단차가 형성된 복수의 워드 라인 트렌치(T2)를 형성하기 위하여, 소자분리막(212) 및 기

판(210)을 각각 별도의 식각 공정으로 식각하여, 소자분리막(212)의 식각 깊이와 기판(210)의 식각 깊이가 서로 다르게 되도록 할 수 있다. 복수의 워드 라인 트렌치(T2)가 형성된 결과물을 세정한 후, 복수의 워드 라인 트렌치(T2) 내에 복수의 게이트 유전막(216), 복수의 워드 라인(218), 및 복수의 매몰 절연막(220)을 차례로 형성할 수 있다. 복수의 셀 활성 영역(A1)에서 복수의 워드 라인(218)의 양측 부분들에 불순물 이온을 주입하여 복수의 셀 활성 영역(A1)의 상부에 복수의 소스/드레인 영역을 형성할 수 있다. 예시적인 실시예들에서, 복수의 소스/드레인 영역은 복수의 워드 라인(218)을 형성하기 전에 형성될 수도 있다.

- [0063] 그 후, 셀 어레이 영역(MCA)에서 기판(210) 상에 버퍼막(222)을 형성하고, 주변 회로 영역(CORE/PERI)에서 기판(210) 상에 게이트 유전막(224)을 형성한다.
- [0064] 도 8b를 참조하면, 셀 어레이 영역(MCA)의 버퍼막(222)과 주변 회로 영역(CORE/PERI)의 게이트 유전막(224) 위에 하부 도전층(230)을 형성한다. 하부 도전층(230)은 도핑된 폴리실리콘으로 이루어질 수 있다.
- [0065] 도 8c를 참조하면, 하부 도전층(230) 위에 마스크 패턴(M21)을 형성한 후, 셀 어레이 영역(MCA)에서 마스크 패턴(M21)의 개구(M210)를 통해 노출되는 하부 도전층(230)을 식각하고, 그 결과 노출되는 기판(210)의 일부 및 소자분리막(212)의 일부를 식각하여 기판(210)의 셀 활성 영역(A1)을 노출시키는 다이렉트 콘택홀(DCH)을 형성한다. 마스크 패턴(M21)은 산화막, 질화막, 또는 이들의 조합으로 이루어질 수 있다. 마스크 패턴(M21)을 형성하기 위하여 포토리소그래피 공정을 이용할 수 있다.
- [0066] 도 8d를 참조하면, 마스크 패턴(M21)(도 8c 참조)을 제거하고, 다이렉트 콘택홀(DCH) 내에 다이렉트 콘택(DC)을 형성한다.
- [0067] 다이렉트 콘택(DC)을 형성하기 위한 예시적인 공정에서, 다이렉트 콘택홀(DCH)의 내부 및 하부 도전층(230)의 상부에 다이렉트 콘택홀(DCH)을 채우기에 충분한 두께의 도전층을 형성하고, 상기 도전층이 다이렉트 콘택홀(DCH) 내에만 남도록 상기 도전층을 에치백 할 수 있다. 상기 도전층은 Si, Ge, W, WN, Co, Ni, Al, Mo, Ru, Ti, TiN, Ta, TaN, Cu, 또는 이들의 조합으로 이루어질 수 있다.
- [0068] 도 8e를 참조하면, 셀 어레이 영역(MCA) 및 주변 회로 영역(CORE/PERI)에서 하부 도전층(230) 및 다이렉트 콘택(DC)의 상부에 중간 도전층(232) 및 상부 도전층(234)을 차례로 형성한다. 중간 도전층(232) 및 상부 도전층(234)은 각각 TiN, TiSiN, W, 텅스텐 실리사이드, 또는 이들의 조합으로 이루어질 수 있다. 예시적인 실시예들에서, 중간 도전층(232)은 TiN, TiSiN, 또는 이들의 조합으로 이루어지고, 상부 도전층(234)은 W를 포함할 수 있다.
- [0069] 도 8f를 참조하면, 셀 어레이 영역(MCA) 및 주변 회로 영역(CORE/PERI)에서 상부 도전층(234) 위에 제1 절연 캡핑층(236)을 형성한다.
- [0070] 제1 절연 캡핑층(236)을 형성하기 위하여 비교적 저온의 제1 온도 하에서 CVD(chemical vapor deposition) 또는 ALD(atomic layer deposition) 공정을 수행할 수 있다. 상기 제1 온도는 약 500 ~ 700 °C의 범위 내에서 선택될 수 있다. 예를 들면, 상기 제1 온도는 약 600 ~ 650 °C의 범위 내에서 선택될 수 있다. 제1 절연 캡핑층(236)은 실리콘 질화막으로 이루어질 수 있다. 이 경우, 제1 절연 캡핑층(236)을 형성하기 위한 CVD 또는 ALD 공정에서, 실리콘 원자(Si) 함유 전구체로서 SiH_4 , $\text{Si}_2\text{Cl}_2\text{H}_2$, SiH_6 , Si_2H_6 , Si_3H_8 , 또는 이들의 조합으로 이루어지는 가스를 사용하고, 질소 원자(N) 함유 전구체로서 NH_3 , N_2 , NO, N_2O , 또는 이들의 조합으로 이루어지는 가스를 사용할 수 있으나, 상기 예시한 바에 한정되는 것은 아니다.
- [0071] 제1 절연 캡핑층(236) 형성시 비교적 낮은 제1 온도에서 증착 공정을 수행하므로, 제1 절연 캡핑층(236)을 형성하는 동안 질소 원자(N) 함유 전구체와 상부 도전층(234)을 구성하는 금속, 예를 들면 W이 반응하여 WN을 형성하거나, 제1 절연 캡핑층(236)으로부터 상부 도전층(234)으로 질소 원자가 원하지 않게 확산되는 것을 억제할 수 있다. 따라서, 상부 도전층(234)과 제1 절연 캡핑층(236)과의 사이에 절연성 금속 질화물, 예를 들면 WN이 형성되는 것을 억제하거나 최소화할 수 있다.
- [0072] 예시적인 실시예들에서, 제1 절연 캡핑층(236)을 형성하는 동안 제1 절연 캡핑층(236)을 구성하고 있던 N 원자들이 상부 도전층(234)으로 확산될 수 있다. 그 결과, 제1 절연 캡핑층(236)이 형성된 후 상부 도전층(234) 내부에는 제1 절연 캡핑층(236)과 상부 도전층(234)과의 사이의 계면으로부터 일부 두께에 걸쳐 질소 원자 확산 영역이 형성될 수 있다. 상기 질소 원자 확산 영역에 대한 보다 상세한 구성은 도 4a 내지 도 4c를 참조하여 설명한 바를 참조한다.
- [0073] 도 8g를 참조하면, 셀 어레이 영역(MCA) 및 주변 회로 영역(CORE/PERI)에서 제1 절연 캡핑층(236) 위에 제2 절

연 캡핑층(238)을 형성한다.

- [0074] 제2 절연 캡핑층(238)을 형성하기 위하여, 비교적 고온의 제2 온도 하에서 CVD 또는 ALD 공정을 수행할 수 있다. 상기 제2 온도는 상기 제1 온도보다 더 높다. 예를 들면, 상기 제2 온도는 약 700 ~ 800 °C의 범위 내에서 선택될 수 있다. 제2 절연 캡핑층(238)은 실리콘 질화막으로 이루어질 수 있다. 이 경우, 제2 절연 캡핑층(238)을 형성하기 위한 구체적인 방법은 도 8f를 참조하여 제1 절연 캡핑층(236) 형성에 대하여 설명한 바와 대체로 동일하다.
- [0075] 도 8f를 참조하여 설명한 제1 절연 캡핑층(236)의 형성 공정과, 도 8g를 참조하여 설명한 제2 절연 캡핑층(238)의 형성 공정은 인시튜(in-situ) 또는 엑시튜(ex-situ) 공정으로 수행될 수 있다. 일 예에서, 제1 절연 캡핑층(236) 및 제2 절연 캡핑층(238)을 인시튜 공정으로 동일 챔버 내에서 연속적으로 형성하기 위하여 제1 절연 캡핑층(236) 및 제2 절연 캡핑층(238)을 각각 CVD 공정에 의해 형성하되, 제1 절연 캡핑층(236)의 증착 온도가 제2 절연 캡핑층(238)의 증착 온도보다 더 낮게 되도록 할 수 있다. 다른 예에서, 제1 절연 캡핑층(236) 및 제2 절연 캡핑층(238)을 엑시튜 공정으로 형성하기 위하여 제1 절연 캡핑층(236)은 비교적 저온의 제1 온도 하에서 ALD 공정을 이용하여 형성하고, 제2 절연 캡핑층(238)은 비교적 고온의 제2 온도 하에서 CVD 공정을 이용하여 형성할 수 있다.
- [0076] 제2 절연 캡핑층(238) 형성시의 증착 온도가 제1 절연 캡핑층(236) 형성시의 증착 온도보다 더 높기 때문에 제2 절연 캡핑층(238)의 치밀도가 제1 절연 캡핑층(236)의 치밀도보다 더 높을 수 있다.
- [0077] 도 8h를 참조하면, 마스크 패턴(도시 생략)을 식각 마스크로 이용하여 주변 회로 영역(CORE/PERI)에서 게이트 유전막(224), 하부 도전층(230), 중간 도전층(232), 상부 도전층(234), 제1 절연 캡핑층(236), 및 제2 절연 캡핑층(238)을 패터닝하여, 주변 회로 영역(CORE/PERI)에서 게이트 유전막(224), 게이트 전극(240), 제1 절연 캡핑 패턴(236P), 및 제2 절연 캡핑 패턴(238P)으로 이루어지는 게이트 구조물(PG)을 형성한다. 게이트 전극(240)은 하부 도전 패턴(230P), 중간 도전 패턴(232P), 및 상부 도전 패턴(234P)을 포함할 수 있다.
- [0078] 도 8i를 참조하면, 주변 회로 영역(CORE/PERI)에서 게이트 구조물(PG)의 양 측벽에 절연 스페이서(242)를 형성하고, 게이트 구조물(PG)의 양측에서 주변 활성 영역(A2)에 소스/드레인 영역을 형성하기 위한 이온 주입 공정을 수행한다.
- [0079] 그 후, 셀 어레이 영역(MCA) 및 주변 회로 영역(CORE/PERI)의 노출된 결과물 전면을 덮는 절연 박막(244)을 형성한다. 절연 박막(244)은 셀 어레이 영역(MCA)에서 제2 절연 캡핑층(238)의 상면에 접하고, 주변 회로 영역(CORE/PERI)에서 제2 절연 캡핑 패턴(238P)의 상면에 접할 수 있다. 절연 박막(244)은 도 8g를 참조하여 제2 절연 캡핑층(238)의 형성 공정에 대하여 설명한 바와 동일 또는 유사한 공정을 이용하여 형성될 수 있다.
- [0080] 주변 회로 영역(CORE/PERI)에서 게이트 구조물(PG) 및 절연 박막(244) 주위의 공간을 채우는 층간절연막(246)을 형성한다. 층간절연막(246)은 평탄화된 상면을 가지도록 형성될 수 있다.
- [0081] 도 8j를 참조하면, 셀 어레이 영역(MCA) 및 주변 회로 영역(CORE/PERI)에서 절연 박막(244) 및 평탄화된 층간절연막(246) 위에 제3 절연 캡핑층(250)을 형성한다. 제3 절연 캡핑층(250)은 도 8g를 참조하여 제2 절연 캡핑층(238)의 형성 공정에 대하여 설명한 바와 동일 또는 유사한 공정을 이용하여 형성될 수 있다.
- [0082] 도 8k를 참조하면, 주변 회로 영역(CORE/PERI)에서 제3 절연 캡핑층(250)을 마스크 패턴(M22)으로 덮은 상태에서, 포토리소그래피 공정을 이용하여 셀 어레이 영역(MCA)에서 제3 절연 캡핑층(250), 절연 박막(244), 제2 절연 캡핑층(238), 및 제1 절연 캡핑층(236)을 패터닝하여, 상부 도전층(234) 위에 차례로 적층된 제1 절연 캡핑 패턴(236C), 제2 절연 캡핑 패턴(238C), 절연 박막 패턴(244C), 및 제3 절연 캡핑 패턴(250C)을 포함하는 복수의 절연 캡핑 구조물(CSC)을 형성한다.
- [0083] 도 8l을 참조하면, 주변 회로 영역(CORE/PERI)에서 제3 절연 캡핑층(250)을 마스크 패턴(M22)으로 덮은 상태에서, 셀 어레이 영역(MCA)에서 복수의 절연 캡핑 구조물(CSC)을 식각 마스크로 이용하여 상부 도전층(234), 중간 도전층(232), 및 하부 도전층(230)을 식각하여, 하부 도전 패턴(230B), 중간 도전 패턴(232B), 및 상부 도전 패턴(234B)으로 이루어지는 복수의 비트 라인(BL)을 형성한다. 복수의 비트 라인(BL)이 형성된 결과물을 세정 및 건조할 수 있다. 예시적인 실시예들에서, 복수의 비트 라인(BL)이 형성된 결과물의 상기 세정 공정은 DHF(diluted HF)를 이용하여 수행될 수 있다. 상기 건조 공정은 및 IPA(isopropyl alcohol)를 이용하여 수행될 수 있다. 복수의 비트 라인(BL)이 형성된 후, 복수의 비트 라인(BL) 각각의 사이에 라인 공간(LS)이 남을 수 있다. 복수의 비트 라인(BL)을 형성하는 동안 수반되는 식각 공정에 의해 절연 캡핑 구조물(CSC) 중 제3 절연 캡

핑 패턴(250C)의 높이가 낮아질 수 있다.

- [0084] 도 8m을 참조하면, 복수의 비트 라인(BL) 및 복수의 절연 캡핑 구조물(CSC) 각각의 측벽을 덮는 복수의 절연 스페이서(252)를 형성한다. 복수의 절연 스페이서(252)는 다이렉트 콘택(DC) 주변에서 다이렉트 콘택홀(DCH)을 채우도록 형성될 수 있다.
- [0085] 도 8n을 참조하면, 주변 회로 영역(CORE/PERI)에서 제3 절연 캡핑층(250)을 마스크 패턴(M22)으로 덮은 상태에서, 셀 어레이 영역(MCA)에서 복수의 비트 라인(BL) 각각의 사이에 복수의 절연 펜스(254)(도 4b 참조)를 형성하여 라인 공간(LS)을 복수의 콘택 공간(CS1)으로 분리한다. 복수의 절연 펜스(254)는 각각 워드 라인(218)과 수직으로 오버랩될 수 있다. 복수의 절연 펜스(254)에 의해 하나의 라인 공간(LS)이 기둥 형상의 복수의 콘택 공간(CS1)으로 분리될 수 있다. 그 후, 복수의 콘택 공간(CS1)을 통해 노출되는 구조물들의 일부를 제거하여, 복수의 비트 라인(BL) 각각의 사이에서 기관(210)의 셀 활성 영역(A1)을 노출시키는 복수의 리세스 공간(RS)을 형성한다. 복수의 절연 펜스(254) 및 복수의 리세스 공간(RS)을 형성하는 동안 제3 절연 캡핑 패턴(250C) 및 절연 스페이서(252)가 다양한 식각 공정 분위기에 노출됨에 따라 이들의 높이가 더 낮아질 수 있다.
- [0086] 도 8o를 참조하면, 주변 회로 영역(CORE/PERI)에서 제3 절연 캡핑층(250)이 마스크 패턴(M22)(도 8m 참조)으로 덮여 있는 상태에서, 셀 어레이 영역(MCA)에서 복수의 비트 라인(BL) 각각의 사이에서 복수의 리세스 공간(RS)을 채우면서 복수의 비트 라인(BL) 각각의 사이의 콘택 공간(CS1)의 일부를 채우는 복수의 도전성 플러그(256)를 형성한다.
- [0087] 주변 회로 영역(CORE/PERI)에서 마스크 패턴(M22)(도 8n 참조)을 제거하여 제3 절연 캡핑층(250)을 노출시킨 후, 마스크 패턴(도시 생략)이 셀 어레이 영역(MCA)을 덮고 있는 상태에서 주변 회로 영역(CORE/PERI)에서 제3 절연 캡핑층(250), 층간절연막(246), 및 절연 박막(244)을 식각하여, 기관(210)의 주변 활성 영역(A2)을 노출시키는 복수의 콘택 공간(CS2)을 형성한다. 그 후, 셀 어레이 영역(MCA)을 덮고 있던 마스크 패턴(도시 생략)을 제거한 후, 셀 어레이 영역(MCA)에서 복수의 콘택 공간(CS1)을 통해 노출되는 도전성 플러그(256) 위에 금속 실리사이드막(258A)을 형성하고, 주변 회로 영역(CORE/PERI)에서 복수의 콘택 공간(CS2)을 통해 노출되는 주변 활성 영역(A2)의 표면에 금속 실리사이드막(258B)을 형성한다. 예시적인 실시예들에서, 금속 실리사이드막(258A, 258B)은 동시에 형성될 수 있다, 다른 예시적인 실시예들에서, 금속 실리사이드막(258A, 258B)은 별도의 공정으로 형성될 수도 있다.
- [0088] 도 8p를 참조하면, 셀 어레이 영역(MCA) 및 주변 회로 영역(CORE/PERI)에서 기관(210) 상에 노출된 표면을 덮는 도전층(260)을 형성한다. 도전층(260)은 도전성 배리어막(262) 및 메인 도전층(264)을 포함할 수 있다.
- [0089] 도 8q를 참조하면, 셀 어레이 영역(MCA) 및 주변 회로 영역(CORE/PERI)에서 도전층(260)을 패터닝하여, 셀 어레이 영역(MCA)에는 도전층(260)으로부터 복수의 도전성 랜딩 패드(LP)를 형성하고, 주변 회로 영역(CORE/PERI)에는 도전층(260)으로부터 복수의 도전 패턴(CNP)을 형성한다. 복수의 도전성 랜딩 패드(LP)는 금속 실리사이드막(258) 위에서 복수의 비트 라인(BL)의 일부와 수직으로 오버랩되도록 형성될 수 있다.
- [0090] 도 8a 내지 도 8q를 참조하여 설명한 집적회로 소자(200)의 제조 방법에 의하면, 복수의 비트 라인(BL)을 덮는 복수의 절연 캡핑 구조물(CSC)을 형성하는 데 있어서, 절연 캡핑 구조물(CSC) 중 비트 라인(BL)의 바로 위에 형성되는 제1 절연 캡핑층(236)을 비교적 저온으로 형성함으로써, 복수의 비트 라인(BL)과 절연 캡핑 구조물(CSC)과의 사이의 계면에 원하지 않는 절연성 금속 질화막이 형성되는 것을 억제하거나 최소화할 수 있다. 따라서, 복수의 비트 라인(BL)에서의 저항 증가를 억제할 수 있다.
- [0091] 도 9a 내지 도 9c는 본 발명의 기술적 사상에 의한 다른 실시예들에 따른 집적회로 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다. 도 9a 내지 도 9c를 참조하여 도 6a 내지 도 6c에 예시한 집적회로 소자(300)의 제조 방법을 설명한다. 도 9a 내지 도 9c에서, (a)는 도 3의 A - A' 선 단면에 대응하는 부분의 일부 구성들의 공정 순서에 따른 단면도이고, (b)는 도 3의 B - B' 선 단면에 대응하는 부분의 일부 구성들의 공정 순서에 따른 단면도이다.
- [0092] 도 9a를 참조하면, 도 8a 내지 도 8h를 참조하여 설명한 바와 같은 방법으로 주변 회로 영역(CORE/PERI)에 게이트 유전막(224), 게이트 전극(240), 제1 절연 캡핑 패턴(236P), 및 제2 절연 캡핑 패턴(238P)으로 이루어지는 게이트 구조물(PG3)을 형성한다. 그 후, 제1 절연 캡핑 패턴(236P) 및 제2 절연 캡핑 패턴(238P)의 치밀도 차이를 이용한 선택적 식각 공정을 이용하여 제1 절연 캡핑 패턴(236P)의 노출된 측벽으로부터 일부를 제거하여, 제2 절연 캡핑 패턴(238P)의 최소폭보다 더 작은 최소폭을 가지는 제1 절연 캡핑 패턴(336P)을 형성한다. 제1 절연 캡핑 패턴(336P)을 형성하기 위한 상기 선택적 식각 공정을 위하여 DHF를 이용할 수 있다.

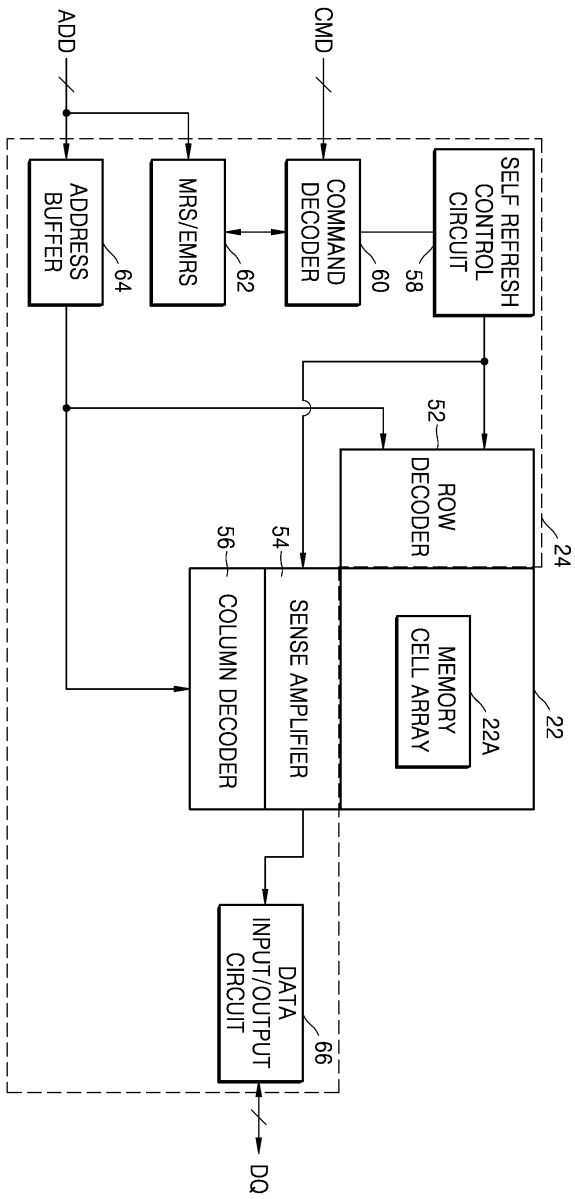
- [0093] 도 9b를 참조하면, 도 9a의 결과물에 대하여 도 8i 내지 도 8l을 참조하여 설명한 바와 같은 공정들에 따라 셀 어레이 영역(MCA)에서 복수의 절연 캡핑 구조물(CSC) 및 복수의 비트 라인(BL)을 형성하는 공정까지 수행한다. 단, 본 예에서는 도 8i를 참조하여 설명한 공정에서 절연 스페이서(342) 대신 제1 절연 캡핑 패턴(336P)을 향해 볼록한 돌출 측벽(342S)을 가지는 절연 스페이서(342)를 형성한다.
- [0094] 그 후, 셀 어레이 영역(MCA)에서 절연 캡핑 구조물(CSC) 중 제1 절연 캡핑 패턴(236C)과, 제2 절연 캡핑 패턴(238C), 절연 박막 패턴(244C), 및 제3 절연 캡핑 패턴(250C)과의 치밀도 차이를 이용한 선택적 식각 공정을 이용하여 제1 절연 캡핑 패턴(236C)의 노출된 측벽으로부터 일부를 제거하여, 제2 절연 캡핑 패턴(238C)의 최소폭보다 더 작은 최소폭을 가지는 제1 절연 캡핑 패턴(336C)을 형성한다. 제1 절연 캡핑 패턴(336C)을 형성하기 위한 상기 선택적 식각 공정을 위하여 DHF를 이용할 수 있다.
- [0095] 도 9c를 참조하면, 도 9b의 결과물에 대하여 도 8m을 참조하여 설명한 공정을 수행할 수 있다. 단, 본 예에서는 복수의 절연 스페이서(252) 대신, 제1 절연 캡핑 패턴(336C)을 향해 볼록한 돌출 측벽(352S)을 포함하는 복수의 절연 스페이서(352)를 형성할 수 있다.
- [0096] 그 후, 도 9c의 결과물에 대하여 도 8n 내지 도 8q의 공정들을 수행하여 도 6a 내지 도 6c에 예시한 집적회로 소자(300)를 제조할 수 있다.
- [0097] 도 9a 내지 도 9c를 참조하여 설명한 집적회로 소자(300)의 제조 방법에 의하면, 복수의 비트 라인(BL)을 덮는 복수의 절연 캡핑 구조물(CSC3)을 형성하는 데 있어서, 절연 캡핑 구조물(CSC3) 중 비트 라인(BL)에 접하는 제1 절연 캡핑 패턴(336C)은 비교적 저온으로 형성된 막으로부터 얻어진다. 따라서, 복수의 비트 라인(BL)과 절연 캡핑 구조물(CSC3)과의 사이의 계면에 원하지 않는 절연성 금속 질화막이 형성되는 것을 억제하거나 최소화할 수 있으며, 복수의 비트 라인(BL)에서의 저항 증가를 억제할 수 있다. 또한, 절연 캡핑 구조물(CSC3)에서, 제1 절연 캡핑 패턴(336C)과 제2 절연 캡핑 패턴(238C)과의 사이의 치밀도 차이를 이용하여 절연 캡핑 구조물(CSC3)의 측벽 프로파일을 최적화함으로써, 복수의 비트 라인(BL) 각각의 사이에 개재되는 복수의 도전성 구조체들, 예를 들면, 복수의 도전성 랜딩 패드(LP3)의 부피를 증가시켜 상기 복수의 도전성 구조체에서의 저항 증가를 억제할 수 있고, 집적회로 소자의 신뢰성을 향상시킬 수 있다.
- [0098] 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

부호의 설명

- [0099] BL: 비트 라인, 236C: 제1 절연 캡핑 패턴, 238C: 제2 절연 캡핑 패턴, 336C: 제1 절연 캡핑 패턴.

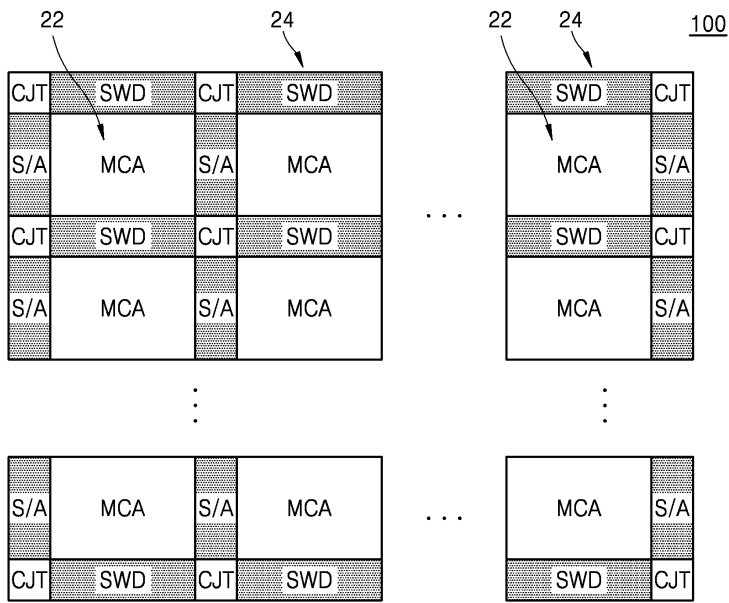
도면

도면1

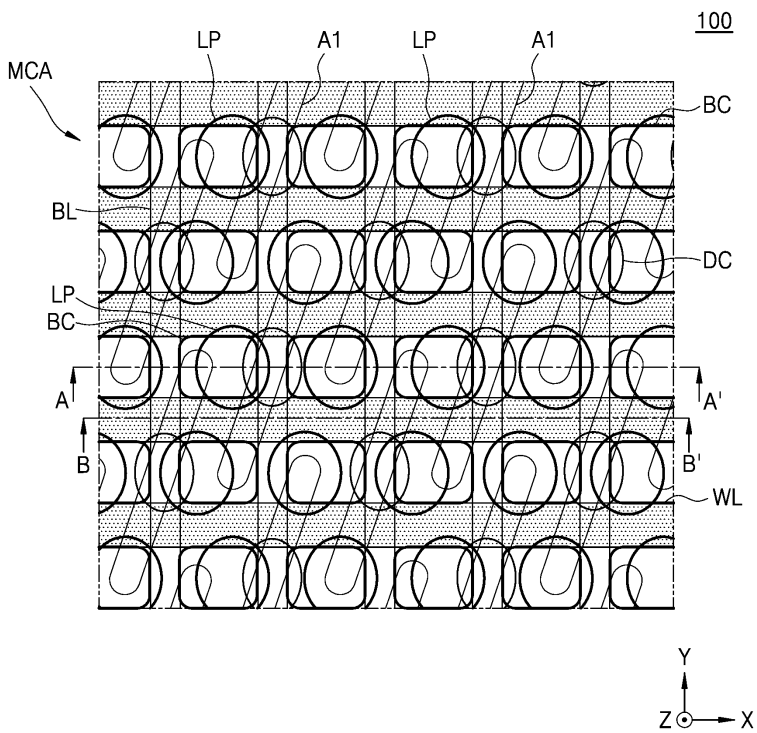


100

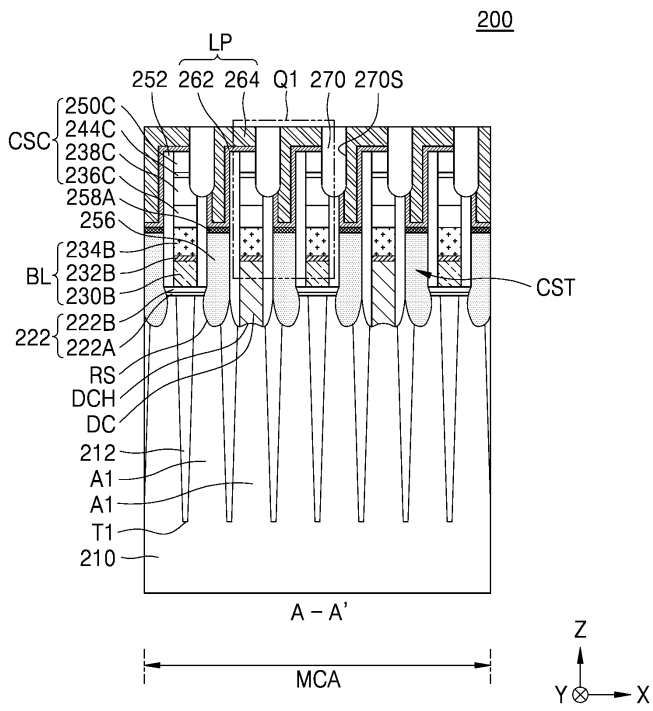
도면2



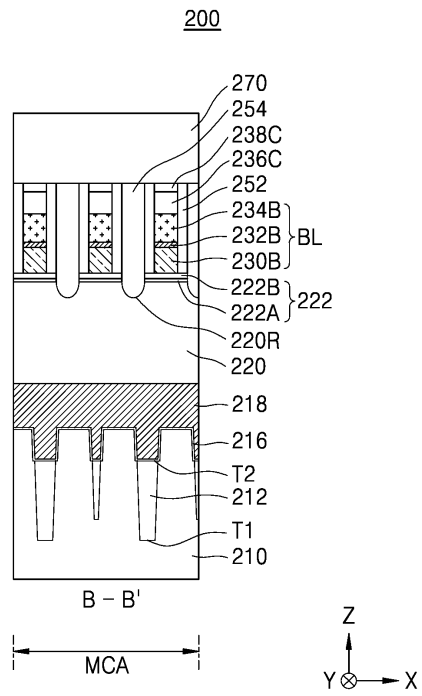
도면3



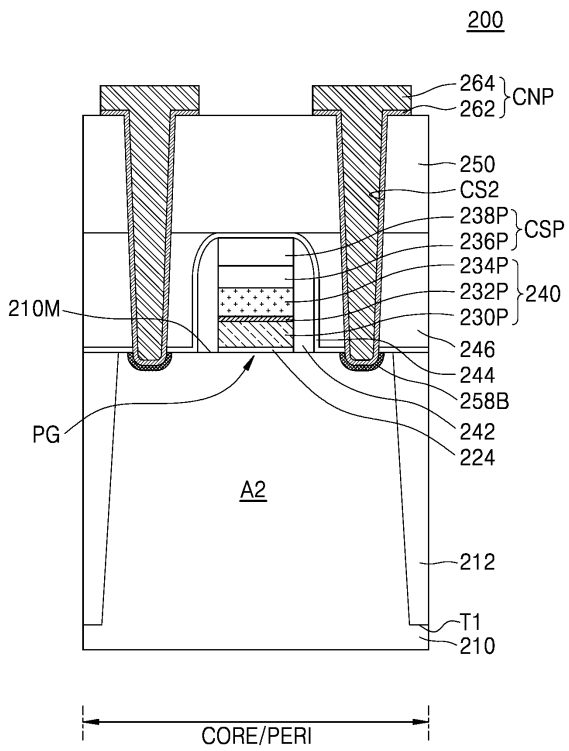
도면4a



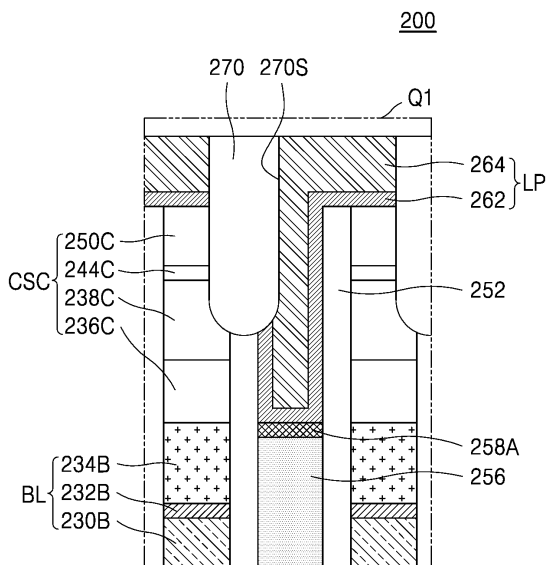
도면4b



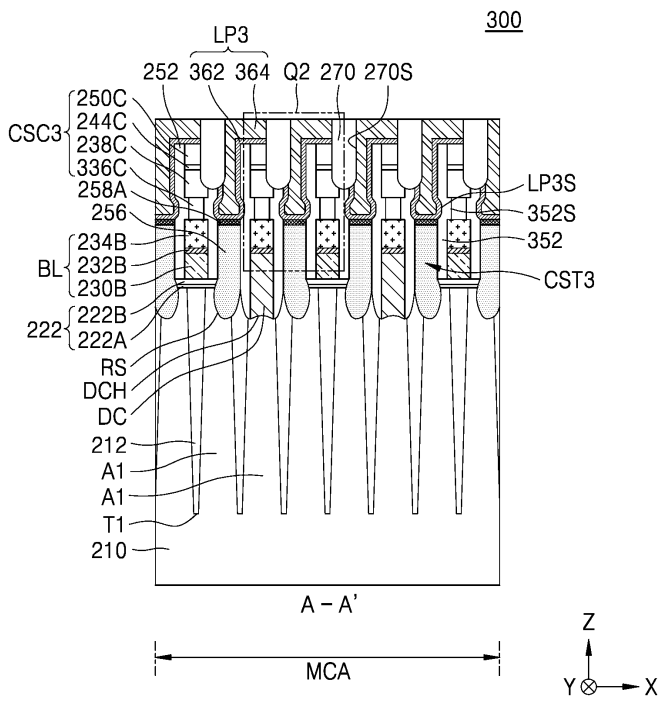
도면4c



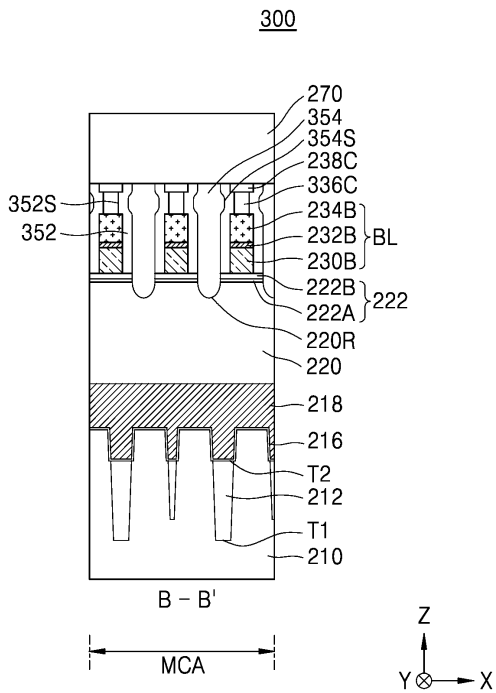
도면5



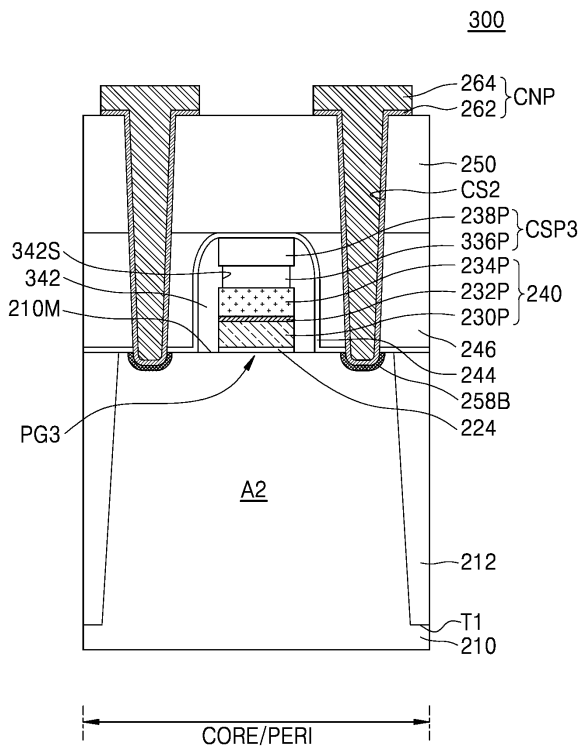
도면6a



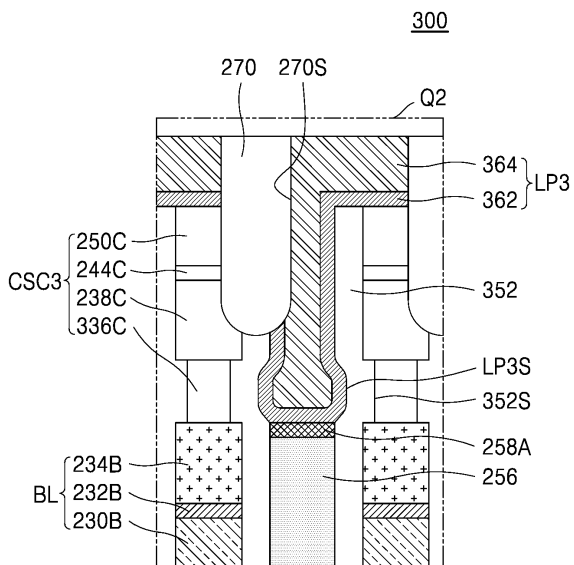
도면6b



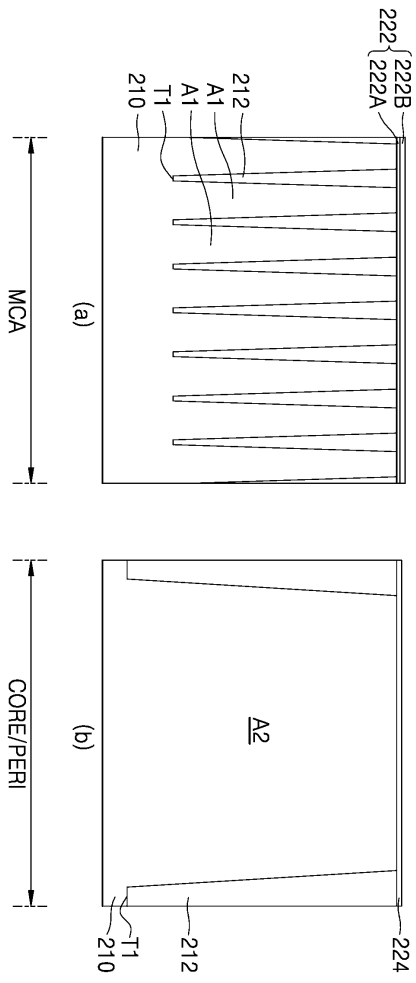
도면6c



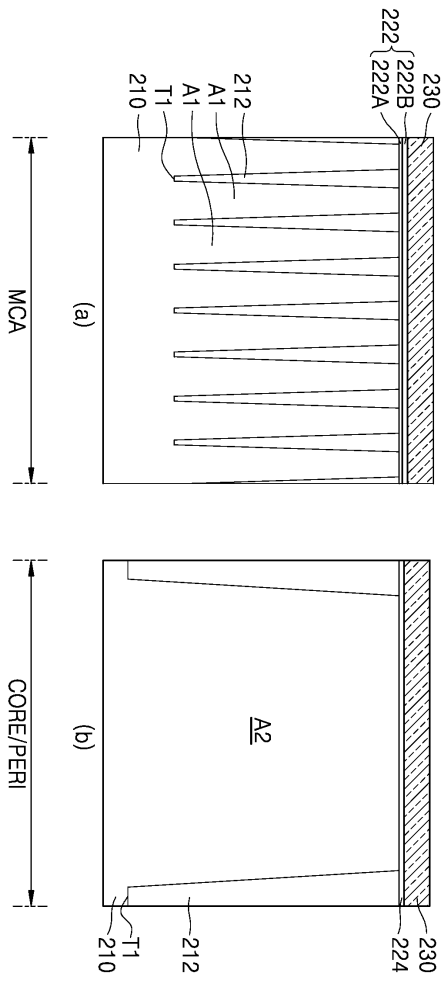
도면7



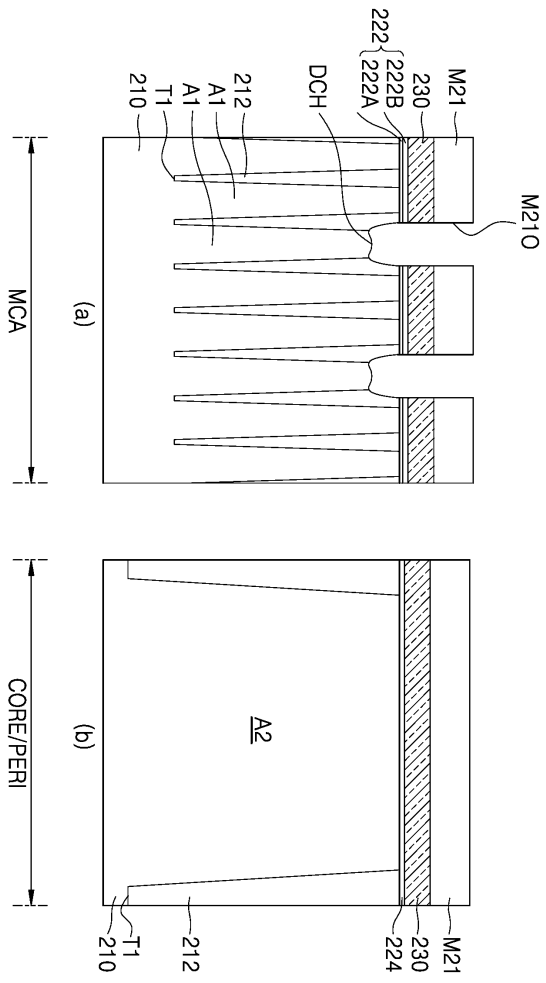
도면8a



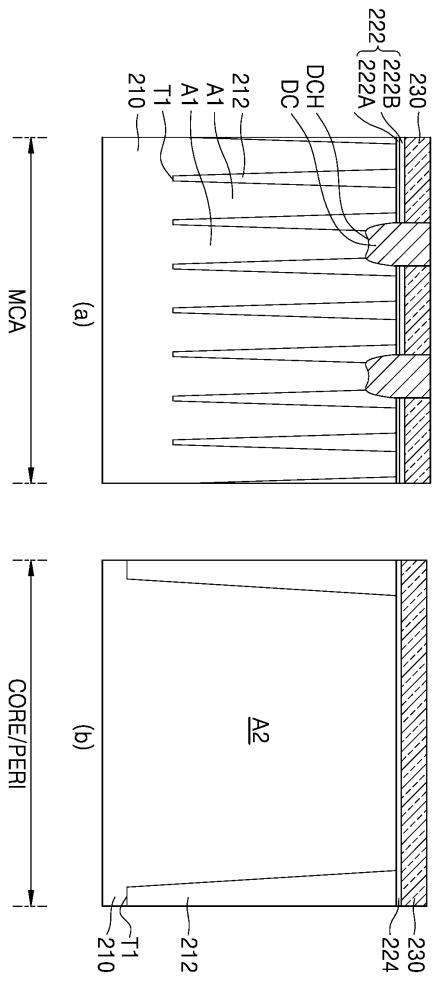
도면8b



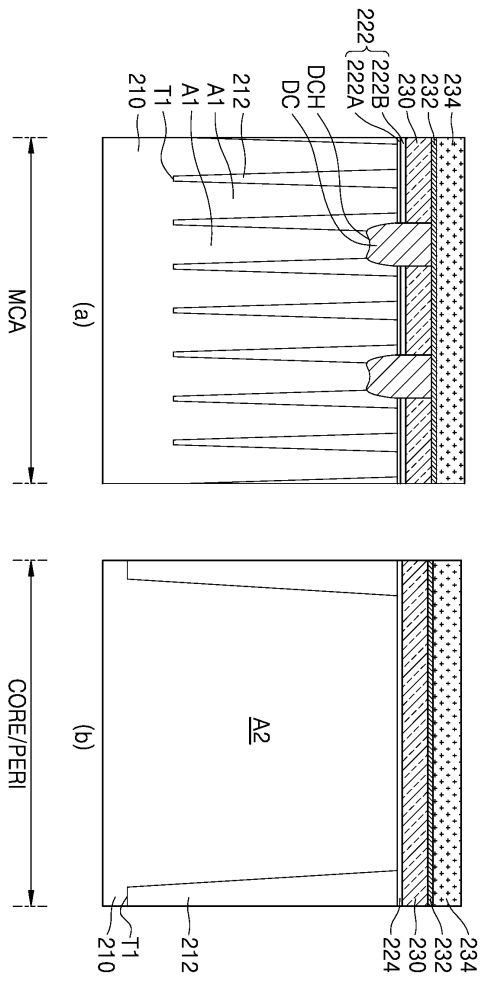
도면8c



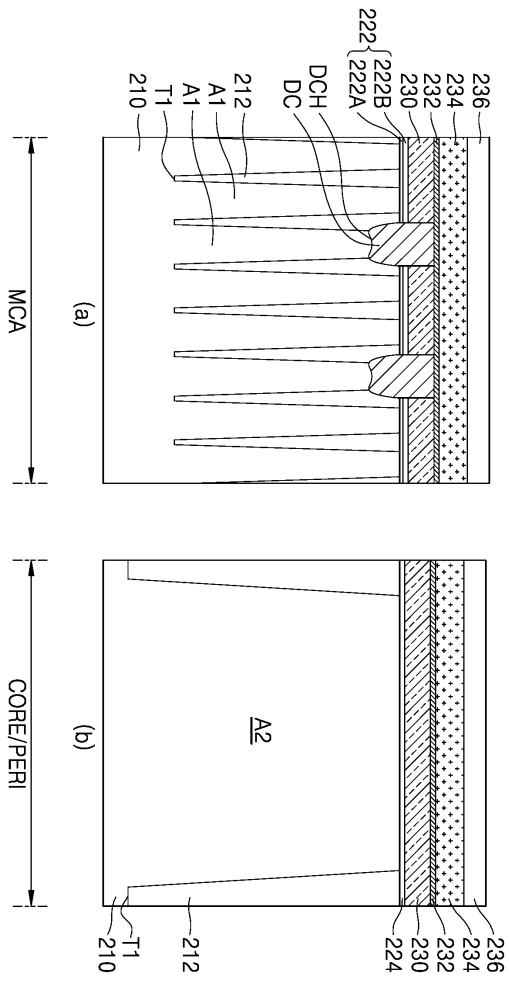
도면8d



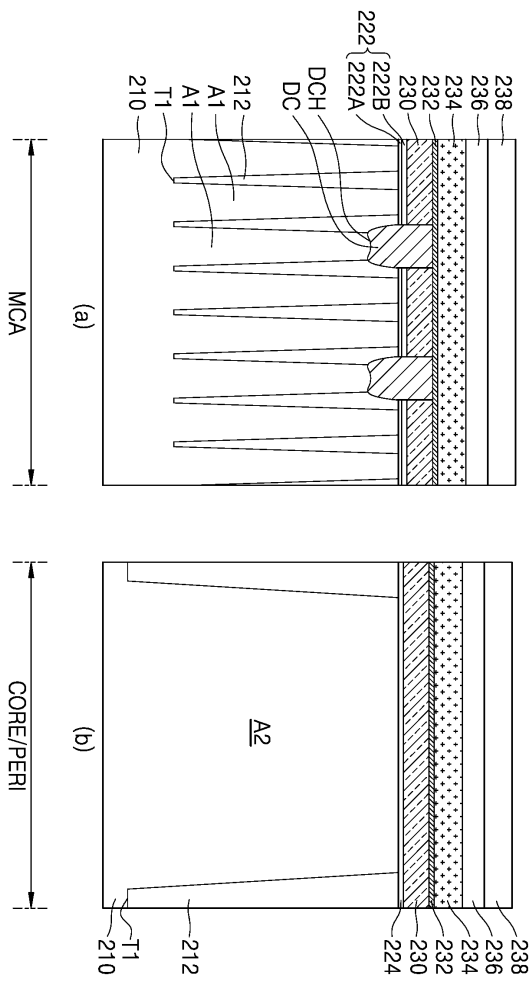
도면8e



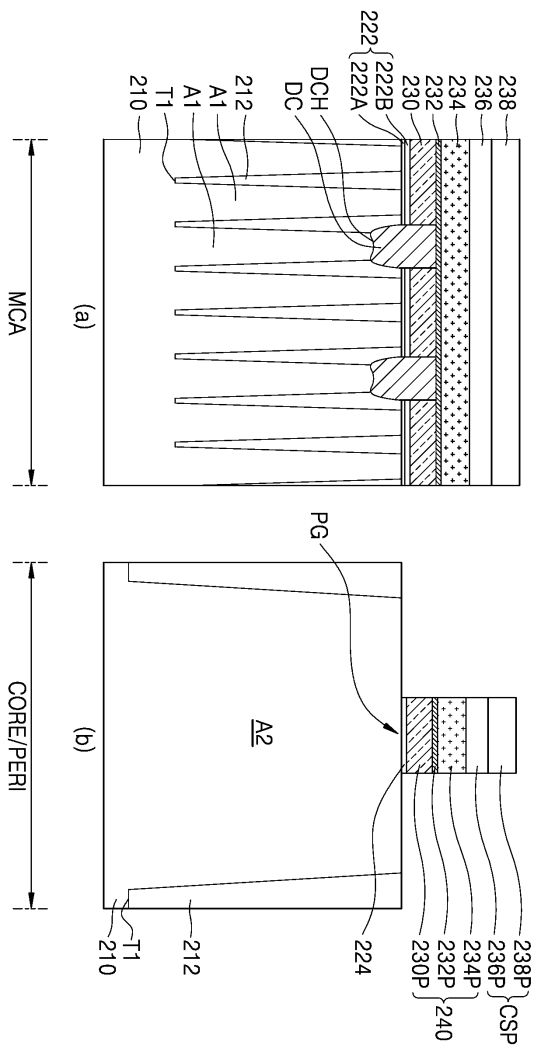
도면8f



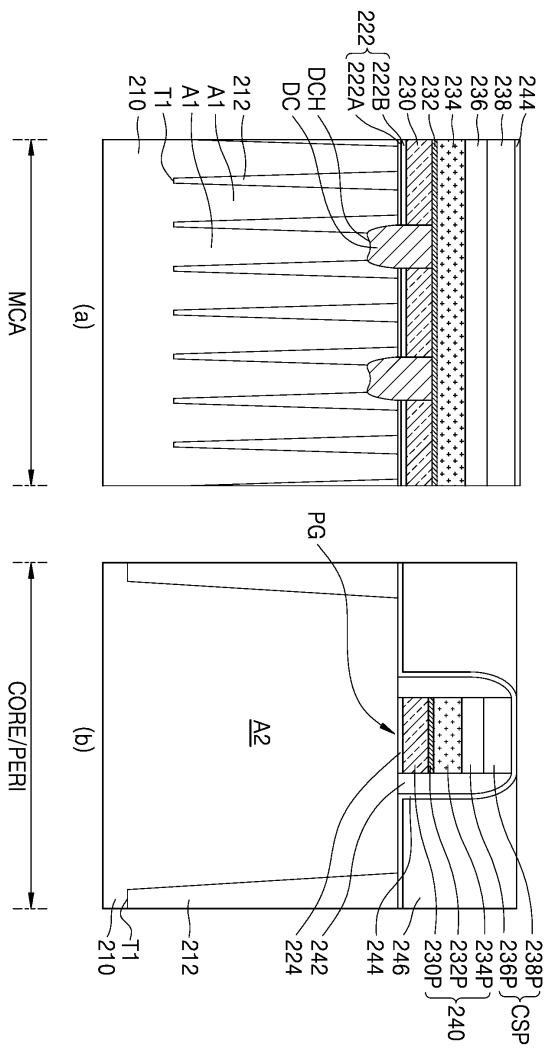
도면8g



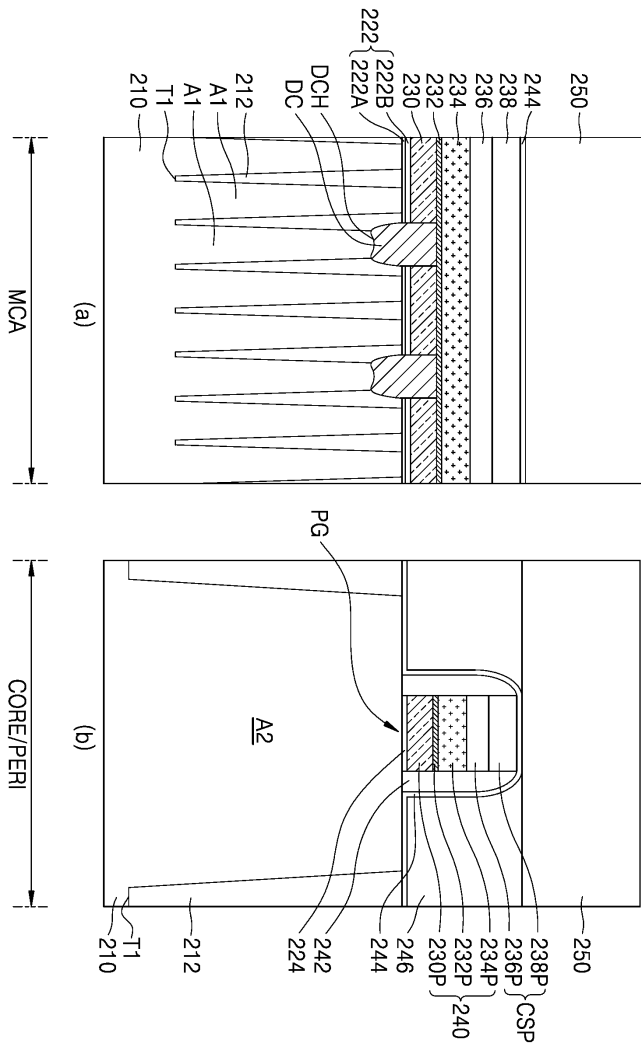
도면8h



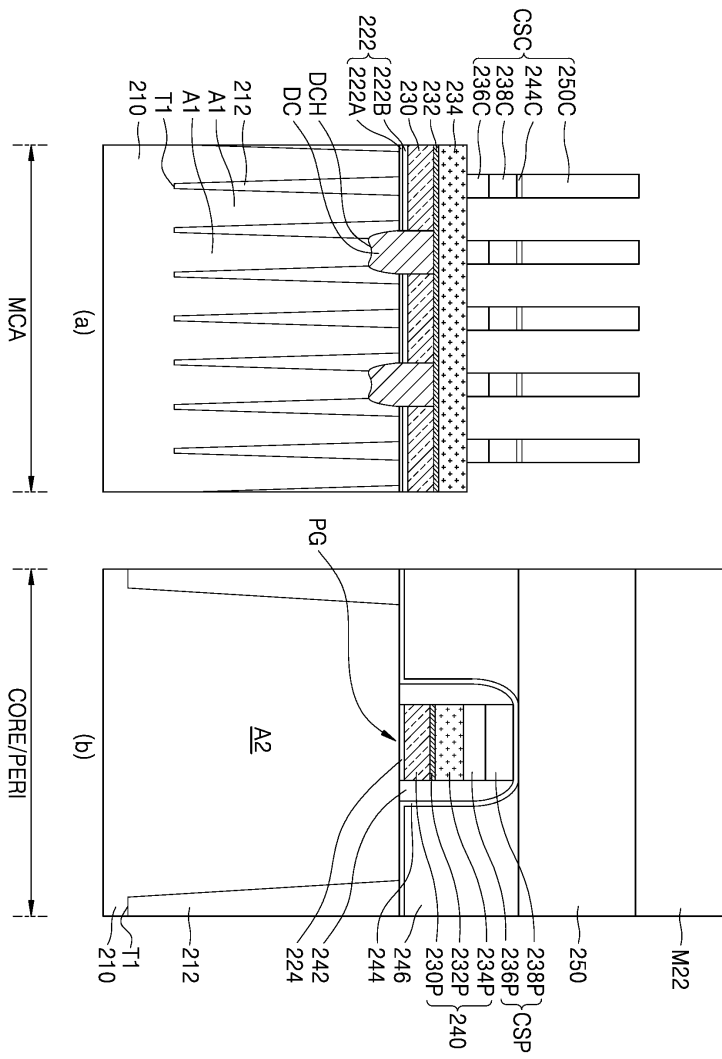
도면8i



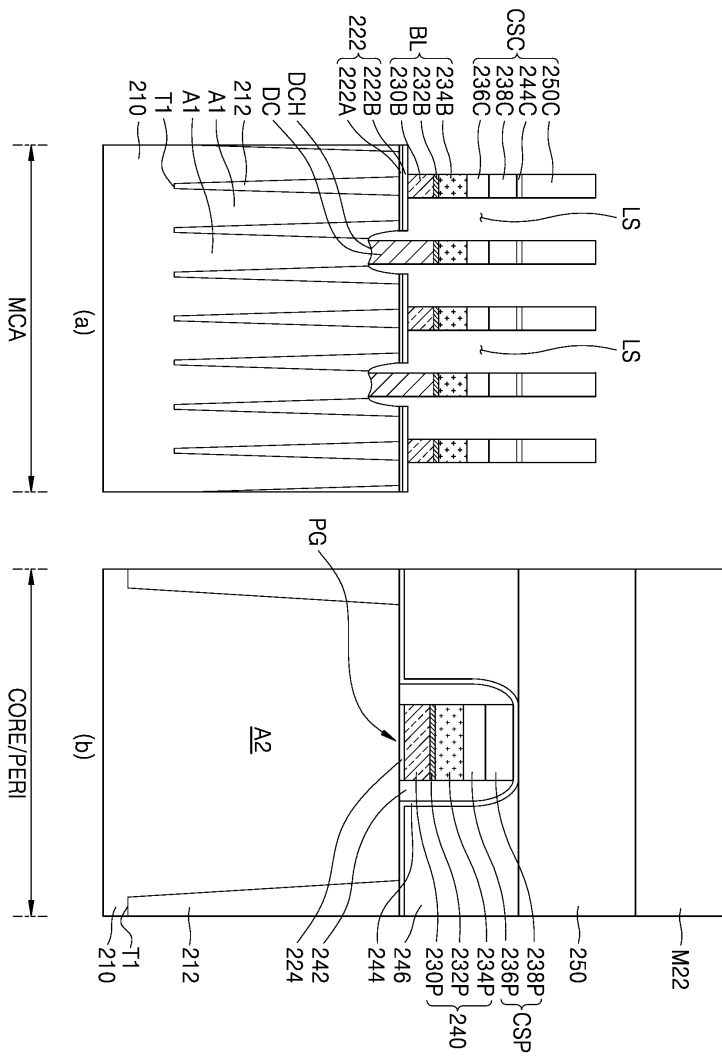
도면8j



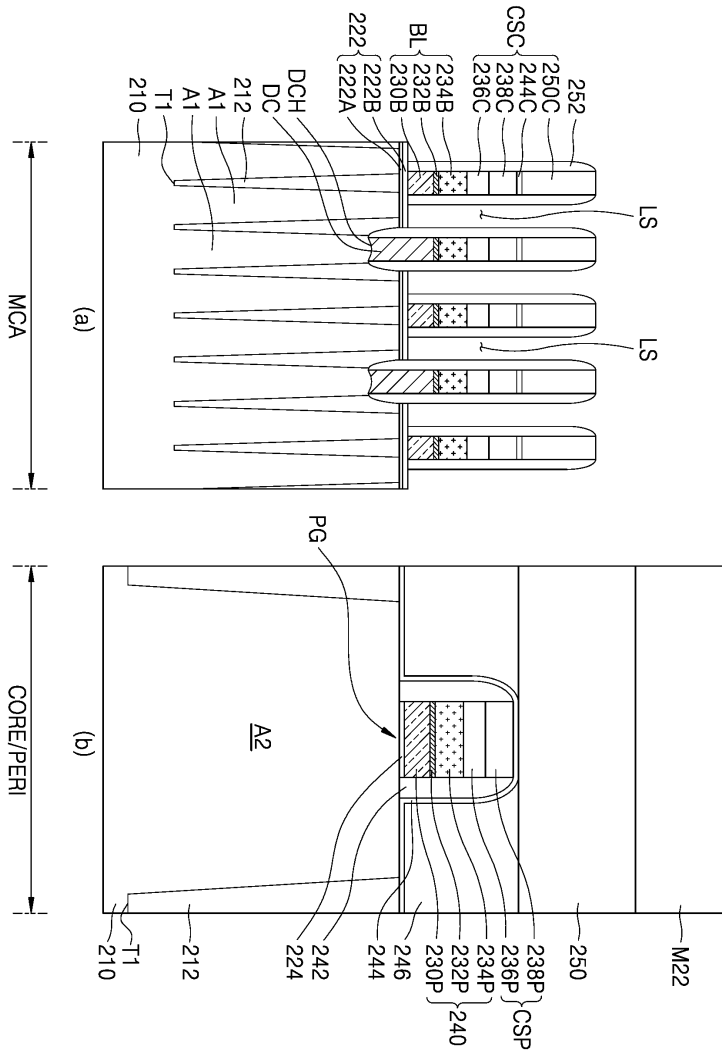
도면8k



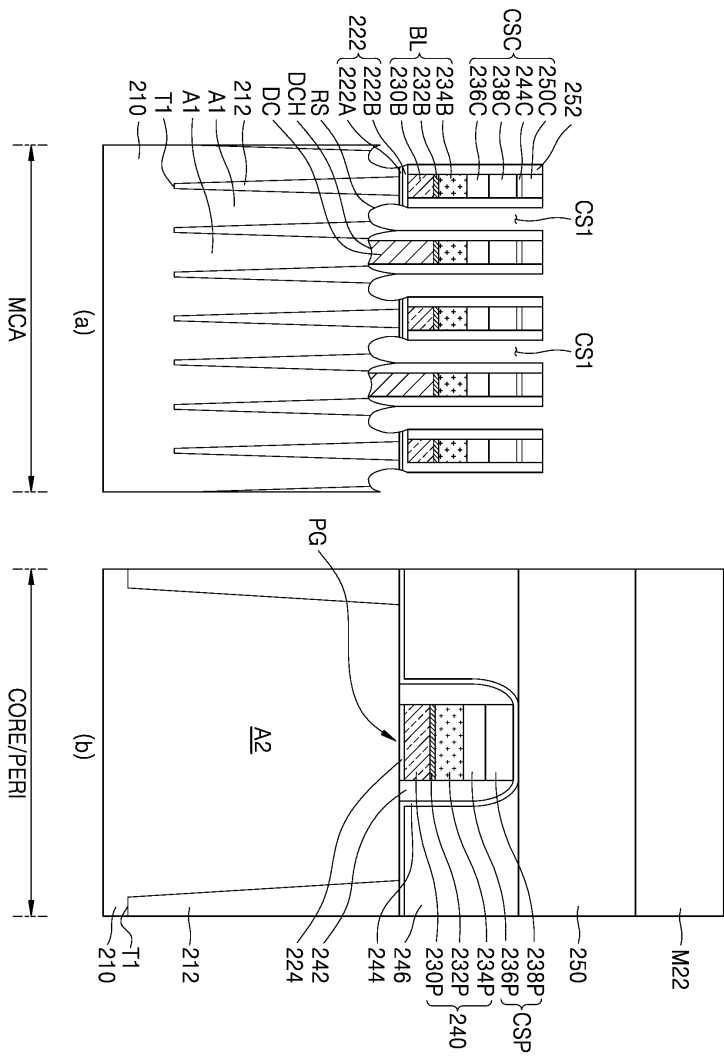
도면81



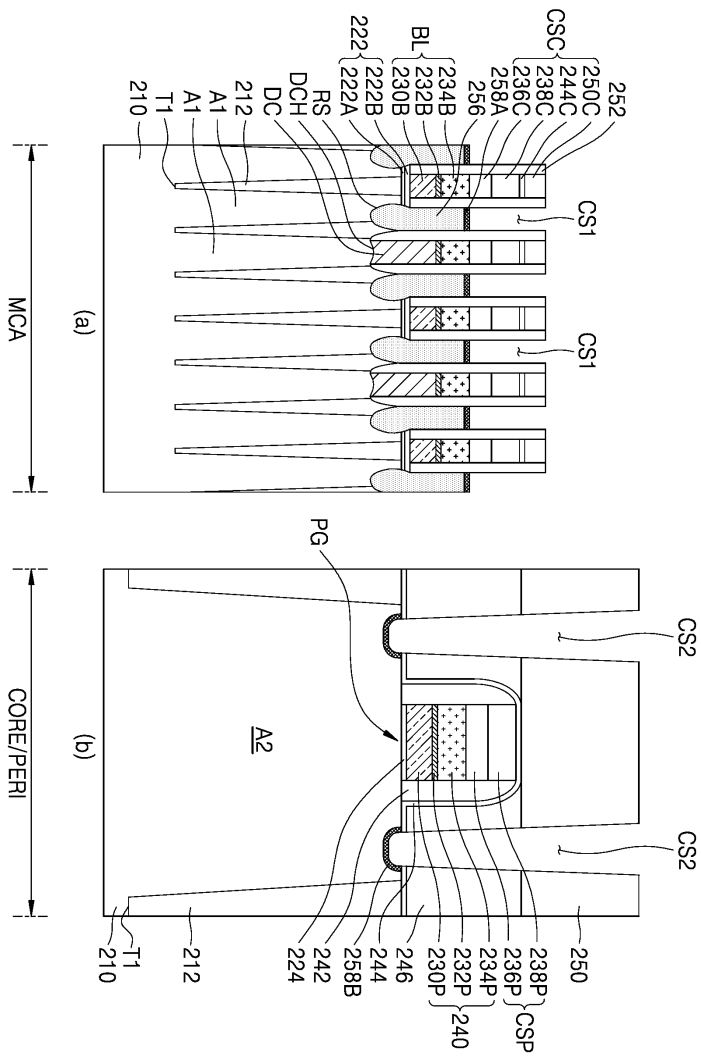
도면 8m



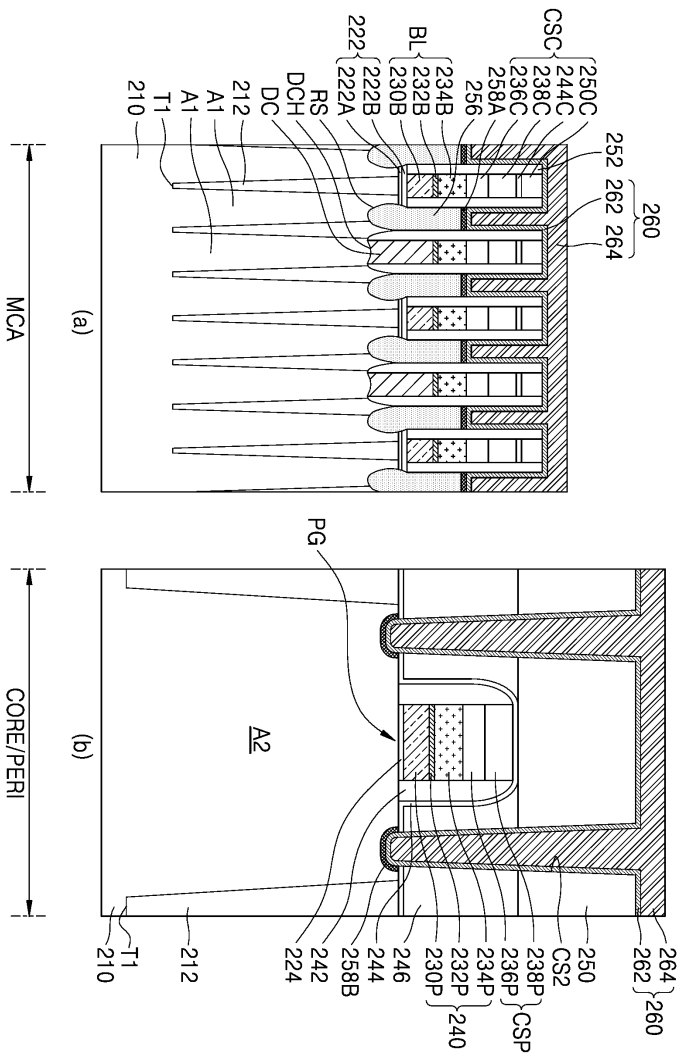
도면8n



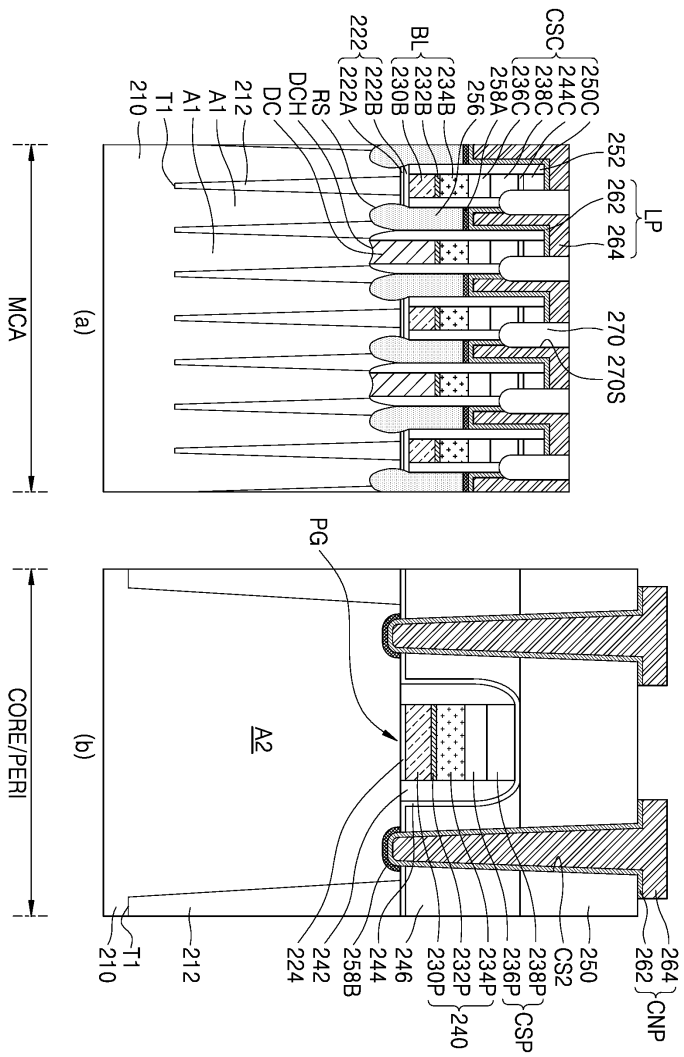
도면80



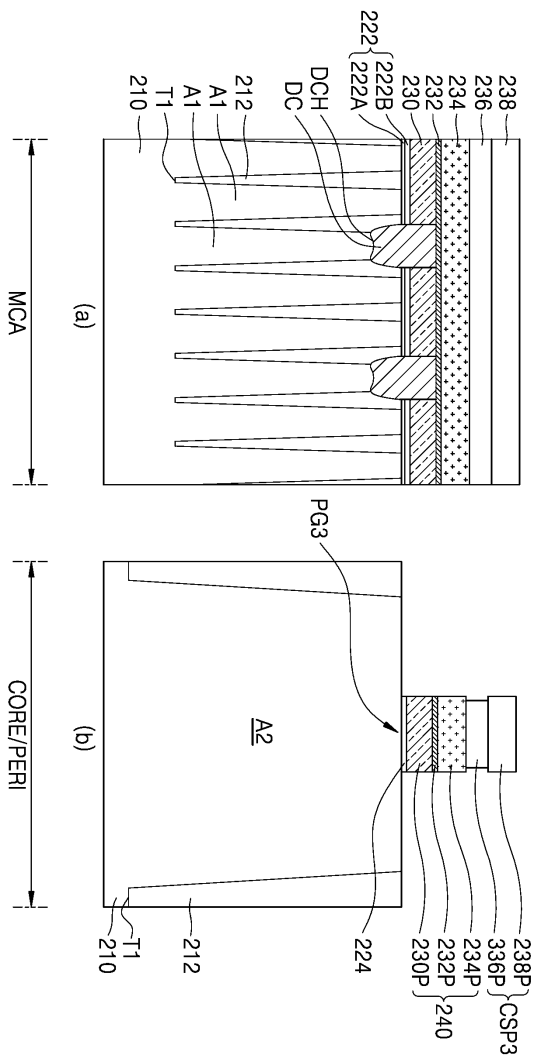
도면8p



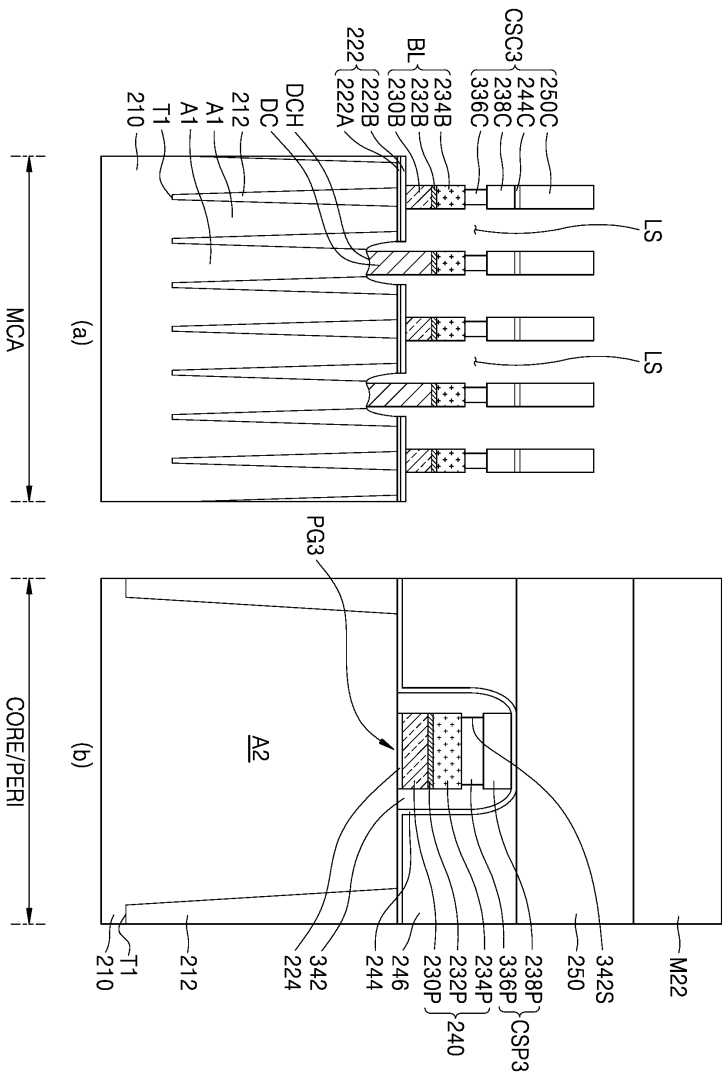
도면8q



도면9a



도면9b



도면9c

