

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H01L 29/78

(45) 공고일자 1999년03월20일  
(11) 등록번호 특0178824  
(24) 등록일자 1998년11월25일

(21) 출원번호	특1994-027399	(65) 공개번호	특1995-012770
(22) 출원일자	1994년10월26일	(43) 공개일자	1995년05월17일
(30) 우선권주장	93-270650 1993년10월28일 일본(JP)		

(73) 특허권자 가부시키가이샤 도시바 사토 후미오  
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지

(72) 발명자 바바 요시로  
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 다마가와공장내  
야나기야 사토시  
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 다마가와공장내  
마츠다 노보루  
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 다마가와공장내  
오사와 아키히코  
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 다마가와공장내  
츠치타니 마사노부  
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 다마가와공장내

(74) 대리인 이세진, 김윤배

심사관 : 오세준

(54) 반도체장치 및 그 제조방법

요약

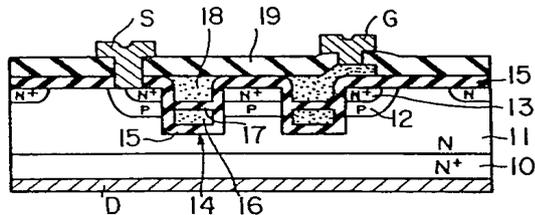
[목적]

신뢰성이 높고, 특성면에서 안정한 항시 온형의 중형 파워 MOS FET를 갖춘 반도체장치 및 그것을 저가, 고수율로 제조할 수 있는 제조방법을 제공한다.

[구성]

기판 표면에 대해 2중확산에 의해 채널영역(12) 및 소오스영역(13)을 형성하고, 이 채널영역 및 소오스영역의 일부를 관통하여 기판에 도달하도록 트렌치(14)를 형성하며, 이 트렌치의 내벽에 절연막(15)을 형성한 후, 트렌치 중간부까지 이온주입 마스크재(16)를 매립한 상태에서 측면영역에 채널이온주입을 행해 채널부를 디플리션화하고, 이 후 트렌치에 게이트인출전극(18)을 매립하는 것을 특징으로 한다.

대표도



명세서

[발명의 명칭]

반도체장치 및 그 제조방법



영역용의 제1전도형의 제1반도체층을 형성하는 공정과, 2중확산법에 의해, 상기 제1반도체층의 상면에 채널영역 형성용의 제2도전형의 제2반도체층을 형성하고, 이 제2반도체층의 표층부의 일부에 소오스 영역용의 제1도전형의 제3반도체층을 형성하는 공정, 이 제3반도체층의 표면으로부터 상기 제2반도체층의 일부를 관통하여 상기 제1반도체층에 도달하도록 단면에 거의 U자 모양의 도랑을 형성하는 공정, 이 도랑의 내벽면에 게이트절연막용의 제1절연막을 형성하는 공정, 이 도랑의 내벽면에 게이트절연막용의 제1절연막을 형성하는 공정, 이 게이트절연막상에서 T가기 도랑의 중간부까지 이온주입 마스크재를 매립하는 공정, 상기 도랑내에서 노출하고 있는 절연막을 제거하는 공정, 경사이온주입법에 의해 상기 도랑의 노출하고 있는 내벽면에 채널이온주입을 행하는 공정, 상기 이온주입 마스크재상에 제2절연막을 형성하는 공정, 이 제2절연막상에서 상기 도랑을 매립하도록 게이트인출전극을 형성하는 공정, 이 게이트인출전극상, 상기 제1반도체층의 표면상, 상기 제2반도체층의 표면상 및 상기 제3반도체층의 표면상을 피복하도록 제3절연막을 형성하는 공정, 이 제3절연막에 접촉구멍을 개구한 후에 금속막을 퇴적하고 패터닝함으로써 상기 게이트인출전극을 접촉하는 게이트전극 및 상기 제2반도체층의 표면과 제3반도체층의 표면에 공통으로 접촉하는 소오스전극을 형성하는 공정 및, 상기 반도체기판의 이면에 드레인전극을 형성하는 공정을 구비한 것을 특징으로 한다.

#### [작용]

본 발명의 반도체장치는, 트렌치의 중간부까지 이온주입 마스크재가 매립되어 채널이온주입시에 트렌치 밑면에 이온이 주입되지 않도록 방지하므로, 이온주입입자가 트렌치 내면에서 다중산란하여 트렌치 밑면 부분에 불필요한 확산층이 형성될 우려가 없어지고, 신뢰성이 높으며, 특성면에서 안정한 항시 온형의 중형 파워 MOS FET를 실현할 수 있다.

본 발명의 반도체장치의 제조방법은, 기판 표면에 대해 2중확산에 의해 채널영역 및 소오스영역을 형성하고, 이 채널영역 및 소오스영역의 일부를 관통하여 기판에 도달하도록 트렌치를 형성하며, 이 트렌치의 내벽에 제1절연막을 형성한 후, 트렌치 중간부까지 이온주입 마스크재를 매립한 상태에서 트렌치측면영역에 채널이온주입을 행해 채널부를 디플리션화하고, 이 후 트렌치에 게이트인출전극용 폴리실리콘을 매립한다.

따라서, 평면구조의 파워 MOS FET를 디플리션화하기 위해 2중확산후에 기판 표면에 채널이온주입을 행하는 종래의 방법과 비교하여, PEP수가 증가하지 않으며, 폴리실리콘 게이트전극과 채널부와의 정합어긋남이 생길우려가 없다는 이점이 있고, 이에 따라 제조비용이 저감 및 수율의 향상을 도모하는 것이 가능하게 된다.

#### [실시예]

이하, 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

제1도는 개별 반도체장치 혹은 MOS집적회로에 형성되는 제1실시예에 따른 항시 온형의 N채널 중형 파워 MOS FET의 일부의 평면패턴을 나타내고 있다.

제2도는 제1도중의 B-B선에 따른 단면구조를 나타내고 있다.

제1도 및 제2도에 있어서, 참조부호10은  $N^+$ 형의 반도체기판, 11은 상기  $N^+$ 형의 반도체기판(10)의 주면에 설치된 드레인영역용의 저불순물농도를 갖는 N형의 제1반도체층(에피택셜층)이다. 12는 에피택셜층(11)의 상면에 확산에 의해 설치된 채널영역 형성용의 제2도전형(본 예에서는 P형)의 제2반도체층, 13은 이 채널 형성층(12)의 표면부에 설치된 소오스영역용의  $N^+$ 형의 제3반도체층으로, 이들 제2반도체층 및 제3반도체층은 2중확산에 의해 형성되어 있다.

14는 상기 제3반도체층(13)의 표면으로부터 상기 채널형성층(12)의 일부를 관통하여 상기 에피택셜층(11)에 도달하도록 복수개(본 예에서는 2개)병렬로 설치된 단면이 거의 U자 모양의 트렌치(trench)이다.

15는 이 트렌치(14)의 내벽면 및 기판 표면상에 형성된 게이트절연막(제1절연막)이다.

16은 이 게이트절연막(15)상에서 상기 트렌치(14)의 중간부까지 매립된 폴리실리콘으로, 이것은 후술하는 바와 같이 채널이온주입시에 트렌치 밑면에 이온이 주입되지 않도록 방지하는 이온주입 마스크재로서의 기능을 갖는다.

17은 상기 폴리실리콘(16)상에 형성된 제2절연막이고, 이 제2절연막(17)상에서 상기 트렌치(14)를 매립하도록 불순물(예컨대 인)이 도우프된 게이트인출전극용 폴리실리콘(18)이 설치되어 있다. 이 게이트인출전극용 폴리실리콘(18)은 상기 트렌치(14)의 길이방향의 일단부측의 기판 표면상에 게이트절연막(15)상까지 연장하도록 형성되어 있다.

19는 상기 게이트인출전극용 폴리실리콘(18)상 및 기판 표면상의 게이트절연막(15)상을 피복하도록 설치된 제3절연막이다.

G는 상기 제3절연막(19)에 설치된 접촉구멍(contact hole)을 매개로 상기 트렌치(14)의 길이방향으로 일단부측의 기판 표면상의 게이트절연막(15)상까지 연장되어 있는 게이트인출전극용 폴리실리콘(18)부분에 전기적으로 접속한 게이트전극이다.

S는 상기 제3절연막(19)에 설치된 접촉구멍을 매개로 상기 제3반도체층(소오스영역; 13) 및 상기 제2반도체층(기판영역; 12)에 공통으로 접속한 소오스 전극이다. 이에 따라, 기판영역·소오스 상호가 단락접속되어, 기판영역·소오스에 기생하는 NPN트랜지스터의 영향을 경감하고 있다.

D는 상기 반도체기판(10)의 이면에 설치된 드레인전극이다.

한편, 기판상에 다수개의 중형 MOS FET셀이 형성되는 경우에는, 사이 드레인전극(D)은 각 셀에 대해 일체적으로 설치되고, 소오스 전극(S) 및 게이트 전극(G)은 각 셀에 대해 일체적으로 설치되고, 소오스전극(S) 및 게이트전극(G)은 각 셀에 공통으로 접속되며, 각 셀은 병렬로 접속된다.

상기 구조를 갖는 N채널 중형의 파워 MOS FET는, 게이트인출전극용 폴리실리콘(18)에 대향하는 트렌치 측면영역(채널부)이 이온주입에 의해 디플리션화되어 있으므로, 항시 온형의 동작을 행한다.

즉, 소오스전극(S)을 접지하고, 드레인전극(D)에 정(正)의 전압을 인가하며, 게이트전극(G)에 접지전위를 부여한 상태에서, 소오스영역(13)으로부터 반전층 바로 아래의 에피택셜층(11)영역으로 전자가 흐른다.

상기 실시예의 구조에 의하며, 트렌치(14)의 중간부까지 매립된 폴리실리콘(16)은, 채널이온주입시에 트렌치 밑면에 이온이 주입되지 않도록 방지하는 이온주입 마스크재로서 기능하므로, 이온주입입자가 트렌치 내면에서 다중산란하여 트렌치 밑면부분에 불필요한 확산층이 형성될 우려가 없어지고, 신뢰성이 높으며, 특성면에서 안정한 항시 온형의 중형 파워 MOS FET를 실현하는 것이 가능하다.

다음에 상기 구조를 갖는 N채널 중형 파워 MOS FET의 형성방법의 일례에 대해 제3도(a)~(d) 및 제2도를 참조하면서 상세히 설명한다.

먼저, 제3도(a)에 나타난 바와 같이, 두께  $150\mu\text{m}$ 의 N<sup>+</sup>형의 실리콘으로 이루어진 반도체기판(웨이퍼;10)의 주면에 두께가 약  $10\mu\text{m}$ 의 N형의 에피택셜층(11)을 에피택셜성장에 의해 형성한다.

더욱이, 이 에피택셜층(11)상에 2중확산을 행함으로써 두께가 약  $2.5\mu\text{m}$ 의 P형의 채널형성층(12)과, 이 채널형성층(12)의 표층부에 두께  $0.5\mu\text{m}$ 의 N<sup>+</sup>형의 소오스영역(13)을 형성한다.

다음에, 웨이퍼 상면에 CVD산화막(20)을 퇴적한다. 그리고, PEP기술 및 RIE(반응성 이온에칭)법을 이용하여 소오스영역(13)의 표면으로부터 상기 채널형성층(12)의 일부를 관통하여 상기 에피택셜층(11)에 도달하도록 트렌치(14, ...)를 복수개 나열하여 형성한다.

다음에, 상기 CVD산화막(20)을 제거한 후, 제3도(b)에 나타난 바와 같이 웨이퍼 상면 및 트렌치(14)의 내벽면을 덮도록 게이트절연막(제1절연막, SiO<sub>2</sub>막;15)을 형성한다.

이어서, 인이 도우프된 폴리실리콘막을 트렌치(14)가 충분히 매립될 때까지 퇴적한다.

다음에, 제3도(c)에 나타난 바와 같이, CDE(화학적 드라이에칭)법에 의해 상기 트렌치(14)의 중각부(채널형성층(12)보다 낮은 위치)까지 상기 폴리실리콘막(16)을 남기도록 에칭한 후, 트렌치(14)내벽의 노출하고 게이트절연막(15)을 BFH[버퍼드(Buffered)불산]에 의해 제거한다.

다음에, 경사이온주입법(주입각도는 예컨대  $5^{\circ}$  ~  $45^{\circ}$ )에 의해 트렌치 측면을 향하여 얇은 주입각도로 인 혹은 비소의 이온주입을 행함으로써, 트렌치 측면의 채널형성층(12;채널부)을 디플리션화한다. 이 경우, 상기한 바와 같이 트렌치(14)의 중간부까지 폴리실리콘막(16)이 매립되어 있으므로, 이온주입입자의 다중산란에 의해 트렌치 밑면부분에 불필요한 확산층이 형성될 염려는 없다.

다음에, 제3도(d)에 나타난 바와 같이, 상기 트렌치(14)내의 폴리실리콘막(16)의 표면에 열산화막(제2절연막;17)을 형성한 후, 다시 인이 도우프된 폴리실리콘막(18)을 트렌치(14)가 충분히 매립될 때까지 퇴적한다. 이 경우, 폴리실리콘막(18)을 퇴적한 후에 인을 도우프해도 좋다.

다음에, PEP기술 및 RIE법을 이용하여 상기 트렌치(14)의 내부 및 그 길이 방향의 일단부측의 기판 표면상의 게이트절연막(15)상까지 연장하는 위치까지 게이트인출전극용의 폴리실리콘막(18)을 남기도록 에칭을 행한다.

다음에, 제2도에 나타난 바와 같이 웨이퍼 상면에 두께  $600\text{nm}$ 의 PSG(인 실리케이트 글래스)막으로 이루어진 절연막(19)을 CVD법에 의해 퇴적하고, 이 절연막(19)의 일부(트렌치의 길이방향의 일단부측의 기판 표면상의 게이트절연막(15)상, 상기 채널형성층(12)상의 일부 및 소오스영역(13)상의 일부)에 접촉구멍(Contact Hole)을 개구(開口)한다.

이 후, 웨이퍼 상면에 두께  $2\mu\text{m}$ 의 알루미늄(Al) 혹은 알루미늄·실리콘합금(Al·Si)을 증착하고, 패터닝을 행한다. 이에 따라, 상기 트렌치(14)의 길이방향의 일단부측의 기판 표면상의 게이트절연막(15)상까지 연장되어 있는 게이트인출전극용 폴리실리콘(18)부분에 전기적으로 접촉한 게이트전극(G)과, 상기 소오스영역(13) 및 채널형성층(기판영역;12)에 공통으로 접촉한 소오스 전극(S)이 형성된다. 더욱이, 웨이퍼 상면에 드레인전극(D)을 형성하여 중형 MOS FET를 얻는다.

상기 실시예의 중형 파워 MOS FET의 제조방법에 의하면, 2중확산후에 트렌치를 형성하고, 이 트렌치(14)의 내벽에 절연막(15)을 형성한 후, 트렌치 중간부까지 이온주입 마스크재(16)를 매립한 상태에서 트렌치 측면영역에 채널이온주입을 행해 채널부를 디플리션화하며, 이 후 트렌치에 게이트인출전극용 폴리실리콘(18)을 매립한다.

따라서, 종래의 평면구조의 파워 MOS FET를 디플리션화하기 위해 2중확산 후에 기판 표면에 채널이온주입을 행하는 방법과 비교하여, PEP수가 증가하지 않으며, 폴리실리콘 게이트전극과 채널부와의 정합어긋남이 생길 우려가 없다는 이점이 있고, 이에 따라 제조비용이 저감 및 수율의 향상을 도모하는 것이 가능하게 된다.

한편, 본원 청구범위의 각 구성요소에 병기한 도면참조부호는 본원 발명의 이해를 용이하게 하기 위한 것으로, 본원 발명의 기술적 범위를 도면에 도시한 실시예에 한정할 의도로 병기한 것은 아니다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, 신뢰성이 높고, 특성면에서 안정한 항시 온형의 중형 파워 MOS FET를 갖춘 반도체장치 및 그것을 저가, 고수율로 제조할 수 있는 제조방법을 실현 할 수 있다.

## (57) 청구의 범위

### 청구항 1

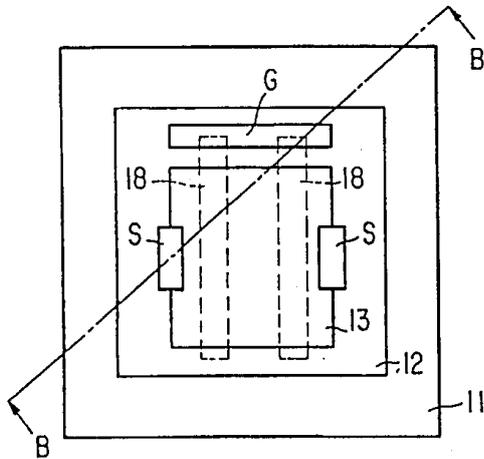
제1도전형의 반도체기판(10)과, 이 반도체기판(10)의 주면에 설치된 저불순물농도를 갖는 드레인영역용의 제1도전형의 제1반도체층(11), 이 제1반도체층(11)의 상면에 설치된 채널영역 형성용의 제2도전형의 제2반도체층(12), 이 제2반도체층(12)의 표층부의 일부에 설치된 소오스영역용의 제1도전형의 제3반도체층(13), 이 제3반도체층(13)의 표면으로부터 상기 제2반도체층(12)의 일부를 관통하여 상기 제1반도체층(11)에 도달하도록 설치된 단면이 거의 U자 모양의 도랑(14)의 내벽면에 형성된 게이트절연막용의 제1절연막(15), 이 게이트절연막(15)상에서 상기 도랑(14)의 중간부까지 매립된 이온주입 마스크재(16), 이 이온주입 마스크재(16)상에 형성된 제2절연막(17), 이 제2절연막(17)상에서 상기 도랑(14)을 매립하도록 설치된 게이트인출전극(18), 이 게이트인출전극(18)상, 상기 제1반도체층(11)의 표면상, 상기 제2반도체층(12)의 표면상 및 상기 제3반도체층(13)의 표면상을 피복하도록 설치된 제3절연막(19), 이 제3절연막(19)에 설치된 접촉구멍을 매개로 상기 게이트인출전극(18)에 접촉하는 게이트전극(G), 상기 제3절연막(19)에 설치된 접촉구멍을 매개로 상기 제2반도체층(12)의 표면 및 제3반도체층(13)의 표면에 공통으로 접촉하는 소오스전극(S) 및, 상기 반도체기판(10)의 이면에 설치된 드레인전극(D)를 구비한 것을 특징으로 하는 반도체장치.

## 청구항 2

제1도전형의 반도체기판의 주면에 저불순물농도를 갖는 드레인영역용의 제1도전형의 제1반도체층을 형성하는 공정과, 2중확산법에 의해, 상기 제1반도체층의 상면에 채널영역 형성용의 제2도전형의 제2반도체층을 형성하고, 이 제2반도체층의 표층부에 일부에 소오스영역용의 제1도전형의 제3반도체층을 형성하는 공정, 이 제3반도체층의 표면으로부터 상기 제2반도체층에 일부를 관통하여 상기 제1반도체층에 도달하도록 단면이 거의 U자 모양의 도랑을 형성하는 공정, 이 도랑의 내벽면에 게이트절연막용의 제1절연막을 형성하는 공정, 이 게이트절연막상에서 상기 도랑의 중간부까지 이온주입 마스크재를 매립하는 공정, 상기 도랑내에서 노출하고 있는 제1절연막을 제거하는 공정, 경사이온주입법에 의해 상기 도랑의 노출하고 있는 내벽면에 채널이온주입을 행하는 공정, 상기 이온주입 마스크재상에 제2절연막을 형성하는 공정, 이 제2절연막상에서 상기 도랑을 매립하도록 게이트인출전극을 형성하는 공정, 이 게이트인출전극상, 상기 제1반도체층의 표면상, 상기 제2반도체층의 표면상 및 상기 제3반도체층의 표면상을 피복하도록 제3절연막을 형성하는 공정, 이 제3절연막에 접촉구멍을 개구한 후에 금속막을 퇴적하고 패터닝함으로써, 상기 게이트인출전극에 접촉하는 게이트전극 및 상기 제2반도체층의 표면과 제3반도체층의 표면에 공통으로 접촉하는 소오스전극을 형성하는 공정 및, 상기 반도체기판의 이면에 드레인전극을 형성하는 공정을 구비한 것을 특징으로 하는 반도체장치의 제조방법.

## 도면

### 도면1





도면3d

