

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 3 年 7 月 26 日 (2021.7.26)

【公開番号】特開 2020-107678 (P2020-107678A)

【公開日】令和 2 年 7 月 9 日 (2020.7.9)

【年通号数】公開・登録公報 2020-027

【出願番号】特願 2018-243513 (P2018-243513)

【国際特許分類】

H 0 1 L 27/11563 (2017.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 27/11573 (2017.01)

H 0 1 L 27/1157 (2017.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

【 F I 】

H 0 1 L 27/11563

H 0 1 L 29/78 3 7 1

H 0 1 L 27/11573

H 0 1 L 27/1157

H 0 1 L 29/78 3 0 1 G

H 0 1 L 29/78 6 1 7 M

H 0 1 L 29/78 6 1 6 T

H 0 1 L 27/088 B

H 0 1 L 27/088 C

H 0 1 L 27/088 A

H 0 1 L 27/088 3 3 1 E

【手続補正書】

【提出日】令和 3 年 6 月 9 日 (2021.6.9)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

以下の工程を含む半導体装置の製造方法：

(a) 半導体基材、前記半導体基材上に形成された絶縁層、前記絶縁層上に形成された半導体層を有する基板を準備する工程；

(b) 前記 (a) 工程の後、前記基板のバルク領域に位置する前記半導体層および前記絶縁層のそれぞれを除去する工程；

(c) 前記 (b) 工程の後、前記バルク領域のうちの第 1 領域に位置する前記半導体基材の表面にエピタキシャル成長処理を施す工程；

(d) 前記 (c) 工程の後、前記基板の S O I 領域に位置する前記半導体層上に第 1 ゲート絶縁膜を介して第 1 ゲート電極を、前記バルク領域のうちの前記第 1 領域に位置し、

かつ、エピタキシャル成長処理が施された前記半導体基材上に第2ゲート絶縁膜を介して第2ゲート電極を、前記バルク領域のうちの第2領域に位置し、かつ、エピタキシャル成長処理が施されない前記半導体基材上に第3ゲート絶縁膜を介して第3ゲート電極を、それぞれ形成する工程、

ここで、

前記第3ゲート絶縁膜の厚さは、前記第1ゲート絶縁膜および前記第2ゲート絶縁膜のそれぞれの厚さよりも大きく、

前記第1乃至第3ゲート電極のそれぞれは、第1材料から成り；

(e) 前記(d)工程の後、前記第1乃至第3ゲート電極のそれぞれを覆うように、前記基板上に層間絶縁膜を形成する工程；

(f) 前記(e)工程の後、前記層間絶縁膜を研磨し、前記第1乃至第3ゲート電極のそれぞれを前記層間絶縁膜から露出させる工程；

(g) 前記(f)工程の後、前記第1ゲート電極、前記第2ゲート電極および前記第3ゲート電極のそれぞれを構成する前記第1材料を、前記第1材料とは異なる第2材料に置換する工程。

【請求項2】

前記(c)工程では、断面視において、前記(c)工程により形成され、かつ、前記第2ゲート絶縁膜が接するエピタキシャル成長層の上面が、前記第2領域に位置し、かつ、前記第3ゲート絶縁膜が接する前記半導体基材の上面よりも高い高さに位置するように、および、前記第1ゲート絶縁膜が接する前記半導体層の上面と同じ高さ、あるいは、前記半導体層の前記上面よりも低い高さに位置するように、エピタキシャル成長処理を施す、請求項1に記載の半導体装置の製造方法。

【請求項3】

前記第3ゲート絶縁膜の厚さは、前記半導体層、または、前記絶縁層の厚さよりも大きい、請求項2に記載の半導体装置の製造方法。

【請求項4】

前記(g)工程の後、前記SOI領域には前記第2材料から成る前記第1ゲート電極を備えた第1電界効果トランジスタが形成され、前記バルク領域の前記第1領域には前記第2材料から成る前記第2ゲート電極を備えた第2電界効果トランジスタが形成され、前記バルク領域の前記第2領域には前記第2材料から成る前記第3ゲート電極を備えた第3電界効果トランジスタが形成され、

前記第3電界効果トランジスタを構成する前記第3ゲート電極のゲート長は、前記第2電界効果トランジスタを構成する前記第2ゲート電極のゲート長よりも長い、請求項2に記載の半導体装置の製造方法。

【請求項5】

前記第3ゲート絶縁膜は、第1酸化シリコン膜、前記第1酸化シリコン膜上に形成され、かつ、前記第1酸化シリコン膜の誘電率よりも高い誘電率を有する絶縁膜、および前記絶縁膜上に形成された第2酸化シリコン膜から成る請求項2に記載の半導体装置の製造方法。

【請求項6】

前記第3ゲート絶縁膜は、酸化シリコンから成る第1絶縁層と、窒化シリコンから成り、かつ、前記第1絶縁層上に形成された第2絶縁層と、酸化シリコンから成り、かつ、前記第2絶縁層上に形成された第3絶縁層と、を有する、請求項2に記載の半導体装置の製造方法。

【請求項7】

前記第1材料は、多結晶シリコンであり、

前記第2材料は、金属である、請求項6に記載の半導体装置の製造方法。

【請求項8】

前記(d)工程の後、かつ、前記(e)工程の前に、前記SOI領域に位置する前記半導体層のうちの前記第1ゲート電極から露出する部分の表面に、エピタキシャル成長処理

を施す、請求項 7 に記載の半導体装置の製造方法。

【請求項 9】

以下の工程を含む半導体装置の製造方法：

(a) 半導体基材、前記半導体基材上に形成された絶縁層、前記絶縁層上に形成された半導体層を有する基板を準備する工程；

(b) 前記(a)工程の後、前記基板のバルク領域に位置する前記半導体層および前記絶縁層のそれぞれを除去する工程；

(c) 前記(b)工程の後、前記バルク領域のうちの第1領域に位置する前記半導体基材の表面にエピタキシャル成長処理を施すことにより、エピタキシャル成長層を形成する工程；

(d) 前記(c)工程の後、前記基板のSOI領域に位置する前記半導体層上に第1ゲート絶縁膜を介して第1ゲート電極を、前記バルク領域のうちの前記第1領域に位置する前記エピタキシャル成長層上に第2ゲート絶縁膜を介して第2ゲート電極を、前記バルク領域のうちの第2領域に位置する前記半導体基材上に第3ゲート絶縁膜を介して第3ゲート電極を、それぞれ形成する工程、

ここで、

前記第3ゲート絶縁膜は、酸化シリコンから成る第1絶縁層と、窒化シリコンから成り、かつ、前記第1絶縁層上に形成された第2絶縁層と、酸化シリコンから成り、かつ、前記第2絶縁層上に形成された第3絶縁層と、を有し、

前記第3ゲート絶縁膜の厚さは、前記第1ゲート絶縁膜および前記第2ゲート絶縁膜のそれぞれの厚さよりも大きく、

前記第1乃至第3ゲート電極のそれぞれは、多結晶シリコンから成り；

(e) 前記(d)工程の後、前記第1乃至第3ゲート電極のそれぞれを覆うように、前記基板上に層間絶縁膜を形成する工程；

(f) 前記(e)工程の後、前記層間絶縁膜を研磨し、前記第1乃至第3ゲート電極のそれぞれを前記層間絶縁膜から露出させる工程；

(g) 前記(f)工程の後、前記第1ゲート電極、前記第2ゲート電極および前記第3ゲート電極のそれぞれを除去する工程；

(h) 前記(g)工程の後、前記(g)工程により形成された空間内を、金属膜で埋める工程。

【請求項 10】

前記(c)工程では、断面視において、前記(c)工程により形成され、かつ、前記第2ゲート絶縁膜が接する前記エピタキシャル成長層の上面が、前記第2領域に位置し、かつ、前記第3ゲート絶縁膜が接する前記半導体基材の上面よりも高い高さに位置するように、および、前記第1ゲート絶縁膜が接する前記半導体層の上面と同じ高さ、あるいは、前記半導体層の前記上面よりも低い高さに位置するように、エピタキシャル成長処理を施す、請求項 9 に記載の半導体装置の製造方法。

【請求項 11】

前記第3ゲート絶縁膜の厚さは、前記半導体層、または、前記絶縁層の厚さよりも大きい、請求項 10 に記載の半導体装置の製造方法。

【請求項 12】

前記(d)工程の後、かつ、前記(e)工程の前に、前記SOI領域に位置する前記半導体層のうちの前記第1ゲート電極から露出する部分の表面に、エピタキシャル成長処理を施す、請求項 10 に記載の半導体装置の製造方法。

【請求項 13】

以下の工程を含む半導体装置の製造方法：

(a) 半導体基材、前記半導体基材上に形成された絶縁層、前記絶縁層上に形成された半導体層を有する基板を準備する工程、

ここで、

前記基板は、SOI領域と、バルク領域と、を有し、

前記ＳＯＩ領域は、第１電界効果トランジスタが形成される領域であり、

前記バルク領域は、第２電界効果トランジスタが形成される第１領域と、メモリトランジスタおよび前記メモリトランジスタを選択する選択トランジスタのそれぞれが形成される第２領域と、を有し、

前記第２領域は、前記メモリトランジスタが形成される第１部分と、前記選択トランジスタが形成される第２部分と、を有し、

(ｂ) 前記(ａ)工程の後、前記バルク領域に位置する前記半導体層および前記絶縁層のそれぞれを除去する工程；

(ｃ) 前記(ｂ)工程の後、前記第１領域に位置する前記半導体基材の表面および前記第２部分に位置する前記半導体基材の表面のそれぞれにエピタキシャル成長処理を施すことにより、エピタキシャル成長層を形成する工程；

(ｄ) 前記(ｃ)工程の後、前記ＳＯＩ領域に位置する前記半導体層上に第１ゲート絶縁膜を介して第１ゲート電極を、前記第１領域に位置する前記エピタキシャル成長層上に第２ゲート絶縁膜を介して第２ゲート電極を、前記第１部分に位置する前記半導体基材上に第３ゲート絶縁膜を介して第３ゲート電極を、前記第２部分に位置する前記エピタキシャル成長層上に第４ゲート絶縁膜を介して第４ゲート電極を、それぞれ形成する工程、
ここで、

前記第３ゲート絶縁膜は、酸化シリコンから成る第１絶縁層と、窒化シリコンから成り、かつ、前記第１絶縁層上に形成された第２絶縁層と、酸化シリコンから成り、かつ、前記第２絶縁層上に形成された第３絶縁層と、を有し、

前記第３ゲート絶縁膜の厚さは、前記第１ゲート絶縁膜、前記第２ゲート絶縁膜および前記第４ゲート絶縁膜のそれぞれの厚さよりも大きく、

前記第１乃至第４ゲート電極のそれぞれは、第１材料から成り；

(ｅ) 前記(ｄ)工程の後、前記第１乃至第４ゲート電極のそれぞれを覆うように、前記基板上に層間絶縁膜を形成する工程；

(ｆ) 前記(ｅ)工程の後、前記層間絶縁膜を研磨し、前記第１乃至第４ゲート電極のそれぞれを前記層間絶縁膜から露出させる工程；

(ｇ) 前記(ｆ)工程の後、前記第１ゲート電極、前記第２ゲート電極、前記第３ゲート電極および前記第４ゲート電極のそれぞれを構成する前記第１材料を、前記第１材料とは異なる第２材料に置換する工程。

【請求項１４】

前記(ｃ)工程では、断面視において、前記(ｃ)工程により形成され、かつ、前記第２ゲート絶縁膜が接する前記エピタキシャル成長層の上面、および、前記(ｃ)工程により形成され、かつ、前記第４ゲート絶縁膜が接する前記エピタキシャル成長層の上面のそれぞれが、前記第２領域に位置し、かつ、前記第３ゲート絶縁膜が接する前記半導体基材の上面よりも高い高さに位置するように、および、前記第１ゲート絶縁膜が接する前記半導体層の上面と同じ高さ、あるいは、前記半導体層の前記上面よりも低い高さに位置するように、エピタキシャル成長処理を施す、請求項１３に記載の半導体装置の製造方法。

【請求項１５】

前記第３ゲート絶縁膜の厚さは、前記半導体層、または、前記絶縁層の厚さよりも大きい、請求項１４に記載の半導体装置の製造方法。

【請求項１６】

前記第１材料は、多結晶シリコンであり、

前記第２材料は、金属である、請求項１５に記載の半導体装置の製造方法。

【請求項１７】

前記(ｄ)工程の後、かつ、前記(ｅ)工程の前に、前記ＳＯＩ領域に位置する前記半導体層のうちの前記第１ゲート電極から露出する部分の表面に、エピタキシャル成長を施す、請求項１６に記載の半導体装置の製造方法。