

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-20764

(P2010-20764A)

(43) 公開日 平成22年1月28日(2010.1.28)

(51) Int.Cl. F 1 テーマコード (参考)
G 0 6 T 1 5 / 0 0 (2006.01) G 0 6 T 1 5 / 0 0 4 0 0 5 B 0 8 0

審査請求 有 請求項の数 10 O L 外国語出願 (全 21 頁)

(21) 出願番号	特願2009-158615 (P2009-158615)	(71) 出願人	501261300 エヌヴィディア コーポレイション アメリカ合衆国, カリフォルニア 950 50, サンタ クララ, サン トーマス エクスプレスウェイ 2701
(22) 出願日	平成21年7月3日(2009.7.3)	(74) 代理人	100094318 弁理士 山田 行一
(31) 優先権主張番号	12/167, 997	(74) 代理人	100123995 弁理士 野田 雅一
(32) 優先日	平成20年7月3日(2008.7.3)	(74) 代理人	100107456 弁理士 池田 成人
(33) 優先権主張国	米国 (US)	(72) 発明者	カス ダブリュ. エヴェリット アメリカ合衆国, テキサス州, ヒース , スターライト パス 707
(31) 優先権主張番号	12/167, 998		
(32) 優先日	平成20年7月3日(2008.7.3)		
(33) 優先権主張国	米国 (US)		
(特許庁注: 以下のものは登録商標)			
1. フロッピー			
最終頁に続く			

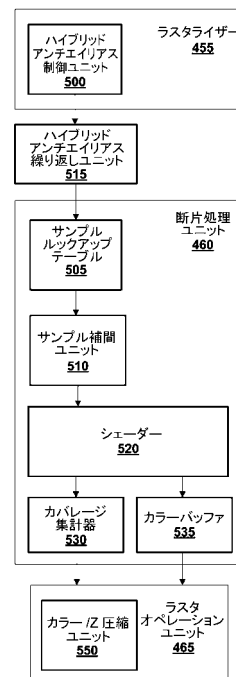
(54) 【発明の名称】 ハイブリッドマルチサンプル/スーパーサンプルアンチエイリアシング

(57) 【要約】

【課題】 レンダリングされている現在幾何学形状に適したピクセルシェーディングレートを使用するシステム及び方法を提供する。

【解決手段】 プリミティブのシェーディング中にピクセルサンプリングレートをダイナミックに調整するためのシステム及び方法は、映像クオリティを改善するか又はシェーディング性能を高めることができる。ハイブリッドアンチエイリアシングは、ピクセル断片あたりにシェーディングされるサンプルの数を選択することにより遂行される。スーパーサンプル及びマルチサンプルアンチエイリアシングの組み合わせが使用され、断片シェーダーパイプラインを通る各バスに対してサブピクセルサンプル(マルチサンプル)のクラスターが処理される。各クラスターにおけるマルチサンプル及びシェーダーパスの数は、レンダリング状態に基づきプリミティブごとにダイナミックに決定することができる。

【選択図】図5C



【特許請求の範囲】**【請求項 1】**

ハイブリッドアンチエイリアシングを使用してグラフィックプリミティブをシェーディングするように構成されたコンピューティング装置において、

ラスタライザーと、断片シェーディングユニットとを備え、

前記ラスタライザーが、ハイブリッドアンチエイリアス制御ユニットを含み、

このハイブリッドアンチエイリアス制御ユニットが、

前記グラフィックプリミティブを受け取り、

前記グラフィックプリミティブに交差する各ピクセルをアンチエイリアスするように使用されるスーパーサンプルクラスターの数を決出し、

前記スーパーサンプルクラスターの各 1 つに対して前記グラフィックプリミティブを処理するように使用されるマルチサンプルの数を決定する、
ように構成されており、

前記断片シェーディングユニットが、前記ラスタライザーに結合されており、この断片シェーディングユニットを通る複数のパスを使用して前記グラフィックプリミティブをシェーディングするように構成されており、

グラフィックプリミティブに交差する各ハイブリッドアンチエイリアス処理ピクセルを発生するのに使用される複数のパスの数が、スーパーサンプルクラスターの数以下である、コンピューティング装置。

【請求項 2】

前記スーパーサンプルクラスターの数、前記コンピューティング装置のレンダリング状態に基づいて決定される、請求項 1 に記載のコンピューティング装置。

【請求項 3】

前記レンダリング状態が、高クオリティモード設定、高性能設定、アルファテスト設定、及び高周波数コンテンツを伴うテクスチャマップの使用の 1 つ以上を含む、請求項 2 に記載のコンピューティング装置。

【請求項 4】

前記断片シェーディングユニットが、更に、前記スーパーサンプルクラスターの各 1 つに対してグラフィックプリミティブによりどのマルチサンプルがカバーされるか指示した後シェーダーカバレッジを発生するように構成されている、請求項 1 に記載のコンピューティング装置。

【請求項 5】

ラスタオペレーションユニットを更に備え、

前記ラスタオペレーションユニットが、前記断片シェーディングユニットに結合されており、前記後シェーダーカバレッジに基づき、グラフィックプリミティブによりカバーされるマルチサンプルの各 1 つに対してグラフィックプリミティブを z テストして、z テスト値を発生するように構成されている、請求項 4 に記載のコンピューティング装置。

【請求項 6】

前記ラスタオペレーションユニットが、更に、前記グラフィックプリミティブの各 1 つに交差する z バッファの一部に対して前記 z テスト値を圧縮するように構成されている、請求項 5 に記載のコンピューティング装置。

【請求項 7】

前記グラフィックプリミティブの第 1 のプリミティブに交差する各ピクセルをアンチエイリアシングするのに使用されるスーパーサンプルクラスターの数、前記グラフィックプリミティブの第 2 のプリミティブに交差する各ピクセルをアンチエイリアシングするのに使用されるスーパーサンプルクラスターの数とは異なる、請求項 1 に記載のコンピューティング装置。

【請求項 8】

グラフィックプリミティブに交差する各ハイブリッドアンチエイリアス処理ピクセルを発生するのに使用される複数パスの数が、前記グラフィックプリミティブによりカバーさ

10

20

30

40

50

れる少なくとも１つのマルチサンプルを伴わないスーパーサンプルクラスターに対するパスを含まない、請求項１に記載のコンピューティング装置。

【請求項９】

前記断片シェーディングユニットが、更に、前記スーパーサンプルクラスターの各１つにおけるマルチサンプルの１つのみに対してシェード値を計算し、そして同じスーパーサンプルクラスター内の他のマルチサンプルに対してシェード値を複写することにより、前記グラフィックプリミティブをシェーディングするように構成されている、請求項１に記載のコンピューティング装置。

【請求項１０】

前記断片シェーディングユニットは、更に、前記スーパーサンプルクラスターのうちの第１スーパーサンプルクラスターに対するシェード値を、

前記第１スーパーサンプルクラスター内の第１マルチサンプルの位置を使用し、

グラフィックプリミティブによりカバーされる前記第１スーパーサンプルクラスター内のマルチサンプルの幾何学的セントロイドであるセントロイドを使用し、又は

グラフィックプリミティブによりカバーされ且つ前記第１スーパーサンプルクラスターの幾何学的セントロイドに最も近い前記第１スーパーサンプルクラスター内のマルチサンプルである近似セントロイドを使用する、

ことにより、計算するように構成されている、請求項１に記載のコンピューティング装置。

【発明の詳細な説明】

【技術分野】

【０００１】

[0001]本発明の実施形態は、一般に、グラフィック処理のためのアンチエイリアシング技術に係り、より詳細には、ピクセル断片あたりにシェーディングされるサンプルの数をダイナミックに調整することに係る。

【背景技術】

【０００２】

[0002]従来、グラフィックプロセッサは、マルチサンプリング又はスーパーサンプリングのいずれかによりアンチエイリアシングを遂行するように構成される。マルチサンプリングでは、各ピクセル断片が一回シェーディングされ、それにより得られるカラー値が、カバーされる全てのサブピクセルサンプルに対して複写される。スーパーサンプリングでは、各ピクセル断片が、カバーされるサブピクセルサンプルごとに一回づつ、N回シェーディングされる。

【０００３】

[0003]マルチサンプリングは、プリミティブのエッジをアンチエイリアシングするのに良く適している。というのは、ここで重要なことは、到来するプリミティブによってどのサンプルがカバーされるか、だからである。テクスチャは、典型的に、前フィルタリングされ、従って、シェーディングされるカラー値は、ピクセル当たり一回のシェーディングで足りるように充分低い空間的周波数を有する。しかしながら、テクスチャ化アルファトランスパレンシー及び高周波スペキュラーハイライトのような幾つかの効果は、ピクセルより高い周波数を有することがあり、エイリアシング欠陥を回避するにはピクセルより高い周波数でシェーディングを行うことを要求する。これら形式のエイリアシングを回避するためにスーパーサンプリングが典型的に要求される。しかしながら、ピクセル内のサンプルごとのシェーディングは、著しく経費がかかる。というのは、シェーディングは、典型的に、レンダリングにおいて最も経費のかかる動作だからである。又、あるスーパーサンプリングの具現化では、入力プリミティブを、サブピクセルサンプルごとに一回づつ、複数回処理することを要求し、これは、付加的な非効率化を招く。上述したエイリアシングの原因を軽減するには、ピクセル当たり一回より高いがサンプルごとに一回よりは低いシェーディングレートで充分である。

【発明の概要】

【発明が解決しようとする課題】**【0004】**

[0004]従って、この技術で要望されるのは、レンダリングされている現在幾何学形状に適したピクセルシェーディングレートを使用するシステム及び方法である。シェーディングレートは、映像クオリティを改善するように減少されてもよいし、又はシェーディング性能を改善するように減少されてもよい。

【課題を解決するための手段】**【0005】**

[0005]プリミティブのシェーディング中にピクセルサンプリングレートをダイナミックに調整するためのシステム及び方法は、映像クオリティを改善するか又はシェーディング性能を高めることができる。シェーディングレートは、ピクセル当たり一回（マルチサンプリング）からサンプル当たり一回（スーパーサンプリング）までのどこかに或いはそれらの間のどこかに変化させて、映像クオリティを改善するか又はシェーディング性能を高めることができる。レンダーターゲット（映像バッファ）に対するピクセル当たりのサンプルの指定数が与えられると、シェーダーパスの数がダイナミックに選択される。スーパーサンプル及びマルチサンプルアンチエイリアシングの組み合わせが使用され、サブピクセルサンプル（マルチサンプル）のクラスターが断片シェーダーのパスごとに処理される。スーパーサンプルクラスターがピクセルごとに合成され、アンチエイリアスされたピクセルを発生する。

【0006】

[0006]ピクセル当たり複数のサンプルを発生するように構成されたコンピューティング装置においてハイブリッドアンチエイリアシングを使用してプリミティブをシェーディングするための本発明の方法の種々の実施形態は、グラフィックプリミティブを受け取り、そしてそのグラフィックプリミティブに交差する各ピクセルをアンチエイリアスするのに使用されるスーパーサンプルクラスターの数を決定することを含む。グラフィックプリミティブは、コンピューティング装置内の断片シェーディングユニットを通る複数のパスを使用してシェーディングされ、グラフィックプリミティブに交差する各ハイブリッドアンチエイリアス処理ピクセルを発生するのに使用される複数のパスの数は、スーパーサンプルクラスターの数以下である。

【0007】

[0007]本発明の種々の実施形態は、ハイブリッドアンチエイリアシングを使用してグラフィックプリミティブをシェーディングするように構成されたコンピューティング装置を備えている。このコンピューティング装置は、断片シェーディングユニットに結合されたラスタライザーを備えている。このラスタライザーは、グラフィックプリミティブを受け取って、そのグラフィックプリミティブに交差する各ピクセルをアンチエイリアスするのに使用されるスーパーサンプルクラスターの数を決定するように構成されたハイブリッドアンチエイリアス制御ユニットを備えている。断片シェーディングユニットは、複数のパスを使用してグラフィックプリミティブをシェーディングするように構成され、グラフィックプリミティブに交差する各ハイブリッドアンチエイリアス処理ピクセルを発生するのに使用される複数のパスの数は、スーパーサンプルクラスターの数以下である。

【0008】

[0008]上述した本発明の特徴を詳細に理解できるように、前記で簡単に要約した本発明について、幾つかを添付図面に例示した実施形態を参照して、より特定して説明する。しかしながら、添付図面は、本発明の典型的な実施形態のみを例示するもので、それ故、本発明の範囲をそれに限定するものではなく、本発明は、同等の効果を発揮できる他の実施形態も包含できるものであることに注意されたい。

【図面の簡単な説明】**【0009】**

【図1】本発明の1つ以上の態様を実施するように構成されたコンピュータシステムを示すブロック図である。

10

20

30

40

50

【図 2】本発明の 1 つ以上の態様に基づく図 1 のコンピュータシステムのための並列処理サブシステムのブロック図である。

【図 3】本発明の 1 つ以上の態様に基づく図 2 の並列処理サブシステムのためのコアのブロック図である。

【図 4】本発明の 1 つ以上の態様に基づくグラフィック処理パイプラインの概念図である。

【図 5 A】本発明の 1 つ以上の態様に基づくピクセル内のスーパーサンプルクラスター及びマルチサンプル位置を示す。

【図 5 B】本発明の 1 つ以上の態様に基づくマルチサンプルクラスター内の断片及びセントロイド位置を示す。

【図 5 C】本発明の 1 つ以上の態様に基づくグラフィック処理パイプラインの一部分のブロック図である。

【図 6】本発明の 1 つ以上の態様に基づくハイブリッドアンチエイリアシングを遂行するための方法ステップのフローチャートである。

【発明を実施するための形態】

【0010】

[0017] 以下の説明では、本発明をより完全に理解するために多数の特定の細部について説明する。しかしながら、当業者であれば、これらの特定の細部の 1 つ以上がなくても、本発明を実施できることが明らかであろう。他の点について、本発明を不明瞭にしないために、良く知られた特徴は、説明しない。

【0011】

システムの概略

[0018] 図 1 は、本発明の 1 つ以上の態様を実施するように構成されたコンピュータシステム 100 を示すブロック図である。このコンピュータシステム 100 は、メモリブリッジ 105 を含むバス経路を経て通信する中央処理ユニット (CPU) 102 及びシステムメモリ 104 を備えている。例えば、ノースブリッジ (Northbridge) チップでよいメモリブリッジ 105 は、バス又は他の通信経路 106 (例えば、ハイパートランスポートリンク) を経て I/O (入力/出力) ブリッジ 107 に接続される。例えば、サウスブリッジ (Southbridge) チップでよい I/O ブリッジ 107 は、1 つ以上のユーザ入力装置 108 (例えば、キーボード、マウス) からユーザ入力を受け取り、そしてその入力を、経路 106 及びメモリブリッジ 105 を経て CPU 102 へ転送する。メモリブリッジ 105 には、バス又は他の通信経路 113 (例えば、PCI エクスプレス、アクセラレーテッドグラフィックポート又はハイパートランスポートリンク) を経て並列処理サブシステム 112 が結合され、一実施形態では、この並列処理サブシステム 112 は、ディスプレイ装置 110 (例えば、従来の CRT 又は LCD ベースのモニター) へピクセルを配送するグラフィックサブシステムである。システムメモリ 104 に記憶される装置ドライバ 103 は、CPU 102 により実行されるプロセス、例えば、アプリケーションプログラムと、並列処理サブシステム 112 との間をインターフェイスし、並列処理サブシステム 112 により実行するために必要に応じてプログラム命令を変換する。

【0012】

[0019] I/O ブリッジ 107 には、システムディスク 114 も接続される。スイッチ 116 は、I/O ブリッジ 107 と、他のコンポーネント、例えば、ネットワークアダプタ 118 及び種々のアドイン (add-in) カード 120 及び 121 との間の接続を与える。又、I/O ブリッジ 107 には、USB 又は他のポート接続部、CD ドライブ、DVD ドライブ、フィルムレコーディング装置、等を含む他のコンポーネント (明確に示さず) を接続することもできる。図 1 における種々のコンポーネントを相互接続する通信経路は、適当なプロトコル、例えば、PCI (周辺コンポーネント相互接続)、PCI - エクスプレス (PCI - E)、AGP (アクセラレーテッドグラフィックポート)、ハイパートランスポート、或いは他のバス又はポイント・ツー・ポイント通信プロトコルを使用して実施することができ、そして異なる装置間の接続は、この技術で知られたように異なるプロトコ

10

20

30

40

50

ルを使用することができる。

【 0 0 1 3 】

[0020] 並列処理サブシステム 1 1 2 の一実施形態が図 2 に示されている。この並列処理サブシステム 1 1 2 は、1 つ以上の並列処理ユニット (P P U) 2 0 2 を備え、その各々は、ローカル並列処理 (P P) メモリ 2 0 4 に結合される。一般的に、並列処理サブシステムは、多数 U の P P U を含み、但し、U = 1 である。(ここで、同じオブジェクトの複数のインスタンスは、オブジェクトを識別する参照番号と、必要に応じてインスタンスを識別するカッコ内の数字とで示される。) P P U 2 0 2 及び P P メモリ 2 0 4 は、例えば、プログラム可能なプロセッサ、特定用途向け集積回路 (A S I C)、及びメモリ装置のような 1 つ以上の集積回路装置を使用して実施することができる。

10

【 0 0 1 4 】

[0021] P P U 2 0 2 (0) について詳細に示すように、各 P P U 2 0 2 は、メモリブリッジ 1 0 5 へ接続される (又は別の実施形態では、C P U 1 0 2 へ直結される) 通信経路 1 1 3 を経てシステム 1 0 0 の残り部分と通信するホストインターフェイス 2 0 6 を備えている。一実施形態では、通信経路 1 1 3 は、この技術で知られたように、各 P P U 2 0 2 に専用レーンが割り当てられる P C I - E リンクである。又、他の通信経路が使用されてもよい。ホストインターフェイス 2 0 6 は、通信経路 1 1 3 へ送信するためにパケット (又は他の信号) を発生し、又、通信経路 1 1 3 から全ての到来パケット (又は他の信号) も受信して、それを P P U 2 0 2 の適当なコンポーネントへ向ける。例えば、処理タスクに関連したコマンドをフロントエンドユニット 2 1 2 に向ける一方、メモリオペレーション (例えば、P P メモリ 2 0 4 からの読み取り又はそこへの書き込み) に関連したコマンドをメモリインターフェイス 2 1 4 に向けることができる。ホストインターフェイス 2 0 6、フロントエンドユニット 2 1 2、及びメモリインターフェイス 2 1 4 は、一般的に従来設計のものでよく、本発明にとって重要でないので、詳細な説明は省く。

20

【 0 0 1 5 】

[0022] 各 P P U 2 0 2 は、高度な並列プロセッサを有利に実施する。P P U 2 0 2 (0) について詳細に示すように、P P U 2 0 2 は、多数 C のコア 2 0 8 を含み、但し、C = 1 である。各処理コア 2 0 8 は、非常に多数 (例えば、数十又は数百) のスレッドを同時に実行することができ、各スレッドは、プログラムのインスタンスであり、マルチスレッド型処理コア 2 0 8 の一実施形態を以下に説明する。コア 2 0 8 は、フロントエンドユニット 2 1 2 から処理タスクを定義するコマンドを受け取るワーク配布ユニット 2 1 0 を経て、実行されるべき処理タスクを受け取る。このワーク配布ユニット 2 1 0 は、ワーク配布のための種々のアルゴリズムを実施することができる。例えば、一実施形態では、ワーク配布ユニット 2 1 0 は、各コア 2 0 8 から、そのコアが新たな処理タスクを受け容れるに充分なリソースを有するかどうか指示する「レディ」信号を受け取る。新たな処理タスクが到着すると、ワーク配布ユニット 2 1 0 は、レディ信号をアサートしているコア 2 0 8 にタスクを指定し、レディ信号をアサートしているコア 2 0 8 がいない場合には、ワーク配布ユニット 2 1 0 は、コア 2 0 8 によりレディ信号がアサートされるまで、新たな処理タスクを保持する。当業者であれば、他のアルゴリズムも使用できると共に、ワーク配布ユニット 2 1 0 が到来する処理タスクを配布する特定のやり方は、本発明にとって重要ではないことが明らかであろう。

30

40

【 0 0 1 6 】

[0023] コア 2 0 8 は、種々の外部メモリ装置を読み取ったりそこに書き込んだりするためにメモリインターフェイス 2 1 4 と通信する。一実施形態では、メモリインターフェイス 2 1 4 は、ローカル P P メモリ 2 0 4 と通信するためのインターフェイスと、ホストインターフェイスへの接続とを含み、これにより、コア 2 0 8 は、システムメモリ 1 0 4、又は P P U 2 0 2 に対してローカルではない他のメモリと通信することができる。メモリインターフェイス 2 1 4 は、一般的に従来設計のものでよく、詳細な説明は、省く。

【 0 0 1 7 】

[0024] コア 2 0 8 は、これに限定されないが、直線的及び非直線的なデータ変換、ビデ

50

オ及び／又はオーディオデータのフィルタリング、モデリングオペレーション（例えば、物理の法則を適用して、オブジェクトの位置、速度及び他の属性を決定する）、映像レンダリングオペレーション（例えば、頂点シェーダー、幾何学的シェーダー及び／又はピクセルシェーダープログラム）、等を含む種々様々なアプリケーションに関する処理タスクを実行するようにプログラムすることができる。PPU202は、システムメモリ104及び／又はローカルPPメモリ204からのデータを内部（オンチップ）メモリへ転送し、そのデータを処理し、そしてその結果データをシステムメモリ104及び／又はローカルPPメモリ204へ書き戻すことができ、このようなデータは、例えば、CPU102又は別の並列処理サブシステム112を含む他のシステムコンポーネントによりアクセスすることができる。

10

【0018】

[0025]再び、図1を参照すれば、ある実施形態において、並列処理サブシステム112内のPPU202は、その幾つか又は全部が、レンダリングパイプラインを伴うグラフィックプロセッサであって、CPU102及び／又はシステムメモリ104によりメモリブリッジ105及びバス113を経て供給されたグラフィックデータからピクセルデータを発生し、ローカルPPメモリ204（例えば、従来のフレームバッファを含むグラフィックメモリとして使用できる）と相互作用してピクセルデータを記憶及び更新し、そのピクセルデータをディスプレイ装置110へ配送し、等々に関連した種々のタスクを遂行するように構成することができる。ある実施形態では、並列処理サブシステム112は、グラフィックプロセッサとして動作する1つ以上のPPU202、及び汎用の計算に使用される1つ以上の他のPPU202を含むことができる。PPU202は、同じものでも異なるものでもよく、そして各PPU202は、それ自身の専用のPPメモリ装置（1つ又は複数）を有してもよいし、専用のPPメモリ装置を有していなくてもよい。

20

【0019】

[0026]動作に際して、CPU102は、システム100のマスタプロセッサであり、他のシステムコンポーネントのオペレーションを制御し整合させる。特に、CPU102は、PPU202のオペレーションを制御するコマンドを発行する。ある実施形態では、CPU102は、各PPU202のためのコマンドのストリームをプッシュバッファ（図1には明確に示さず）に書き込み、このプッシュバッファは、システムメモリ104や、PPメモリ204や、或いはCPU102及びPPU202の両方にアクセス可能な別の記憶位置に配置することができる。PPU202は、プッシュバッファからコマンドストリームを読み取り、そしてCPU102のオペレーションとは非同期でそれらコマンドを実行する。それ故、PPU202は、CPU102からの処理をオフロードし、システム100の処理スループット及び／又は性能を高めるように構成することができる。

30

【0020】

[0027]ここに示すシステムは、例示に過ぎず、変更や修正がなされ得ることが明らかであろう。ブリッジの数及び配列を含む接続トポロジーは、必要に応じて変更することができる。例えば、ある実施形態では、システムメモリ104は、ブリッジを経ずに、CPU102へ直結され、他の装置は、メモリブリッジ105及びCPU102を経てシステムメモリ104と通信する。他の別のトポロジーでは、並列処理サブシステム112は、I/Oブリッジ107へ接続されるか、又はメモリブリッジ105ではなく、CPU102へ直結される。更に別の実施形態では、I/Oブリッジ107及びメモリブリッジ105が1つのチップへ一体化されてもよい。ここに示す特定のコンポーネントは、任意のものであり、例えば、いかなる数のアドインカード又は周辺装置がサポートされてもよい。ある実施形態では、スイッチ116が除去され、ネットワークアダプタ118及びアドインカード120、121がI/Oブリッジ107に直結される。

40

【0021】

[0028]PPU202とシステム100の残り部分との接続を変更することもできる。ある実施形態では、PPシステム112は、システム100の拡張スロットに挿入できるアドインカードとして実施される。他の実施形態では、PPU202は、単一チップ上で、

50

メモリブリッジ 105 又は I/Oブリッジ 107 のようなバスブリッジと一体化することができる。更に別の実施形態では、PPU202 の幾つかの又は全部のエレメントを単一チップ上で CPU102 と一体化することができる。

【0022】

[0029] PPU には、ローカルメモリを含まずに、任意の量のローカル PPMEM を設けることができ、そしてローカルメモリ及びシステムメモリを任意の組合せで 사용할ことができる。例えば、PPU202 は、一体化メモリアーキテクチャー (UMA) 実施形態ではグラフィックプロセッサであり、このような実施形態では、専用のグラフィック (PP) メモリがほとんど又は全く設けられず、又、PPU202 は、システムメモリを排他的又はほぼ排他的に使用する。UMA 実施形態では、PPU202 は、ブリッジチップ又はプロセッサチップに一体化されてもよく、或いは例えば、ブリッジチップを経て PPU をシステムメモリに接続する高速リンク (例えば、PCI-E) を伴う個別のチップとして設けられてもよい。

10

【0023】

[0030] 上述したように、並列処理サブシステムには、任意の数の PPU を含ませることもできる。例えば、複数の PPU を単一のアドインカードに設けることもできるし、又は複数のアドインカードを通信経路 113 に接続することもできるし、或いは 1 つ以上の PPU をブリッジチップに一体化することもできる。複数 PPU システムの PPU は、互いに同じものでもよいし異なるものでもよく、例えば、異なる PPU は、異なる数のコア、異なる量のローカル PPMEM、等を有してもよい。複数の PPU202 が存在する場合には、それらを並列に動作させて、単一 PPU で可能なものより高いスループットでデータを処理することができる。1 つ以上の PPU202 を合体するシステムは、デスクトップ、ラップトップ又はハンドヘルドパーソナルコンピュータ、サーバー、ワークステーション、ゲームコンソール、埋め込まれたシステム、等々を含む種々の構成及びフォームファクタで実施することができる。

20

【0024】

コアの概略

[0031] 図 3 は、本発明の 1 つ以上の態様に基づく図 2 の並列処理サブシステム 112 のコア 208 のブロック図である。PPU202 は、非常に多数のスレッドを並列に実行するように構成されたコア 208 (又は複数コア 208) を備え、ここで、「スレッド (thread)」という語は、コンテキストのインスタンス、即ち入力データの特定セットに対して実行される特定プログラムを指す。ある実施形態では、単一インストラクション複数データ (SIMD) のインストラクション発行技術を使用して、複数の独立したインストラクションユニットを設けずに、非常に多数のスレッドの並列実行がサポートされる。

30

【0025】

[0032] 一実施形態では、各コア 208 は、単一インストラクションユニット 312 から SIMD インストラクションを受け取るように構成された P 個 (例えば、8 個、16 個、等) の並列処理エンジン 302 のアレイを含む。各処理エンジン 302 は、機能的ユニット (例えば、演算論理ユニット、等) の同じセットを含むのが好都合である。機能的ユニットは、この技術で知られたように、手前のインストラクションが終了する前に新たなインストラクションを発行できるようなパイプライン型のものでよい。機能的ユニットの任意の組合せを設けることもできる。ある実施形態では、機能的ユニットは、整数及び浮動小数点演算 (例えば、加算及び乗算)、比較演算、ブール演算 (AND、OR、XOR)、ビットシフト、及び種々の代数関数 (例えば、平面補間、三角法、指数関数、及び対数関数、等) の組合せ、を含む種々のオペレーションをサポートし、そして同じ機能的ユニットハードウェアをレバレッジして、異なるオペレーションを遂行することができる。

40

【0026】

[0033] 各処理エンジン 302 は、ローカル入力データ、中間結果、等を記憶するためにローカルレジスタファイル (LRF) 304 のスペースを使用する。一実施形態では、ローカルレジスタファイル 304 は、ある数のエントリーを各々有する P 個のレーンに物理

50

的又は論理的に分割される（各エンタリーは、例えば、32ビットワードを記憶する）。各処理エンジン302に1つのレーンが指定されると共に、異なるレーンの対応エンタリーに、同じプログラムを実行する異なるスレッドに対するデータをポピュレートさせて、SIMD実行を容易にすることができる。ある実施形態では、各処理エンジン302は、それに指定されたレーンのLRFエンタリーにしかアクセスできない。ローカルレジスタファイル304におけるエンタリーの全数は、処理エンジン302当たり複数の同時スレッドをサポートするに十分なほど大きいのが好都合である。

【0027】

[0034]又、各処理エンジン302は、コア208内の全処理エンジン302間に共有されるオンチップ共有メモリ306へアクセスすることができる。共有メモリ306は、望ましい大きさのものでよく、ある実施形態では、いずれの処理エンジン302も、等しく低い待ち時間（例えば、ローカルレジスタファイル304へのアクセスに匹敵する）で、共有メモリ306内の任意の位置から読み取り又はそこに書き込むことができる。ある実施形態では、共有メモリ306は、共有レジスタファイルとして実施され、他の実施形態では、共有メモリ306は、共有キャッシュメモリを使用して実施することができる。

【0028】

[0035]共有メモリ306に加えて、ある実施形態では、付加的なオンチップパラメータメモリ及び/又はキャッシュ（1つ又は複数）308も設けられ、これは、例えば、従来のRAM又はキャッシュとして実施されてもよい。パラメータメモリ/キャッシュ308は、例えば、複数のスレッドにより必要となることのある状態パラメータ及び/又は他のデータ（例えば、種々の定数）を保持するのに使用できる。又、処理エンジン302は、メモリインターフェイス214を経て、例えば、PPメモリ204及び/又はシステムメモリ104を含むオフチップ「グローバル」メモリへアクセスすることができ、システムメモリ104には、ホストインターフェイス206を経てアクセスできる。PPU202の外部の任意のメモリをグローバルメモリとして使用できることを理解されたい。

【0029】

[0036]一実施形態では、各処理エンジン302は、マルチスレッド型であり、例えば、ローカルレジスタファイル304の指定レーンの異なる部分における各スレッドに関連した現在状態情報を維持することにより、ある数G（例えば、24）までのスレッドを同時に実行することができる。処理エンジン302は、異なるスレッドからのインストラクションを効率のロスなく任意のシーケンスで発行できるように、あるスレッドから別のスレッドへ急速にスイッチするように設計されるのが好都合である。各スレッドは、異なるコンテキストに対応するので、各サイクルに異なるスレッドが発行されるときに複数のサイクルにわたって複数のコンテキストを処理することができる。

【0030】

[0037]インストラクションユニット312は、所与の処理サイクルに対して、P個の処理エンジン302の各々へインストラクション（INSTR）が発行されるように構成される。各処理エンジン302は、複数のコンテキストが同時に処理されるときに所与の処理サイクルに対して異なるインストラクションを受け取ることができる。P個の処理エンジン302の全部が単一のコンテキストを処理するときに、コア208は、P路(P-way) SIMDマイクロアーキテクチャーを実施する。又、各処理エンジン302がマルチスレッド型で、G個までのスレッドを同時にサポートするので、この実施形態のコア208は、 $P * G$ 個までのスレッドを同時に実行させることができる。例えば、 $P = 16$ 及び $G = 24$ の場合に、コア208は、単一のコンテキストに対して384個までの同時スレッドをサポートするか、或いはコンテキストに割り当てられる処理エンジン302の数をNとすれば、各コンテキストに対して $N * 24$ 個の同時スレッドをサポートする。

【0031】

[0038]コア208のオペレーションは、ワーク配布ユニット200を経て制御されるのが好都合である。ある実施形態では、ワーク配布ユニット200は、処理されるべきデータ（例えば、プリミティブデータ、頂点データ、及び/又はピクセルデータ）に対するポ

10

20

30

40

50

インタと、データをどのように処理するか（例えば、どんなプログラムを実行すべきか）を定義するデータ又はインストラクションを含むプッシュバッファの位置とを受け取る。ワーク配布ユニット 210 は、処理されるべきデータを共有メモリ 306 へロードすると共に、パラメータをパラメータメモリ 308 へロードすることができる。又、ワーク配布ユニット 210 は、インストラクションユニット 312 における各新たなコンテキストを初期化し、次いで、コンテキストの実行を開始するようにインストラクションユニット 312 に通知する。インストラクションユニット 312 は、インストラクションプッシュバッファを読み取り、そしてインストラクションを実行して、処理されたデータを発生する。コンテキストの実行が完了すると、コア 208 は、ワーク配布ユニット 210 に通知するのが好都合である。次いで、ワーク配布ユニット 210 は、他のプロセスを開始し、例えば、共有メモリ 306 から出力データを検索し、及び / 又は付加的なコンテキストの実行に対してコア 208 を準備することができる。

10

【0032】

[0039]ここに述べる並列処理ユニット及びコアアーキテクチャは、例示に過ぎず、その変更や修正が考えられることが明らかである。又、いかなる数の処理エンジンが含まれてもよい。ある実施形態では、各処理エンジン 302 は、それ自身のローカルレジスタファイルを有し、スレッド当たりのローカルレジスタファイルエントリーの割り当ては、固定もできるし、又は希望の通りに構成もできる。特に、ローカルレジスタファイル 304 のエントリーは、各コンテキストを処理するために割り当てられてもよい。更に、1つのコア 208 しか示されていないが、PPU 202 は、いかなる数のコア 208 を含んでもよく、それらコアは、互いに同じ設計のものであって、実行の振舞いが、どのコア 208 が特定の処理タスクを受け取るかに依存しないようにするのが好都合である。各コア 208 は、他のコア 208 とは独立して動作すると共に、それ自身の処理エンジン、共有メモリ、等を有するのが好都合である。

20

【0033】

グラフィックパイプラインアーキテクチャ

[0040]図 4 は、本発明の 1 つ以上の態様に基づくグラフィック処理パイプライン 400 の概念図である。PPU 202 は、グラフィック処理パイプライン 400 を形成するように構成できる。例えば、コア 208 は、頂点処理ユニット 444、幾何学的処理ユニット 448、及び断片処理ユニット 460 のうちの 1 つ以上の機能を遂行するように構成できる。データアッセンブラー 442、プリミティブアッセンブラー 446、ラスタライザ 455 及びラスタオペレーションユニット 465 の機能も、コア 208 により遂行することができる。或いは又、グラフィック処理パイプライン 400 は、頂点処理ユニット 444、幾何学的処理ユニット 448、断片処理ユニット 460、データアッセンブラー 442、プリミティブアッセンブラー 446、ラスタライザ 455、及びラスタオペレーションユニット 465 のうちの 1 つ以上に対して専用の処理ユニットを使用して実施することができる。

30

【0034】

[0041]データアッセンブラー 442 は、高次表面、プリミティブ、等に対する頂点データを収集し、そしてその頂点データを頂点処理ユニット 444 へ出力する処理ユニットである。頂点処理ユニット 444 は、頂点シェーダープログラムを実行して、頂点シェーダープログラムにより指定されるように頂点データを変換するように構成されたプログラム可能な実行ユニットである。例えば、頂点処理ユニット 444 は、頂点データを、オブジェクトベースの座標表現（オブジェクトスペース）から、それとは別のものをベースとする座標システム、例えば、ワールドスペース又は正規化された装置座標（NDC）スペースへと変換するようにプログラムすることができる。頂点処理ユニット 444 は、PPメモリ 204 又はシステムメモリ 104 に記憶されたデータを、頂点データの処理に使用するために読み取ることができる。

40

【0035】

[0042]プリミティブアッセンブラー 446 は、頂点処理ユニット 444 から処理された

50

頂点データを受け取り、そしてグラフィックプリミティブ、例えば、点、線、三角形、等を、幾何学的処理ユニット 448 により処理するために構成する。幾何学的処理ユニット 448 は、幾何学的シェーダープログラムを実行して、幾何学的シェーダープログラムにより指定されるようにプリミティブアッセンブラー 446 から受け取ったグラフィックプリミティブを変換するように構成されたプログラム可能な実行ユニットである。例えば、幾何学的処理ユニット 448 は、グラフィックプリミティブを 1 つ以上の新たなグラフィックプリミティブへ細分化し、そしてその新たなグラフィックプリミティブをラスタ化するのに使用される平面方程式係数のようなパラメータを計算する。本発明のある実施形態では、幾何学的処理ユニット 448 は、幾何学的システムにおけるエレメントを追加又は削除することもできる。幾何学的処理ユニット 448 は、新たなグラフィックプリミティブを指定するパラメータ及び頂点をラスタライザー 455 又はメモリアンターフェイス 214 へ出力する。幾何学的処理ユニット 448 は、PPメモリ 204 又はシステムメモリ 104 に記憶されたデータを、幾何学的データの処理に使用するために読み取ることができる。

10

【0036】

[0043]ラスタライザー 455 は、新たなグラフィックプリミティブをスキャン変換し、断片及びカバレッジデータを断片処理ユニット 260 へ出力する。アンチエイリアシングを使用して、映像データを発生するときには、ラスタライザー 455 は、サブピクセルサンプリングカバレッジデータを発生するように構成される。ハイブリッドアンチエイリアシングを使用するとき、ラスタライザー 455 内に存在するハイブリッドアンチエイリアス制御ユニット 500 は、図 5C 及び 6 を参照して説明するように、各プリミティブを処理するのに使用される断片処理ユニット 460 を通してパスの数を決定するように構成される。

20

【0037】

[0044]断片処理ユニット 460 は、断片シェーダープログラムを実行して、ラスタライザー 455 から受け取った断片を、その断片シェーダープログラムにより指定されたように変換するよう構成されたプログラム可能な実行ユニットである。例えば、断片処理ユニット 460 は、パースペクティブの修正、テクスチャマッピング、シェーディング、ブレンドイング、等のオペレーションを遂行して、シェーディングされた断片を発生するようにプログラムされ、それら断片は、ラスタオペレーションユニット 465 へ出力される。断片処理ユニット 460 は、PPメモリ 204 又はシステムメモリ 104 に記憶されたデータを、断片データの処理に使用するために読み取ることができる。断片は、ハイブリッドアンチエイリアス制御ユニットにより選択されたサンプリングレートに基づいて、ピクセル、サンプル、又はスーパーサンプルクラスターの粒度でシェーディングすることができる。

30

【0038】

[0045]メモリアンターフェイス 214 は、グラフィックメモリに記憶されたデータに対する読み取り要求を発生し、そしてバイリニア、トリリニア、非等方性、等のテクスチャフィルタリングオペレーションを遂行する。本発明のある実施形態では、メモリアンターフェイス 214 は、データを解凍するように構成できる。特に、メモリアンターフェイス 214 は、DXTフォーマットで表現された圧縮データのような固定長さブロックエントリデータを解凍するように構成できる。ラスタオペレーションユニット 465 は、ステンシル、zテスト、等のラスタオペレーションを遂行して、ピクセルデータを、処理されたグラフィックデータとしてグラフィックメモリに記憶するために出力する処理ユニットである。処理されたグラフィックデータは、ディスプレイ装置 110 に表示するか、或いはCPU 102 又は並列処理サブシステム 112 によって更に処理するために、グラフィックメモリ、例えば、PPメモリ 204 及び / 又はシステムメモリ 104 に記憶される。本発明のある実施形態では、ラスタオペレーションユニット 465 は、メモリに書き込まれる z 又はカラーデータを圧縮すると共に、メモリから読み取られた z 又はカラーデータを解凍するように構成される。

40

50

【 0 0 3 9 】

ハイブリッドアンチエイリアシング

[0046] 上述したように、P P U 2 0 2 は、種々のサンプリングレートでシェーディングを遂行して、映像クオリティを改善するか又はシェーディング性能を改善するように構成することができる。ハイブリッドアンチエイリアス制御ユニットは、プリミティブ内の各ピクセルをシェーディングするのに使用されるシェーダーパスの数を決定する。ピクセル当たり1つ以上のマルチサンプル（サブピクセルサンプル）のスーパーサンプルクラスターが、各パスに対して断片処理ユニット460として構成されたコア208により処理されて、シェーディングされた単一のカラー値を発生し、これが、スーパーサンプルクラスターにおける全てのマルチサンプルに対して複写される。シーンがレンダリングされた後に、スーパーサンプルクラスターのサンプルが、アンチエイリアスされた映像を発生するように合成される。

10

【 0 0 4 0 】

[0047] 各プリミティブに対するサブピクセルサンプル及びシェーダーパスの数は、映像クオリティを改善するように増加される。サブピクセルサンプルの数は、アプリケーションが起動されたときに決定され、レンダーターゲット（映像バッファ）の各ピクセルに対して一貫したものである。ハイブリッドアンチエイリアス制御ユニットは、レンダリング状態、例えば、アルファテストイネーブル/ディスエイブル、テクスチャマップコンテンツ、ユーザ付与クオリティ/性能制御、等に基づいて、シェーディングパスの数をダイナミックに決定することができる。

20

【 0 0 4 1 】

[0048] 図5Aは、本発明の1つ以上の態様に基づくピクセル501内のスーパーサンプルクラスター503及び511並びにマルチサンプル502、504及び513を示す。8サブピクセルサンプルのアンチエイリアシングが使用されるときには、マルチサンプル及びスーパーサンプルクラスターの種々の異なる組み合わせを使用して、8個のサブピクセルサンプルを発生することができる。図5Aに示す例では、3つのスーパーサンプルクラスター503及びスーパーサンプルクラスター511は、各々、ピクセル501の全部で8つのサブピクセルサンプル位置に対して、スーパーサンプルクラスター511のマルチサンプル502及び504のような2つのマルチサンプルを含む。他の8サブピクセルサンプル構成は、1つのマルチサンプルを各々伴う8つ程度のスーパーサンプルクラスターを含むか、又は8つのマルチサンプルを伴う1つ程度のスーパーサンプルクラスターを含む。シェーディングは、スーパーサンプルクラスターごとに一度遂行され、そのシェード値、例えば、カラーが、スーパーサンプルクラスター内の全てのマルチサンプルに対して記憶される。

30

【 0 0 4 2 】

[0049] シェーダー属性は、スーパーサンプルクラスターにおける特定のマルチサンプルの位置においてサンプリングされてもよいし、或いはスーパーサンプルクラスター内又はその付近の他の位置でサンプリングされてもよい。例えば、図5Aでは、断片属性（カラー、テクスチャ座標、等）が、スーパーサンプルクラスター511内のマルチサンプル502のような内実のマルチサンプル位置においてサンプリングされる。更に、断片がスーパーサンプルクラスターを一部分しかカバーしないときには、属性がサンプリングされる位置を、スーパーサンプルクラスター内のカバーされたマルチサンプルの領域内に存在するように調整するのが好都合である。これは、セントロイドサンプリングとして通常知られているが、この用語は、ここでは、全ピクセル断片ではなく、スーパーサンプルクラスターに適用される。

40

【 0 0 4 3 】

[0050] 図5Bは、本発明の1つ以上の態様に基づくスーパーサンプルクラスター511内の断片509及びセントロイド位置517を示す。本発明のある実施形態では、属性が評価される位置を、断片により実際にカバーされるスクリーンエリアに良く対応するように変更するために、セントロイドサンプリングが使用される。本発明のある実施形態では

50

、サンプル補間ユニット 5 1 0 は、特定のマルチサンプル位置又は近似セントロイド位置で各スーパーサンプルクラスターをサンプリングするように構成できる。

【 0 0 4 4 】

[0051] セントロイドは、カバーされたマルチサンプルの幾何学的セントロイドでもよいし、又は例えば、完全にカバーされたスーパーサンプルクラスターのセントロイドに最も近いスーパーサンプルクラスター内のカバーされたマルチサンプルを選択することにより近似されてもよい。例えば、セントロイド位置 5 1 7 は、マルチサンプル 5 0 2 の位置が断片 5 0 9 の中心付近ではなく縁付近にあるので、スーパーサンプルクラスター 5 1 1 に対するサンプルされたカラーを表すのに使用されるスーパーサンプルクラスター 5 1 1 の幾何学的中心において計算されたマルチサンプル位置である。マルチサンプル 5 0 2 と比較される断片カラーをより正確に表すためにセントロイド位置 5 1 7 においてシェード値が計算される。

10

【 0 0 4 5 】

[0052] 図 5 C は、本発明の 1 つ以上の態様に基づく、ラスタライザー 4 5 5、断片処理ユニット 4 6 0、及びラスタオペレーションユニット 4 6 5 を含むグラフィック処理パイプライン 4 0 0 の一部分のブロック図である。ラスタライザー 4 5 5、断片処理ユニット 4 6 0、及びラスタオペレーションユニット 4 6 5 内には、他の処理ユニットが含まれてもよい。これら他の処理ユニットは、一般的な従来設計のものであるので、図 5 C には示されておらず、本発明にとって重要ではないので、詳細な説明は省略する。

【 0 0 4 6 】

20

[0053] ラスタライザー 4 5 5 は、幾何学的処理ユニット 4 4 8 からプリミティブを受け取り、そのプリミティブが交差するピクセルごとに断片を発生する。ハイブリッドアンチエイリアス制御ユニット 5 0 0 (任意であるがラスタライザー 4 5 5 内にある) は、レンダリング状態、例えば、アルファテストイネーブル/ディスエイブル、テクスチャマップコンテンツ、ユーザ付与クオリティ/性能制御、等に基づいて、各プリミティブの断片を処理するのに使用されるシェーダーパスの数をダイナミックに決定するよう構成できる。

【 0 0 4 7 】

[0054] ハイブリッドアンチエイリアス制御ユニット 5 0 0 は、より高いシェーディングレートから利益を得るプリミティブに対してより多くのシェーディングパスを遂行しそして他のプリミティブに対してシェーディングレートを減少することによりアンチエイリアシング効率を改善する。ハイブリッドアンチエイリアス制御ユニット 5 0 0 は、種々のクオリティ設定で動作するように、ユーザ、アプリケーション、又は装置ドライバ 1 0 3 により構成することができる。これらは、最低のクオリティ設定「マルチサンプル - 常時」から最高のクオリティ設定「スーパーサンプル - 常時」までの範囲である。中間クオリティ設定は、シェーディングパスの数を決定する際にレンダラーパイプライン状態を考慮することができる。例えば、アルファテスト又はシェーダーピクセルキルがイネーブルされる場合には、より多くのシェーディングパスが望まれる。逆に、高い性能が指定されるときには、アルファテスト及びシェーダーピクセルキルがディスエイブルされ、ハイブリッドアンチエイリアス制御ユニット 5 0 0 によりサンプリングレートを下げることができる。又、ハイブリッドアンチエイリアス制御ユニット 5 0 0 は、シェーディングパスの数を決定する際に、ピクセルシェーダー又はテクスチャサンプラー設定の特性も考慮することができる。当業者であれば、シェーディングパスの数を決定するためにハイブリッドアンチエイリアス制御ユニット 5 0 0 によって種々様々な基準を使用できることが明らかであろう。従来のグラフィックシステムでは、ユーザ付与設定又は固定の設定に基づいてシーン内の全てのプリミティブに対してサンプリングレートが決定される。更に、従来のシステムに対するサンプリングは、マルチサンプリング又はスーパーサンプリングに制限され、中間の代替物はない。

30

40

【 0 0 4 8 】

[0055] 一実施形態では、ラスタライザー 4 5 5 は、2 x 2 クオドのピクセル断片を発生し、これらは、ハイブリッドアンチエイリアス繰り返しユニット 5 1 5 によって受け取ら

50

れる。ハイブリッドアンチエイリアス制御ユニット 5 0 0 がパス = 1 にセットすると（即ち、マルチサンプリングのとき）、ハイブリッドアンチエイリアス繰り返しユニット 5 1 5 は、これらのクオドを変更せずに断片処理ユニット 4 6 0 へ通す。しかしながら、ハイブリッドアンチエイリアス制御ユニット 5 0 0 がパスを $N > 1$ にセットすると、ハイブリッドアンチエイリアス繰り返しユニット 5 1 5 は、シェーダーパスに対応するパス数を含めて、複数回、各クオドを断片処理ユニット 4 6 0 へ出力する。ハイブリッドアンチエイリアス繰り返しユニット 5 1 5 は、断片処理ユニット 4 6 0 へ送られるカバレッジをマスクし、現在パスに対応するスーパーサンプルクラスター内のマルチサンプルしかイネーブルされないようにする。他の実施形態では、断片処理ユニット 4 6 0 は、ハイブリッドアンチエイリアス繰り返しユニット 5 1 5 によりそれに与えられるパス数に基づいてカバレッジをマスクすることができる。他の実施形態は、 2×2 断片クオド以外の領域、例えば、単一ピクセル、 4×4 断片タイル、等にわたって繰り返せることに注意されたい。プリミティブではなくピクセル（クオド）の領域にわたる繰り返しが効果的である。というのは、テクスチャマップデータは、特定のクオドに対するその後のシェーダーパスに対して再使用し易いが、それより大きいプリミティブにわたる繰り返しは、例えば、PPメモリ 2 0 4 又はシステムメモリ 1 0 4 のようなメモリからテクスチャデータを再フェッチさせることができるからである。

10

【 0 0 4 9 】

[0056] 重要なことに、断片を発生するために必要とされる幾何学的計算は、シェーダーパスごとに繰り返されない。対照的に、マルチサンプルバッファへのスーパーサンプルに対してサンプルマスクを使用する従来のシステムは、典型的に、シェーダーパスごとに、幾何学的計算を繰り返す。断片処理ユニット 4 6 0 においてサンプルされるプリミティブ属性は、ハイブリッドアンチエイリアシングパスの数に関わらず、一度計算されるだけでよいことに注意されたい。というのは、それらは、その後に繰り返されるクオドによって参照され、次いで、破棄することができるからである。

20

【 0 0 5 0 】

[0057] 断片処理ユニット 4 6 0 におけるサンプルルックアップテーブルは、ハイブリッドアンチエイリアシングパラメータ及びパス数を使用して、補間された断片パラメータがサンプルされる場所を決定する。サンプルルックアップテーブル 5 0 5 は、各スーパーサンプルクラスターに対してセントロイド位置又はマルチサンプル位置を選択することができる。マルチサンプル位置は、サンプル補間ユニット 5 1 0 へ出力され、この補間ユニットは、スーパーサンプルクラスターごとに、即ちピクセルクオド内の各ピクセルに対する 1 セットの補間パラメータごとに、1 つ以上の補間パラメータ、例えば、カラーチャンネル（赤、緑、青、アルファ）、テクスチャ座標、等を計算する。シェーダー 5 2 0 は、当業者に知られた技術を使用して、ピクセルクオド内の各ピクセルに対する補間パラメータのセットを処理し、断片シェーダープログラム、等を実行して、スーパーサンプルクラスターごとに、シェードピクセル値、例えば、カラーを発生する。

30

【 0 0 5 1 】

[0058] シェーディング中に、各スーパーサンプルクラスターに対するサブピクセルサンプルを、アルファテスト又はシェーダーピクセルキルの結果として排除（選別又は除外）し、ピクセルキル又はアルファテスト結果に基づいて後シェーダーカバレッジを発生するようにラスト発生カバレッジを変更することができる。スーパーサンプルクラスターは、シェーダー 5 2 0 を通して個別のパスにおいて処理されるので、スーパーサンプルクラスターは、アルファテスト中に個々に排除することができる。対照的に、従来のマルチサンプリングを使用して、単一シェーディングパスにおける全てのサブピクセルサンプルを処理するときには、全てのサブピクセルサンプルが保持されるか又は排除され、粗いアルファテスト粒度を生じて、クオリティの低い映像を発生することになる。

40

【 0 0 5 2 】

[0059] シェーダー 5 2 0 は、シェードピクセル値及びサブピクセルカバレッジ（おそらくラスライザー 4 5 5 により与えられるカバレッジに比して変更されている）をカラー

50

バッファ 535 及びカバレッジ総計器 530 へ各々出力する。カバレッジ総計器 530 は、シェーダーパスごとに後シェーダーカバレッジを累積して、ピクセルごとに集計されたカバレッジ情報を発生する。カラーバッファ 535 は、ピクセルごとにシェード値を累積する。最後のシェーダーパスに対するシェード値が受け取られると、集計カバレッジ情報がラスタオペレーションユニット 465 へ出力される。ピクセルクオドに対するシェード値は、集計カバレッジ情報と共に出力されてもよいし、又は後で、例えば、ラスタオペレーションユニット 645 により z テストが完了した後に、出力されてもよい。本発明の他の実施形態では、カバレッジ総計器 530 及びカラーバッファ 535 を省略してもよい。

【0053】

[0060] カバレッジを集計しそしてカラー値をカバーバッファへ合体することは、1つのメモリトランザクションを使用して複数のサンプルを書き込んだり読み取ったりできるように、各ピクセルのサンプルと一緒にメモリにバックするシステムでは、好都合である。他の実施形態では、カバレッジ総計器 530 を省略してもよい。カバレッジ総計器 530 は、ピクセルのためのサンプル値をメモリに隣接して記憶しないシステムでは、あまり好都合ではない。

【0054】

[0061] ラスタオペレーションユニット 465 内の任意の z / カラー圧縮ユニット 550 は、集計されたカバレッジ情報及び z 値又は z の別の表現或いは (z テストに続く) 断片の深さ値を受け取り、ピクセルの領域に対する圧縮 z 値を発生する。又、z / カラー圧縮ユニット 550 は、断片に対する集計カラー値も受け取り、ピクセルの領域に対する圧縮カラー値を発生する。圧縮は、ピクセルのより大きなグループに適用されたときに改善することができる。それ故、結果を圧縮する前に、多数のピクセルクオドと一緒に集計して、z テストすることができる。重要なことに、ハイブリッドアンチエイリアシングは、z 圧縮の有効性を除外も減少もしない。z 圧縮は、z バッファにアクセスするためのメモリ帯域巾要件、及びある実施形態では、メモリ占有面積も減少するように、効果的に使用される。

【0055】

[0062] 図 6 は、本発明の 1 つ以上の態様に基づくハイブリッドアンチエイリアシングを遂行するための方法ステップのフローチャートである。ステップ 610 において、ハイブリッドアンチエイリアス制御ユニット 500 は、プリミティブを受け取る。ステップ 615 において、ハイブリッドアンチエイリアス制御ユニット 500 は、ハイブリッドアンチエイリアシングがイネーブルされたかどうか決定し、もしそうでなければ、従来のアンチエイリアシングを使用して断片が処理される。ステップ 615 において、ハイブリッドアンチエイリアシングがイネーブルされた場合には、次いで、ステップ 635 において、ハイブリッドアンチエイリアス制御ユニット 500 は、プリミティブに対するハイブリッドアンチエイリアスパラメータを決定する。より詳細には、ハイブリッドアンチエイリアス制御ユニット 500 は、プリミティブが交差する各ピクセルをシェーディングするときに使用されるべきスーパーサンプルクラスター (シェーダーパス) の数を決定する。

【0056】

[0063] ステップ 640 において、ラスタライザー 455 は、プリミティブのカバーされた部分に対してサンプルレベルカバレッジを発生する。このカバレッジの粒度は、粗いか又は微細であるが、少なくとも、ピクセルクオドのサイズである。ラスタライザー 455 は、プリミティブに交差するクオドに対するカバレッジ情報をハイブリッドアンチエイリアス繰り返しユニット 515 へ出力する。ハイブリッドアンチエイリアス繰り返しユニット 515 は、複数のパスでクオドをシェーディングするためにハイブリッドアンチエイリアスパラメータに基づいて各クオドを拡張する。ハイブリッドアンチエイリアス繰り返しユニット 515 は、カバレッジ情報に基づいて、スーパーサンプルクラスターの全てのマルチサンプルがカバーされないときにシェーダーパスをスキップするように構成される。ステップ 643 において、ハイブリッドアンチエイリアス繰り返しユニット 515 は、パス番号 (第 1、第 2、等) を決定し、ピクセルクオド及びパス番号を断片処理ユニット 4

10

20

30

40

50

60へ出力する。上述したように、パスの数が1より多いときには、ハイブリッドアンチエイリアス繰り返しユニット515は、カバレッジ情報にマスクすることができる。サンプルルックアップテーブル505は、断片パラメータを補間するのに使用されるスーパーサンプルクラスター内の場所の指示を含めて、マルチサンプル位置に対するプログラム値を読み取るためにパス番号及びマルチサンプルの数を使用してインデックスされる。補間されるパラメータは、サンプル補間ユニット510によりスーパーサンプルクラスターに対して計算される。

【0057】

[0064]ステップ645において、断片処理ユニット460は、ピクセルクオドをシェーディングし、各スーパーサンプルクラスターに対するシェード値、即ちピクセルクオドの各ピクセルに対する1つのシェード値を発生する。スーパーサンプルクラスター内で、シェード値は、プリミティブによりカバーされるマルチサンプルごとに使用される。又、断片処理ユニット460は、ピクセルクオドに対する後シェーダーカバレッジも出力する。この後シェーダーカバレッジは、ラスタ化されたピクセルカバレッジ情報とは異なってもよい。というのは、上述したように、シェーディング中にマルチサンプルが排除され得るからである。

【0058】

[0065]ステップ650において、ハイブリッドアンチエイリアス繰り返しユニット515は、別のシェーダーパスを使用してピクセルクオドを処理するかどうか決定し、もしそうであれば、別のシェーダーパス(第2、第4、等)に対してステップ643及び645が繰り返される。ステップ650において、ピクセルクオドを処理するために別のシェーダーパスが必要とされないことをハイブリッドアンチエイリアス繰り返しユニット515が決定した場合には、ステップ660において、カバレッジ集計器530がシェーダーパスの各々に対して後シェーダーカバレッジを合成して、ピクセルクオドに対する集計したカバレッジ情報を発生する。又、ステップ660において、カバレッジ集計器530は、シェーダーパスの各々に対して後シェーダーカラー値を合成して、ピクセルクオドに対する集計したカラー値を発生することもできる。カバレッジ集計器530は、マルチクオドレベルにおいて後シェーダーカラー及びカバレッジ情報を集計するように構成することができる。ステップ665において、ラスタオペレーションユニット465は、ラスタオペレーションを遂行して、どのシェード値がフレームバッファに書き込まれるか決定する。ラスタオペレーションは、クオド又はマルチクオドレベルにおいて行うことができる。ラスタオペレーションユニット465内のz/カラー圧縮ユニット550は、z及び/又はカラーデータがzバッファ及び/又はカラーバッファに記憶される前にピクセルクオドに対してz及び/又はカラーデータを圧縮するのに使用できる。

【0059】

[0066]ステップ670において、ラスタライザー455は、別のピクセルクオドがプリミティブに交差するかどうか決定し、もしそうであれば、次いで、ステップ640において、ラスタライザー455は、プリミティブによりカバーされる異なるピクセルクオドを処理する。ステップ670において、プリミティブにより交差される全てのピクセルクオドがシェーディングされたらラスタライザー455が決定した場合には、ステップ675において、プリミティブの処理が完了となる。パイプラインシステムでは、図6に示すステップの1つ以上を、異なるクオドに対して並列に遂行することができる。

【0060】

[0067]ハイブリッドアンチエイリアス制御ユニット500は、各プリミティブのハイブリッドアンチエイリアスパラメータ、例えば、ピクセル当たりのスーパーサンプルクラスターの数、レンダリング状態、例えば、アルファテストイネーブル/ディスエイブル、テクスチャマップコンテンツ、ユーザ付与クオリティ/性能制御、等に基づいてダイナミックに決定することができる。レンダリング状態に基づいてアンチエイリアシングを適応させることで、効率が改善される。というのは、クオリティの高いアンチエイリアシングから利益を得るプリミティブは、より多くのサンプルでシェーディングされ、他のプリミ

タイプは、より少ないサンプルでシェーディングされ、映像のクオリティ及び性能を最適化するからである。

【 0 0 6 1 】

[0068]本発明は、特定の実施形態を参照して上述された。しかしながら、当業者であれば、特許請求の範囲に述べた本発明の広い精神及び範囲から逸脱せずに種々の変更や交換がなされ得ることが理解されよう。本発明の一実施形態は、コンピュータシステムに使用するためのプログラム製品として実施することができる。プログラム製品のプログラム（１つ又は複数）は、（ここに述べる方法を含む）実施形態の機能を定義し、そして様々なコンピュータ読み取り可能な記憶媒体に収容することができる。ここに例示するコンピュータ読み取り可能な記憶媒体は、（i）情報が永久的に記憶される書き込み不能の記憶媒体（例えば、コンピュータ内のリードオンリメモリ装置、例えば、CD-ROMドライブにより読み取り可能なCD-ROMディスク、フラッシュメモリ、ROMチップ、又は任意の形式のソリッドステート不揮発性半導体メモリ）、及び（ii）変更可能な情報が記憶される書き込み可能な記憶媒体（例えば、ディスクドライブ又はハードディスクドライブ内のフロッピーディスク、又は任意の形式のソリッドステートランダムアクセス半導体メモリ）を含むが、これらに限定されない。従って、以上の説明及び添付図面は、例示のためのものであって、それに限定されるものではない。

10

【符号の説明】

【 0 0 6 2 】

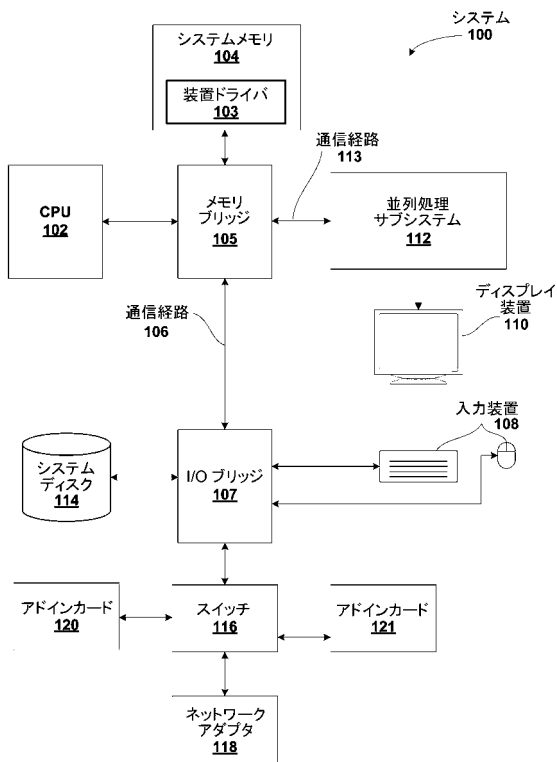
100・・・コンピュータシステム、102・・・中央処理ユニット(CPU)、104・・・システムメモリ、105・・・メモリブリッジ、106・・・通信経路、107・・・I/Oブリッジ、108・・・ユーザ入力装置、110・・・ディスプレイ装置、112・・・並列処理サブシステム、113・・・通信経路、114・・・システムディスク、116・・・スイッチ、118・・・ネットワークアダプタ、120・・・アドインカード、121・・・アドインカード、202・・・並列処理ユニット(PPU)、204・・・PPメモリ、206・・・ホストインターフェイス、208・・・コア、210・・・ワーク配布ユニット、212・・・フロントエンド、214・・・メモリインターフェイス、302・・・処理エンジン、304・・・ローカルレジスタファイル、306・・・共有メモリ、308・・・パラメータメモリ、312・・・インストラクションユニット、400・・・グラフィック処理パイプライン、442・・・データアッセンブラー、444・・・頂点処理ユニット、446・・・プリミティブアッセンブラー、448・・・幾何学的処理ユニット、455・・・ラスタライザ、460・・・断片処理ユニット、465・・・ラスタオペレーションユニット、500・・・ハイブリッドアンチエイリアス制御ユニット、501・・・ピクセル、502・・・マルチサンプル、503・・・スーパーサンプルクラスター、504・・・マルチサンプル、505・・・サンプルルックアップテーブル、509・・・断片、510・・・サンプル補間ユニット、511・・・スーパーサンプルクラスター、513・・・マルチサンプル、515・・・ハイブリッドアンチエイリアス繰り返しユニット、517・・・セントロイド位置、520・・・シェーダー、530・・・カバレッジ集計器、535・・・カラーバッファ、550・・・カラー/Z圧縮ユニット

20

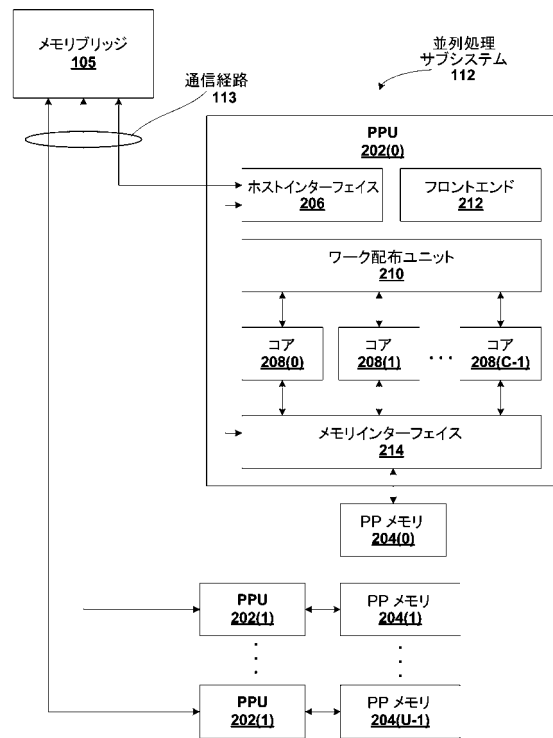
30

40

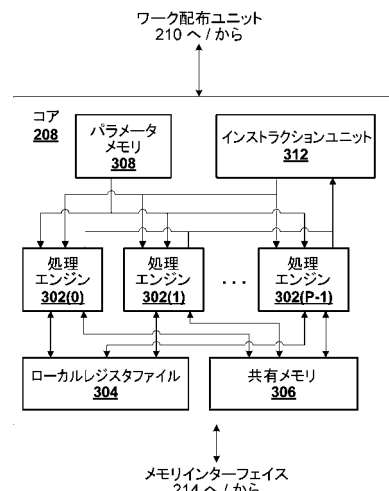
【図 1】



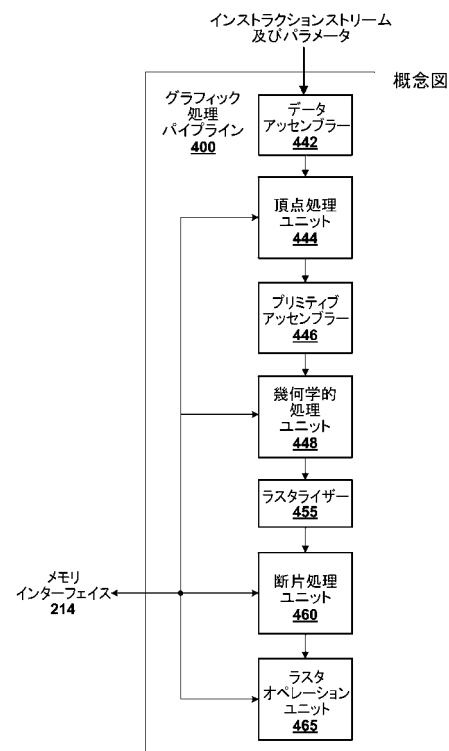
【図 2】



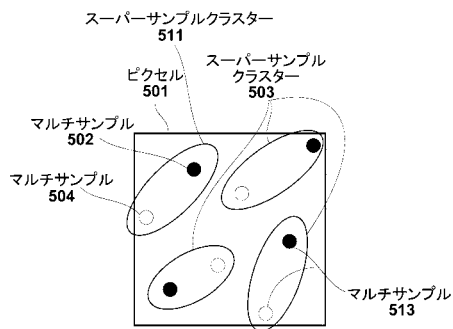
【図 3】



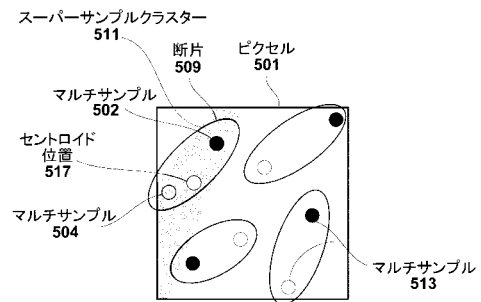
【図 4】



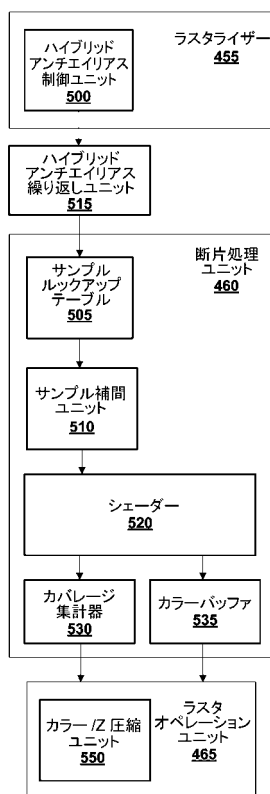
【図 5 A】



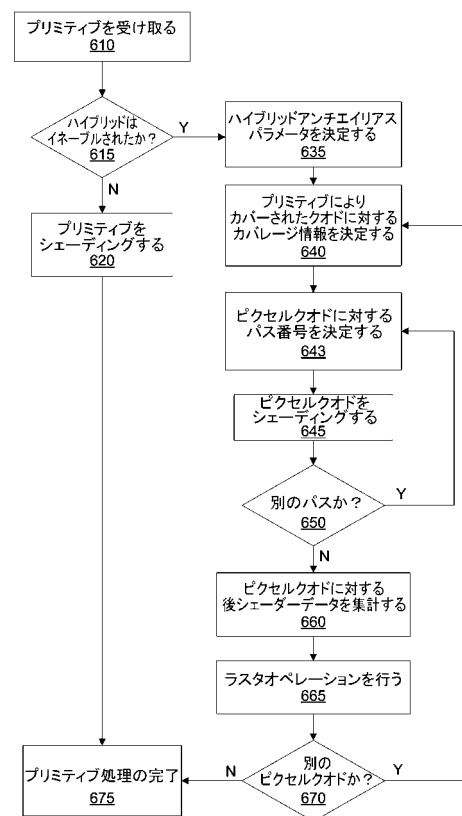
【図 5 B】



【図 5 C】



【図 6】



フロントページの続き

(72)発明者 スティーヴン イー． モルナー

アメリカ合衆国， ノース カロライナ州， チャペル ヒル， ペリー クリーク ドライヴ
2 0 0

F ターム(参考) 5B080 BA08 CA03 FA02 FA13 FA14 FA15 GA02 GA11 GA22

【外国語明細書】
2010020764000001.pdf