



(12) 发明专利

(10) 授权公告号 CN 101521210 B

(45) 授权公告日 2012. 05. 23

(21) 申请号 200910005799. 2

(22) 申请日 2009. 02. 12

(30) 优先权数据

2008-049885 2008. 02. 29 JP

(73) 专利权人 株式会社日立显示器

地址 日本千叶县

专利权人 松下液晶显示器株式会社

(72) 发明人 三宅秀和 大植荣司 海东拓生
宫泽敏夫

(74) 专利代理机构 北京市金杜律师事务所
11256

代理人 王茂华

(51) Int. Cl.

H01L 27/12(2006. 01)

H01L 21/84(2006. 01)

H01L 21/205(2006. 01)

H01L 21/324(2006. 01)

H01L 29/786(2006. 01)

(56) 对比文件

CN 1487569 A, 2004. 04. 07, 说明书第 1 页第
11 行至第 25 行, 第 11 页第 24 行至第 15 页第 3

行、附图 6A-6I.

CN 1680992 A, 2005. 10. 12, 说明书第 8 页第
7 行至第 14 页第 21 行、附图 8A-8L.

CN 1680992 A, 2005. 10. 12, 说明书第 8 页第
7 行至第 14 页第 21 行、附图 8A-8L.

CN 1517752 A, 2004. 08. 04, 说明书第 2 页第
2 行至第 18 行, 第 3 页第 13 行至第 4 页第 27 行、
附图 1-3.

US 2002/0085157 A1, 2002. 07. 04, 全文.

审查员 张剑铭

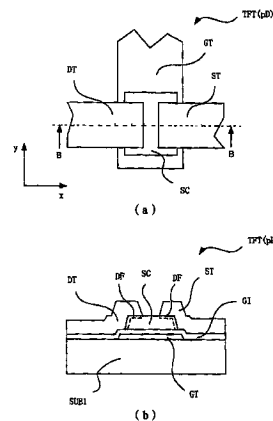
权利要求书 1 页 说明书 9 页 附图 7 页

(54) 发明名称

显示装置及其制造方法

(57) 摘要

本发明提供一种显示装置, 其在基板上具有 p 型薄膜晶体管, p 型薄膜晶体管在栅电极的上表面隔着绝缘膜形成有半导体层, 在半导体层的上表面形成有具有间隔部而彼此相对配置的漏电极和源电极, 在漏电极与半导体层的界面、和源电极与半导体层的界面形成有 p 型杂质的扩散层。



1. 一种显示装置,其在基板上具有 p 型薄膜晶体管和 n 型薄膜晶体管,其特征在于,上述 p 型薄膜晶体管的半导体层与上述 n 型薄膜晶体管的半导体层形成在同一层,

上述 p 型薄膜晶体管和上述 n 型薄膜晶体管被构成为:在栅电极的上表面隔着绝缘膜而形成有上述半导体层,在上述半导体层的上表面形成有具有间隔部而彼此相对配置的漏电极和源电极,

上述 p 型薄膜晶体管的上述漏电极和上述源电极与上述同一层直接接触,并且将上述漏电极和上述源电极以铝、镓、铟、铊中的任意一种的材料为主材料而构成,

上述 p 型薄膜晶体管的上述半导体层在与上述漏电极相接触的面以及与上述源电极相接触的面形成有 p 型杂质的扩散层,

上述 n 型薄膜晶体管在上述漏电极与上述半导体层的界面、以及上述源电极与上述半导体层的界面夹着掺杂有 n 型杂质的半导体层,

上述扩散层的杂质与上述漏电极、上述源电极的主材料相同。

2. 一种显示装置,其在基板上具有 p 型薄膜晶体管和 n 型薄膜晶体管,其特征在于,上述 p 型薄膜晶体管的半导体层与上述 n 型薄膜晶体管的半导体层形成在同一层,

上述 p 型薄膜晶体管和上述 n 型薄膜晶体管被构成为:在栅电极的上表面隔着绝缘膜而形成有上述半导体层,在上述半导体层的上表面形成有具有间隔部而彼此相对配置的漏电极和源电极,

上述 p 型薄膜晶体管的上述漏电极和上述源电极与上述同一层直接接触,并且将上述漏电极和上述源电极以铝、镓、铟、铊中的任意一种的材料为主材料而构成,

上述 p 型薄膜晶体管的上述半导体层在与上述漏电极相接触的面以及与上述源电极相接触的面形成有 p 型杂质的扩散层,

上述 n 型薄膜晶体管在上述漏电极与上述半导体层的界面、以及上述源电极与上述半导体层的界面夹着掺杂有 n 型杂质的半导体层以及用于防止上述漏电极和源电极的材料向上述半导体层扩散的扩散阻挡层的依次层叠体,

上述扩散层的杂质与上述漏电极、上述源电极的主材料相同。

3. 根据权利要求 1 或权利要求 2 所述的显示装置,其特征在于:上述半导体层由多晶半导体层形成。

4. 根据权利要求 1 或权利要求 2 所述的显示装置,其特征在于:上述半导体层由多晶半导体和非晶半导体层的依次层叠体构成。

显示装置及其制造方法

技术领域

[0001] 本发明涉及显示装置及其制造方法,尤其涉及具有形成在其基板上的薄膜晶体管的显示装置及其制造方法。

背景技术

[0002] 在有源矩阵型显示装置中,呈矩阵状排列有多个像素。并且,以排列在行方向上的每个像素共用的方式设置有栅极信号线,各栅极信号线按在列方向上所设置的顺序而被选择,从而提供扫描信号。进而,与选择栅极信号线的定时相对应,经由排列在列方向的每个像素共用的漏极信号线来提供图像信号。

[0003] 因此,各像素具有用于通过被提供扫描信号而将来自漏极信号线的图像信号输入到像素中所设置的像素电极的薄膜晶体管。

[0004] 另外,在与形成有像素的基板相同的基板上,具有用于向栅极信号线提供扫描信号、且向漏极信号线提供图像信号的驱动电路,该驱动电路由含有多个薄膜晶体管的电路构成。

[0005] 并且,已知有驱动电路中的薄膜晶体管具有 n 型薄膜晶体管和 p 型薄膜晶体管,由使非晶硅结晶后的多晶硅 (Low Temperature Poly Si) 构成了这些晶体管中的半导体层。由这样的多晶硅构成了半导体层的薄膜晶体管的场效应迁移率较高,能够使驱动电路高速驱动。

[0006] 这种薄膜晶体管例如公开在日本特开平 5-63196 号公报中。

发明内容

[0007] 但是,当由多晶硅的半导体层分别构成 n 型薄膜晶体管和 p 型薄膜晶体管时,在多晶硅的半导体层与漏电极以及源电极之间,在为 n 型薄膜晶体管的情况下需要形成掺杂有 n 型杂质的非晶硅,在为 p 型薄膜晶体管的情况下需要形成掺杂有 p 型杂质的非晶硅。

[0008] 因此,存在如下课题:必须在单独的掩膜工序中进行掺杂有 n 型杂质的非晶硅的形成和掺杂有 p 型杂质的非晶硅的形成,因而制造的工序将会增加。

[0009] 于是,本发明的目的在于,提供一种减少制造工时的显示装置。

[0010] 另外,本发明的另一目的在于,提供一种使制造工时减少的显示装置的制造方法。

[0011] 简单说明本申请所公开的发明中具有代表性的技术方案的概要如下。

[0012] (1) 为了解决上述课题,本发明的显示装置为:其在基板上具有 p 型薄膜晶体管,其特征在于:上述 p 型薄膜晶体管在栅电极的上表面隔着绝缘膜形成有半导体层,在上述半导体层的上表面形成有具有间隔部而彼此相对配置的漏电极和源电极,在上述漏电极与上述半导体层的界面、以及上述源电极与上述半导体层的界面形成有 p 型杂质的扩散层。

[0013] (2) 为了解决上述课题,本发明的显示装置为:其在基板上具有 p 型薄膜晶体管和 n 型薄膜晶体管,其特征在于:上述 p 型薄膜晶体管和上述 n 型薄膜晶体管在栅电极的上表面隔着绝缘膜形成有半导体层,在上述半导体层的上表面形成有具有间隔部而彼此相对配

置的漏电极和源电极,上述 p 型薄膜晶体管在上述漏电极与上述半导体层的界面、以及上述源电极与上述半导体层的界面形成有 p 型杂质的扩散层,上述 n 型薄膜晶体管在上述漏电极与上述半导体层的界面、以及上述源电极与上述半导体层的界面夹着掺杂有 n 型杂质的半导体层。

[0014] (3) 为了解决上述课题,本发明的显示装置为:其在基板上具有 p 型薄膜晶体管和 n 型薄膜晶体管,其特征在于:上述 p 型薄膜晶体管和 n 型薄膜晶体管在栅电极的上表面隔着绝缘膜形成有半导体层,在上述半导体层的上表面形成有具有间隔部而彼此相对配置的漏电极和源电极,上述 p 型薄膜晶体管在上述漏电极与上述半导体层的界面、以及上述源电极与上述半导体层的界面形成有 p 型杂质的扩散层,上述 n 型薄膜晶体管在上述漏电极与上述半导体层的界面、以及上述源电极与上述半导体层的界面夹着掺杂有 n 型杂质的半导体层、以及用于防止上述漏电极与源电极的材料扩散到上述半导体层的扩散阻挡层的依次层叠体。

[0015] (4) 在(1)的显示装置中,其特征在于:上述漏电极和源电极以铝、镓、铟、铯中的任意一种的材料为主材料,通过它们扩散到上述半导体层来形成上述 p 型杂质的扩散层。

[0016] (5) 在(1)的显示装置中,其特征在于:上述半导体层由多晶半导体层形成。

[0017] (6) 在(1)的显示装置中,其特征在于:上述半导体层由多晶半导体和非晶半导体层的依次层叠体构成。

[0018] (7) 为了解决上述课题,本发明的显示装置的制造方法为:该显示装置在基板上具有 p 型薄膜晶体管,该 p 型薄膜晶体管是在栅电极的上表面隔着绝缘膜形成有半导体层,在上述半导体层的上表面形成有具有间隔部而彼此相对配置的漏电极和源电极,上述显示装置的制造方法的特征在于:以铝、镓、铟、铯中的任意一种的材料为主材料来形成上述漏电极和上述源电极,通过实施退火,在上述漏电极与上述半导体层的界面、以及上述源电极与上述半导体层的界面形成有 p 型杂质的扩散层。

[0019] 本发明不限于以上的结构,在不脱离本发明的技术思想的范围内可进行各种变更。

[0020] 这样构成的显示装置能够减少制造工时。

[0021] 这样构成的显示装置的制造方法能够减少制造工时。

[0022] 附图说明

[0023] 图 1 中的 (a) 是表示在本实施方式的显示装置的基板上所形成的 p 型薄膜晶体管的一例的俯视图。

[0024] 图 1 中的 (b) 是图 1 中 (a) 的 B-B 线处的剖视图。

[0025] 图 2 是表示在本实施方式的显示装置的基板上形成有 p 型薄膜晶体管和 n 型薄膜晶体管的互补 (complementary) 型薄膜晶体管的结构剖视图。

[0026] 图 3A 是示出了图 2 中的 n 型薄膜晶体管 TFT(nD) 的 V_{gId} 特性的图。

[0027] 图 3B 是示出了图 2 中的 p 型薄膜晶体管 TFT(pD) 的 V_{gId} 特性的图。

[0028] 图 4 是示出了图 2 所示的 n 型薄膜晶体管和 p 型薄膜晶体管的制造方法的一例的工序图。

[0029] 图 5 是表示在第二实施方式的显示装置的基板上所形成的 p 型薄膜晶体管和 n 型薄膜晶体管的结构图。

[0030] 图 6 是示出了图 5 所示的 n 型薄膜晶体管和 p 型薄膜晶体管的制造方法的一例的工序图。

[0031] 图 7 是表示第三实施方式的显示装置的制造方法的工序图。

[0032] 图 8A 是表示本发明的显示装置的一个实施方式的概略结构图。

[0033] 图 8B 是表示图 8A 中虚线框 B 的放大图的图。

具体实施方式

[0034] 以下,使用附图说明本发明的显示装置的实施方式。

[0035] <实施方式 1>

[0036] (整体结构)

[0037] 图 8A 是表示本发明的显示装置一个实施方式的概略结构图。图 8A 以液晶显示装置为例而示出。

[0038] 夹持液晶而相对配置基板 SUB1、基板 SUB2,在上述基板 SUB2 的与夹持液晶一侧的相反侧的面上形成有液晶显示区域 AR。

[0039] 在液晶显示区域 AR 中,在基板 SUB1、SUB2 的夹持液晶的一侧形成有呈矩阵状配置的多个像素。

[0040] 图 8B 是表示图 8A 中虚线框 B 的放大图的图。如图 8B 所示那样,排列成矩阵状的多个像素形成在由沿图中 y 方向延伸且在 x 方向上并列设置的漏极信号线 DL 和沿图中 x 方向延伸且在 y 方向上并列设置的栅极信号线 GL 所围成的区域内。

[0041] 并且,各像素具有被来自栅极信号线 GL 的扫描信号(电压)导通的薄膜晶体管 TFT(为了与后述的其他薄膜晶体管 TFT 相区别,而用符号 TFT(nP)来表示)、经由该导通后的薄膜晶体管 TFT(nP)而被提供来自漏极信号线 DL 的图像信号(电压)的像素电极 PX、以及使其与该像素电极 PX 之间产生电场的对置电极 CT。

[0042] 此外,对置电极 CT 连接在与栅极信号线 GL 平行配置的对置电压信号线 CL 上,经由该对置电压信号线 CL 被提供相对于图像信号成为基准的信号(电压)。

[0043] 在液晶显示区域 AR 的外侧(图中左侧),在基板 SUB1 从基板 SUB2 露出的部分形成有驱动电路 DRC,该驱动电路 DRC 用于向各栅极信号线 GL 依次提供扫描信号、且与提供该扫描信号的定时一致而向各漏极信号线 DL 提供图像信号。该驱动电路 DRC 具有 n 型薄膜晶体管 TFT(nD) 和 p 型薄膜晶体管 TFT(pD)。

[0044] 另外,在液晶显示区域 AR 的外侧(图中下侧),在基板 SUB1 从基板 SUB2 露出的部分形成有 RGB 切换电路 CSC,该 RGB 切换电路 CSC 用于在彩色显示的单位像素中按颜色切换分别承担三原色的漏极信号线 DL 而使之连接。该 RGB 切换电路 CSC 具有驱动电路 DRC 中的薄膜晶体管 TFT(nD)、TFT(pD)。并且,RGB 切换电路 CSC 由与驱动电路 DRC 大致相同的结构构成,与形成驱动电路 DRC 中的薄膜晶体管 TFT(nD)、TFT(pD) 同时地形成 RGB 切换电路 CSC 中的薄膜晶体管 TFT(nD)、TFT(pD)。因此,RGB 切换电路 CSC 中的 n 型薄膜晶体管也用符号 TFT(nD) 来表示,p 型薄膜晶体管 TFT(pD) 也用符号 TFT(pD) 来表示。

[0045] (p 型薄膜晶体管)

[0046] 图 1 中的(a)是表示 p 型薄膜晶体管 TFT(pD) 的一例的俯视图。另外,图 1 中的(b)示出了图 1 中(a)的 B-B 线处的剖视图。

[0047] 如图 1 中的 (b) 所示,在基板 SUB 1 的表面形成有栅电极 GT。该栅电极 GT 在基板 SUB1 的表面如图 1 中的 (a) 所示那样在图中 y 方向延伸而形成。

[0048] 并且,在基板 SUB1 的表面覆盖栅电极 GT 而形成有绝缘膜 GI。该绝缘膜 GI 在 p 型薄膜晶体管 TFT(pD) 的形成区域中作为该 p 型薄膜晶体管 TFT(pD) 的栅极绝缘膜而发挥作用。

[0049] 在绝缘膜 GI 的上表面,以与栅电极 GT 重叠的方式呈岛状地形成有由多晶硅 (p-Si) 构成的半导体层 SC。该半导体层 SC 构成了未掺杂杂质的 i 型半导体层。

[0050] 进而,在半导体层 SC 的上表面,具有在栅电极 GT 的上方具备间隔部并彼此相对配置的一对电极 DT、ST。电极 DT 和 ST 彼此分开而相对配置,电极 DT、ST 分别在绝缘膜 GI 上向图中 x 方向延伸而形成。

[0051] 在半导体层 SC 上,电极 DT、ST 的间隔部的区域构成沟道区域,电极 DT、ST 的间隔距离相当于该 p 型薄膜晶体管 TFT(pD) 的沟道长度。

[0052] 这些电极 DT、ST 例如由铝 (Al) 构成。电极 DT、ST 既可以仅由铝构成,还可以以铝为主材料并包含其他金属而构成。形成电极 DT、ST 后,通过例如约 400℃ 的退火,铝在半导体层 SC 中进行扩散,在电极 DT 与半导体层 SC 的界面、以及电极 ST 与半导体层 SC 的界面形成 p(+) 型扩散层 DF。

[0053] 这种 p 型薄膜晶体管 TFT(pD) 构成底栅型 MIS(Metal Insulator Semiconductor: 金属绝缘体半导体) 晶体管,通过施加偏压,电极 DT、ST 中的一方作为漏电极发挥作用,另一方作为源电极发挥作用。为方便起见,在本说明书中,将图中左侧的电极称为漏电极 DT,将图中右侧的电极称为源电极 ST。

[0054] 对于如上述那样构成的 p 型薄膜晶体管 TFT(pD),不需要在漏电极 DT 与半导体层 SC 之间、且源电极 ST 与半导体层 SC 之间特别地形成接触层。因此,能够用简单的工序形成 p 型薄膜晶体管 TFT(pD)。

[0055] 此外,在本实施方式中,p 型薄膜晶体管 TFT(pD) 的漏电极 DT、源电极 ST 的材料是以铝为主材料,但还可以以镓 (Ga)、铟 (In)、或铊 (Tl) 等其他材料为主材料。通过使用这样的材料,也能够漏电极 DT 与半导体层 SC 的界面、源电极 ST 与半导体层 SC 的界面分别形成 p(+) 型扩散层 DF。

[0056] (p 型薄膜晶体管和 n 型薄膜晶体管)

[0057] 图 2 是表示在本实施方式的显示装置的基板上与 p 型薄膜晶体管 TFT(pD) 一起形成了 n 型薄膜晶体管 TFT(nD) 的互补型薄膜晶体管的结构剖视图。

[0058] 图 2 所示的 p 型薄膜晶体管 TFT(pD) 的结构取为与图 1 中的 (a) 所示的 p 型薄膜晶体管 TFT(pD) 相同。因此,在以下的说明中,对配置在图中左侧的 n 型薄膜晶体管 TFT(nD) 的结构进行说明。

[0059] 如图 2 的图中左侧所示那样,在基板 SUB1 的上表面形成有栅电极 GT'。该栅电极 GT' 与 p 型薄膜晶体管 TFT(pD) 的栅电极 GT 同层,且由相同材料形成。

[0060] 在基板 SUB1 的表面覆盖栅电极 GT' 而形成有绝缘膜 GI。该绝缘膜 GI 从 p 型薄膜晶体管 TFT(pD) 延伸而形成,并构成为 p 型薄膜晶体管 TFT(pD) 的形成区域中绝缘膜 GI 的延伸部。

[0061] 在绝缘膜 GI 的上表面,以与栅电极 GT' 重叠的方式呈岛状形成有例如由多晶硅

(p-Si) 构成的半导体层 SC'。

[0062] 该半导体层 SC' 与 p 型薄膜晶体管 TFT(pD) 的半导体层 SC 同层, 且由相同材料形成。

[0063] 另外, 在半导体层 SC' 的表面、即从该半导体层 SC' 的上表面到侧壁面的表面、进而到未形成该半导体层 SC' 的绝缘膜 GI 的表面, 还形成掺杂有 p(+) 型杂质的接触层 DO。

[0064] 此外, 在半导体层 SC' 上从后述的漏电极 DT' 和源电极 ST' 露出的部分没有形成该接触层 DO, 而露出接触层 DO 下层的半导体层 SC'。

[0065] 进而, 在半导体层 SC' 的上表面, 隔着接触层 DO 而形成漏电极 DT' 和源电极 ST'。由此, 接触层 DO 被形成在漏电极 DT' 与半导体层 SC' 的界面、以及源电极 ST' 与半导体层 SC' 的界面。

[0066] 漏电极 DT' 和源电极 ST' 与 p 型薄膜晶体管 TFT(pD) 的漏电极 DT 和源电极 ST 同层, 且由相同材料形成。

[0067] 此外, 与 n 型薄膜晶体管 TFT(nD) 相比较, 显然, 在 p 型薄膜晶体管 TFT(pD) 中栅电极 GT 的宽度大于半导体层 SC 的宽度, 且从半导体层 SC 的形成区域露出而形成。这是为了提高导通电流的缘故。

[0068] 图 3A 和图 3B 是表示 n 型薄膜晶体管 TFT(nD) 和 p 型薄膜晶体管 TFT(pD) 的 $V_g I_d$ 特性 (栅极电压和漏极电流的特性) 的图。图 3A 示出了 n 型薄膜晶体管 TFT(nD) 的 $V_g I_d$ 特性, 图 3B 示出了 p 型薄膜晶体管 TFT(pD) 的 $V_g I_d$ 特性。图 3A 和图 3B 示出将横轴设为栅极电压 V_g (V)、纵轴设为漏极电流 I_d (A)、且漏极电压 V_d 为 5V 时的栅极电压与漏极电流之间的关系。

[0069] 因此, 判断为 p 型薄膜晶体管 TFT(pD) 的导通 / 截止的电流差充分大, 能够作为开关元件发挥作用。

[0070] (制造方法)

[0071] 图 4 中的 (a) ~ (e) 是表示图 2 所示的 n 型薄膜晶体管 TFT(nD) 和 p 型薄膜晶体管 TFT(pD) 的制造方法的一例的工序图。以下, 按工序顺序进行说明。

[0072] 图 4 中的 (a) ~ (e) 与图 2 的记载相对应, 在图中左侧示出 n 型薄膜晶体管 TFT(nD) 的制造工序, 在图中右侧示出 p 型薄膜晶体管 TFT(pD) 的制造工序。

[0073] 以下, 按工序顺序进行说明。

[0074] 工序 1 (图 4(a))

[0075] 在由玻璃构成的基板 SUB1 的表面形成栅电极 GT' 和栅电极 GT, 进而形成绝缘膜 GI, 使得栅电极 GT' 和栅电极 GT 都被覆盖。

[0076] 栅电极 GT' 和栅电极 GT 都是利用溅射法并利用光刻技术对例如钼 (Mo) 等高熔点金属或其合金成膜 (膜厚为 50 ~ 150nm) 进行图案形成后选择性地蚀刻而形成的。

[0077] 绝缘膜 GI 由 SiO₂、SiN_x、或它们的层叠膜等构成, 形成为膜厚 100 ~ 300nm。

[0078] 然后, 在绝缘膜 GI 上表面的整个区域, 利用例如 CVD (Chemical Vapor Deposition: 化学汽相淀积) 法以膜厚 50 ~ 300nm 形成由非晶硅构成的半导体层 AS。

[0079] 工序 2 (图 4(b))

[0080] 在进行了脱氢处理后, 向半导体层 AS 选择性地照射脉冲或连续波激光, 进行 n 型薄膜晶体管 TFT(nD) 的形成区域和 p 型薄膜晶体管 TFT(pD) 的形成区域中半导体层 AS 的

结晶化,形成由多晶硅构成的半导体层 PS。此外,半导体层 AS 的结晶化也可以在整个面实施。

[0081] 工序 3(图 4(c))

[0082] 在利用光刻技术使半导体层 AS 图案形成后,通过选择性进行蚀刻,从而在 n 型薄膜晶体管 TFT(nD) 的形成区域和 p 型薄膜晶体管 TFT(pD) 的形成区域分别残留由多晶硅构成的半导体层 PS。

[0083] 设置在 n 型薄膜晶体管 TFT(nD) 的形成区域的半导体层 PS 相当于图 2 所示的半导体层 SC',设置在 p 型薄膜晶体管 TFT(pD) 的形成区域的半导体层 PS 相当于图 2 所示的半导体层 SC。

[0084] 工序 4(图 4(d))

[0085] 在基板 SUB 1 表面的整个区域,使用 CVD 法以厚度为 10 ~ 50nm 形成掺杂有磷 (P) 等的半导体层 (n(+)) 型半导体层)。

[0086] 然后,利用光刻技术对 n(+) 型半导体层进行图案形成后进行蚀刻,从而使其残留在 n 型薄膜晶体管 TFT(nD) 的半导体层 SC' 的上表面。在此,将所残留的 n(+) 型半导体层作为接触层 D0。此外,用于形成接触层 D0 的 n(+) 型半导体层的蚀刻也在成为 n 型薄膜晶体管 TFT(nD) 的沟道区域的部分进行。

[0087] 工序 5(图 4(e))

[0088] 在基板 SUB1 表面的整个区域利用溅射法以膜厚 300 ~ 500nm 使铝 (Al) 成膜。

[0089] 此时,在 Al 层的上下各面以膜厚 30 ~ 100nm 形成钛 (Ti) 或钼 (Mo) 等高熔点金属膜。该高熔点金属膜被称为所谓的势垒金属 (barrier metal) 层,为了降低接触电阻而形成。此外,该势垒金属层也可以不在电极的下层侧形成。

[0090] 然后,利用光刻技术将 Al 层图案形成后选择性地蚀刻,从而在 n 型薄膜晶体管 TFT(nD) 的形成区域形成漏电极 DT' 和源电极 ST',在 p 型薄膜晶体管 TFT(pD) 的形成区域形成漏电极 DT 和源电极 ST。

[0091] 进而,在基板 SUB1 的表面的整个区域使用 CVD 法用 n 型薄膜晶体管 TFT(nD)、p 型薄膜晶体管 TFT(pD) SiN 膜等进行覆盖而形成保护膜 (未图示)。

[0092] 然后,在 H₂ 或 N₂ 的环境下,在 350 ~ 450℃ 的温度下进行 1 ~ 3 小时的退火。通过该退火, p 型薄膜晶体管 TFT(pD) 的漏电极 DT 和源电极 ST 内的铝 (Al) 在半导体层 SC 内进行扩散 (在存在势垒金属层的情况下,通过该势垒金属层后进行扩散)。由此,在漏电极 DT 与半导体层 SC 的界面、以及源电极 ST 与半导体层 SC 的界面上分别形成 p(+) 型的扩散层 DF。此外,该退火也可以在形成保护膜前进行。

[0093] <实施方式 2>

[0094] 图 5 是表示本发明的显示装置的第二实施方式的结构图,是与第一实施方式中的图 2 对应的附图。在图 5 中,与图 2 相同符号的部件采用相同材料,且具有相同功能。

[0095] 在图 5 中,在 n 型薄膜晶体管 TFT(nD) 中,在漏电极 DT' 与接触层 D0 的界面形成扩散阻挡层 BR,在源电极 ST' 与接触层 D0 的界面形成有扩散阻挡层 BR 这一点与图 2 的情况不同。

[0096] 该扩散阻挡层 BR 是用于防止在退火时构成漏电极 DT' 和源电极 ST' 的铝 (Al) 扩散到接触层 D0 的层。

[0097] 扩散阻挡层 BR 例如由 Mo、Ti、或它们的合金构成,以能够避免铝 (Al) 扩散到接触层 DO 的程度的厚度形成。

[0098] 在如此构成的情况下,难以引起接触层 DO 的杂质浓度的变化,容易将接触层 DO 的杂质浓度设定为预定的值。

[0099] 图 6 中的 (a) ~ (e) 是示出了图 5 所示的 n 型薄膜晶体管 TFT(nD) 和 p 型薄膜晶体管 TFT(pD) 的制造方法的一例的工序图,与第一实施方式中的图 4(a) ~ (e) 对应而记载。在图 6 中,与图 4 相同符号的部件采用相同材料,且具有相同功能。

[0100] 在图 6 中,与图 4 的情况不同的结构是图 6(d) 所示的工序。

[0101] 即,在图 6(d) 中,在基板 SUB1 的表面的整个区域使用 CVD 法依次形成掺杂有磷 (P) 等的半导体层 (n(+)) 型半导体层)、由钼 (Mo)、钛 (Ti)、或它们的合金构成的金属层。

[0102] 然后,利用光刻技术将 n(+) 型半导体层和金属层的依次层叠体汇总地图案形成后进行蚀刻。通过该蚀刻,在 n 型薄膜晶体管 TFT(nD) 的半导体层 SC' 的上表面使这些残留,并将所残留的 n(+) 型半导体层作为接触层 DO,将所残留的金属层作为扩散阻挡层 BR。由 n(+) 型半导体层和金属层构成的层叠体的蚀刻也在成为 n 型薄膜晶体管 TFT(nD) 的沟道区域的部分进行。

[0103] 根据如上述那样的制造方法,与图 4 所示的制造方法相比较,不增大工序数就能够形成扩散阻挡层 BR。

[0104] <实施方式 3>

[0105] 图 7 中的 (a) ~ (f) 是表示本发明显示装置的制造方法的第三实施方式的工序图。

[0106] 图 7 中的 (a) ~ (f) 所示的显示装置是使像素选择所使用的 n 型薄膜晶体管 TFT(nP) 的半导体层为非晶硅的装置,图 7 中 (a) ~ (f) 的工序图示出了与 n 型薄膜晶体管 TFT(nP) 一起形成驱动电路的 n 型薄膜晶体管 TFT(nD) 和 p 型薄膜晶体管 TFT(pD) 的情况。

[0107] 在图中的左侧示出了 n 型薄膜晶体管 TFT(nD),在中央示出了 p 型薄膜晶体管 TFT(pD),在右侧示出了 n 型薄膜晶体管 TFT(nP)。以下,按工序顺序进行说明。

[0108] 工序 1(图 7(a))

[0109] 在由玻璃构成的基板 SUB1 的表面形成栅电极 GT'、栅电极 GT、和栅电极 GT",覆盖这些栅电极 GT'、栅电极 GT 以及栅电极 GT"而形成绝缘膜 GI。

[0110] 栅电极 GT'、栅电极 GT 以及栅电极 GT"都是使用溅射法将钼 (Mo) 等高熔点金属或其合金(膜厚 50 ~ 150nm)成膜,并利用光刻技术图案形成后选择性地蚀刻而形成的。

[0111] 绝缘膜 GI 例如由 SiO₂、SiN_x、或它们的层叠膜构成,以膜厚 100 ~ 300nm 形成。

[0112] 然后,在绝缘膜 GI 的上表面的整个区域利用 CVD 法以膜厚 50 ~ 300nm 形成由非晶硅构成的半导体层 AS。

[0113] 工序 2(图 7(b))

[0114] 在进行脱氢处理以后,向半导体层 AS 选择性地照射脉冲或连续波激光,进行 n 型薄膜晶体管 TFT(nD) 的形成区域和 p 型薄膜晶体管 TFT(pD) 的形成区域中的半导体层 AS 的结晶化,形成由多晶硅构成的半导体层 PS。此外,半导体层 AS 的结晶化也可以在整个面

实施。

[0115] 工序 3(图 7(c))

[0116] 利用光刻技术图案形成半导体层 AS,进而选择性地蚀刻,从而在 n 型薄膜晶体管 TFT(nD) 的形成区域和 p 型薄膜晶体管 TFT(pD) 的形成区域分别残留由多晶硅构成的半导体层 PS。

[0117] 工序 4(图 7(d))

[0118] 在基板 SUB1 的表面例如使用 CVD 法,以膜厚 50 ~ 250nm 来形成由非晶硅构成的半导体层 AS',利用光刻技术图案形成该半导体层 AS' 并进行蚀刻。由此,使半导体层 AS' 残留于 n 型薄膜晶体管 TFT(nD)、p 型薄膜晶体管 TFT(pD) 以及 n 型薄膜晶体管 TFT(nP) 的各形成区域。

[0119] 因此,n 型薄膜晶体管 TFT(nD) 中的半导体层 AS' 层叠在半导体层 PS 的上侧,p 型薄膜晶体管 TFT(pD) 中的半导体层 AS' 层叠在半导体层 PS 的上侧。另外,n 型薄膜晶体管 TFT(nP) 中的半导体层 AS' 直接形成在绝缘膜 GI 上。

[0120] 即,n 型薄膜晶体管 TFT(nD)、p 型薄膜晶体管 TFT(pD) 的各个半导体层构成依次层叠有多晶硅的半导体层 PS 和非晶硅的半导体层 AS' 的依次层叠体。

[0121] 工序 5(图 7(e))

[0122] 在基板 SUB1 的表面的整个区域使用 CVD 法以厚度 10 ~ 50nm 形成掺杂有磷 (P) 等的半导体层 (n(+)) 型半导体层)。

[0123] 然后,利用光刻技术图案形成 n(+) 型半导体层,进而进行蚀刻,从而分别残留在 n 型薄膜晶体管 TFT(nD) 的半导体层 AS' 的上表面、以及 n 型薄膜晶体管 TFT(nP) 的半导体层 AS' 的上表面。将该所残留的 n(+) 型半导体层作为 n 型薄膜晶体管 TFT(nD) 的接触层 D0、并作为 n 型薄膜晶体管 TFT(nP) 的接触层 D0。n(+) 型半导体层的蚀刻也在成为 n 型薄膜晶体管 TFT(nD) 的沟道区域和成为 n 型薄膜晶体管 TFT(nP) 的沟道区域的部分进行。

[0124] 工序 6(图 7(f))

[0125] 在基板 SUB1 表面的整个区域利用溅射法以膜厚 300 ~ 500nm 使铝 (Al) 成膜。

[0126] 此时,在 Al 层的上下各面以膜厚 30 ~ 100nm 形成钛 (Ti) 或钼 (Mo) 等高熔点金属膜。该高熔点金属膜称为所谓的势垒金属层,为了用于降低接触电阻而形成。

[0127] 之后,利用光刻技术对上述 Al 层进行图案形成,并选择性地蚀刻,从而在 n 型薄膜晶体管 TFT(nD) 的形成区域形成漏电极 DT' 和源电极 ST',在 p 型薄膜晶体管 TFT(pD) 的形成区域形成漏电极 DT 和电极 ST,在 n 型薄膜晶体管 TFT(nP) 的形成区域形成漏电极 DT'' 和源电极 ST''。

[0128] 进而,在基板 SUB1 表面的整个区域,使用 CVD 法覆盖 n 型薄膜晶体管 TFT(nD)、p 型薄膜晶体管 TFT(pD) 以及 n 型薄膜晶体管 TFT(nP) 而形成由 SiN 膜等构成的保护膜 (未图示)。

[0129] 然后,在 H₂ 或 N₂ 的环境下,在 350 ~ 450℃ 的温度下进行 1 ~ 3 小时的退火。通过该退火,p 型薄膜晶体管 TFT(pD) 的漏电极 DT 和源电极 ST 内的铝 (Al) 在半导体层 SC (在图 7F 中相当于半导体层 AS' 和半导体层 PS) 内进行扩散 (通过金属阻挡层而扩散)。然后,在漏电极 DT 与半导体层 SC 的界面、和源电极 ST 与半导体层 SC 的界面分别形成 p(+) 型扩散层 DF。此外,该退火也可以在形成保护膜之前 进行。

[0130] 上述各实施例也可以单独或组合使用。因为能够单独或叠加产生各实施例的效果。

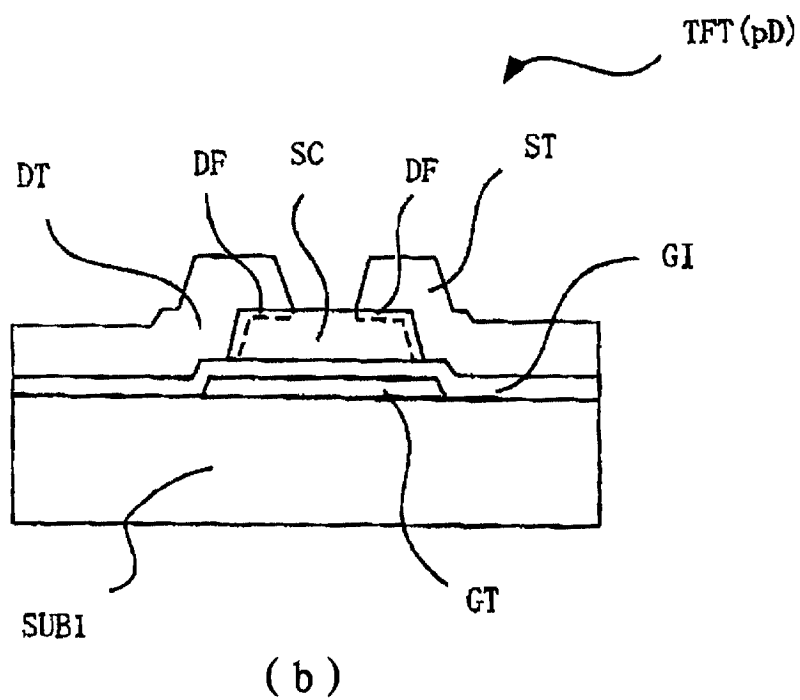
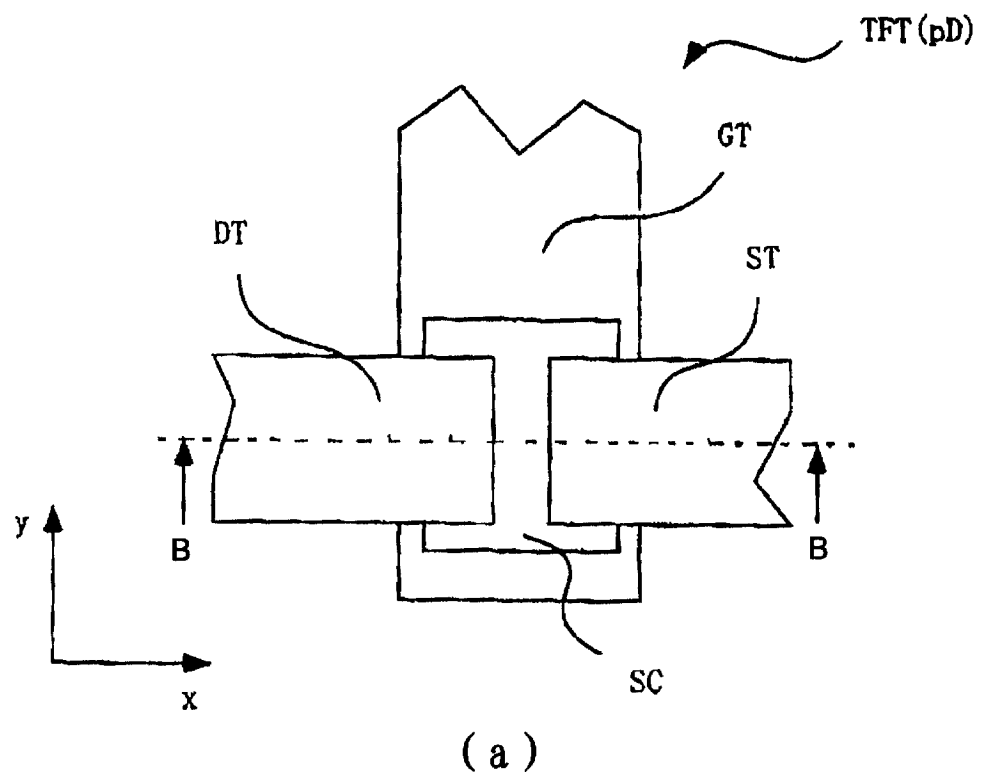


图 1

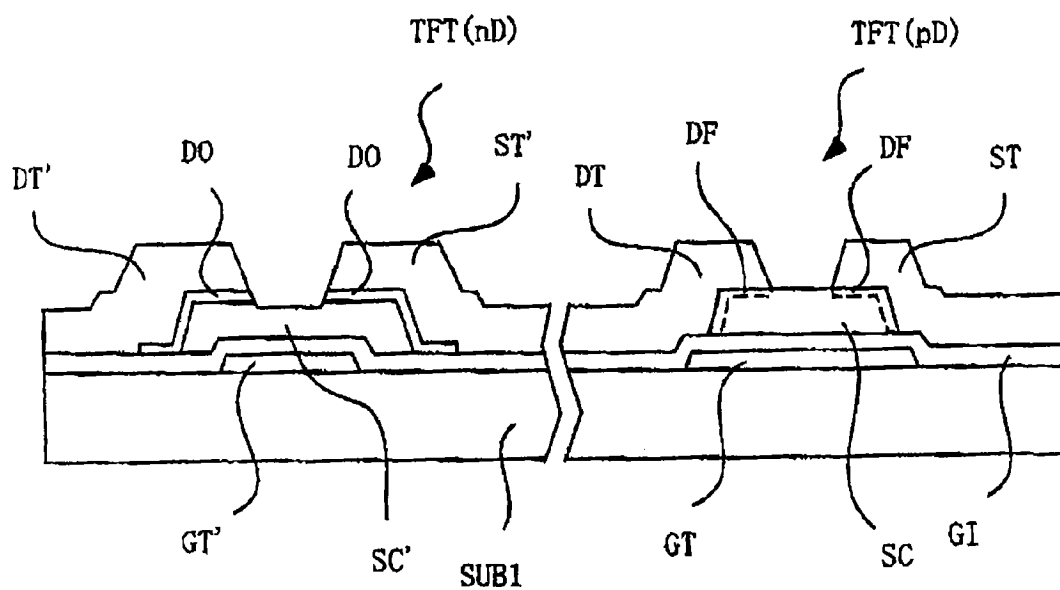


图 2

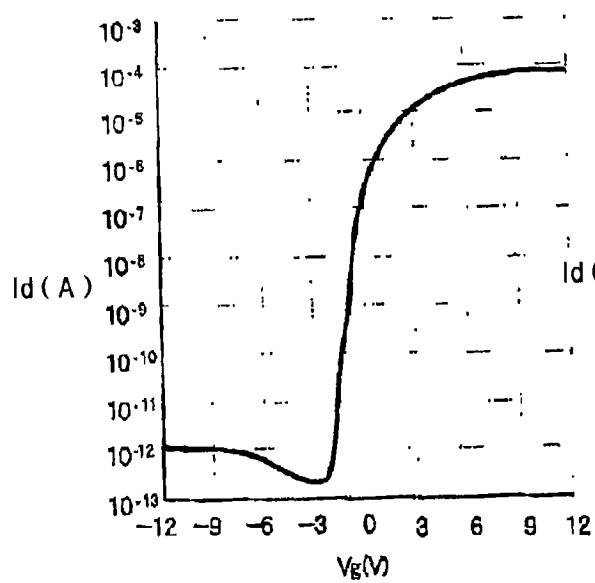


图 3A

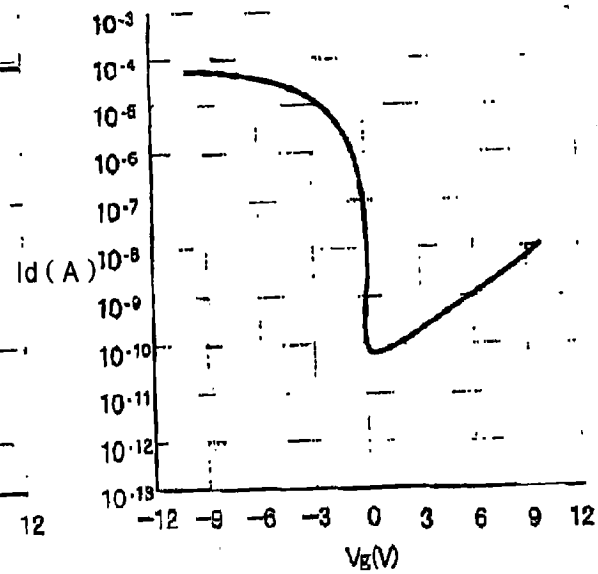


图 3B

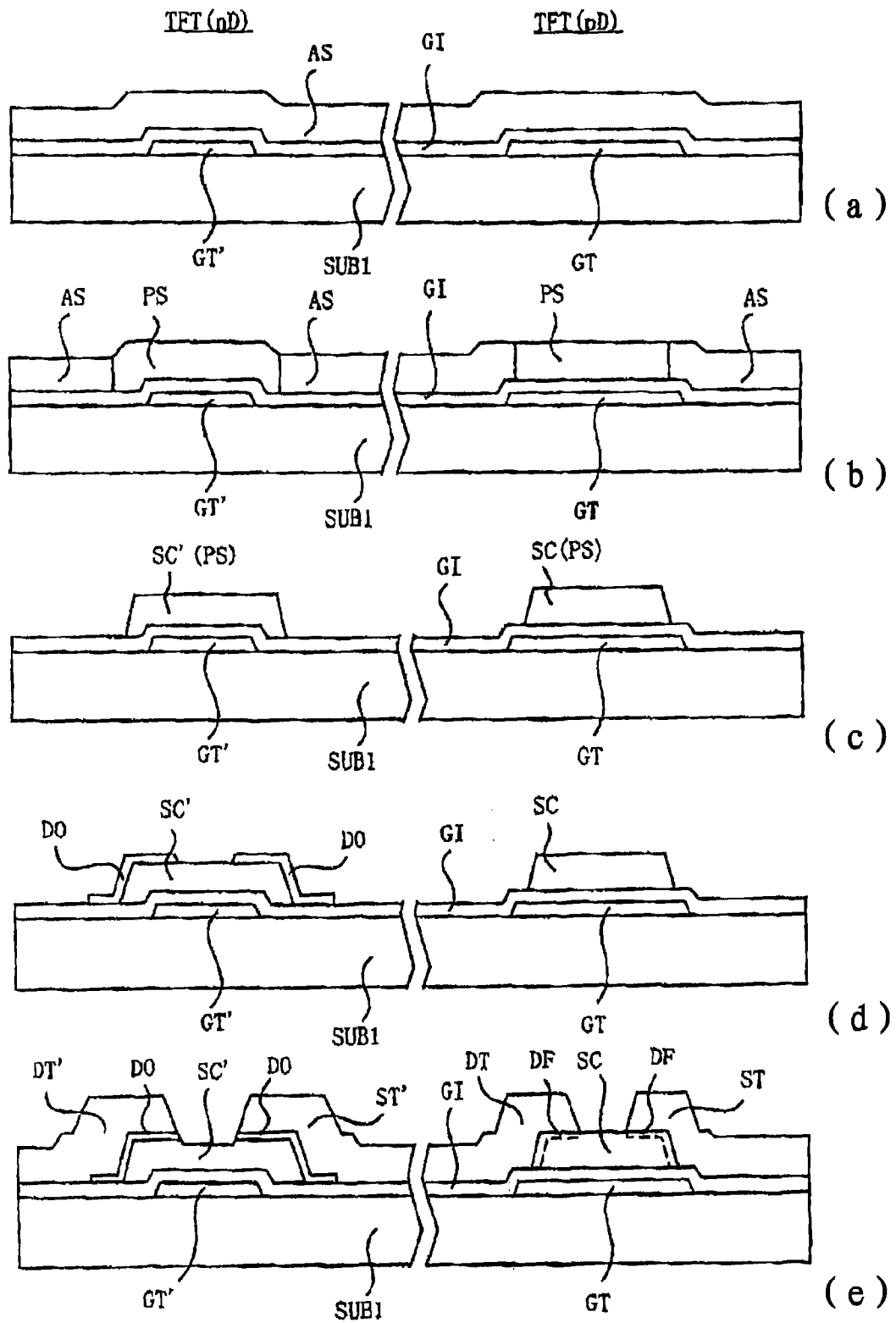


图 4

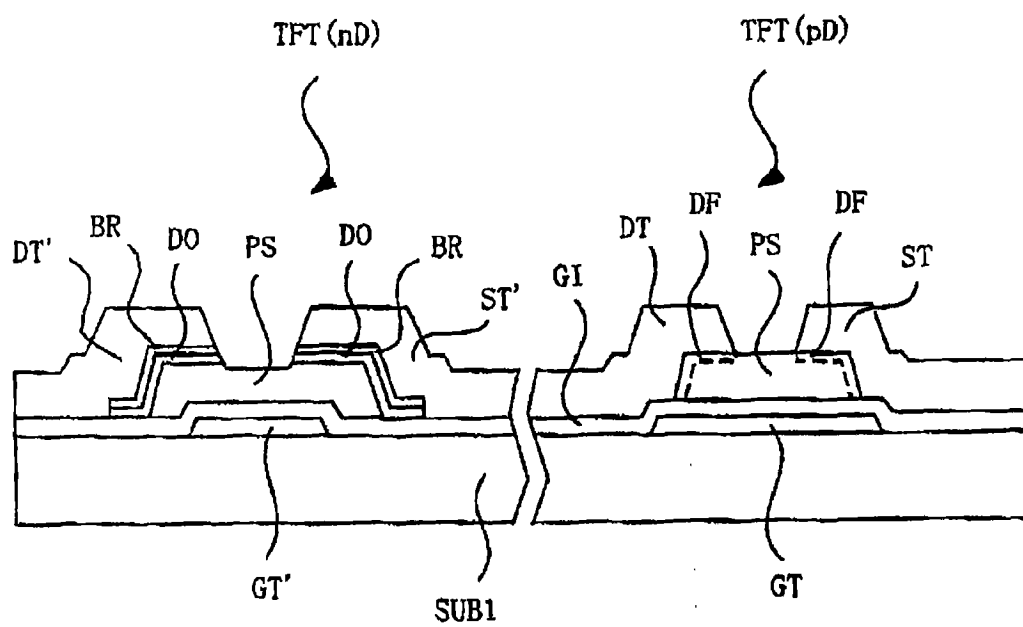


图 5

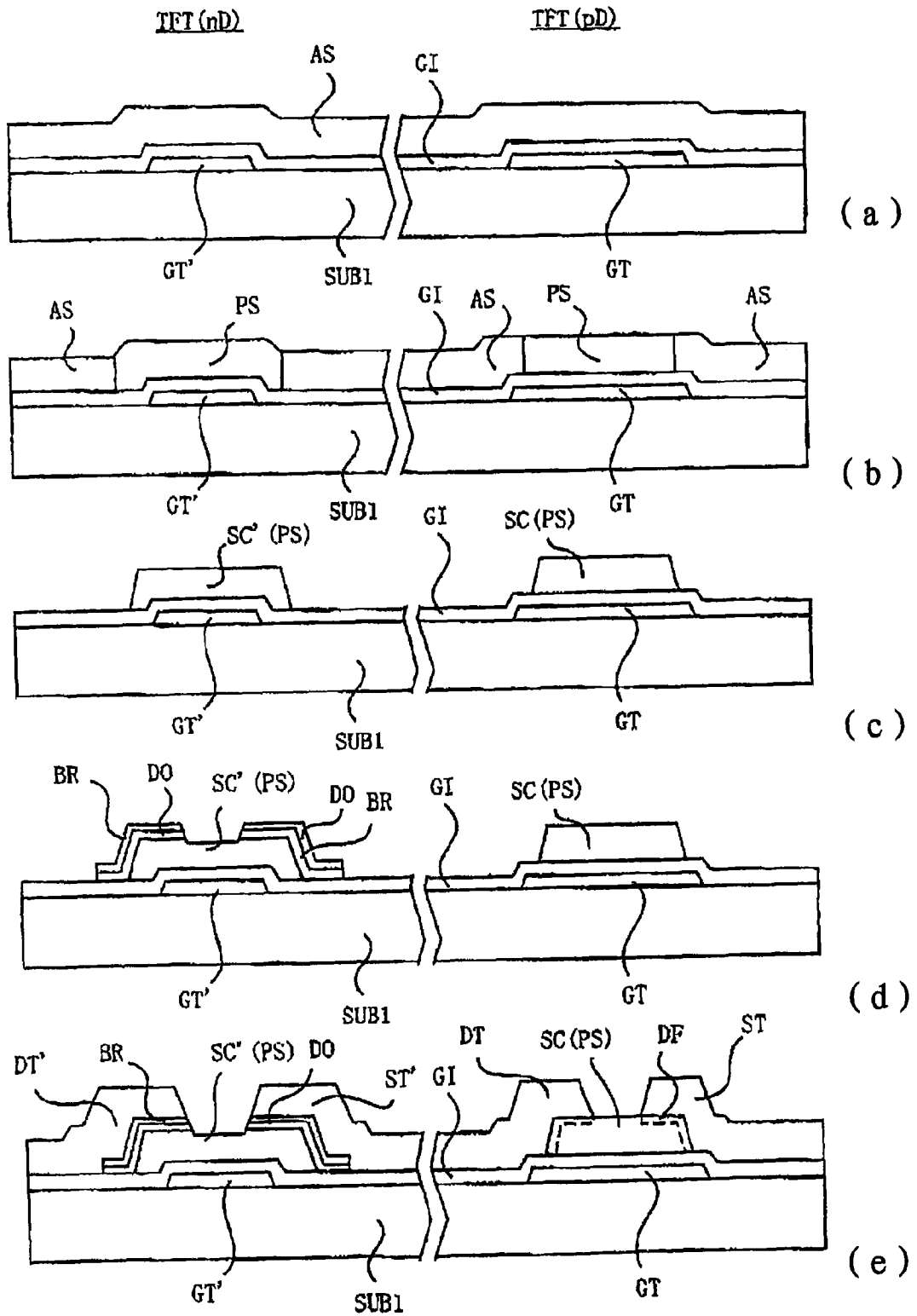


图 6

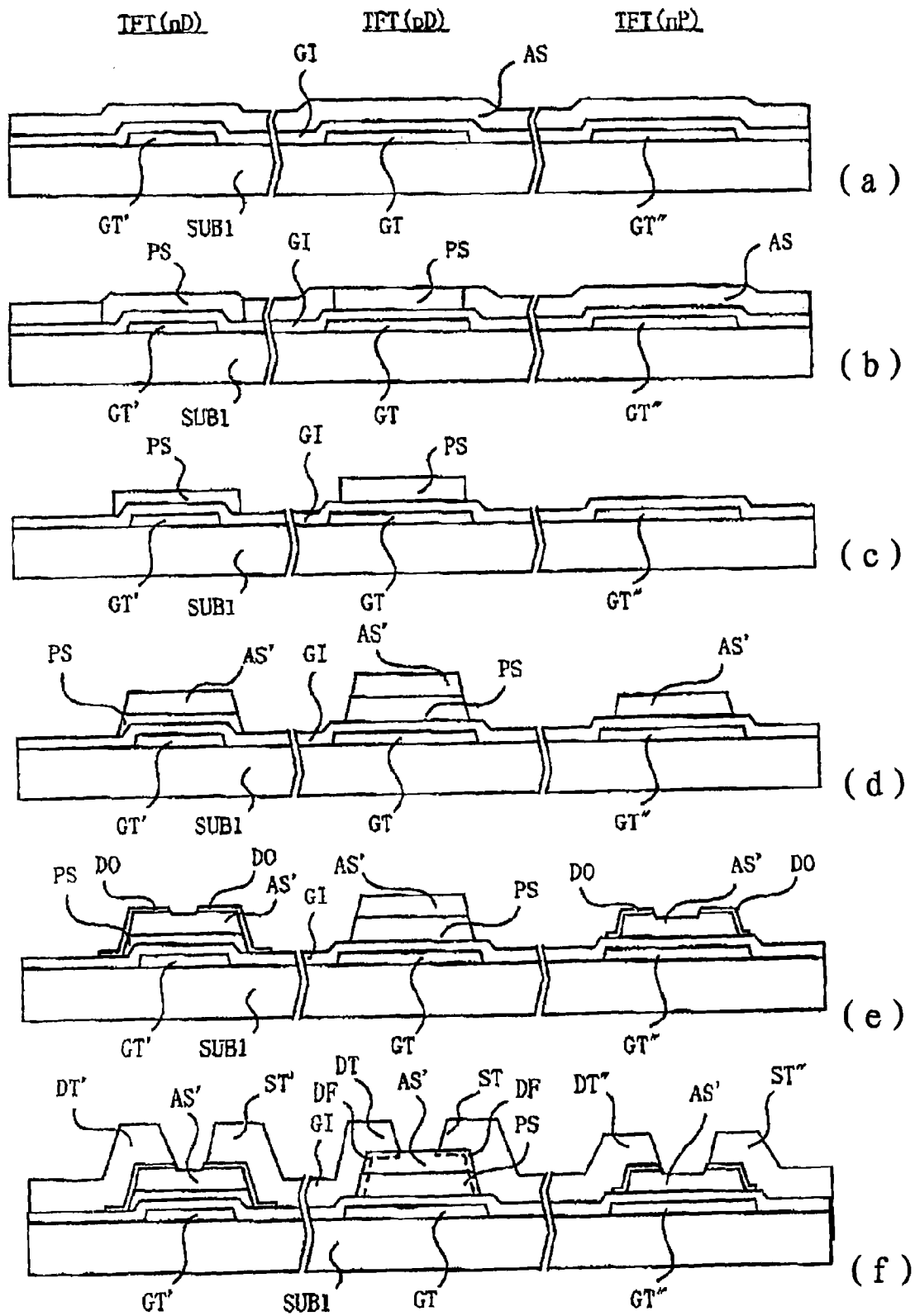


图 7

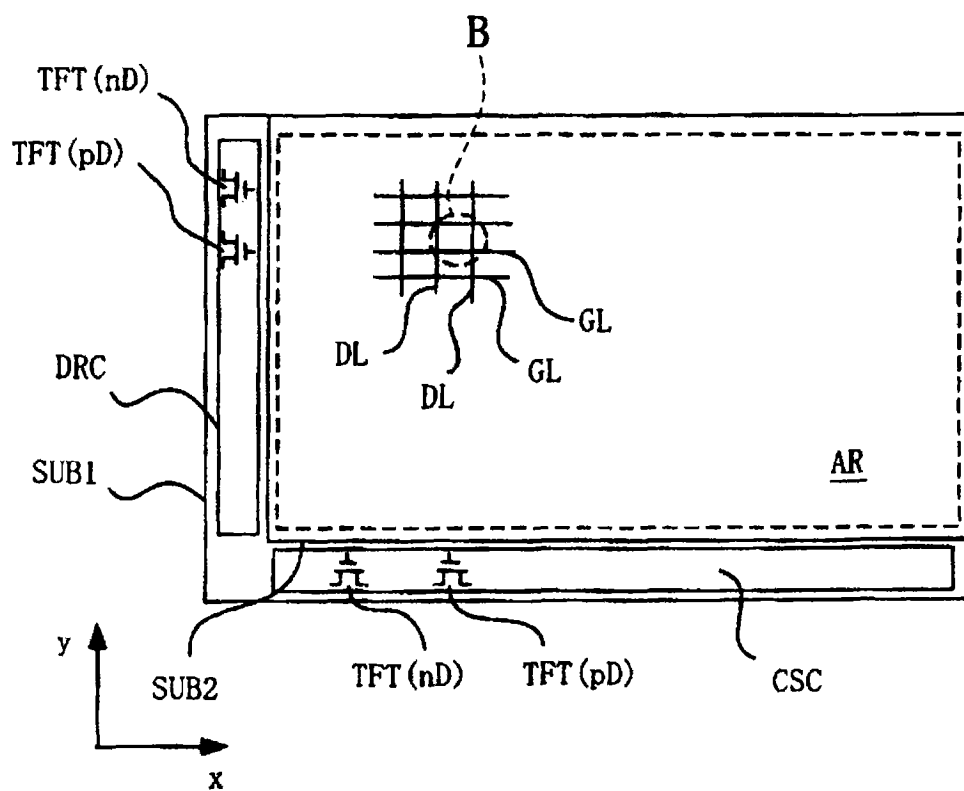


图 8A

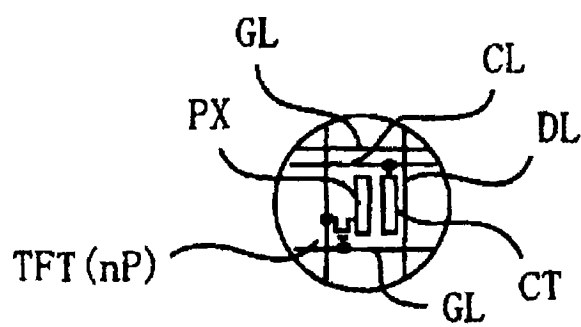


图 8B