



[12] 发明专利申请公开说明书

[21] 申请号 93102223.1

[51] Int.Cl⁵

H04L 29/10

[43] 公开日 1993 年 10 月 27 日

[22] 申请日 93.3.9

[30] 优先权

[32] 92.3.10 [33] US [31] 848,907

[71] 申请人 国际商业机器公司

地址 美国纽约

[72] 发明人 丹尼尔·西门·阿本索尔

琼·E·福克斯 门赫卓尔·J·卓斯

福约·赖

凯恩-本·K·希

[74] 专利代理机构 中国国际贸易促进委员会专利
代理部

代理人 付 康

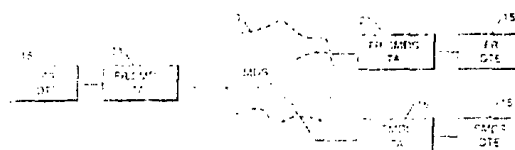
H04L 12/00

说明书页数: 19 附图页数: 17

[54] 发明名称 高速数据业务组合终端适配器

[57] 摘要

一种终端适配器接口在数据终端设备(DTE)和帧中继或多兆比特数据交换业务(SMDS)通信网络之间,使得 DTE 进行通信所经过的网络对 DTE 是透明的。该适配器执行从一规程到另一规程的变换,使本地帧中继 DTE 可接入 SMDS 网络。而且本地 SMDS DTE 可接入帧中继网络。由终端适配器执行的地址变换方法使用并行表查找技术,它减少了争用(当二个或多个地址散列到相同入口)的机会,消除检测争用的传统的比较方式和争用出现时的传统的指示字技术。



<45>

权 利 要 求 书

1. 一种终端适配器, 用于将本地帧中继数据终端设备(DTE)与多兆比特数据交换业务(SMDS)通信网络接口, 使得上述SMDS网络对上述帧中继DTE是透明的, 上述终端适配器包括:
一个帧中继单元, 用于与上述帧中继DTE接口;
一个SMDS单元, 用于与上述SMDS网络接口; 以及
一个规程转换与地址翻译单元, 它接在上述帧中继单元和上述SMDS单元之间用于转换帧中继与SMDS之间传输规程和翻译帧中继与SMDS之间的地址,

上述帧中继单元包括从上述帧中继DTE接收数据帧的装置, 每帧有一个首部和一个尾部, 用于分析上述数据帧的装置, 和用于传送上述分析的数据帧到上述规程转换与地址翻译单元的装置, 上述帧中继单元还包括从上述规程转换与地址翻译单元接收数据帧的装置和发送数据帧到上述帧中继DTE的装置;

上述SMDS单元包括从上述SMDS网络接收数据信元的装置, 每个信元有一个首部和一个尾部, 用于检验和除去上述首部和尾部因而构成较短的固定长度的数据块的装置, 用于组装多个数据块的装置, 和传送上述组装的数据块到上述规程转换与地址翻译单元的装置, 上述SMDS单元还包括从上述规程转换与地址翻译单元接收组装的数据块的装置, 用于将上述组装的数据块分为上述较短的固定长度的数据块的装置, 用于在每个固定长度的数据块上加上一个首部和

一个尾部以构成多个数据信元的装置，和发送上述数据信元到上述 S M D S 网络的装置；以及

上述规程转换与地址翻译单元包括发送到和从上述帧中继单元接收数据帧的装置，发送到或从上述 S M D S 单元接收组装的数据块的装置，从上述接收的数据帧中除去帧中继首部和尾部并且给被发送到上述 S M D S 单元的上述组装的数据块加上 S M D S 首部和尾部的装置，从上述接收的组装的数据块中除去 S M D S 首部和尾部并且给被发送到上述帧中继单元的上述数据帧加上帧中继首部和尾部的装置，将帧中继地址翻译为 S M D S 地址的装置以及将 S M D S 地址翻译为帧中继地址的装置。

2. 根据权利要求 1 的终端适配器，其中上述终端适配器还在本地 S M D S D T E 与帧中继网络之间接口，上述帧中继单元还包括从上述帧中继网络接收数据帧的装置，和发送数据帧到上述帧中继网络的装置；而上述 S M D S 单元还包括从上述 S M D S D T E 接收数据信元的装置，每个信元有一个首部和一个尾部，和发送上述数据信元到上述 S M D S D T E 的装置。

3. 根据权利要求 1 的终端适配器，其中将 S M D S 地址翻译为帧中继地址的上述装置包括：

多个表，每个表具有多个存储空间，每个表的每个存储空间具有指明那个存储空间在它的表内的位置的唯一存储地址，每个表还具有一个相关的指示字寄存器，该寄存器有从该表的最低存储地址到最高存储地址范围内的一个值；

通过将上述 S M D S 地址分为多个部分并将每个部分指定给一个指示字寄存器，根据上述 S M D S 地址形成上述指示字寄存器的值的装置；

用于检查具有存储地址等于表的相关指示字寄存器的值的每个表的存储空间的内容的装置；

用于确定包含在上述寻址的存储空间的内容中的入口数量的装置；和

在任何上述寻址的存储空间有单个入口时，用于检索单个入口的装置。

4. 根据权利要求3的终端适配器，其中将S M D S地址翻译为帧中继地址的上述装置还包括在上述寻址的存储空间都没有单个入口时用于检索所有的上述寻址的存储空间共有的入口。

5. 根据权利要求3的终端适配器，其中将S M D S地址翻译为帧中继地址的上述装置还包括一个单独的缓冲器和在上述寻址的存储空间中没有共有的入口时用于检索上述单独的缓冲器的内容的装置。

6. 根据权利要求3的终端适配器，其中上述S M D S地址是以十个4比特组表示的十位数，上述多个表包括四个表，和上述指示字寄存器值形成装置将上述S M D S地址分为四个10比特部分。

7. 根据权利要求6的终端适配器，其中与第一表相关的第一指示字寄存器包括每个上述十个4比特组的第一比特，与第二表相关的第二指示字寄存器包括每个上述十个4比特组的第二比特，与第三表相关的第三指示字寄存器包括每个上述十个4比特组的第三比特，和与第四表相关的第四指示字寄存器包括每个上述十个4比特组的第四比特。

高速数据业务组合终端适配器

本发明涉及通信中的高速数据网络，特别是涉及在用户办公室设备(Customer Premises equipment) (C P E)中无需另外的特定业务软件和硬件的设备而允许数据终端设备(D T E)接入帧中继和多兆比特数据交换业务(S M D S)的高速数据业务的终端适配器。

在过去的十年间，通过发展与合并，许多业务已分散到全国各地。在很多情况下分散到世界各地。在各个业务地点，使用局域网(L A N)来连接使用P C和工作站的人群。由于L A N普及的增加，把在全国和全世界的那些L A N互连的需要性也增加了。

但是由于这些专用网的规模和地理上分散的增加，互连的费用增加了。由于需要更多的设备、设施和专家，组建和管理这些专用网络的费用和复杂性按指数律增加。

多兆比特数据交换业务(S M D S)和帧中继(F R)业务是相当新的可选择方案，公用网络操作者可通过该网络使用该方案来交换数据。帧中继和S M D S二者都是“快速分组”复用技术规范，设计用于通过允许用户只接入给定应用所需数量的带宽来产生更有效的宽

域网络 (W A N)。此外, 通过在网络中标准化 L A N 互连技术和减少要求租用线路的数量, 认为帧中继和 S M D S 是能够改进 L A N 组网方案。

但是, 这是两个业务之间相似性结束的地方。例如, 帧中继是“面向连接”规程。在呼叫期间它建立一个逻辑连接, 而且在开始它是作为永久的虚电路 (P V C) 业务实现的。相反的, S M D S 已采用 I E E E 8 0 2 . 6 规程, 目前使用一个“无连接”规程, 这意味着在呼叫期间它不建立逻辑的、前进的连接。

帧中继和 S M D S 之间的另一个主要区别是在数据包本身。称为帧的帧中继数据包的长度是可变的, 在帧中继网络中每一帧与任何其它帧的长度可以是不同的。称为信元 (c e l l) 的 S M D S 数据包具有固定长度 5 3 个八位位组, 八位位组是八比特的数据组。

此外, 帧中继技术规范规定连接速度为 5 6 千比特/秒到 1 . 5 兆比特/秒, 而 S M D S 说明的速度范围从 1 . 5 到高于 3 0 兆比特/秒。

虽然从长远观点看不清楚该公用网络将提供哪种业务或两种业务, 显然网络的用户应准备使用任一种或两种业务。业务的用户使用一种通信产品 (D T E), 如通信控制器, 选路由器 (r o u t e r), 或信道延伸器接入帧中继和 S M D S 业务。一个终端适配器 (T A) 用于将 D T E 和该网络接口。由于接入这些业务的机制和规程是如此明显地不同, 为了接入这两种业务, 需要一个单独的通信适配器 (用于将 D T E 和该终端适配器接口) 和一个单独的终端适配器。这种情况示于图 1。

例如, 为了接入帧中继网络 1 0, 用户具有用户办公室设备

(CPE) 11, 该设备包括具有与帧中继终端适配器 16 接口的帧中继通信适配器 14 的 DTE 12。目前, 用于帧中继通信适配器 14 和帧中继终端适配器 16 之间交换通信允许的规程是 R V X (或 RS 449, V. 35, 或 X. 21 型的接口规程)。DTE 12 和帧中继通信适配器 14 包括一个“本地的”帧中继 DTE 15。类似地, 利用链路接入过程 D (LAPD), 起源于综合业务数字网 (ISDN) 标准的规程, 经过帧中继网络 10 的通信需要帧中继终端适配器 16。

关于 S M D S 网络 10', 该用户必须具有包括一个 DTE 12 的 CPE 11', 一个 S M D S 通信适配器 14' 和一个 S M D S 终端适配器 16' 来应用许可的接口规程, 高速串行接口 (HSSI)。DTE 12 和 S M D S 通信适配器 14' 包括一个本地的 S M D S DTE 15'。S M D S 终端适配器 16' 经过 S M D S 网络 10' 通信, 该网络已适配支持分组语音/视频业务以及数据转发的 IEEE 802.6 规程。

由于发展的考虑, 如接口和规程标准化以及设备的可用性, 帧中继和 S M D S 必须共存。因此, 希望有一个包括单个终端适配器的 CPE, 在终端侧, 该终端适配器与用户的 DTE 和通信适配器接口, 而在网络侧, 它不是与一个 S M D S 就是与一个帧中继网络接口。

本发明包括一个终端适配器, 用于数据终端设备 (DTE) 和帧中继或多兆比数据交换业务 (S M D S) 通信网络之间接口。DTE 通信经过的网络的类型对该 DTE 是透明的。

本发明的终端适配器执行从一个规程到另一个规程的转换, 使得

本地的帧中继 DTE 可以接入 SMD S 网络和本地的 SMD S DTE 可以接入帧中继网络。终端适配器有三个单元：一个帧中继单元；一个 SMD S 单元和一个规程转换与地址翻译单元。帧中继单元熟悉并遵守帧中继规程。类似地，SMD S 单元熟悉并遵守 SMD S 规程。规程转换与地址翻译单元执行帧中继和 SMD S 之间的地址和规程变换。

此外，由规程转换与地址翻译单元执行的地址变换方法与常规的方法不同。地址是使用并行表查找技术变换的，这种技术减少了争用的机会（当两个或多个地址散到进入相同的表入口时），消除传统的比较功能以检测争用和在出现争用时消除传统的指示字技术。

技术说明以权利要求结束，以权利要求特别指出和分别要求的作为本发明，当结合附图阅读时从下面的技术说明中可以更容易地确定本发明的优选实施例的详细情况，这里：

图 1 是说明目前帧中继和 SMD S 网络是如何接入现有技术图。

图 2 是说明本发明的帧中继/SMD S 终端适配器接口 SMD S 网络的图。

图 3 是说明本发明的帧中继/SMD S 终端适配器接口帧中继网络的图。

图 4 是说明帧中继/SMD S 终端适配器的三个单元与 SMD S 网络接口的图。

图 5 是说明帧中继/SMD S 终端适配器的三个单元与帧中继网络接口的图。

图 6 是说明 L2 PDU 的分段和重装到 L3 PDU 的图。

图 7 是说明 L3 PDU 的分段和重装到 L2 PDU 的图。

图8是说明帧中继地址到SMD S地址的方法的方框图。

图9表示目前的地址变换技术的现有技术的方框图。

图10说明用于寻址存储器表的指示字的格式。

图11是在建立期间表示变换系统的图。

图12-19说明变换系统是如何构成的例子。

图20是变换系统的组合逻辑电路的真值表。

1. 帧中继/SMD S终端适配器(TA)

图2说明连接两个本地帧中继DTE 15和一个SMD S网络10'的本发明的两个帧中继/SMD S终端适配器20。SMD S终端适配器16'是本地SMD S DTE 15'与SMD S网络之间的接口。

为了本地帧中继DTE 15与SMD S网络接口,在帧中继DTE侧,帧中继/SMD S终端适配器20必须遵守帧中继DTE支持的规程。特别是,在物理层,帧中继支持RS 422, X. 21, V. 35(快速RVX)或高速串行接口(HSSI)。类似地,图3和5说明SMD S DTE 15'与帧中继网络10之间和帧中继DTE 15与帧中继网络10之间接口的本发明的帧中继/SMD S终端适配器20。当SMD S网络10'和帧中继DTE 15之间接

时,在这个接口建立中,帧中继/SMD S终端适配器20必须提供相同的物理和逻辑层支持两个规程,以便适当地起着一个接口的作用。这两个建立之间的唯一区别是在下面讨论的如由规程转换与地址翻译单元26所进行的相应的地址变换。因此,在帧中继DTE侧物理层上,帧中继/SMD S终端适配器20必须支持这些规程。

在数据链路控制层,帧中继DTE支持CCITT I. 121

(LAPD) 核心功能, 如帧定界, 帧复用/分路, 帧检验序列, 等等。帧中继/SMD S 终端适配器 20 必须支持这些核心功能。

在 SMD S 网络侧, 帧中继/SMD S 终端适配器 20 必须支持 SMD S 规程 (IEEE 802.6)。例如, 在 SMD S 网络侧物理层上, 帧中继/SMD S 终端适配器 20 必须支持 T1 或 T3 帧。在物理层以上的层上, 数据块必须分段并再装入较小的固定长度的信元(用于在 SMD S 网络上传输)中, 或较大的可变长度的帧中(当从 SMD S 网络收到时)。这个过程将更详细地讨论。

此外, 帧中继/SMD S 终端适配器 20 必须执行帧中继数据链路控制标识符(DLCI)和 SMD SE. 164 寻址之间的地址变换。

正如图 4 所示, 帧中继/SMD S 终端适配器 20 包括三个单元。(1) 一个帧中继单元 22; (2) 一个 SMD S 单元 24; 和 (3) 一个规程转换与地址翻译单元 26。

a. 帧中继单元

帧中继单元 22 与帧中继 DTE 15 接口并只知道帧中继规程。它从帧中继 DTE 15 接收数据帧并将它们转发到规程转换与地址翻译单元 26 进行规程转换和地址翻译。帧中继单元 22 也从规程转换与地址翻译单元 26 接收数据帧并将它们转发到帧中继 DTE 15。帧中继单元 22 在两层上工作: (1) 物理层; 和 (2) 逻辑层。

在物理层上, 帧中继单元 22 支持 V. 35 (快速 RVX, 高达 1.5 Mbps) 或 HSSI (从 1.5 到 52 Mbps) 接口。在逻辑层上, 在一个方向, 帧中继单元 22 与规程转换与地址翻译单元 26 接口, 把从规程转换与地址翻译单元 26 接收的帧转发到物理

层，以便传输到帧中继DTE 15，而在另一方向，在那些帧转发到规程转换与地址翻译单元26以前，分析从帧中继DTE 15接收的帧的帧中继首部和尾部。通过分析帧中继帧的首部和尾部，在逻辑层上，帧中继单元22执行由I. 121规定的帧定界，DLCI检验，帧检验顺序等。

b. SMDS单元

SMDS单元24接口在一侧的规程转换与地址翻译单元26和在另一侧的SMDS网络10'之间，并且只知道SMDS规程。在一个方向，SMDS单元24从SMDS网络10'接收数据帧并将它们转发到规程转换与地址翻译单元26。在相反的方向，SMDS单元24从规程转换与地址翻译单元26接收帧并将它们转发到SMDS网络10'。

SMDS单元24在三层上工作：(1)物理层；(2)逻辑层；和(3)SMDS层。在物理层，根据该网络提供的业务，SMDS单元24支持用于与SMDS网络10'接口的T1或T3帧。

在逻辑层，在一个方向，SMDS单元24从SMDS网络10'接收固定长度的数据信元。这些数据信元，层2分组数据单元或L2 PDU都示于图6。每个L2 PDU 30包括53个八位位组；七个八位位组包含首部(“H”)32，44个八位位组包含信息(“Info”)34，和两个八位位组包含尾部(“T”)36。每个L2 PDU 30符合SMDS组网的IEEE 802.6标准。在逻辑层上，每个L2 PDU 30的首部“H”和尾部“T”36被检验并除去。“Info”部分44则被组装成帧或L3

PDU 40, 这是在两端上加上传输到 SMD S 层的 SMD S 首部 H SMD S 4 2 和 SMD S 尾部 T SMD S 4 4。每个 H SMD S 4 2 包括源地址和目的地地址, 长度字段(帧长度), 序列号, 规程 ID 等。T SMD S 4 4 是 H SMD S 4 2 的子集, 而且只包括长度字段和序列号。

在另一方向, 如图 7 所示, 在逻辑层上, SMD S 单元从 SMD S 层接收层 3 分组的数据单元(L3 PDU) 40, 将 L3 PDU 40 分段为固定长度块(“Info” 34), 将首部(“H” 32)和尾部(“T” 36)加在每一块(“Info” 34)以构成 L2 PDU 30。每个 L2 PDU 30 被转发到物理层以便在 SMD S 网络上传输。

在第三层或 SMD S 层, SMD S 单元 24 和规程转换与地址翻译单元 26 接口, 在一个方向, 从规程转换与地址翻译单元 26 接收数据帧。由于 SMD S 首部和尾部已由规程转换与地址翻译单元 26 加上了, 所以这些帧很容易转发到 SMD S 单元逻辑层。在另一方向, SMD S 层从逻辑层接收 L3 PDU 40 并进行分析, 以便在 L3 PDU 40 被转发到规程转换与地址翻译单元 26 之前确保 H SMD S 4 2 和 T SMD S 4 4 是正确的。

c. 规程转换与地址翻译单元

规程转换与地址翻译单元 26 起着帧中继单元 22 和 SMD S 单元 24 之间的接口的作用, 并且对输入帧(从帧中继单元 22 或 SMD S 单元 24 来)执行下列功能: (1) 除去原始帧的首部和尾部; (2) 在帧中继 DLCI 和 SMD S E. 164 之间执行地址变换; 和 (3) 加上新的帧首部和尾部。

要求规程转换与地址翻译单元 26 在两方向进行地址变换：(1) DLCI 到 SMD S 目的地地址变换；和 (2) SMD S 源地址到 DLCI 的变换，因此需要两个表。当帧是从帧中继 DTE 15 传送到 SMD S 网络 10' 时，使用 DLCI 到 SMD S 目的地地址的变换。示于图 8。在这种情况下，DLCI 50 包含十比特，它识别帧中继目的地地址。为了在 SMD S 网络 10' 上工作，DLCI 50 必须变换为相应的 SMD S 目的地地址。所有的相应的 SMD S 地址都表示在 SMD S 地址表 52 中。因为 DLCI 50 是 10 比特宽，所以最大有 2^{10} 或大约相应的 SMD S 地址。因此，SMD S 地址表 52 是 1000 存储空间高。对仅是美国的业务，SMD S 地址是 40 比特宽，代表 10 位电话号码的十六进制编码。这情况以下列的例子进行说明。电话号码 (919) 254-9717 以下列 40 比特表示：

```

1001 0001 1001 0010 0101 0100 1001 0111
( 9      1      9 )    2      5 - 4      9      7
0001 0111
1      7

```

因此，对仅是美国的业务，SMD S 地址表 52 是 40 比特宽和 2^{10} 比特高。为了将帧中继地址变换为 SMD S 地址，DLCI 50 被输入到一个二进制编码器 54，该编码器指向相应的 SMD S 地址所在 SMD S 地址表 52 中的合适的存储空间。

在另一个方向（当帧是从 SMD S 网络传送到帧中继 DTE 时），源 SMD S 地址必须变换为 DLCI。SMD S 地址到 DLCI 的变换将在后面讨论。

2. S M D S 到 D L C I 变换技术

如上所述, 在 D L C I 和 E. 1 6 4 地址之间需要变换。在从帧中继到 S M D S 的变换时, 由于 D L C I 只是十比特宽, 最大有 2^{10} 或大约 1 0 0 0 个相应的 E. 1 6 4 地址 (或电话号码)。具有 2^{10} 存储空间是 1 0 位或 4 0 比特宽 (仅是美国 E. 1 6 4 电话号码的宽度) 的表对于从帧中继到 S M D S 变换是足够的。由于存储空间的数量相对的小, 使用上述的二进制编码器 5 4 的直接变换方法可被使用而无过分的时延。但是, 当从 S M D S 到帧中继变换时, 使用直接变换方法需要具有 2^{40} (超过一万亿) 存储空间的表。很清楚, 必须使用另一种方法。

a. 常规的变换方法

常规的技术示于图 9。存储块 6 0 有 2^{10} 存储空间, 每个存储空间包含下列三项: E. 1 6 4 地址 6 2, 它的相应的 D L C I 6 4 和指示字 6 6。被变换的 E. 1 6 4 地址 7 0 通过散列功能“散列”的。在很多情况下, 散列功能 6 8 仅仅是一个简单地异或功能。当通过散列功能 6 8 接入入口 7 2 时, 被变换的 E. 1 6 4 地址 7 0 与存储块 6 0 中的 E. 1 6 4 地址 6 2 比较。如果相符合, 则相应的 D L C I 6 4 是正确的变换的地址。如果出现不相符, 则出现“争用”。指示字 6 6 的值用于接入下一个表入口, 并重复相同的比较过程。使用该常规技术, 不适当重复表接入和 E. 1 6 4 地址比较导致接入时间很慢。

b. 使用多个表的并行地址变换技术

新的并行地址变换技术不需要比较过程, 不需要在该表中保持一个指示字, 争用的概率减至最小, 而且利用硬件的帮助, 执行并行的

变换功能。

本发明的并行地址变换技术包括两个阶段：(1)初始表安排阶段；和(2)表接入阶段。在表安排阶段期间，初始构成E. 164到DLCI变换表，使得合适的表入口设定在表内的合适位置。该初始结构出现在预约时间(Subscription time)并且保持不变，除非需要改变地址或删除地址。在第二阶段期间，每次接入该表时，E. 164地址需要变换为DLCI。

如图10所示，在并行地址变换技术中，使用四个表80a，80b，80c和80d，每个表有长度为 2^{10} 或大约1K的存储空间，而不用常规方法的单个的1K表。图示了四个存储空间81a，81b，81c和81d，每个存储空间在表80a，80b，80c和80d中的一个表中。每个存储空间81a，81b，81c和81d存储单个DLCI，多个DLCI或没有DLCI。

使用指示字82a，82b，82c和82d分别指出表80a，80b，80c和80d的每个存储空间。40比特E. 164地址被分为四个10比特组，每组规定指示字82a，82b，82c，和82d中的一个指示字。因为与每个E. 164地址相关的有10个十六进制位，每个指示字82a，82b，82c和82d是从每个十六进制位中选择一比特得到的。特别是，指示字82a包括每个十六进制位的第一比特，指示字82b包括每个十六进制位的第二比特，等等。虽然可以使用其它方法划分40比特E. 164地址，但是用这种方法划分E. 164地址使争用减至最小，目的是将E.

164地址分散到所有的表中，因而争用减至最小。

根据建议的变换方法，当接入这些表时，如果在与指示字82a，

8 2 b, 8 2 c 和 8 2 d 中的一个指示字相应的存储空间 8 1 a, 8 1 b, 8 1 c 和 8 1 d 中的一个存储空间有单个 D L C I, 那么它是正确的 D L C I。如果在指示特定的 E. 1 6 4 地址的全部四个存储空间 8 1 a, 8 1 b, 8 1 c 和 8 1 d 中有多个入口, 那么必须确定在这四个指示的存储空间中是否有一个共同的 D L C I。如果有, 则该共同的 D L C I 是正确的 D L C I。如果在可能性不大的场合中, 在每个指示的存储空间中有多个 D L C I 而且在这四个指示的存储空间中没有共同的 D L C I, 那么一个安全缓冲器 8 4 (图 2 0) 包含该相应的 D L C I。

正如所说明的, 使用前面例子的电话号码 (9 1 9) 2 5 4 - 9 7 1 7。如图 1 0 所示, E. 1 6 4 地址包括十个十六进制位, 每个十六进制位有四位。指示字 8 2 a 使用每个十六进制位的第一比特, 因而包括 1 0 比特地址 “1 0 1 0 0 0 1 0 0 0”。同样地, 指示字 8 2 b 包括每个十六进制位的第二比特, 等等。

在这个例子中, 由指示字 8 2 d 指示的存储空间 8 1 d 只包含单个 D L C I, 因此, 它是相应于 E. 1 6 4 地址 (9 1 9) 2 5 4 - 9 7 1 7 的 D L C I。假定存储空间 8 1 d 包含多个 D L C I, 那么就必须确定在这四个指示的存储空间 8 1 a, 8 1 b, 8 1 c 和 8 1 d 中是否存在一个共同的 D L C I。在这个例子中, 共同的 D L C I 是 9。假定在可能性不大的场合中, 在四个表 8 0 a, 8 0 b, 8 0 c 和 8 0 d 的指示存储空间中没有共同的 D L C I, 那么安全缓冲器 8 4 (图 2 0) 包含该正确的 D L C I。必须指出, 在图 1 0 中表示存储空间 8 1 a, 8 1 b 和 8 2 c 有多个 D L C I 只是为了说明变换技术的原理。事实上, 存储空间具有固定容量的一个 D L C I 和三个

控制比特。这将在下面讨论。

1. 表的安排

实现的目的是在每个存储空间中有单个 D L C I，使得所有的存储空间 8 1 a，8 1 b，8 1 c 和 8 1 d 的入口的数量可以是固定的。这是在表安排阶段期间完成的。

如图 1 9 所示，每个存储空间 8 1 a，8 1 b，8 1 c 和 8 1 d 包含单个 D L C I 8 6 和三个控制比特：一个无有效 (N V) 比特 8 8；一个重用 (R) 比特 9 0；和一个清除 (P) 比特 9 2。

此外，有一个 1 K 计数器表 9 4，该表有与每个 1 K D L C I 相关的计数器 9 6。每个计数器 9 6 包含一个计数值 (C N T R 9 8)，该值的范围在 0 和 4 之间用于指示那个 D L C I 的有效入口的数量，和一个信号控制比特 - 一个重用 (R C) 比特 1 0 0。

在表安排期间，计数器和控制比特一起工作。当初始的 D L C I 被变换到该存储器时，它进入全部四个表 8 0 a，8 0 b，8 0 c 和 8 0 d 中的存储空间，在这四个相应的存储空间中的所有控制比特都置零，而与那个 D L C I 相关的计数器置于 4 以指示四个有效入口。当另一个 D L C I 变换入该存储器时，在它进入具有另一个 D L C I 的存储空间时出现“争用”。当在表的一个存储空间出现争用时，那个空间的 N V 比特 8 8 置位，而且与那个 D L C I 相关的计数器递减 1。当与单个 D L C I 相关的所有存储空间都是无效 (都具有 N V = 1) 时，则与那个 D L C I 相关的计数 (C N T R) 下降到 0，而与那个 D L C I 相关的 R 比特 9 0 和 R C 比特 1 0 0 都置位。在全部四个表 8 0 a，8 0 b，8 0 c 和 8 0 d 中出现 N V 比特 8 8 和 R 比特 9 0 以及在计数器中出现 R c 比特 1 0 0 再次表明入口是有效的，而

且与那个DLCI相关的CNTR再次置4。在NV比特88和R比特90置位时如果出现争用，则P比特92置位以指示该入口又是无效的。由于以下理由，与单个DLCI相关的所有入口都被清除是极不可能的：

1. 到该表的地址是分散开的，每个十六进制位一比特。这具有将E. 164地址分散到全部表入口的效果。

2. 因为有四个表，任何一个成功（在一个入口中的单个DLCI）都将得到正确的DLCI。它采用四次争用来除掉正确的DLCI。

3. 当上述情况出现时，即所有的入口都是无效的，那么利用重用比特，与那个DLCI相关的所有入口可以再次使用。

4. 它再次采用另外的四次争用来除掉相同的四个入口。如果这情况出现时，与E. 164地址相关的DLCI保存在单独的缓冲器中。

表安排的例子在下面详细叙述并示于相应的图8A~8H中。为简化起见，相应于6个E. 164地址（E1~E6）的6个DLCI（D1~D6）将安排在四个表（80a，80b，80c和80d）中。此外，只示出每个表80a，80b，80c和80d中的六个存储空间（101，102，103，104，105和106）。实际上，在初始终端适配器配置期间以这种方法必须安排数千个DLCI，每个表80a，80b，80c和80d具有多得多的存储空间，例如1K字节。

而且为了清楚起见，四个指示字82a，82b，82c和82d分别标为P1x，P2x，P3x和P4x，这里的x表示该指示字被用于哪一个DLBI（D1~D6）。指示字P1x，P2x，

P 3 x 和 P 4 x 分别指示存储表 8 0 a, 8 0 b, 8 0 c 和 8 0 d。示出计数器表 9 4, 它具有相应于六个 D L C I 的六个计数器 1 1 1, 1 1 2, 1 1 3, 1 1 4, 1 1 5 和 1 1 6。表 1 1 0 表示六个 E. 1 6 4 地址 (E 1 - E 6) 和它们相应的 D L C I (D 1 - D 6) 之间的关系。

参见图 1 2, 示出 D L C I D 1 的安排。如上面所讨论的, 特定的 E. 1 6 4 地址 (在这例子中为 E 1) 被分为四组 (指示字 P 1₁, P 2₁, P 3₁ 和 P 4₁) 用于指示相应的 D L C I (在这例子中为 D 1) 进入的四个存储空间 (在每个表 8 0 a, 8 0 b, 8 0 c 和 8 0 d 中的一个存储空间)。在这个例子中, P 1₁ 指向存储空间 1 0 1, D 1 进入到中间。同样的, 指示字 P 2₁, P 3₁, 和 P 4₁ 分别指向存储空间 1 0 2, 1 0 3 和 1 0 4, 因而 D 1 进入到其中。因为没有争用, 所以 D 1 的计数器 1 1 1 置于“4”用于四个有效入口, 而没有控制比特 N V 比特 8 8, R 比特 9 0, P 比特 9 2 或 R c 比特 1 0 0 置位。

图 1 3 说明了 E. 1 6 4 地址 E 2 的类似安排。E 2 被分为四组, 指示字 P 1₂, P 2₂, P 3₂ 和 P 4₂, 它们分别指向存储表 8 0 a, 8 0 b, 8 0 c 和 8 0 d 中的存储空间 1 0 1, 1 0 3, 1 0 4 和 1 0 1。E 2, D 2 的 D L C I 进入这些存储空间。因为在存储表 8 0 a 中, 存储空间 1 0 1, D 1 已被进入, 所以出现争用。结果那个存储空间的 N V 比特 8 8 置位, D 2 的计数器 1 1 2 置于“3” (指示 D 2 的三个有效入口)。而且 D 1 的计数器 1 1 1 递减到了以指示 D 1 的剩余的三个有效入口。

在图 1 4 中, D L C I D 3 (用于 E 3) 被安排在存储表 80a, 80b, 80c 和 80d 中。D 3 进入指示字 P 1, , P 2, , P 3, 和 P 4, 指出的存储空间中, 并在存储表 80b 和 80d (分别为存储空间 102 和 104) 中出现争用。这两个存储空间的每个空间中 N V 比特 88 置位, 计数器 111 递减 2 (D 1 还有二个无效入口), 而且 D 3 的计数器 113 置于 2。因为 N V 比特 88 置位而 R 比特 90 复位, 所以表 80a 中的存储空间 101 的入口是 “ x ” 以指示 “ 无关 ” 状态。

在图 1 5 中, D L C I D 4 是根据上述步骤安排的。表 80a 的存储空间 103 和表 80c 的存储空间 102 的非有效比特 N V 比特 88 置位, 计数器 111 和 113 递减 1 而计数器 114 置于 2。因为这时计数器 111 等于 0, 它的 “ 重用 ” 比特 R c 100 置位, 该计数器值回到 4, 正如可从图 1 6 看到的。此外, 表 80a, 80b, 80c 和 80d 的存储空间 101, 102, 102 和 104 的 “ 重用 ” 比特 90 分别置位而且各个存储空间的值再次置于 D 1。

在图 1 7 中, D 5 的安排表示正如 D 2 (表 80c 中) 那样, D 1 又碰撞 (在表 80b 中)。因为在表 80b 中的存储空间 102 前面已 “ 重用 ” 了, 所以它不能再次重用, 因此必须 “ 清除 ”, 即那个存储空间的清除比特 P 比特 92 置位。计数器 111 和 112 被递减。

图 1 8 表明 D 6 的安排, 其中在表 80c 的存储空间 104 和在表 80d 的存储空间 104 出现争用, 两个中的后者被清除, 因为它已经重用了。计数器 111 被递减 1 到 2 而计数器 116 置于 2。

图 1 9 表示在初始配置之后其中每个 D L C I 在至少一个存储空

间中有一个有效入口，在存储表80a，80b，80c和80d中的最后结果（准备查找）。但是，如果一个计数器等于0而且它的Rc比特100置位，则那个特定的DLCI没有有效的入口，而且那个DLCI必须存储在一个单独的缓冲器中。这个结果是非常不可能的。（给发明人的问题：如果两个DLCI没有有效入口会发生什么情况？）

在初始安排之后，或该终端适配器需要重新配置的任何时候，如在需要安排新的链路或链路需要取下时，表110和计数器表94都不需要。

总之，使用控制比特解决争用的问题，每个存储空间可以使用一次以上。只要特定的DLCI至少有一个有效入口，它可以很快地（在几个存储周期内）在存储表中找到。如果DLCI没有有效的入口（可能性很小），它被存储在一个单独的缓冲器中。

2. 表存取

表存取的硬件结构示于图20。该硬件结构包括表80a，80b，80c和80d，相关的缓冲器120a，120b，120c和120d，安全缓冲器84，结合逻辑122，锁存器124以及DLCI缓冲器126。E.164地址总线126传送40比特的E.164地址合适的10比特传送到每个存储表80a，80b，80c和80d。此外，每个存储空间81a，81b，81c和81d接到缓冲器120a，120b，120c和120d，用于传送它的DLCI的内容到所接的缓冲器，以及连接到锁存器124，用于传送它的控制比特内容（NV比特88，R比特90和P比特92）。每个缓冲器120a，120b，120c和120d以及安全缓冲器84的

输出都输入到组合逻辑 1 2 2。控制比特锁存在组合逻辑 1 2 2 中，以便确定哪个缓冲器的输出包含合适的 D L C I。该合适的缓冲器输出从组合逻辑 1 2 2 传送到 D L C I 缓冲器 1 2 6。

在工作中，4 0 比特 E. 1 6 4 地址以上面讨论的合适的 1 0 比特组传送到存储表 8 0 a, 8 0 b, 8 0 c 和 8 0 d。1 0 比特组包含指示字，它指出或寻址每个存储表 8 0 a, 8 0 b, 8 0 c 和 8 0 d 中的特定存储空间 8 1 a, 8 1 b, 8 1 c 和 8 1 d。寻址的存储空间 8 1 a, 8 1 b, 8 1 c 和 8 1 d 的内容传送到锁存器 1 2 4 (控制比特部分) 和缓冲器 1 2 0 a, 1 2 0 b, 1 2 0 c 和 1 2 0 d (D L C I 部分)。控制比特锁存在组合逻辑 1 2 2。根据逻辑电路，合适的 D L C I 传送到 D L C I 缓冲器 1 2 6。在这些表的所有的四个入口都被清除时，第五个 (安全) 缓冲器 8 6 包含正确的 D L C I。

与组合逻辑相关的真值表示于图 21。在该真值表中，N V 1, N V 2, N V 3 和 N V 4 代表每个存储空间 8 1 a, 8 1 b, 8 1 c 和 8 1 d 无有效比特 (N V 比特 8 8)，R 1, R 2, R 3 和 R 4 代表它的重用比特 (R 比特 9 0)，而 P 1, P 2, P 3 和 P 4 代表它的清除比特 (P 比特 9 2)。0 1, 0 2, 0 3, 0 4 和 0 5 是组合逻辑 1 2 2 的输入，指明哪个缓冲器包含合适的 D L C I，这里 0 1 指明缓冲器 1 2 0 a 包含从存储空间 8 1 a 来的 D L C I，它是特定 E. 1 6 4 地址的合适的 D L C I 并传送到 D L C I 缓冲器 1 2 6。类似地，0 2 表示缓冲器 1 2 0 b 包含从存储空间 8 1 b 来的 D L C I，它是特定 E. 1 6 4 地址的合适的 D L C I 并传送到 D L C I 缓冲器 1 2 6，0 3 和 0 4 以此类推。0 5 表示安全缓冲器 8 4 包含变换的

特定E. 164地址的合适的DLCI并传送到DLCI缓冲器126。

因此，可以看到，本发明的独特的终端适配器在数据终端设备(DTE)和或者帧中继或者多兆比特数据交换业务(SMDS)通信网络之间接口，使得DTE进行通信经过的网络的类型对DTE是透明的。这就允许用户接入帧中继和SMDS网络而不必购买不同的终端适配器。本发明的终端适配器执行从一个规程到另一个规程的转换，使得本地帧中继DTE可以接入一个SMDS网络以及本地SMDS DTE可以接入帧中继网络。该终端适配器执行的独特的地址变换方法使用一个并行表查找技术，这个技术减少了争用(在二个或多个地址散列入相同的表入口时)的机会，消除了检测争用的传统比较方式以及在争用出现时消除了传统的指示字技术。这个地址变换方法显著地减少了地址之间变换的周期时间，特别是在一个地址比另一个地址大得多的时候。

本发明已对照优选的实施例具体地表示出并进行叙述了。本领域的普通技术人员懂得，在不脱离本发明的精神和范围的情况下可以在形式和细节上进行各种变化。

图1
现有技术

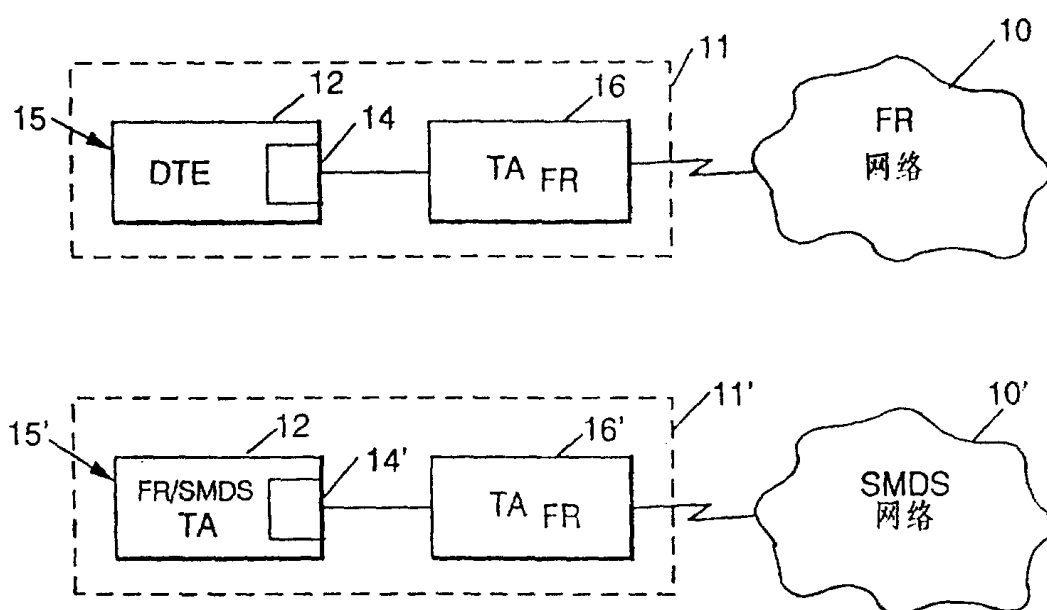


图 4

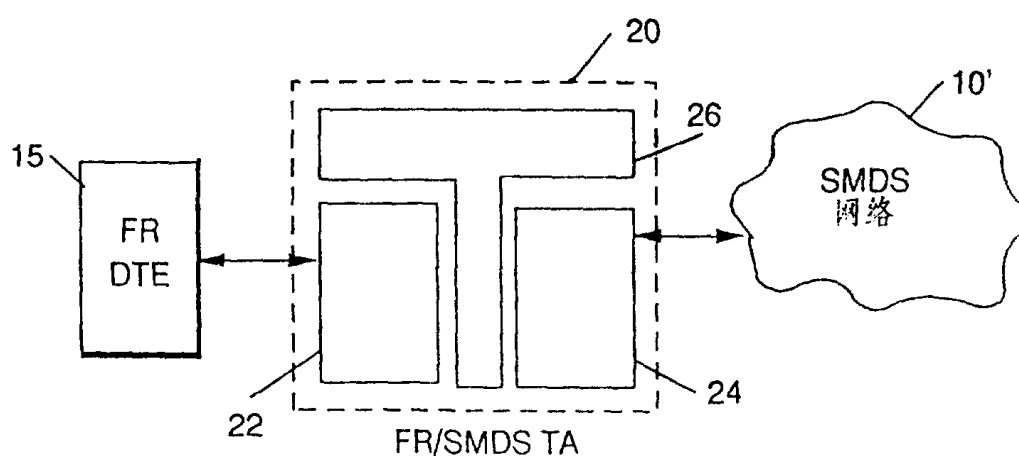


图 2

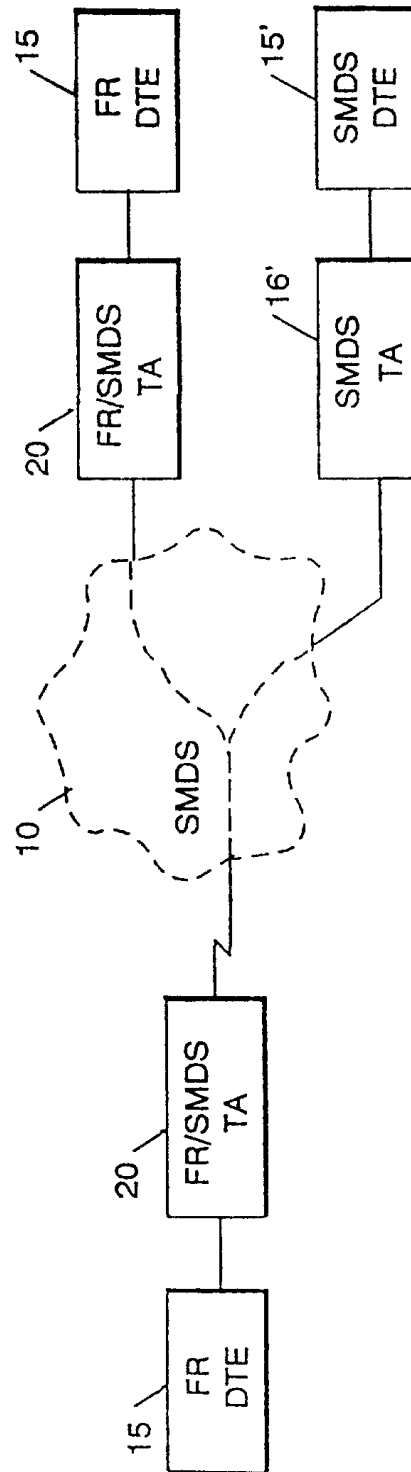
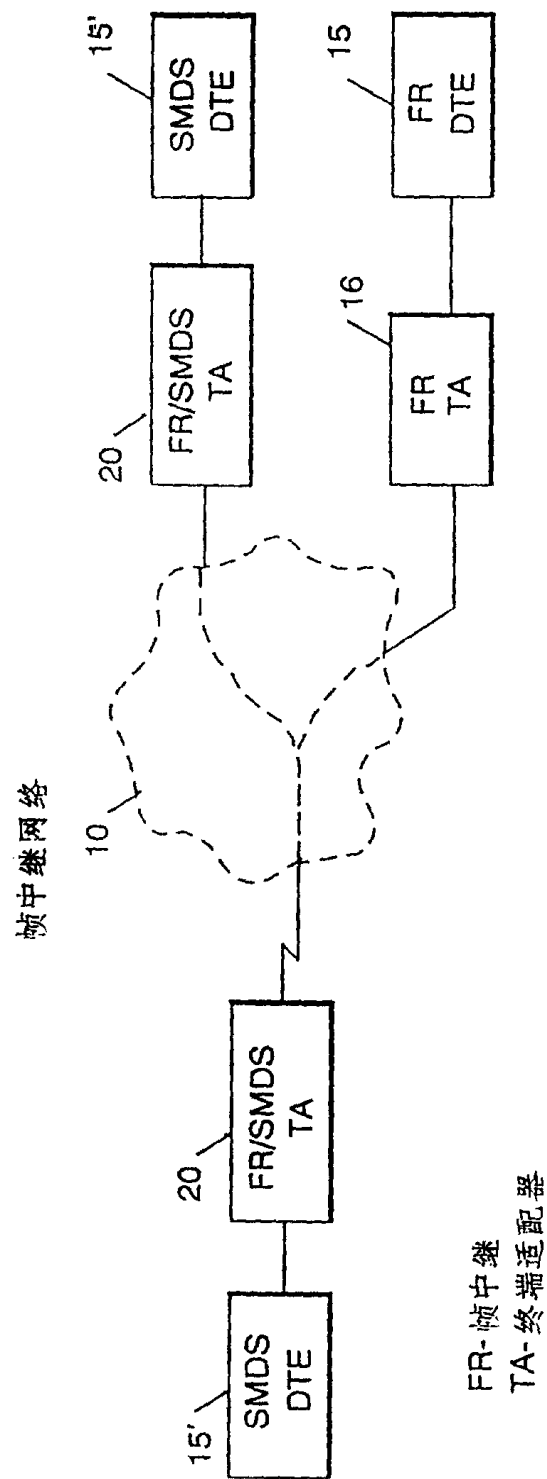


图 3



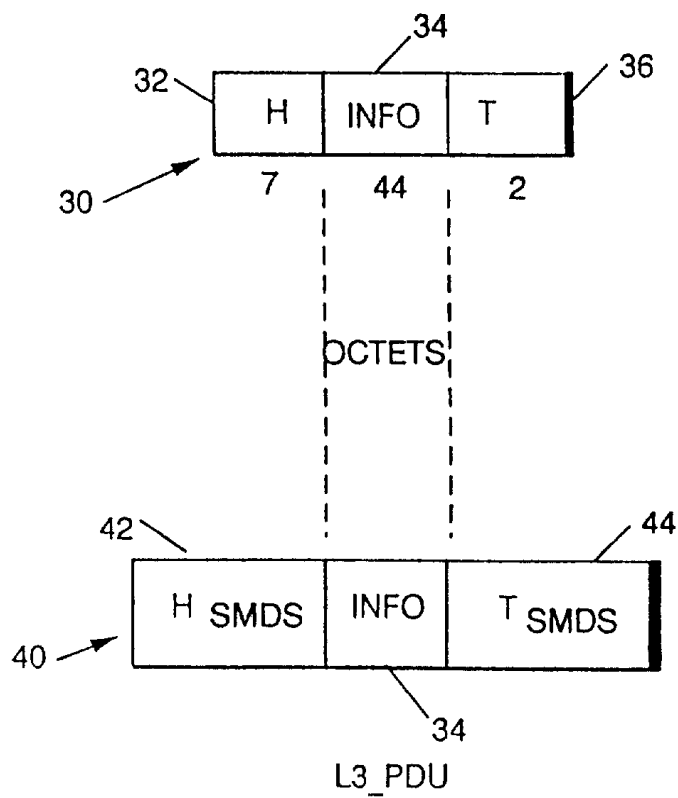
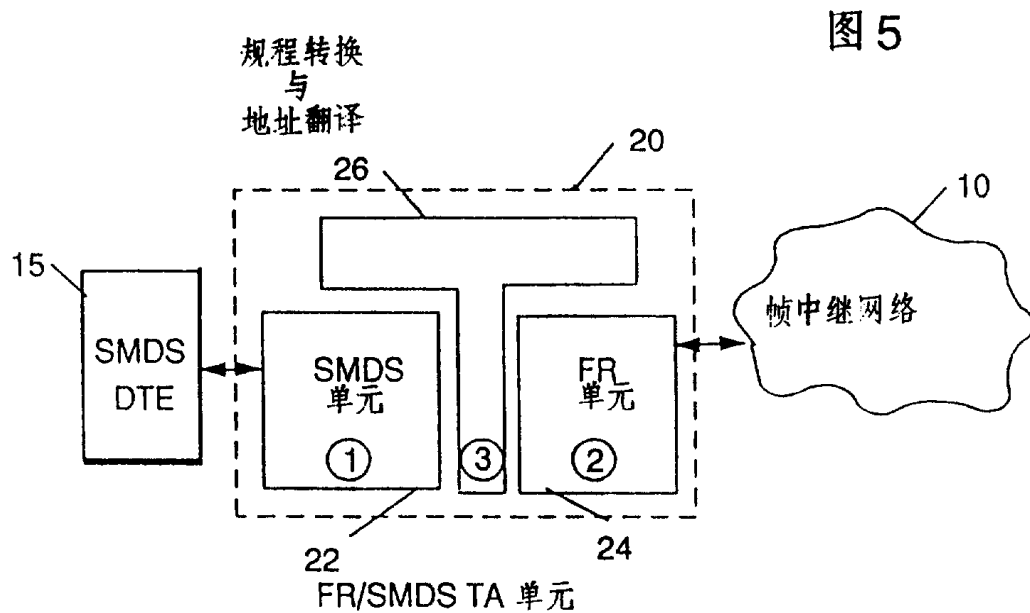
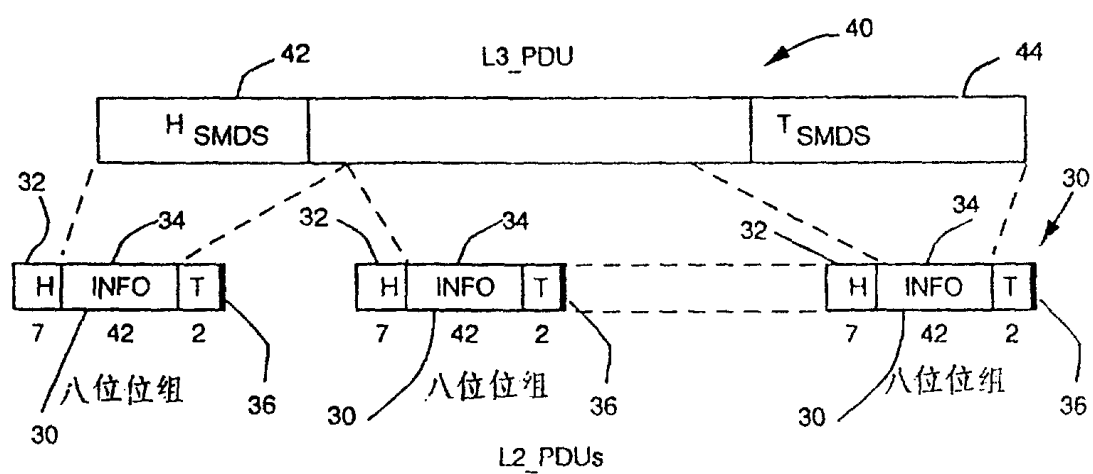


图 7



H SMDS 的首部
T SMDS 的尾部

图 8

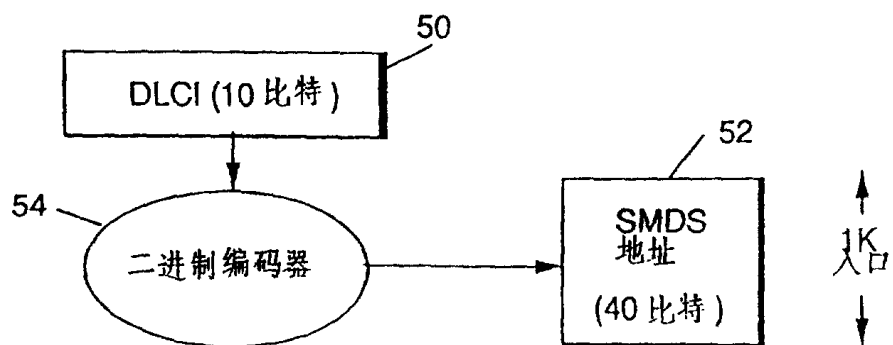


图 9
(现有技术)

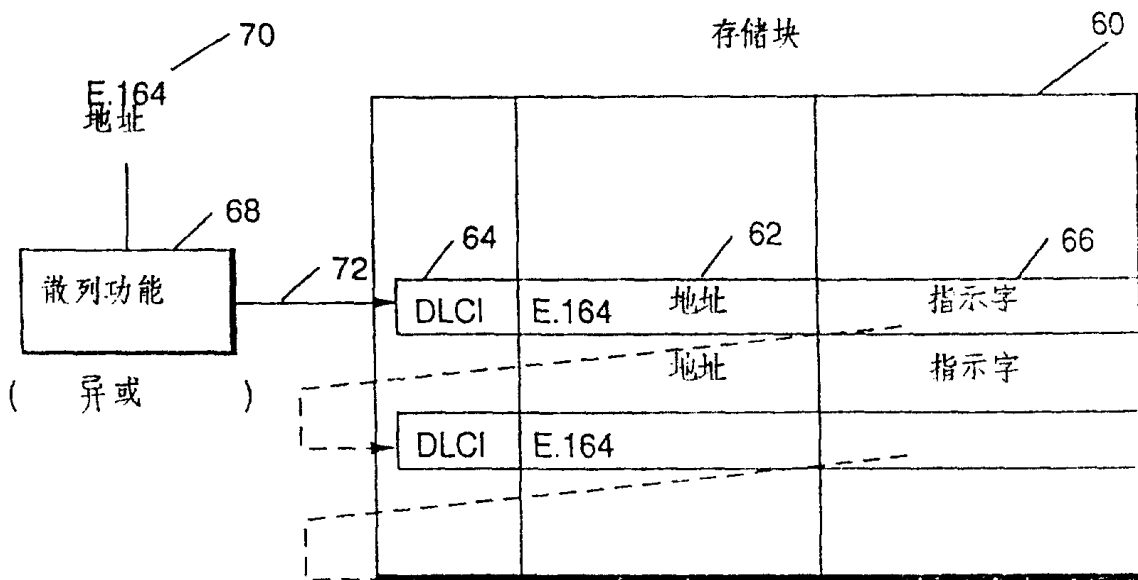


图 21

真值表													输出				
NV1	NV2	NV3	NV4	R1	R2	R3	R4	P1	P2	P3	P4		01	02	03	04	05
0	X	X	X	X	X	X	X	X	X	X	X	X	1	0	0	0	0
1	0	X	X	X	X	X	X	X	X	X	X	X	0	1	0	0	0
1	1	0	X	X	X	X	X	X	X	X	X	X	0	0	1	0	0
1	1	1	0	X	X	X	X	X	X	X	X	X	0	0	0	1	0
1	1	1	1	1	X	X	X	0	X	X	X	X	1	0	0	0	0
1	1	1	1	0	1	X	X	X	0	X	X	X	0	1	0	0	0
1	1	1	1	0	0	1	X	X	X	0	X	X	0	0	1	0	0
1	1	1	1	0	0	0	1	X	X	X	0	X	0	0	0	1	0
1	1	1	1	X	X	X	X	1	1	1	1	1	0	0	0	0	1

图10

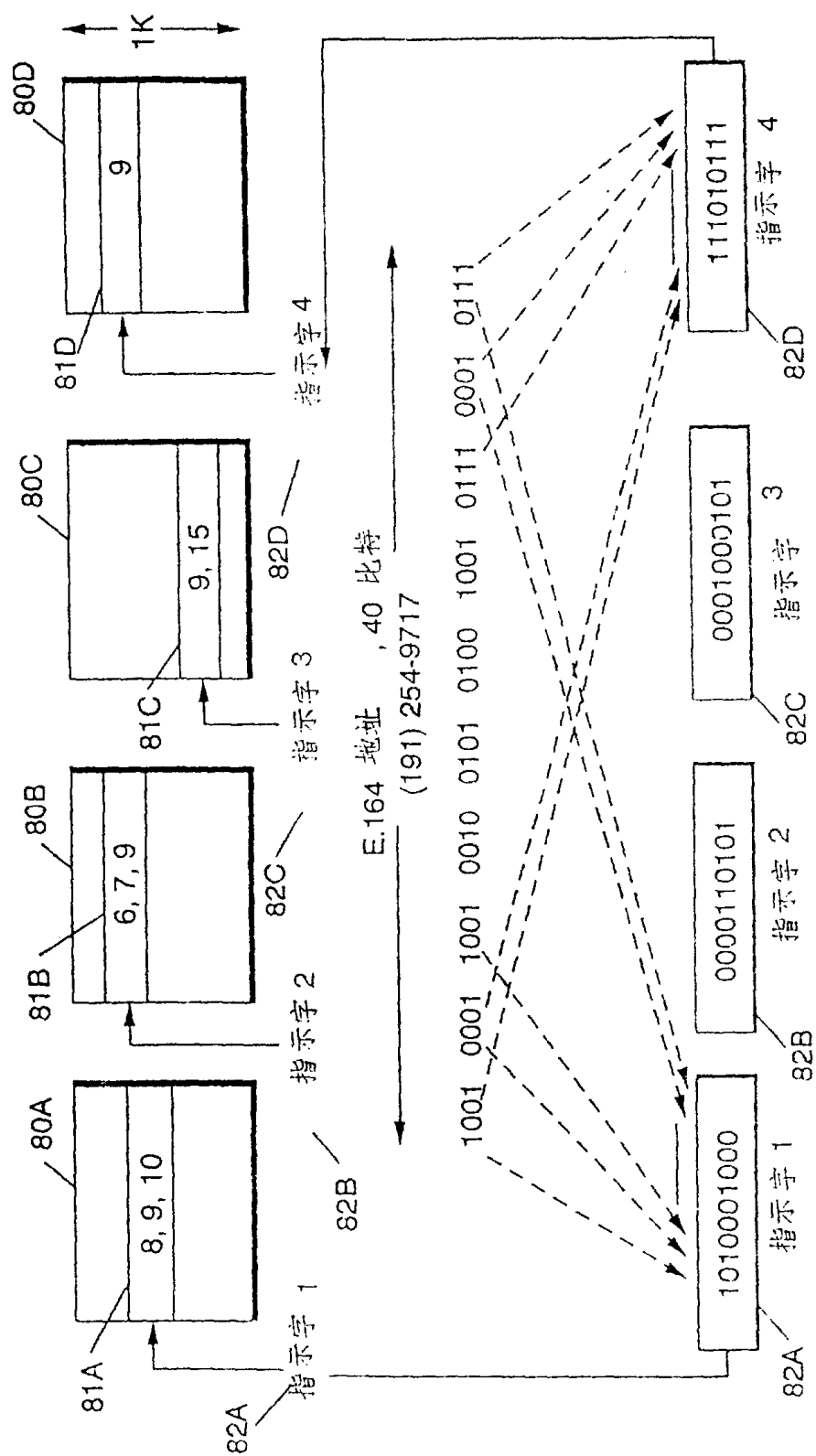


图11

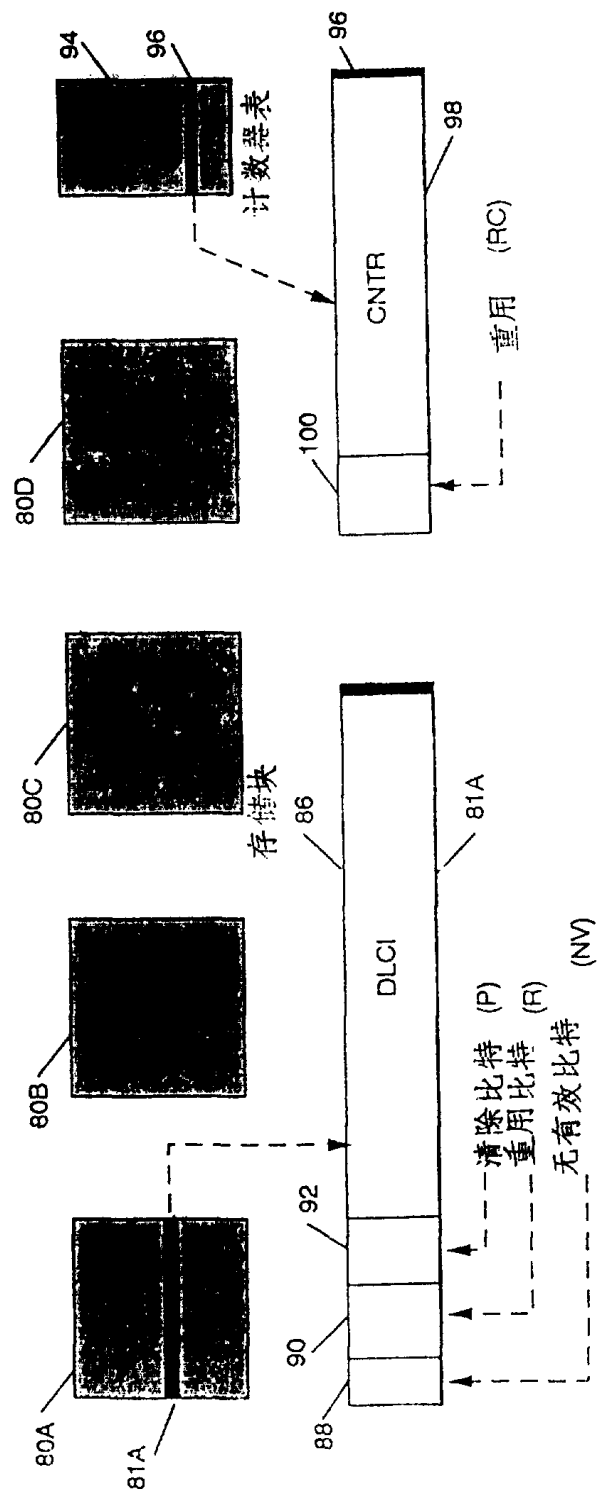
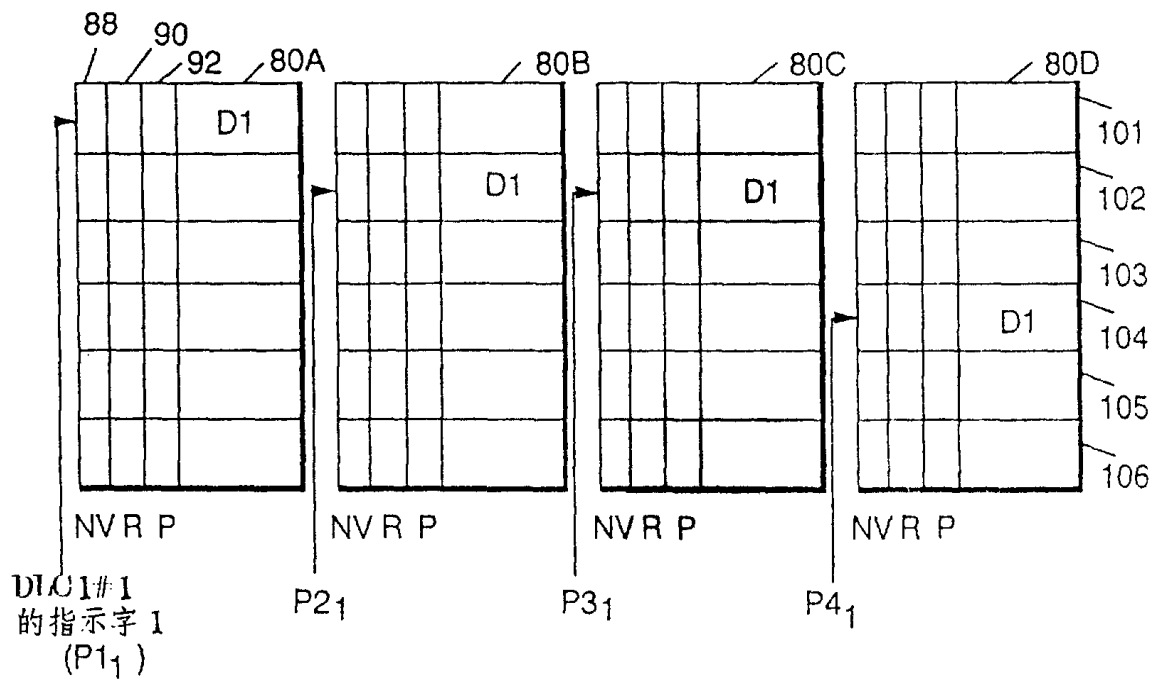


图 12



110	E.164 地址	DLCI
	E1	D1
	E2	D2
	E3	D3
	E4	D4
	E5	D5
	E6	D6

100	94	
	D1	4
	D2	
	D3	
	D4	
	D5	
	D6	
R _C		

图13

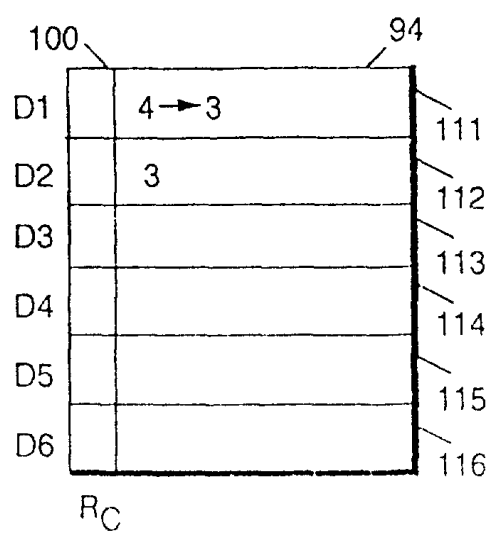
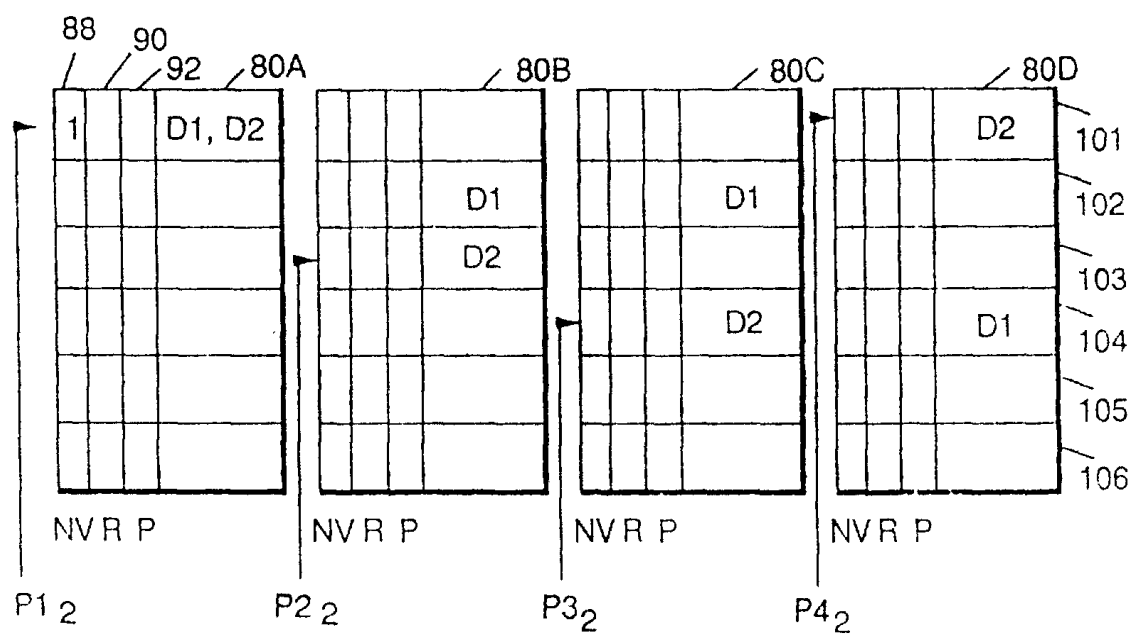


图 14

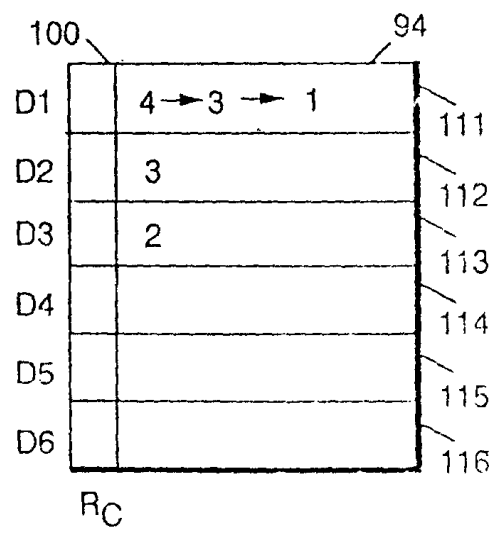
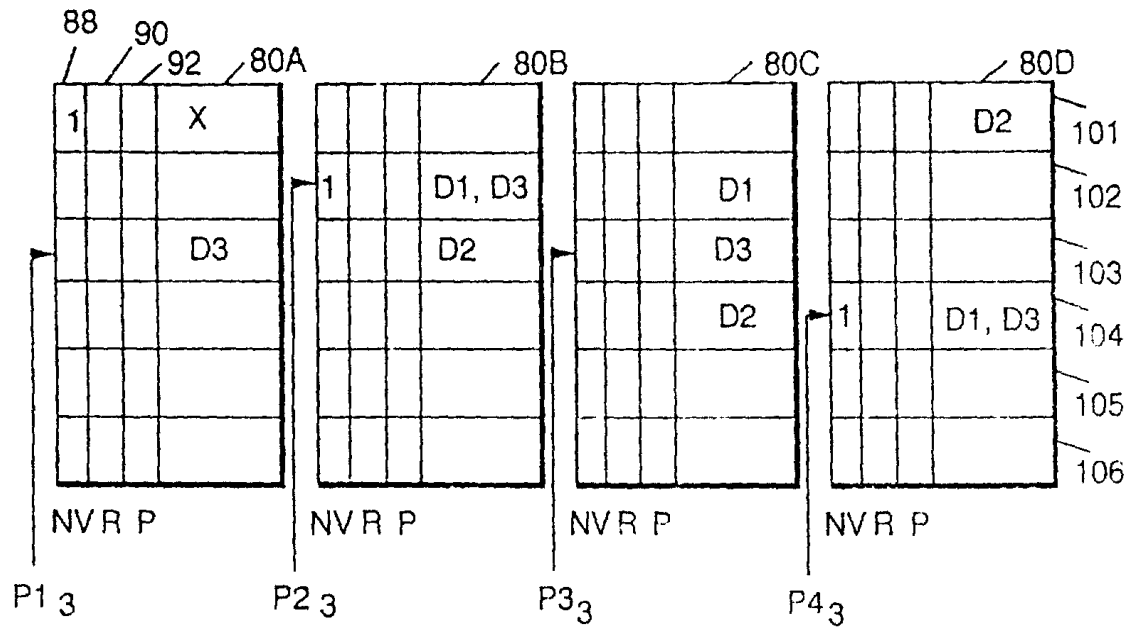


图 15

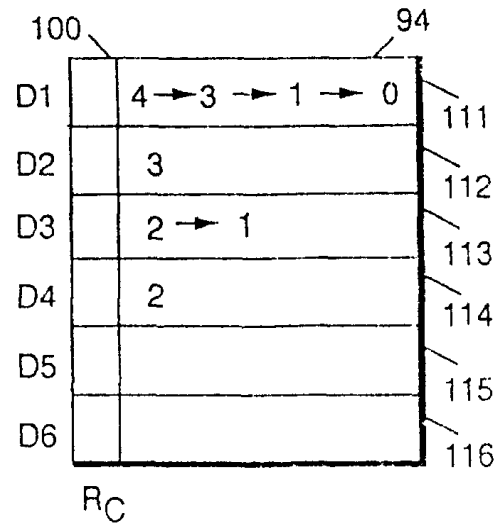
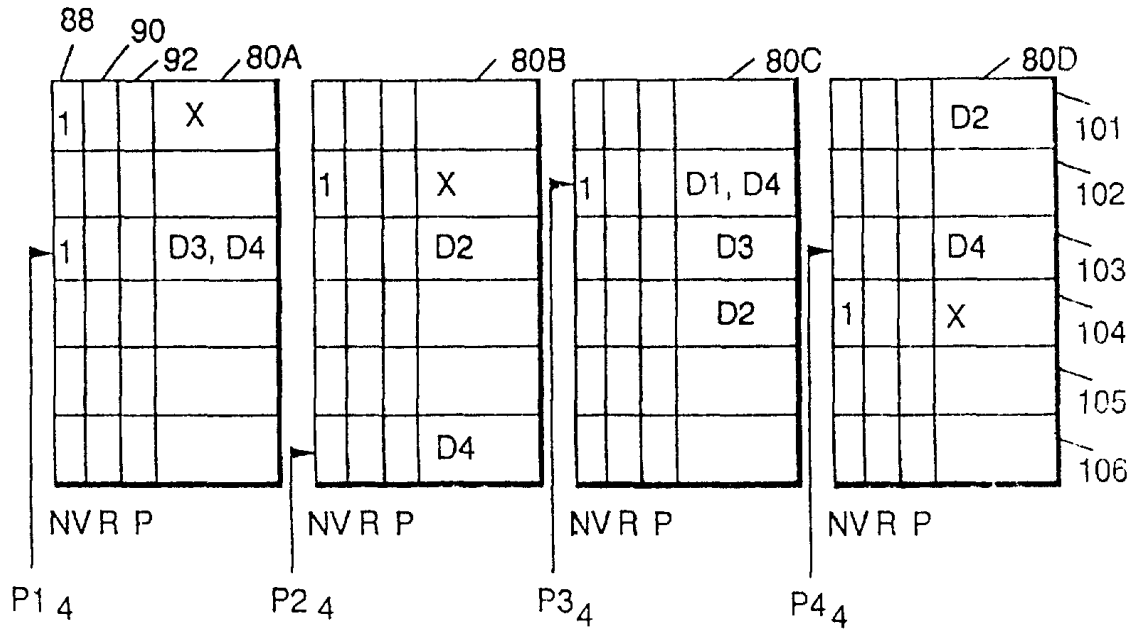


图 16

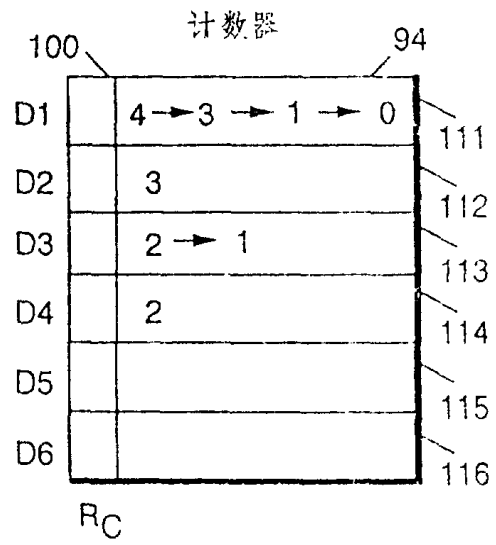
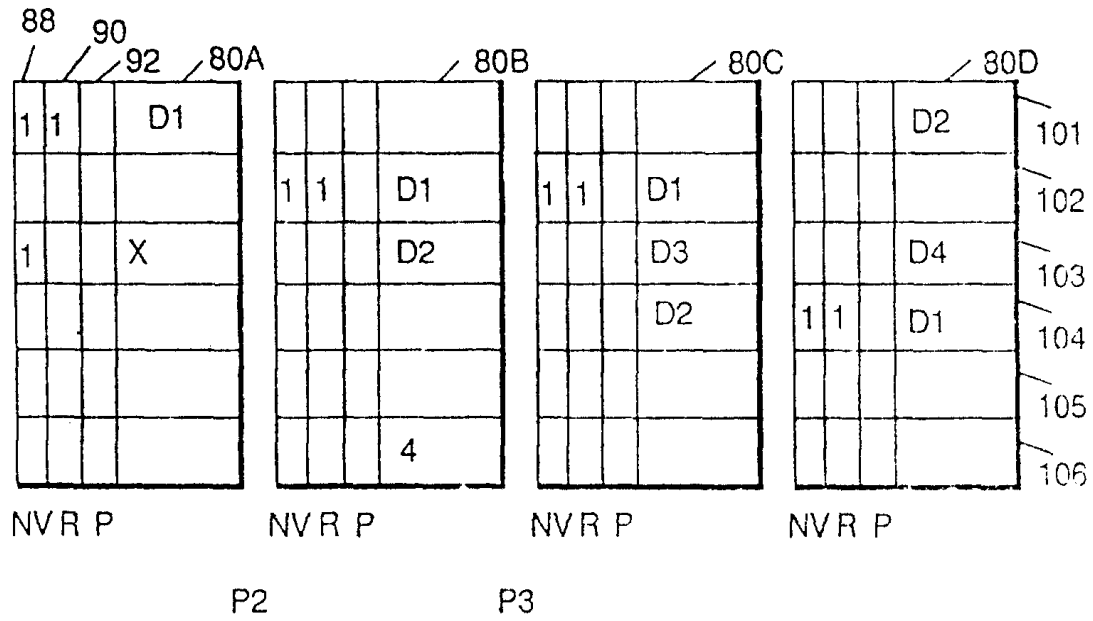


图 17

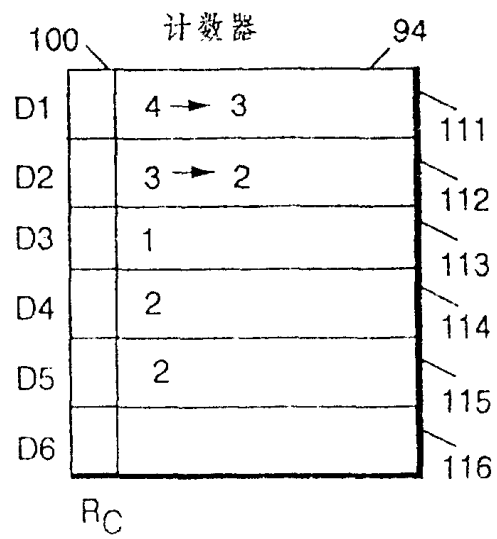
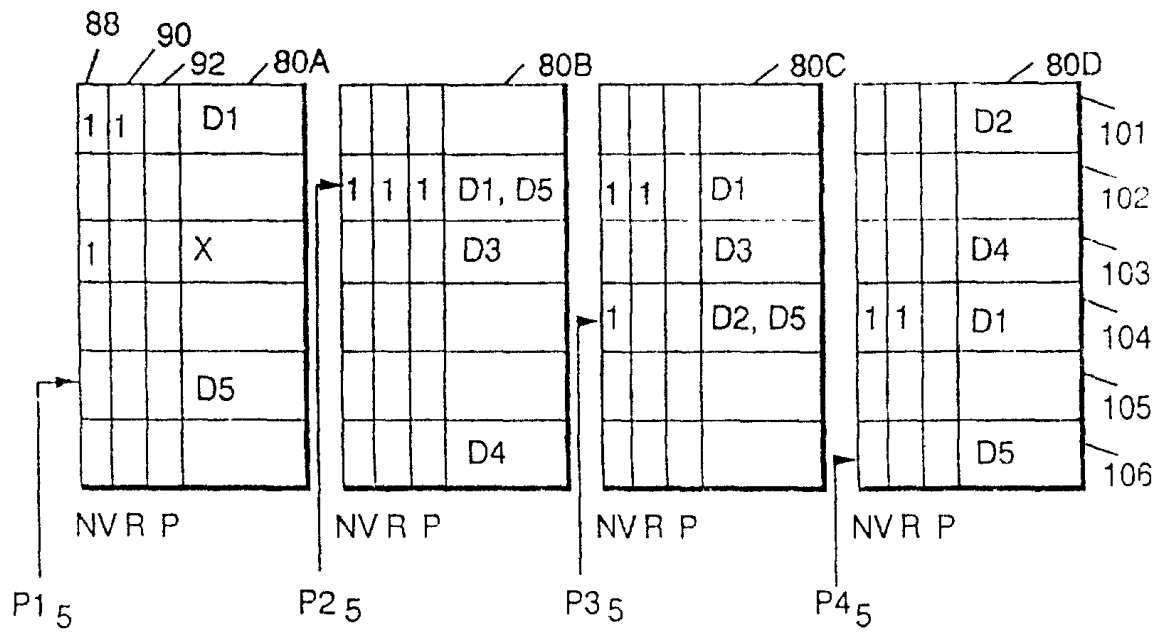


图 18

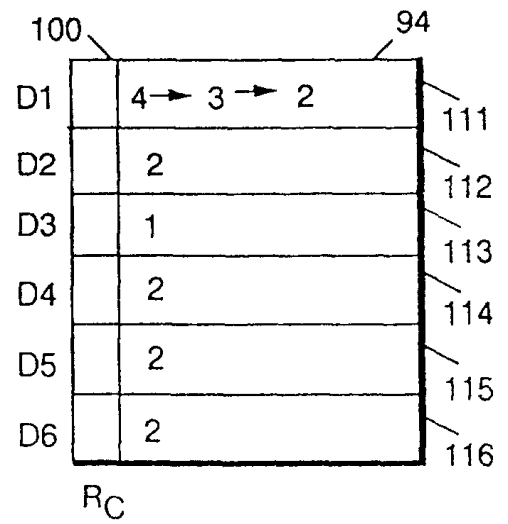
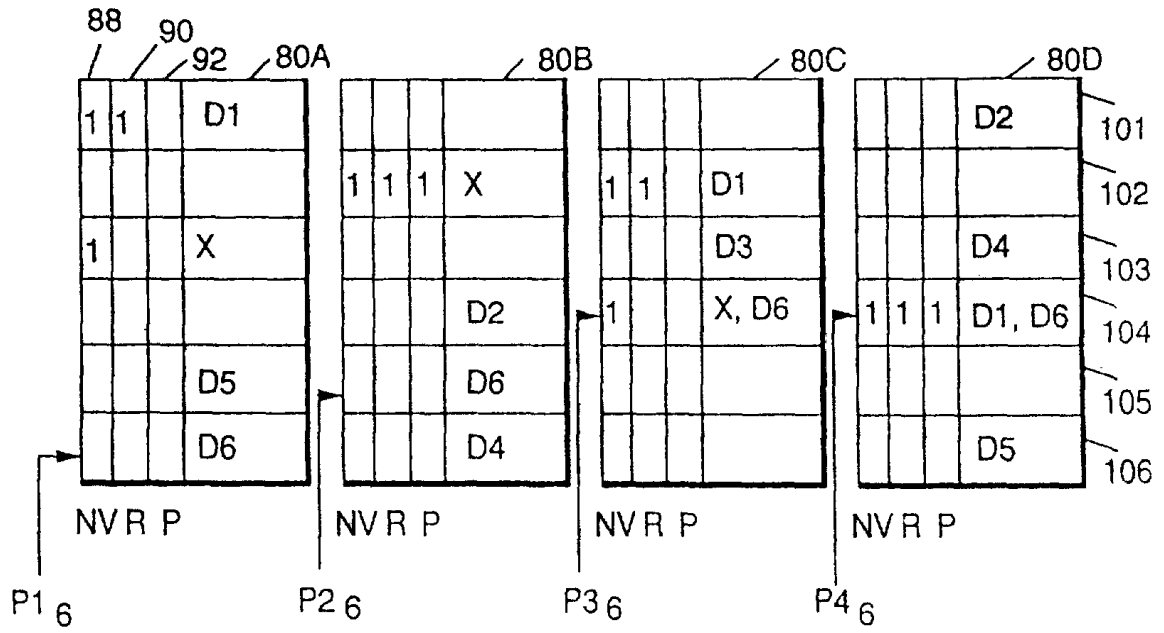
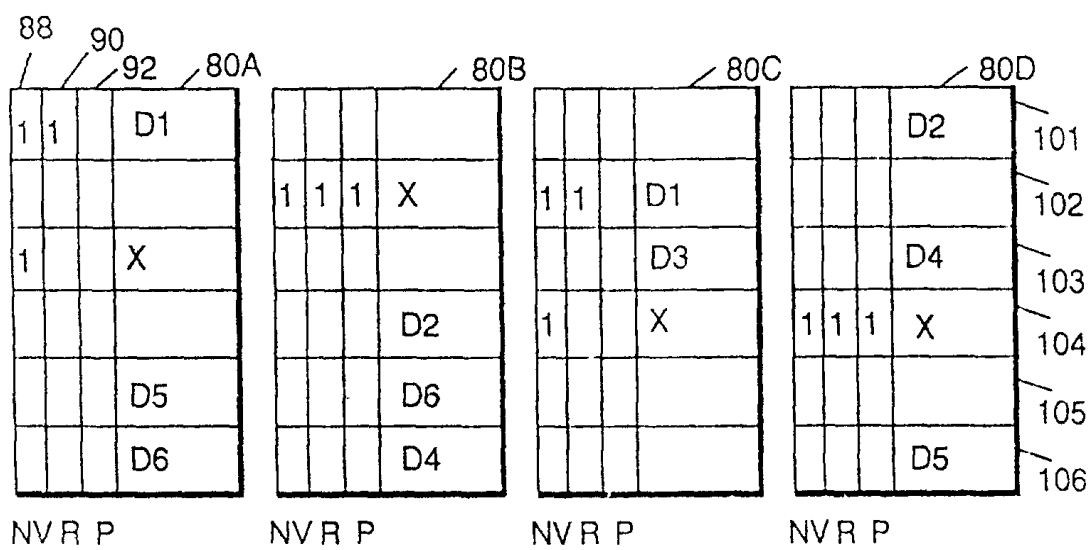


图19



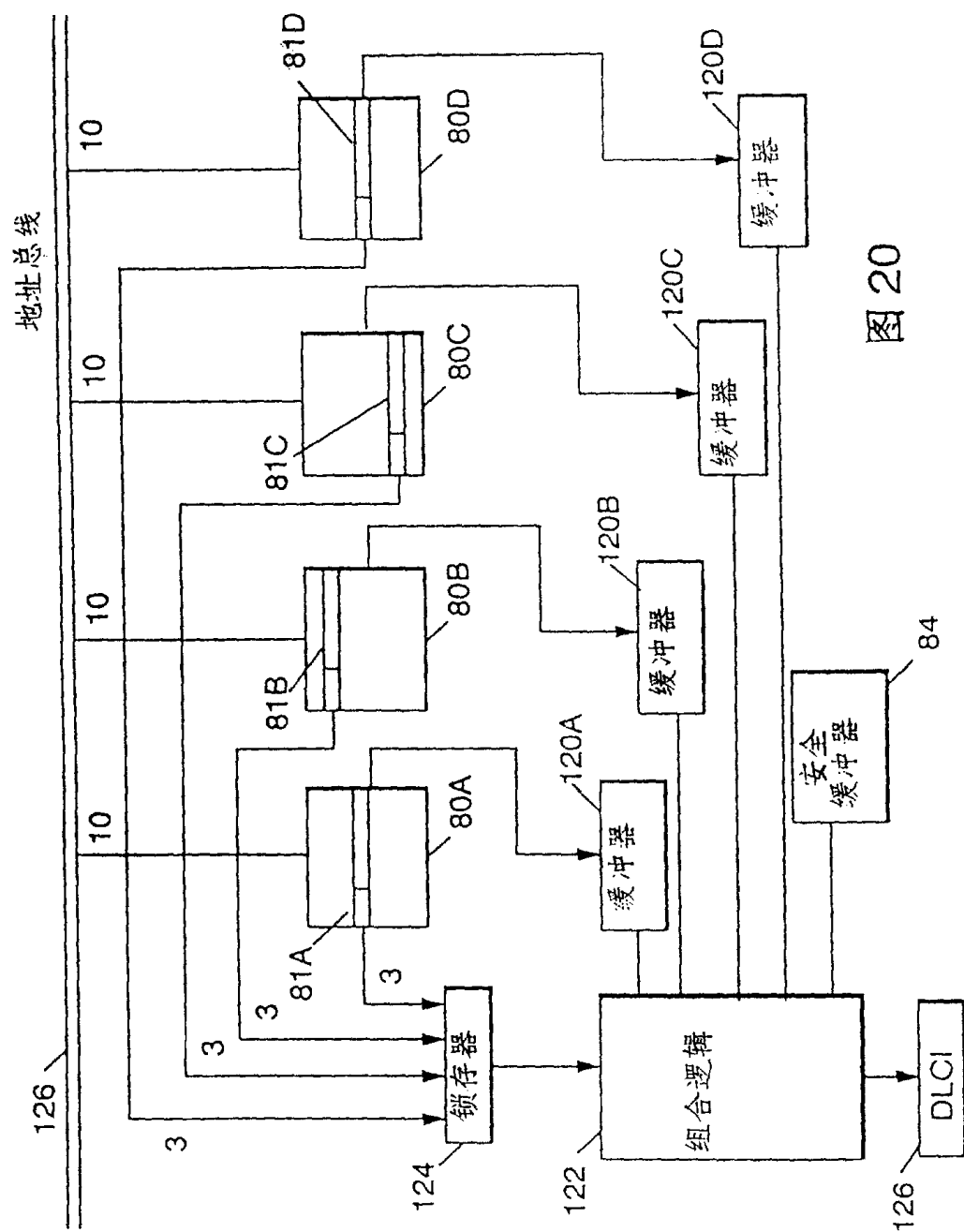


图 20