



등록특허 10-2770824



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2025년02월19일  
(11) 등록번호 10-2770824  
(24) 등록일자 2025년02월17일

(51) 국제특허분류(Int. Cl.)  
*H01L 21/3065* (2006.01) *H01J 37/32* (2006.01)  
*H01L 21/3213* (2006.01) *H01L 21/67* (2006.01)

(52) CPC특허분류  
*H01L 21/3065* (2013.01)  
*H01J 37/32577* (2013.01)

(21) 출원번호 10-2023-7014022(분할)

(22) 출원일자(국제) 2017년12월11일  
심사청구일자 2023년04월25일

(85) 번역문제출일자 2023년04월25일

(65) 공개번호 10-2023-0062662

(43) 공개일자 2023년05월09일

(62) 원출원 특허 10-2021-7039273  
원출원일자(국제) 2017년12월11일  
심사청구일자 2021년11월30일

(86) 국제출원번호 PCT/US2017/065546

(87) 국제공개번호 WO 2018/111751  
국제공개일자 2018년06월21일

(30) 우선권주장  
62/433,204 2016년12월12일 미국(US)  
15/834,939 2017년12월07일 미국(US)

(56) 선행기술조사문현  
KR1020130108315 A\*  
(뒷면에 계속)

전체 청구항 수 : 총 18 항

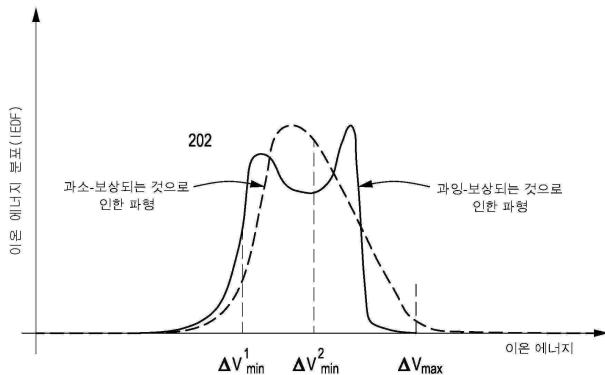
심사관 : 최상원

## (54) 발명의 명칭 이온 에너지 분포 함수들(IEDF)의 생성

**(57) 요약**

본 발명은 형상화된-펄스 바이어스를 사용하여 임의적으로-형상화된 이온 에너지 분포 함수들을 생성하기 위한 시스템들 및 방법들에 관한 것이다. 실시예에서, 방법은, 웨이퍼 표면을 중화시키기 위해 포지티브 점프 전압을 프로세스 챔버의 전극에 인가하는 단계, 웨이퍼 전압을 설정하기 위해 네거티브 점프 전압을 전극에 인가하는 단

(뒷면에 계속)

**대 표 도** - 도7

계, 및 미리 결정된 수의 펠스들을 생성하여 이온 에너지 분포 함수를 결정하기 위해 웨이퍼 전압의 진폭을 조절하는 단계를 포함한다. 다른 실시예에서, 방법은, 웨이퍼 표면을 중화시키기 위해 포지티브 점프 전압을 프로세스 챔버의 전극에 인가하는 단계, 웨이퍼 전압을 설정하기 위해 네거티브 점프 전압을 전극에 인가하는 단계, 및 웨이퍼 상의 이온 전류를 과잉보상하는 전압 램프를 전극에 인가하거나 또는 웨이퍼 상의 이온 전류를 과소보상하는 전압 램프를 전극에 인가하는 단계를 포함한다.

## (52) CPC특허분류

*H01J 37/32706* (2013.01)

*H01J 37/32715* (2013.01)

*H01L 21/32136* (2013.01)

*H01L 21/67069* (2013.01)

## (72) 발명자

**루에르, 올리비에**

미국 94086 캘리포니아 서니베일 올드 샌프란시스  
코 로드 718

**주베르트, 올리비에**

프랑스 38240 멜랑 알레 두 바야르트 18

**크라우스, 필립 에이.**

미국 95125 캘리포니아 새너제이 브로드웨이 애비  
뉴 1006

**딘사, 라진더**

미국 94566 캘리포니아 플래전턴 이스트 게이트웨  
이 1618

**로저스, 제임스 휴**

미국 95032 캘리포니아 로스가토스 랜스베리 코트  
109

## (56) 선행기술조사문헌

KR1020140060502 A\*

KR1020150047522 A\*

KR1020120019428 A

KR1020150046251 A

JP2012104382 A

US20140061156 A1

US20160020072 A1

\*는 심사관에 의하여 인용된 문헌

## 명세서

### 청구범위

#### 청구항 1

방법으로서,

웨이퍼에 대한 웨이퍼 전압을 설정하기 위해 네거티브(negative) 점프 전압을 프로세스 챔버의 전극에 인가하는 단계;

상이한 진폭들에서 상기 웨이퍼 전압을 조절(modulating)하는 단계;

상기 상이한 진폭들 각각에서 펄스들의 상대적인 수를 생성하는 단계; 및

상기 상이한 진폭들 중 적어도 하나에서 생성된 동일한 진폭을 갖는 펄스들의 수에 기초하여 상기 상이한 진폭들 중 적어도 하나에 대응하는 이온 에너지에서의 상대적 이온 분율(relative ion fraction)을 결정하는 단계

를 포함하는,

방법.

#### 청구항 2

제1 항에 있어서,

상기 웨이퍼의 표면을 중화시키기 위해 포지티브(positive) 점프 전압을 상기 프로세스 챔버의 전극에 인가하는 단계를 포함하는,

방법.

#### 청구항 3

제2 항에 있어서,

상기 포지티브 점프 전압은 상기 네거티브 점프 전압을 인가하기 전에 상기 프로세스 챔버의 전극에 인가되는,

방법.

#### 청구항 4

제1 항에 있어서,

상기 웨이퍼 전압의 진폭의 조절은 결과적인 이온 에너지 분포 함수의 피처 프로파일(feature profile)을 제어하는,

방법.

#### 청구항 5

제1 항에 있어서,

상기 웨이퍼 전압의 진폭은 원하는 이온 에너지 분포 함수를 생성하기 위해 조절되는,

방법.

#### 청구항 6

제5 항에 있어서,

상기 원하는 이온 에너지 분포 함수는 상기 웨이퍼 상의 특정 바이어스 전압 파형을 유도하기 위해 생성되는,

방법.

### 청구항 7

제1 항에 있어서,

하나 보다 많은 에너지 피크를 갖는 이온 에너지 분포 함수를 생성하기 위해 상이한 시점들에서 상기 웨이퍼 전압을 조절하는 단계를 포함하는,

방법.

### 청구항 8

제7 항에 있어서,

상기 에너지 피크들 각각에 대한 이온 분율은 상기 상이한 시점들에서의 상기 웨이퍼 전압의 개개의 조절 동안 생성된 펠스들의 수에 의해 결정되는,

방법.

### 청구항 9

제1 항에 있어서,

웨이퍼의 표면을 중화시키기 위해 상기 네거티브 점프 전압을 상기 프로세스 챔버의 전극에 인가하기 전에 포지티브 점프 전압을 상기 전극에 인가하는 단계; 및

상기 웨이퍼 상의 이온 전류를 과잉보상(overcompensate)하는 전압 램프( voltage ramp)를 상기 전극에 인가하는 단계를 포함하는,

방법.

### 청구항 10

제9 항에 있어서,

상기 웨이퍼 상의 이온 전류를 과잉보상하는 전압 램프를 상기 전극에 인가하는 단계는, 상기 웨이퍼 상에 일정한 전압을 유지하는 데 필요한 것보다 더 크게 네거티브인 기울기를 포함하는 전압 램프를 상기 전극에 인가하는 단계를 포함하는,

방법.

### 청구항 11

제9 항에 있어서,

상기 웨이퍼 상에 유도된 최소 전압 및 최대 전압은 결과적인 이온 에너지 분포 함수의 폭을 결정하는,

방법.

### 청구항 12

제9 항에 있어서,

원하는 이온 에너지 분포 함수를 생성하기 위해 상기 전압 램프의 기울기를 조정하는 단계를 포함하는,

방법.

### 청구항 13

제12 항에 있어서,

상기 원하는 이온 에너지 분포 함수는, 상기 웨이퍼 상에 특정 바이어스 전압 과형을 유도하기 위해 생성되는,

방법.

### 청구항 14

제1 항에 있어서,

웨이퍼의 표면을 중화시키기 위해 상기 네거티브 점프 전압을 상기 프로세스 챔버의 전극에 인가하기 전에 포지티브 점프 전압을 상기 전극에 인가하는 단계; 및

상기 웨이퍼 상의 이온 전류를 과소보상(undercompensate)하는 전압 램프를 상기 전극에 인가하는 단계를 포함하는,

방법.

### 청구항 15

제14 항에 있어서,

상기 웨이퍼 상의 이온 전류를 과소보상하는 전압 램프를 상기 전극에 인가하는 단계는, 상기 웨이퍼 상에 일정한 전압을 유지하는 데 필요한 것보다 더 작게 네거티브인 기울기를 포함하는 전압 램프를 상기 전극에 인가하는 단계를 포함하는,

방법.

### 청구항 16

제14 항에 있어서,

상기 웨이퍼 상에 유도된 최소 전압 및 최대 전압은 결과적인 이온 에너지 분포 함수의 폭을 결정하는,

방법.

### 청구항 17

제14 항에 있어서,

원하는 이온 에너지 분포 함수를 생성하기 위해 상기 전압 램프의 기울기를 조정하는 단계를 포함하는,

방법.

### 청구항 18

제17 항에 있어서,

상기 원하는 이온 에너지 분포 함수는, 상기 웨이퍼 상에 특정 바이어스 전압 과형을 유도하기 위해 생성되는,

방법.

## 발명의 설명

### 기술 분야

[0001] 본 개시내용의 실시예들은 일반적으로, 기판을 프로세싱하기 위한 시스템들 및 방법들에 관한 것으로, 구체적으로는 기판들의 플라즈마 프로세싱을 위한 시스템들 및 방법들에 관한 것이다.

### 배경 기술

[0002] 전형적인 반응성 이온 에칭(RIE; Reactive Ion Etch) 플라즈마 프로세싱 챔버는 무선 주파수(RF; radiofrequency) 바이어스 생성기를 포함하며, 그 무선 주파수(RF) 바이어스 생성기는 RF 전압을 "전력 전극", 즉, "정전 쳉"(ESC; electrostatic chuck)에 매립된 금속 베이스플레이트(더 일반적으로는 "캐소드"로 지칭됨)에 공급한다. 도 1a는 전형적인 프로세싱 챔버의 전력 전극에 공급될 전형적인 RF 전압의 풀롯을 도시한다. 전력 전극은 ESC 어셈블리의 부분인 세라믹 층을 통해 프로세싱 시스템의 플라즈마에 용량성으로 커플링된다. 플라즈마 시스의 비-선형의, 다이오드 같은 성질은 인가되는 RF 필드의 정류를 초래하여, 캐소드와 플라즈마 사이에 직류(DC; direct-current) 전압 강하 또는 "셀프-바이어스(self-bias)"가 나타나게 된다. 이러한 전압 강하는 캐소드 쪽으로 가속되는 플라즈마 이온들의 평균 에너지를 결정하고, 그에 따라, 에칭 이방성(etch

anisotropy)을 결정한다.

[0003] 더 구체적으로, 이온 방향성, 피쳐 프로파일(feature profile), 및 마스크 및 스톱-층(stop-layer)에 대한 선택성은 이온 에너지 분포 함수(IEDF; Ion Energy Distribution Function)에 의해 제어된다. RF 바이어스를 이용한 플라즈마들에서, IEDF는 전형적으로, 저에너지 및 고에너지에서 2개의 피크들을 갖고, 그 사이에 있는 일부 이온 집단(ion population)을 갖는다. IEDF의 2개의 피크들 사이에 있는 이온 집단의 존재는, 캐소드와 플라즈마 사이의 전압 강하가 바이어스 주파수에서 진동한다는 사실을 반영한다. 더 높은 셀프-바이어스 전압들을 얻기 위해 더 낮은 주파수, 예컨대 2 MHz의 RF 바이어스 생성기가 사용될 때, 이러한 2개의 피크들 사이의 에너지의 차이는 중요할 수 있고, 저에너지 피크에서의 이온들로 인한 에칭은 등방성이 더 커서, 잠재적으로 피쳐 벽들의 휘어짐(bowing)을 초래한다. 고에너지 이온들과 비교하여, 저에너지 이온들은 (예컨대, 대전 효과로 인해) 피쳐의 최하부의 코너들에 도달하는 데 덜 효과적이지만, 마스크 재료가 덜 스퍼터링되게 한다. 이는 고종횡비 에칭 애플리케이션들, 이를테면, 하드-마스크 개구에서 중요하다.

[0004] 피쳐 크기들이 계속 감소하고 종횡비가 증가하면서, 피쳐 프로파일 제어 요건들이 더 엄격해짐에 따라, 프로세싱 동안에 기판 표면에서 잘-제어되는 IEDF를 갖는 것이 더 바람직해진다. 단일-피크 IEDF는, 독립적으로 제어되는 피크 높이들 및 에너지들을 갖는 2-피크 IEDF를 포함한 임의의 IEDF를 구성하기 위해 사용될 수 있으며, 이는 고정밀 플라즈마 프로세싱에 매우 유익하다. 단일-피크 IEDF를 생성하는 것은, 플라즈마, 즉, 시스 전압(이는 이온 에너지를 결정함)에 대해 기판 표면에서 거의 일정한 전압을 갖는 것을 요구한다. 시간-상수 플라즈마 전위(time-constant plasma potential)(시간-상수 플라즈마 전위는 전형적으로, 프로세싱 플라즈마들에서 접지 전위 또는 제로에 가까움)를 가정하면, 이는 접지에 대해 기판에서 거의 일정한 전압, 즉, 기판 전압을 유지하는 것을 요구한다. 이는, 단순히 DC 전압을 전력 전극에 인가하는 것에 의해서는 달성될 수 없는데, 왜냐하면, 이온 전류가 기판 표면을 끊임없이 대전시키기 때문이다. 결과적으로, 인가되는 DC 전압 모두는 플라즈마 시스(즉, 시스 커페시턴스) 대신에 기판 및 ESC의 세라믹 부분(즉, 척 커페시턴스)에 걸쳐 강하될 것이다. 이를 극복하기 위해, 인가된 전압이 시스 커페시턴스들과 척 사이에서 분할되는 것을 초래하는 특별한 형상화된-펄스 바이어스 방식이 개발되었다(우리는 기판에 걸친 전압 강하를 무시하는데, 왜냐하면, 그 커페시턴스는 일반적으로, 시스 커페시턴스보다 훨씬 더 크기 때문이다). 이러한 방식은 이온 전류에 대한 보상을 제공하여, 각각의 바이어스 전압 사이클의 최대 90% 동안 시스 전압 및 기판 전압이 일정하게 유지되는 것을 가능하게 한다. 더 정확하게, 이러한 바이어스 방식은 특정 기판 전압 파형을 유지하는 것을 가능하게 하며, 이는 네거티브 dc-오프셋의 상단의 짧은 포지티브 펄스들의 주기적인 시리즈로서 설명될 수 있다(도 1b). 각각의 펄스 동안, 기판 전위는 플라즈마 전위에 도달하고, 시스는 잠시(briefly) 붕괴되지만, 각각의 사이클의 ~90% 동안에, 시스 전압은 일정하게 유지되고 각각의 펄스의 종단에서 네거티브 전압 점프와 동일하며, 그에 따라, 평균 이온 에너지가 결정된다. 도 1a는, 이러한 특정 기판 전압 파형을 생성하여 시스 전압을 거의 일정하게 유지하는 것을 가능하게 하기 위해 개발된 특별한 형상화된-펄스 바이어스 전압 파형의 플롯을 도시한다. 도 2에 도시된 바와 같이, 형상화된-펄스 바이어스 파형은: (1) 보상 페이즈(compensation phase) 동안 척 커페시턴스에 축적되는 가외의 전하를 제거하기 위한 포지티브 점프; (2) 시스 전압( $V_{SH}$ )의 값을 설정하기 위한 네거티브 점프( $V_{OUT}$ ) – 즉,  $V_{OUT}$ 은 직렬로 연결된 시스 커페시턴스들과 척 사이에서 분할되며, 그에 따라, 기판 전압 파형에서 네거티브 점프가 결정됨(그러나, 일반적으로 네거티브 전압보다 더 큼) –; 및 (3) 이온 전류를 보상하기 위한 그리고 이러한 긴 "이온 전류 보상 페이즈" 동안 시스 전압을 일정하게 유지하기 위한 네거티브 전압 램프(negative voltage ramp)를 포함한다. 우리는, (거의 일정한 시스 전압을 특징으로 하는) 도 1b에 도시된 특정 기판 전압 파형을 유지하는 것을 또한 가능하게 하고, 따라서, 모노-에너지(mono-energetic) IEDF를 생성할 수 있는 다른 형상화된-펄스 바이어스 파형들이 존재할 수 있음을 강조한다. 예컨대, 정전 척 커페시턴스가 시스 커페시턴스보다 훨씬 더 큰 경우, 위의 (3)에서 설명된 네거티브 전압 램프 페이즈가, 일정한 전압 페이즈로 대체될 수 있다. 아래에서 제안되는 시스템들 및 방법들 중 일부는 또한, 이러한 다른 형상화된-펄스 바이어스 파형들을 이용하여 구현될 수 있으며, 우리는 적용가능한 모든 경우에 특별한 주의를 기울일 것이다.

[0005] 단일-피크 IEDF가, 개선된 선택성 및 피쳐 프로파일을 초래하는 매우 바람직한 형상의 IEDF인 것으로 널리 고려되지만, 일부 에칭 애플리케이션들에서는, 상이한 형상을 갖는 IEDF, 이를테면, 더 넓은 형상화된 IEDF가 요구된다.

### 발명의 내용

[0006] 형상화된-펄스 바이어스를 사용하여 임의적으로-형상화된 이온 에너지 분포 함수들을 생성하기 위한 시스템들 및 방법들이 본원에서 제공된다.

[0007] 일부 실시예들에서, 방법은, 형상화된 펄스 바이어스를 프로세스 챔버의 전극에 인가하는 단계, 및 네거티브 전압 점프( $V_{OUT}$ )의 진폭, 및 그에 따른 시스 전압( $V_{SH}$ )을 미리 결정된 방식으로 조절(modulating)하는 단계를 포함하여서, 특정 진폭에서의 상대적인 수의 펄스들은 이러한 진폭에 대응하는 이온 에너지에서의 상대적 이온 분율(relative ion fraction)을 결정한다. 우리는, 이러한 방식이, (거의 일정한 시스 전압을 특징으로 하는) 도 1b에 도시된 특정 기판 전압 과형을 유지하는 것을 가능하게 하고, 따라서, 모노-에너지틱 IEDF를 생성할 수 있는 임의의 형상화된-펄스 바이어스 과형들(반드시 도 1a에 도시된 것일 필요는 없음)을 이용하여 구현될 수 있음을 강조한다.

[0008] 일부 다른 실시예들에서, 방법은 도 1a에 도시된 전압 과형을 갖는 형상화된 펄스 바이어스를 인가하는 단계, 및 이온 보상 페이즈 동안, 일정한 기판 전압을 유지하는 데 필요한 것보다 더 큰 네거티브 기울기( $dV/dt$ )를 갖는, 즉, 이온 전류를 과잉보상(overcompensating)하는 전압 램프를 생성하는 단계를 포함한다. 일부 다른 실시예들에서, 방법은 도 1a에 도시된 전압 과형을 갖는 형상화된 펄스 바이어스를 인가하는 단계, 및 이온 보상 페이즈 동안, 일정한 기판 전압을 유지하는 데 필요한 것보다 더 작은 네거티브 기울기( $dV/dt$ )를 갖는, 즉, 이온 전류를 과소보상(undercompensating)하는 전압 램프를 생성하는 단계를 포함한다.

[0009] [0009] 본 개시내용의 다른 그리고 추가의 실시예들은 아래에서 설명된다.

### 도면의 간단한 설명

[0010] 앞서 간략히 요약되고 하기에서 보다 상세히 논의되는 본 개시내용의 실시예들은 첨부된 도면들에 도시된 본 개시내용의 예시적인 실시예들을 참조하여 이해될 수 있다. 그러나, 첨부된 도면들은 본 개시내용의 단지 전형적인 실시예들을 예시하는 것으로 범위를 제한하는 것으로 간주되지 않아야 하는데, 이는 본 개시내용이 다른 균등하게 유효한 실시예들을 허용할 수 있기 때문이다.

[0011] 도 1a는 시스 전압을 일정하게 유지하는 것을 가능하게 하기 위해 개발된 특별한 형상화된-펄스의 플롯을 도시한다.

[0012] 도 1b는, 시스 전압 및 기판 전압이 각각의 바이어스 전압 사이클의 최대 90% 동안 일정하게 유지되는 것을 가능하게 하는, 도 1a의 바이어싱 방식으로부터 초래된 특정 기판 전압 과형의 플롯을 도시한다.

[0013] 도 1c는 도 1a의 바이어싱 방식으로부터 초래되는 단일-피크 IEDF의 플롯을 도시한다.

[0014] 도 2는 본원의 원리들에 따른 실시예들이 적용될 수 있는 기판 프로세싱 시스템을 도시한다.

[0015] 도 3은 본원의 원리들의 실시예에 따라 기판 전압의 값을 설정하기 위한 전압 펄스들의 플롯을 도시한다.

[0016] 도 4는 본원의 원리들의 실시예에 따른, 도 3의 선택된 전압 펄스들에 대한 결과적인 IEDF의 그래프 표현을 도시한다.

[0017] 도 5는 본원의 원리들의 실시예들에 따라 이온 전류를 과잉보상 및 과소보상하도록 수정된, 도 1의 특별한 형상화된-펄스의 플롯을 도시한다.

[0018] 도 6은, 도 5의 특별한 형상화된-펄스 바이어스로부터 초래되는, 웨이퍼 상에 유도된 전압 펄스들의 플롯을 도시한다.

[0019] 도 7은 본원의 원리들의 실시예에 따른, 도 6의 전압 펄스들에 대한 결과적인 IEDF의 그래프 표현을 도시한다.

[0020] 도 8은 본원의 원리들의 실시예에 따른 임의적으로-형상화된 이온 에너지 분포 함수의 생성을 위한 방법의 흐름도를 도시한다.

[0021] 도 9는 본원의 원리들의 다른 실시예에 따른 임의적으로-형상화된 이온 에너지 분포 함수의 생성을 위한 방법의 흐름도를 도시한다.

[0022] 도 10은 본원의 원리들의 다른 실시예에 따른 임의적으로-형상화된 이온 에너지 분포 함수의 생성을 위한 방법의 흐름도를 도시한다.

[0023] 이해를 용이하게 하기 위해, 도면들에 대해 공통적인 동일한 엘리먼트들을 가리키기 위해 가능한 경우 동일한 도면부호들이 사용되었다. 도면들은 실체대로 그려지지 않았으며, 명확성을 위해 단순화될 수 있다.

일 실시예의 엘리먼트들 및 피처들은 추가의 언급없이 다른 실시예들에 유익하게 통합될 수 있다.

### 발명을 실시하기 위한 구체적인 내용

[0011]

[0024] 형상화된-펄스 바이어스를 사용하여 임의적으로-형상화된 이온 에너지 분포 함수들을 생성하기 위한 시스템들 및 방법들이 본원에서 제공된다. 본 발명의 시스템들 및 방법들은 유리하게, 형상화된-펄스 바이어스 과정의 진폭을 조절함으로써, 임의적으로-형상화된 이온 에너지 분포 함수(IEDF)의 생성을 가능하게 한다. 본 발명의 방법들의 실시예들은 유리하게, 임의적인 IEDF 형상들, 예컨대, 더 넓은 프로파일을 갖는 IEDF를 제공하기 위해 전압 과정의 형상화(shaping)를 제공할 수 있다. 본원의 설명에서, 웨이퍼 및 기판이라는 용어들은 상호교환가능하게 사용된다.

[0012]

[0025] 도 2는 본원의 원리들에 따른 실시예들이 적용될 수 있는 기판 프로세싱 시스템(200)의 고레벨 개략도를 도시한다. 도 2의 기판 프로세싱 시스템(200)은 예시적으로, 기판 지지 어셈블리(205), 및 바이어스 공급부(230)를 포함한다. 도 2의 실시예에서, 기판 지지 어셈블리(205)는 기판 지지 페디스털(210), 전력 전극(213), 및 전력 전극(213)을 기판 지지 어셈블리(205)의 표면(207)으로부터 분리시키는 세라믹 층(214)을 포함한다. 다양한 실시예들에서, 도 2의 시스템(200)은 캘리포니아 산타클라라의 Applied Materials, Inc.로부터 입수 가능한 SYM3®, DPS®, ENABLER®, ADVANTEDGE™ 및 AVATAR™ 프로세스 챔버들 또는 다른 프로세스 챔버들과 같은 플라즈마 프로세싱 챔버의 컴포넌트들을 포함할 수 있다.

[0013]

[0026] 일부 실시예들에서, 바이어스 공급부(230)는, 본원에서 설명되는 본원의 원리들의 실시예들에 따라, 바이어스 공급부(230)에 의해 전력 전극(213)에 제공될 전압을 제어하고, 그리고 적어도, 미리 결정된 수의 펄스들을 생성하기 위해 웨이퍼 전압의 진폭을 조절하고, 그리고 대안적으로 또는 부가하여, 웨이퍼에 대한 웨이퍼 전압을 설정하기 위해 네거티브 점프 전압을 전극에 인가하거나 또는 웨이퍼 상의 이온 전류를 파잉보상 또는 파소보상하는 전압 램프를 전극에 인가하도록 제어 프로그램들을 실행하기 위한 프로세서, 및 제어 프로그램들을 저장하기 위한 메모리를 포함한다. 대안적인 실시예들에서, 도 2의 기판 프로세싱 시스템(200)은, 본원에서 설명되는 본원의 원리들의 실시예들에 따라, 적어도, 바이어스 공급부(230)에 의해 전력 전극(213)에 제공될 전압을 제어하고, 그리고 적어도, 미리 결정된 수의 펄스들을 생성하기 위해 웨이퍼 전압의 진폭을 조절하고, 그리고 대안적으로 또는 부가하여, 웨이퍼에 대한 웨이퍼 전압을 설정하기 위해 네거티브 점프 전압을 전극에 인가하거나 또는 웨이퍼 상의 이온 전류를 파잉보상 또는 파소보상하는 전압 램프를 전극에 인가하기 위해 바이어스 공급부(230)와 통신하기 위한 제어 프로그램들을 실행하기 위한 프로세서, 및 제어 프로그램들을 저장하기 위한 메모리를 포함하는 선택적 제어기(220)를 포함할 수 있다.

[0014]

[0027] 동작 시에, 프로세싱될 기판은 기판 지지 페디스털(210)의 표면 상에 포지셔닝된다. 도 2의 시스템(200)에서, 바이어스 공급부(230)로부터의 전압(형상화된 펄스 바이어스)이 전력 전극(213)에 공급된다. 플라즈마 시스의 비-선형의, 다이오드 같은 성질은 인가되는 RF 필드의 정류를 초래하여, 캐소드와 플라즈마 사이에 직류(DC) 전압 강하 또는 "셀프-바이어스"가 나타난다. 이러한 전압 강하는 캐소드 쪽으로 가속된 플라즈마 이온들의 평균 에너지를 결정한다. 이온 방향성 및 피처 프로파일은 이온 에너지 분포 함수(IEDF)에 의해 제어된다. 바이어스 공급부(230)는 본원에서 설명되는 본원의 원리들의 실시예들에 따라, 특별한 형상화된 펄스 바이어스를 전력 전극(213)에 공급할 수 있다. 이러한 바이어싱 방식은 특정 기판 전압 과정을 유지하는 것을 가능하게 하며, 이는 네거티브 dc-오프셋의 상단의 짧은 포지티브 펄스들의 주기적인 시리즈로서 설명될 수 있다(도 1b). 각각의 펄스 동안, 기판 전위는 플라즈마 전위에 도달하고, 시스는 잠시 봉괴되지만, 각각의 사이클의 ~90% 동안에, 시스 전압은 일정하게 유지되고 각각의 펄스의 종단에서 네거티브 전압 점프와 동일하며, 그에 따라, 평균 이온 에너지가 결정된다.

[0015]

[0028] 도 1a를 다시 참조하면, 형상화된-펄스 바이어스 신호의 진폭, 따라서 웨이퍼 전압은  $V_{OUT}$ 으로 표현된다. 본 발명자들은, 본원의 원리들에 따른 적어도 일부 실시예들에서, IEDF의 형상은 형상화된-펄스 바이어스 신호의 진폭 및 주파수를 조절함으로써 제어될 수 있음을 결정하였다. 이러한 방법은, 형상화된 펄스 바이어스를 프로세스 챔버의 전극에 인가하는 단계, 및 네거티브 전압 점프( $V_{OUT}$ )의 진폭, 및 그에 따른 시스 전압( $V_{SH}$ )을 미리 결정된 방식으로 조절하는 단계를 포함하여서, 특정 진폭에서의 상대적인 수의 펄스들은 이러한 진폭에 대응하는 이온 에너지에서의 상대적 이온 분율을 결정한다. 각각의 진폭에서의 펄스들의 수는 하나의 시스 전압으로부터 다음 시스 전압으로의 전이(그 동안에 개개의 ESC 전하가 확립됨)를 고려하기에 충분해야 한다. 그 다음으로, 주어진 진폭들을 갖는 펄스들의 트레이인(train)들을 포함하는 버스트(burst)(도 3)가 프로세스 단계의 지속기간 동안에 여러 번 반복된다. 액티브 버스트들(온-페이즈(on-phase)들)은 사일런스 퍼리어드

들(오프-페이즈(off-phase)들)로 인터리빙될 수 있다. 버스트의 총 지속기간(온 및 오프 페이즈들이 결합됨)에 대한 각각의 온-페이즈의 지속기간은 브리터 사이클에 의해 결정되며, 버스트의 총 지속기간(파리어드)은 버스트 주파수의 역(inverse)과 동일하다. 대안적으로, 각각의 버스트는 주어진(및 동일한) 진폭을 갖는 일련의 펄스들로 구성될 수 있으며, 그 다음으로, 상이한 진폭들을 갖는 버스트들의 트레인은 IEDF를 정의하는 데 사용된다. 주어진 진폭을 갖는 (트레인 내의) 버스트들의 상대적인 수는 특정 에너지에서의 이온들의 상대적인 양을 결정하며, 이러한 버스트들에서의 펄스들의 네거티브 점프 진폭( $V_{OUT}$ )은 이온 에너지를 결정한다. 그 다음으로, 버스트들의 미리 정의된 트레인은 레시피 단계(recipe step)의 지속기간 동안 여러 번 반복된다. 예컨대, 저에너지 피크에 포함된 25% 이온들 및 고에너지 피크에 포함된 이온들의 75%를 갖는 2-피크 IEDF를 생성하기 위해, 버스트들의 트레인은 높은 이온 에너지에 대응하는 네거티브 점프 진폭을 갖는 펄스들의 3개의 버스트들 및 낮은 이온 에너지에 대응하는 진폭을 갖는 펄스들의 1개의 버스트로 구성될 필요가 있다. 그러한 트레인은 "HHHL"로 표기될 수 있다. 차례로, 동일한 높이의 3개의 에너지 피크들 – 높음(H), 중간(M), 및 낮음(L) – 을 갖는 IEDF를 생성하기 위해, H, M 및 L 이온 에너지들에 대응하는 상이한 진폭들을 갖는 3개의 버스트들의 트레인이 요구되며, "HML"로 표기될 수 있다. 단일-피크 IEDF는 미리 정의된 네거티브 점프 진폭을 갖는 펄스들의 단일 버스트(온 및 오프 페이즈들 모두를 가짐)로 구성된 트레인에 의해 생성된다. 우리는, 이러한 방식이, (거의 일정한 시스 전압을 특징으로 하는) 도 1b에 도시된 특정 기관 전압 과형을 유지하는 것을 가능하게 하고, 따라서, 모노-에너지 IEDF를 생성할 수 있는 임의의 형상화된-펄스 바이어스 과형들(반드시 도 1a에 도시된 것일 필요는 없음)을 이용하여 구현될 수 있음을 강조한다.

[0016] [0029] 예컨대, 도 3은 본원의 원리들의 실시예에 따라 기관 전압의 값을 설정하기 위해 전력 공급부에 의해 프로세싱 챔버의 전극에 공급될 전압 펄스들의 플롯을 도시한다. 도 3의 실시예에서, 웨이퍼 전압의 전체 점프(full jump)는 이온 에너지를 결정하는 반면, 전압 점프에 대응하는 펄스들의 수(예컨대, 총 시간 지속기간)는 이러한 에너지(즉, IEDF)에서의 상대적 이온 분율을 결정한다.

[0017] [0030] 도 4는 본원의 원리들의 실시예에 따른, 도 3의 선택된 전압 펄스들에 대한 결과적인 IEDF의 그래픽 표현을 도시한다. 도 4에 도시된 바와 같이, 도 3의 다수의 전압 펄스들은 더 넓은 IEDF를 초래하며, 이는 더 넓은 이온 에너지 분포를 요구하는 하드-마스크 개방 고종횡비 에칭과 같은 애플리케이션들에서 유리할 수 있다.

[0018] [0031] 본원의 원리들에 따라 전력 공급부에 의해 프로세싱 챔버의 전극에 공급되는 전압 펄스들의 진폭 및 주파수의 제어는, 특정 에칭 프로세스 및 애플리케이션에 의해 요구되는 잘-제어되고 잘-정의된 IEDF 형상을 제공할 수 있다.

[0019] [0032] 본원의 원리들에 따른 다른 실시예에서, 방법은 도 1a에 도시된 전압 과형을 갖는 형상화된 펄스 바이어스를 인가하는 단계, 및 이온 보상 페이즈 동안, 일정한 기관 전압을 유지하는 데 필요한 것보다 더 큰 네거티브 기울기( $dV/dt$ )를 갖는, 즉, 이온 전류를 과잉보상하는 전압 램프를 생성하는 단계를 포함한다. 이는 도 6에 도시된 기관 전압 과형을 초래하며, 여기서 기관 전압(및 따라서 시스 전압 및 순시(instantaneous) 이온 에너지)의 크기는 이온 전류 보상 페이즈 동안 증가한다. 이는 도 7에 도시된 비-모노에너지(non-monoenergetic) IEDF 및 이온 에너지 스프레드를 생성하며, IEDF 폭은 적용된 형상-펄스 바이어스 과형의 네거티브 기울기에 의해 제어된다. 예컨대, 도 5는 본원의 원리들의 실시예에 따라 웨이퍼를 대전시키는 이온 전류를 과잉보상하도록 수정된, 도 1a의 특별한 형상화된-펄스의 플롯을 도시한다. 도 5에 도시된 바와 같이, 웨이퍼를 대전시키는 이온 전류를 보상하도록 의도된 도 1a의 전압 램프는, 웨이퍼를 대전시키는 이온 전류를 과잉보상하도록 본원의 원리들의 도 5의 특별한 형상화된-펄스에서 수정된다. 도 5에 도시된 바와 같이, 웨이퍼 표면을 중화시키도록 의도된 도 1의 포지티브 점프는, 본원의 원리들의 도 5의 특별한 형상화된-펄스에서 웨이퍼 표면을 더 이상 중화시키지 않는다.

[0020] [0033] 도 6은, 도 5의 특별한 형상화된-펄스로부터 초래되는, 웨이퍼 상에 유도된 전압 펄스들의 플롯을 도시한다. 도 6에 도시된 바와 같이, 전압 점프는 이온 에너지를 결정하고, 에너지 폭은 사이클 동안의 최소 및 최대 웨이퍼 전압 점프들에 의해 결정된다.

[0021] [0034] 도 7은 본원의 원리들의 실시예에 따른, 도 6의 전압 펄스들에 대한 결과적인 IEDF의 그래픽 표현을 도시한다. 도 7에 도시된 바와 같이, 도 5의 과잉보상된 특별한 형상화된-펄스의 적용으로부터 초래되는 IEDF는 더 넓은 더블-피크형 프로파일을 포함하며, 여기서  $V_{min}$  및  $V_{max}$ 는 IEDF 폭을 결정하지만 에너지 피크들과 반드시 일치하지는 않는다. 본원의 원리들에 따른 과잉보상은 2개의 RF 주파수들(예컨대, 2 MHz 및 13.56 MHz)을 혼합함으로써 달성될 수 있는 것보다 더 높은 제어 정밀도를 가능하게 한다.

[0022] [0035] 본원의 원리들에 따른 다른 실시예에서, 방법은 도 1a에 도시된 전압 파형을 갖는 형상화된 펄스 바이어스를 인가하는 단계, 및 이온 보상 페이즈 동안, 일정한 기판 전압을 유지하는 데 필요한 것보다 더 작은 네거티브 기울기( $dV/dt$ )를 갖는, 즉, 이온 전류를 과소보상하는 전압 램프를 생성하는 단계를 포함한다. 이는 도 6에 도시된 기판 전압 파형을 초래하며, 여기서 기판 전압(및 따라서 시스 전압 및 순시 이온 에너지)의 크기는 이온 전류 보상 페이즈 동안 감소한다. 이는 도 7에 도시된 비-모노에너지 IEDF 및 이온 에너지 스프레드를 생성하며, IEDF 폭은 적용된 형상-펄스 바이어스 파형의 네거티브 기울기에 의해 제어된다. 예컨대, 도 5를 다시 참조하면, 도 5는 본원의 원리들의 실시예에 따라 웨이퍼를 대전시키는 이온 전류를 과소보상하도록 수정된, 도 1의 특별한 형상화된-펄스의 플롯을 도시한다. 도 5에 도시된 바와 같이, 웨이퍼를 대전시키는 이온 전류를 보상하도록 의도된 도 1의 전압 램프는, 웨이퍼를 대전시키는 이온 전류를 과소보상하도록 본원의 원리들의 도 5의 특별한 형상화된-펄스에서 수정된다. 도 5에 도시된 바와 같이, 웨이퍼 표면을 중화시키도록 의도된 도 1의 포지티브 점프는, 본원의 원리들의 도 5의 특별한 형상화된-펄스에서 웨이퍼 표면을 더 이상 중화시키지 않는다.

[0023] [0036] 도 7을 다시 참조하면, 본원의 원리들의 실시예의 과소보상에 대한 결과적인 IEDF의 그래픽 표현이 도시된다. 도 7에 도시된 바와 같이, 도 5의 과소보상된 특별한 형상화된-펄스의 적용으로부터 초래되는 IEDF는 더 넓은 단일-파크형 프로파일을 포함한다.

[0024] [0037] 도 8은 본원의 원리들의 실시예에 따른 임의적으로-형상화된 이온 에너지 분포 함수의 생성을 위한 방법의 흐름도를 도시한다. 방법(800)은 802에서 시작될 수 있으며, 802 동안, 웨이퍼 전압을 설정하기 위해 네거티브 점프 전압이 전극에 인가된다. 그 다음으로, 방법(800)은 804로 진행될 수 있다.

[0025] [0038] 804에서, 미리 결정된 수의 펄스들을 생성하여 이온 에너지 분포 함수를 결정하기 위해, 웨이퍼 전압의 진폭이 조절된다.

[0026] [0039] 그 다음으로, 방법(800)은 종료될 수 있다.

[0027] [0040] 도 9는 본원의 원리들의 다른 실시예에 따른 임의적으로-형상화된 이온 에너지 분포 함수의 생성을 위한 방법의 흐름도를 도시한다. 방법(900)은 902에서 시작될 수 있으며, 902 동안, 웨이퍼 표면을 중화시키기 위해 포지티브 점프 전압이 프로세스 챔버의 전극에 인가된다. 그 다음으로, 방법(900)은 904로 진행될 수 있다.

[0028] [0041] 904에서, 웨이퍼 전압을 설정하기 위해 네거티브 점프 전압이 전극에 인가된다. 그 다음으로, 방법(900)은 906으로 진행될 수 있다.

[0029] [0042] 906에서, 웨이퍼 상의 이온 전류를 과잉보상하는 전압 램프가 전극에 인가된다. 그 다음으로, 방법(900)은 종료될 수 있다.

[0030] [0043] 도 10은 본원의 원리들의 다른 실시예에 따른 임의적으로-형상화된 이온 에너지 분포 함수의 생성을 위한 방법의 흐름도를 도시한다. 방법(1000)은 1002에서 시작될 수 있으며, 1002 동안, 웨이퍼 표면을 중화시키기 위해 포지티브 점프 전압이 프로세스 챔버의 전극에 인가된다. 그 다음으로, 방법(1000)은 1004로 진행될 수 있다.

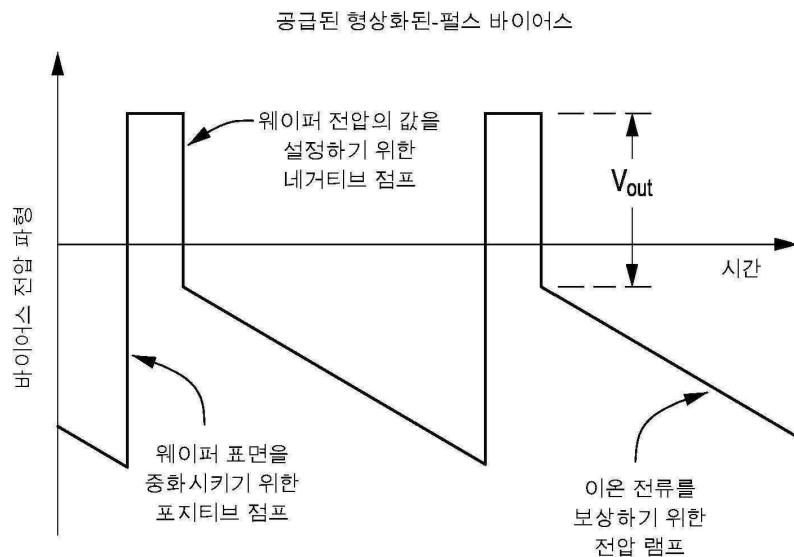
[0031] [0044] 1004에서, 웨이퍼 전압을 설정하기 위해 네거티브 점프 전압이 전극에 인가된다. 그 다음으로, 방법(1000)은 1006으로 진행될 수 있다.

[0032] [0045] 1006에서, 웨이퍼 상의 이온 전류를 과소보상하는 전압 램프가 전극에 인가된다. 그 다음으로, 방법(1000)은 종료될 수 있다.

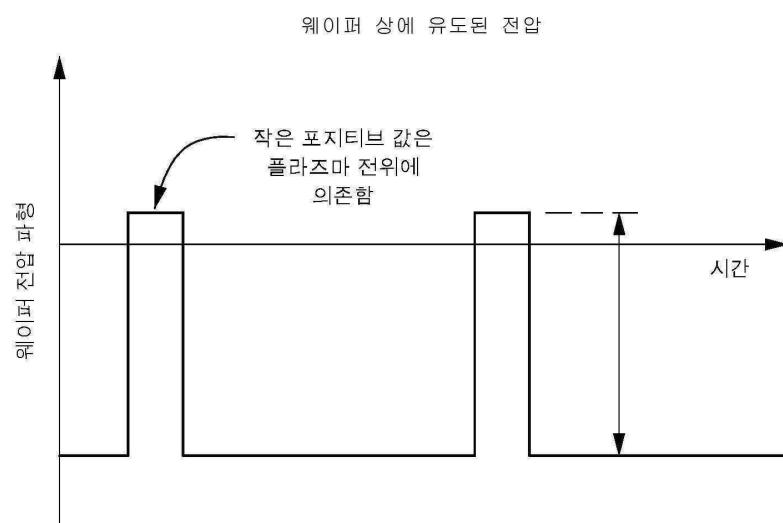
[0033] [0046] 전술한 바가 본 개시내용의 실시예들에 관한 것이지만, 본 개시내용의 다른 그리고 추가적인 실시예들이, 본 개시내용의 기본적인 범위를 벗어나지 않으면서 고안될 수 있다.

## 도면

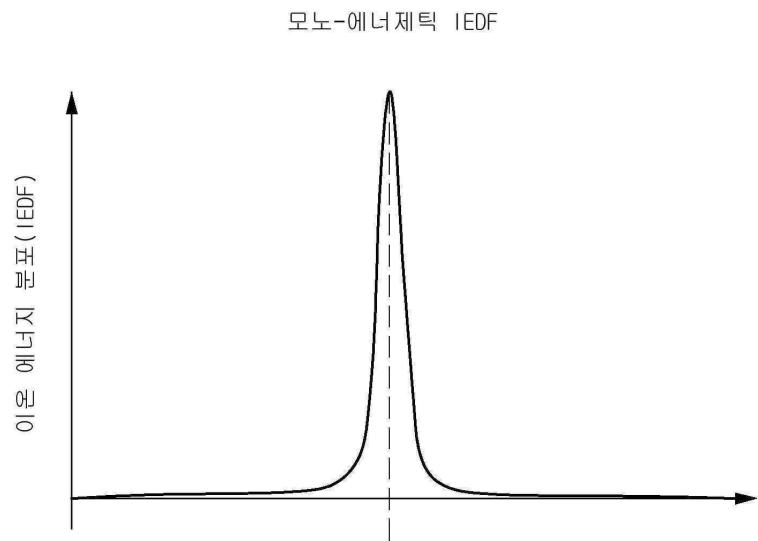
## 도면 1a



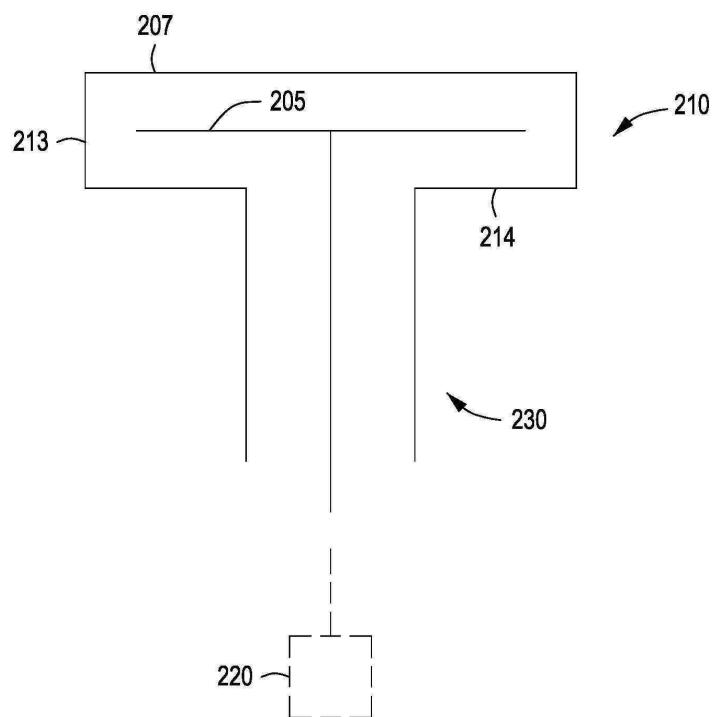
## 도면 1b



도면1c

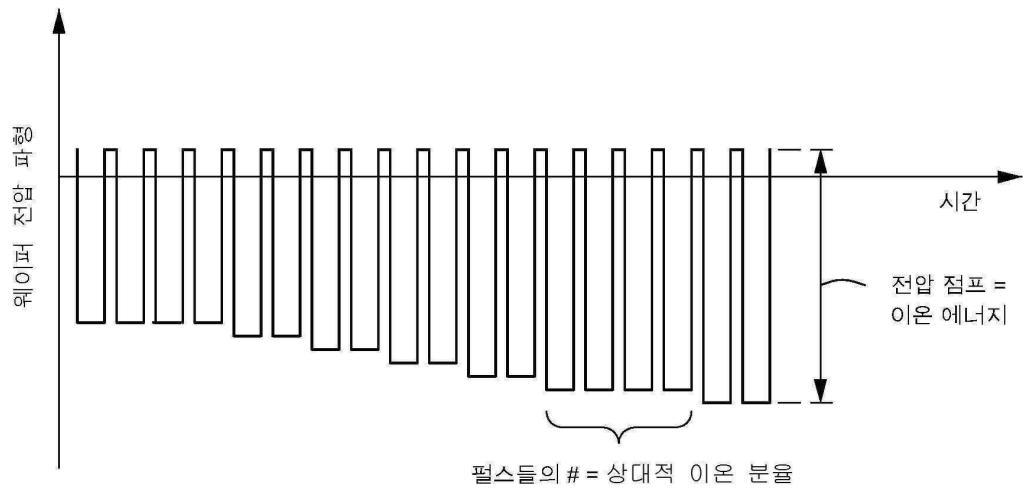


도면2



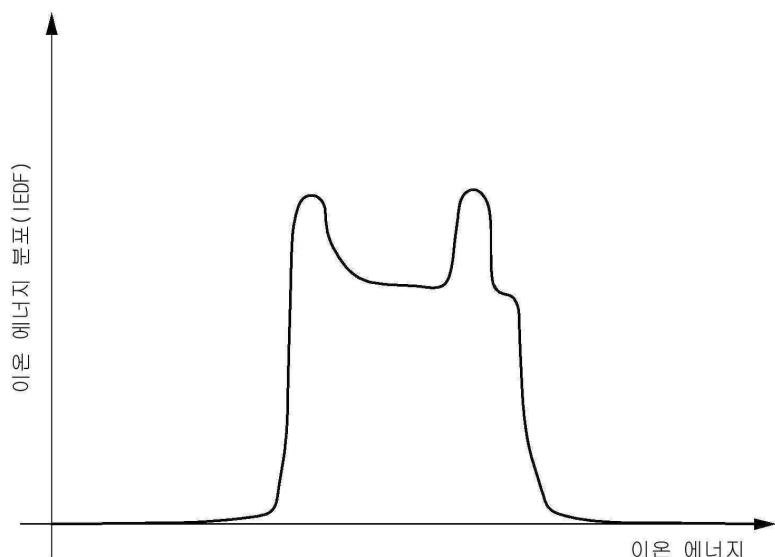
### 도면3

웨이퍼 상에 유도된 전압

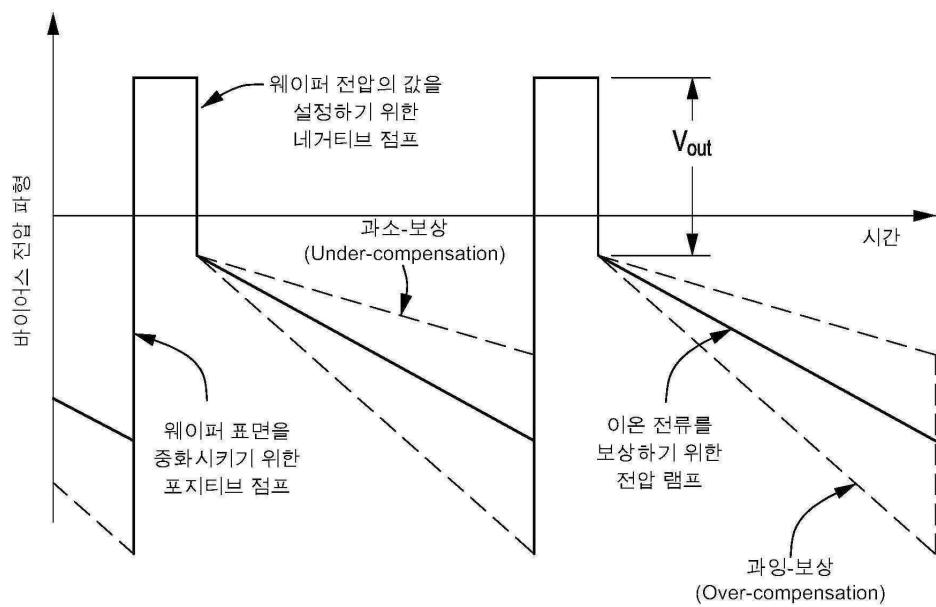


### 도면4

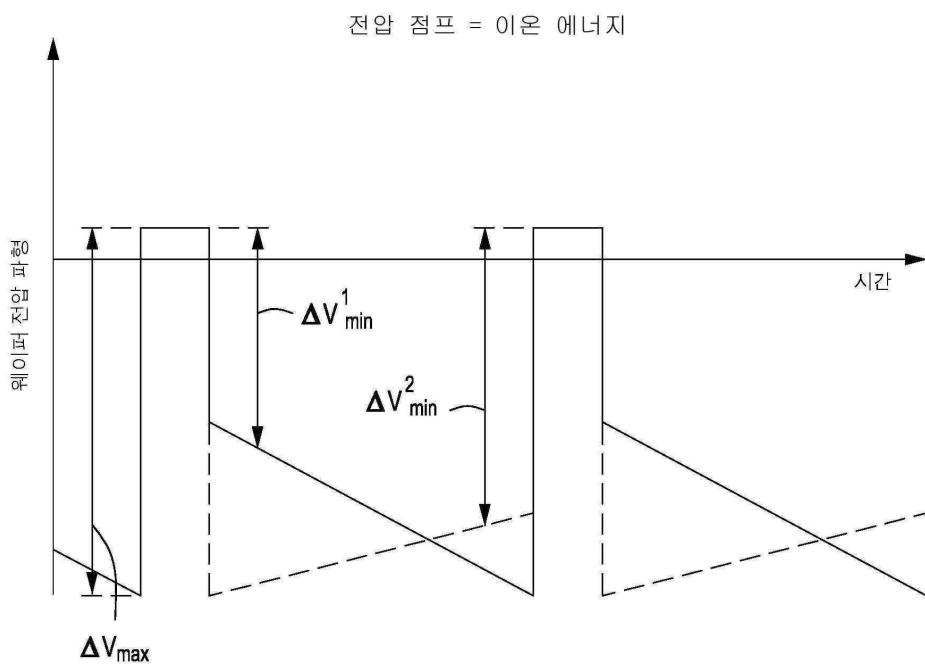
임의적인 형태의 IEDF



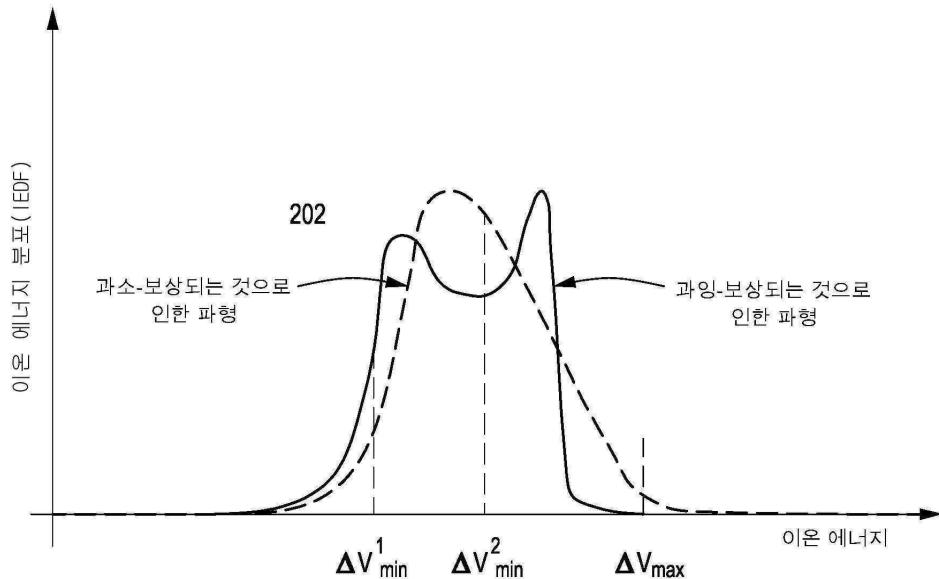
도면5



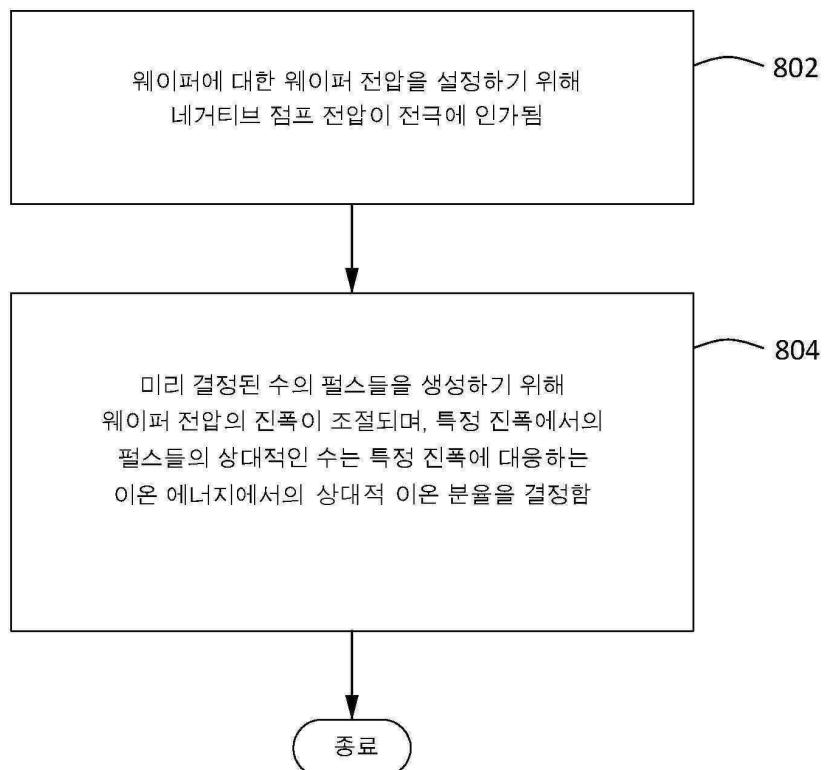
도면6



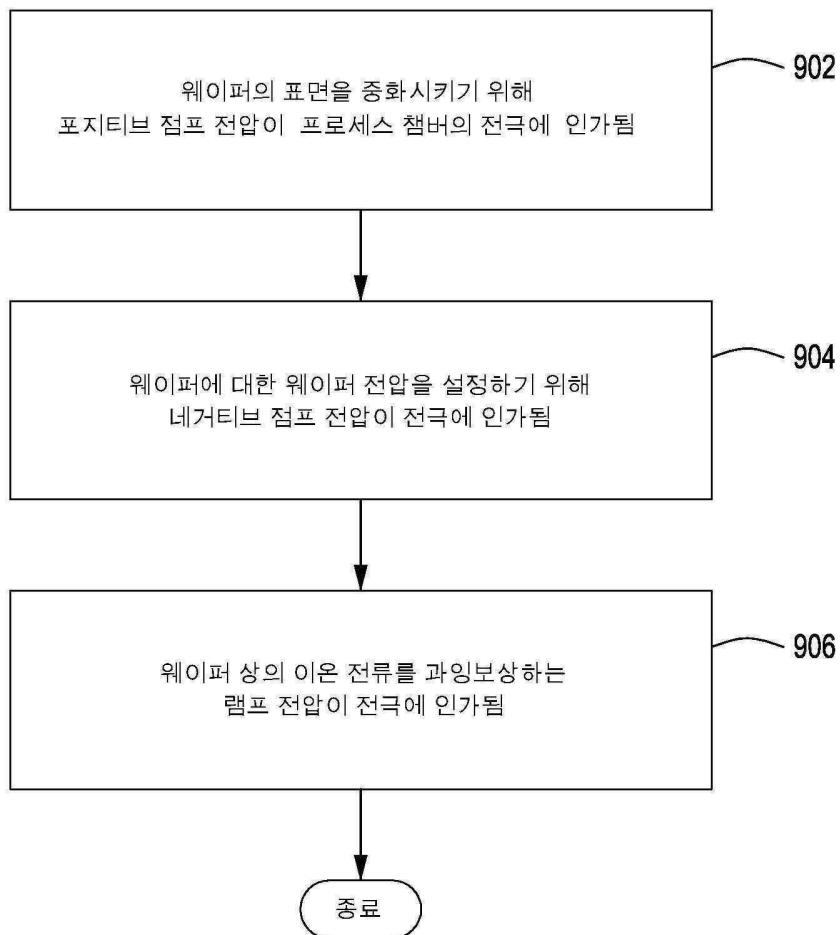
## 도면7



## 도면8



## 도면9



도면10

