

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2025 年 1 月 16 日 (16.01.2025)



(10) 国际公布号
WO 2025/010905 A1

(51) 国际专利分类号:
G09G 3/3208 (2016.01)

(21) 国际申请号: PCT/CN2023/132974

(22) 国际申请日: 2023 年 11 月 21 日 (21.11.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202310835862.5 2023年7月7日 (07.07.2023) CN

(71) 申请人: 武汉华星光电半导体显示技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖新技术开发区高新大道 666 号光谷生物创新园 C5 栋 305 室, Hubei 430079 (CN)。

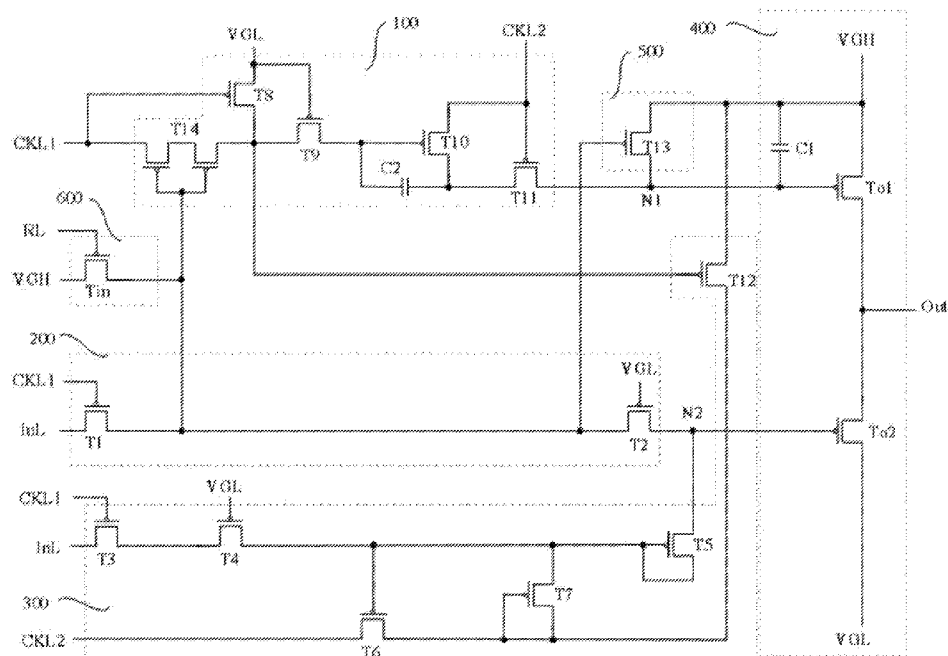
(72) 发明人: 陶宝生 (TAO, Baosheng); 中国湖北省武汉市东湖新技术开发区高新大道 666 号光谷生物创新园 C5 栋 305 室, Hubei 430079 (CN)。

(74) 代理人: 深圳紫藤知识产权代理有限公司 (PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.); 中国广东省深圳市南山区粤海街道大冲社区华润置地大厦 C 座 2901, Guangdong 518052 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) Title: GATE DRIVING CIRCUIT AND DISPLAY PANEL

(54) 发明名称: 栅极驱动电路、显示面板



[图3]

(57) Abstract: A gate driving circuit and a display panel. A first node pull-down module (100) is used to pull down the potential of a first node (N1), and a second node pull-down module (200) is used to pull down the potential of a second node (N2), such that the gate driving circuit has a variable at a signal output end (Out) that is coupled to the second node (N2); and a second node holding module (300) is used to hold the potential of the second node (N2), and an output module (400) is used to output a gate control signal (Scan).

[见续页]



SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种栅极驱动电路及显示面板, 通过第一节点下拉模块(100)拉低第一节点(N1)的电位, 通过第二节点下拉模块(200)拉低第二节点(N2)的电位, 以使栅极驱动电路的信号输出端(Out)具有的变量耦合至第二节点(N2); 通过第二节点维持模块(300)维持第二节点(N2)的电位, 通过输出模块(400)输出栅极控制信号(Scan)。

说明书

发明名称: 栅极驱动电路、显示面板

技术领域

[0001] 本申请涉及显示技术领域，具体涉及一种栅极驱动电路、显示面板。

背景技术

[0002] 现有的栅极驱动电路中（如图1所示），常利用电容C3维持下拉输出晶体管To2的栅极电位。但在下拉输出晶体管To2为P型晶体管时，因P型晶体管导通需满足栅源电压差小于阈值电压，因而，现有的栅极驱动电路输出所需的栅极控制信号Scan时，会存在电压损失的问题。即当下拉输出晶体管To2的栅极电位为 $L+|V_{th}|$ ，漏极电位为低电位L时，下拉输出晶体管To2的源极（即信号输出端OUT）输出电位为 $L+2|V_{th}|$ 才满足 $V_{gs}<V_{th}$ 的导通条件，使下拉输出晶体管To2导通，从而使得输出存在 $2|V_{th}|$ 的电压损失而无法直接输出VGL所对应电压（即如图2所示，输出波形对应具有 $L+2|V_{th}|$ 的拖尾，输出波形需在时钟信号XCK为低电位时才能输出VGL对应的电压）。

发明概述

[0003] 本申请实施例提供一种栅极驱动电路、显示面板，可以实现维持第二节点的电位，改善栅极驱动电路输出的栅极控制信号存在电压损失的问题。

[0004] 本申请实施例提供一种栅极驱动电路，包括第一节点下拉模块、第二节点下拉模块、第二节点维持模块以及输出模块。

[0005] 所述第一节点下拉模块与第一时钟信号线、第二时钟信号线、第一电压端及第一节点电性连接，所述第一节点下拉模块被配置为根据所述第一时钟信号线传输的第一时钟信号、所述第二时钟信号线传输的第二时钟信号及所述第一电压端传输的第一电压拉低所述第一节点的电位。

[0006] 所述第二节点下拉模块与所述第一时钟信号线、下拉控制线及第二节点电性连接，所述第二节点下拉模块被配置为根据所述第一时钟信号及所述下拉控制线

传输的下拉控制信号拉低所述第二节点的电位，以使所述栅极驱动电路的信号输出端具有的变量耦合至所述第二节点。

[0007] 所述第二节点维持模块与所述第一时钟信号线、所述第二时钟信号线、所述下拉控制线及所述第二节点电性连接，所述第二节点维持模块被配置为根据所述第一时钟信号、所述第二时钟信号及所述下拉控制信号维持所述第二节点的电位。

[0008] 所述输出模块与所述第一节点和第二节点电性连接，所述输出模块被配置为根据所述第一节点和所述第二节点的电位控制所述信号输出端输出栅极控制信号。

[0009] 本申请还提供一种显示面板，包括多个任一上述的栅极驱动电路；以及多个子像素，多个所述子像素与多个所述栅极驱动电路电性连接。

附图说明

[0010] 图1是现有的栅极驱动电路的结构示意图；

[0011] 图2是与图1对应的时序图；

[0012] 图3是本申请实施例提供的栅极驱动电路的结构示意图；

[0013] 图4是本申请实施例提供的与图3所示的栅极驱动电路对应的时序图；

[0014] 图5是本申请实施例提供的显示面板的示意图。

本发明的实施方式

[0015] 为使本申请的目的、技术方案及效果更加清楚、明确，以下参照附图并举实施例对本申请进一步详细说明。应当理解，此处所描述的具体实施例仅用以解释本申请，并不用于限定本申请。

[0016] 可选地，在本申请的一些实施例中，所述输出模块包括上拉输出晶体管、下拉输出晶体管以及第一电容。所述上拉输出晶体管的控制端与所述第一节点电性连接，所述上拉输出晶体管的输入端与第二电压端电性连接，所述上拉输出晶体管的输出端与所述信号输出端电性连接；所述下拉输出晶体管的控制端与所述第二节点电性连接，所述下拉输出晶体管的输入端与所述第一电压端电性连

接，所述下拉输出晶体管的输出端与所述信号输出端电性连接；所述第一电容串联于所述第一节点和所述第二电压端之间。

[0017] 可选地，在本申请的一些实施例中，所述第二节点下拉模块包括第一晶体管以及第二晶体管。所述第一晶体管的控制端与所述第一时钟信号线电性连接，所述第一晶体管的输入端与所述下拉控制线电性连接；所述第二晶体管的控制端与所述第一电压端电性连接，所述第二晶体管的输入端与所述第一晶体管的输出端电性连接，所述第二晶体管的输出端与所述第二节点电性连接。

[0018] 可选地，在本申请的一些实施例中，所述第二节点维持模块包括第三晶体管、第四晶体管、第五晶体管、第六晶体管以及第七晶体管。

[0019] 所述第三晶体管的控制端与所述第一时钟信号线电性连接，所述第三晶体管的输入端与所述下拉控制线电性连接；所述第四晶体管的控制端与所述第一电压端电性连接，所述第四晶体管的输入端与所述第三晶体管的输出端电性连接；所述第五晶体管的控制端与所述第四晶体管的输出端电性连接，所述第五晶体管的输入端与所述第五晶体管的控制端电性连接，所述第五晶体管的输出端与所述第二节点电性连接；所述第六晶体管的控制端与所述第五晶体管的控制端电性连接，所述第六晶体管的输入端与所述第二时钟信号线电性连接；所述第七晶体管的控制端及输入端与所述第六晶体管的输出端电性连接，所述第七晶体管的输出端与所述第五晶体管的控制端电性连接。

[0020] 可选地，在本申请的一些实施例中，所述第一节点下拉模块包括第八晶体管、第九晶体管、第十晶体管、第十一晶体管以及第二电容。所述第八晶体管的控制端与所述第一时钟信号线电性连接，所述第八晶体管的输入端与所述第一电压端电性连接；所述第九晶体管的控制端与所述第一电压端电性连接，所述第九晶体管的输入端与所述第八晶体管的输出端电性连接；所述第十晶体管的控制端与所述第九晶体管的输出端电性连接，所述第十晶体管的输入端与所述第二时钟信号线电性连接；所述第十一晶体管的控制端与所述第二时钟信号线电性连接，所述第十一晶体管的输入端与所述第十晶体管的输出端电性连接，所述第十一晶体管的输出端与所述第一节点电性连接；所述第二电容串联于所述第十晶体管的控制端与所述第十晶体管的输出端之间。

- [0021] 可选地，在本申请的一些实施例中，所述第二节点维持模块还包括第十二晶体管，所述第十二晶体管的控制端与所述第八晶体管的输出端电性连接，所述第十二晶体管的输入端与第二电压端电性连接，所述第十二晶体管的输出端与所述第七晶体管的控制端电性连接。
- [0022] 可选地，在本申请的一些实施例中，所述栅极驱动电路还包括第一节点上拉模块，所述第一节点上拉模块包括第十三晶体管，所述第十三晶体管的控制端与所述第一晶体管的输出端电性连接，所述第十三晶体管的输入端与第二电压端电性连接，所述第十三晶体管的输出端与所述第一节点电性连接。
- [0023] 可选地，在本申请的一些实施例中，所述第一节点下拉模块还包括第十四晶体管，所述第十四晶体管的控制端与所述第一晶体管的输出端电性连接，所述第十四晶体管的输入端与所述第一时钟信号线电性连接，所述第十四晶体管的输出端与所述第八晶体管的输出端电性连接。
- [0024] 可选地，在本申请的一些实施例中，所述栅极驱动电路还包括重置模块，所述重置模块包括重置晶体管，所述重置晶体管的控制端与重置控制线电性连接，所述重置晶体管的输入端与第二电压端电性连接，所述重置晶体管的输出端与所述第一晶体管的输出端电性连接。
- [0025] 本申请提供一种栅极驱动电路及显示面板，栅极驱动电路包括第一节点下拉模块、第二节点下拉模块、第二节点维持模块以及输出模块。第一节点下拉模块根据第一时钟信号、第二时钟信号及第一电压拉低第一节点的电位；第二节点下拉模块根据第一时钟信号及下拉控制信号拉低第二节点的电位，以使栅极驱动电路的信号输出端具有的变量耦合至第二节点；第二节点维持模块根据第一时钟信号、第二时钟信号及下拉控制信号维持第二节点的电位；输出模块根据第一节点和第二节点的电位控制信号输出端输出栅极控制信号。通过使栅极驱动电路包括第二节点下拉模块使得第二节点电位被下拉时，信号输出端所具有的变量可被耦合至第二节点，以使第二节点电位进一步下拉，从而使输出模块输出的栅极控制信号具有的电压损失得以降低。通过设置第二节点维持模块，可以使第二节点的电位在被下拉后维持在低电位。显示面板包括多个子像素和多个栅极驱动电路。

- [0026] 具体地，如图3是本申请实施例提供的栅极驱动电路的结构示意图；本申请实施例提供一种栅极驱动电路，包括第一节点下拉模块100、第二节点下拉模块200、第二节点维持模块300以及输出模块400。
- [0027] 所述第一节点下拉模块100与第一时钟信号线CKL1、第二时钟信号线CKL2、第一电压端VGL及第一节点N1电性连接，所述第一节点下拉模块100被配置为根据所述第一时钟信号线CKL1传输的第一时钟信号CK、所述第二时钟信号线CKL2传输的第二时钟信号XCK及所述第一电压端VGL传输的第一电压拉低所述第一节点N1的电位。
- [0028] 所述第二节点下拉模块200与所述第一时钟信号线CKL1、下拉控制线InL及第二节点N2电性连接，所述第二节点下拉模块200被配置为根据所述第一时钟信号CK及所述下拉控制线InL传输的下拉控制信号In拉低所述第二节点N2的电位，以使所述栅极驱动电路的信号输出端Out具有的变量耦合至所述第二节点N2。
- [0029] 所述第二节点维持模块300与所述第一时钟信号线CKL1、所述第二时钟信号线CKL2、所述下拉控制线InL及所述第二节点N2电性连接，所述第二节点维持模块300被配置为根据所述第一时钟信号CK、所述第二时钟信号XCK及所述下拉控制信号In维持所述第二节点N2的电位。
- [0030] 所述输出模块400与所述第一节点N1和第二节点N2电性连接，所述输出模块400被配置为根据所述第一节点N1和所述第二节点N2的电位控制所述信号输出端Out输出栅极控制信号Scan。
- [0031] 通过设置第二节点下拉模块200以在第二节点N2电位被拉低时，使信号输出端Out所具有的变量可耦合至第二节点N2，以进一步拉低第二节点N2的电位，从而使输出模块400可根据第二节点N2的电位快速的将第一电压传输至信号输出端Out，以缩短栅极控制信号Scan由高电平变化至低电平的时长，规避栅极控制信号Scan由高电平变化至低电平时所具有的 $2|V_{th}|$ 的电压损失。其中， V_{th} 为输出模块400所包括的下拉输出晶体管To2的阈值电压。
- [0032] 可选地，请继续参阅图3，所述输出模块400包括上拉输出晶体管To1、下拉输出晶体管To2以及第一电容C1。

- [0033] 所述上拉输出晶体管 T_{o1} 的控制端与所述第一节点 $N1$ 电性连接,所述上拉输出晶体管 T_{o1} 的输入端与第二电压端 V_{GH} 电性连接,所述上拉输出晶体管 T_{o1} 的输出端与所述信号输出端 Out 电性连接;所述上拉输出晶体管 T_{o1} 根据所述第一节点 $N1$ 的电位将所述第二电压端 V_{GH} 输出的第二电压传输至所述信号输出端 Out 。
- [0034] 所述下拉输出晶体管 T_{o2} 的控制端与所述第二节点 $N2$ 电性连接,所述下拉输出晶体管 T_{o2} 的输入端与所述第一电压端 V_{GL} 电性连接,所述下拉输出晶体管 T_{o2} 的输出端与所述信号输出端 Out 电性连接;所述下拉输出晶体管 T_{o2} 根据所述第二节点 $N2$ 的电位将所述第一电压端 V_{GL} 输出的第一电压传输至所述信号输出端 Out 。
- [0035] 所述第一电容 $C1$ 串联于所述第一节点 $N1$ 和所述第二电压端 V_{GH} 之间,所述第一电容 $C1$ 用于维持所述第一节点 $N1$ 的电位。
- [0036] 可选地,所述第一电压小于所述第二电压,以使所述下拉输出晶体管 T_{o2} 导通时,所述栅极驱动电路输出的栅极控制信号 $Scan$ 由所述第一电压下拉至所述第二电压。
- [0037] 可选地,请继续参阅图3,所述第二节点下拉模块200包括第一晶体管 $T1$ 以及第二晶体管 $T2$ 。
- [0038] 所述第一晶体管 $T1$ 的控制端与所述第一时钟信号线 $CKL1$ 电性连接,所述第一晶体管 $T1$ 的输入端与所述下拉控制线 InL 电性连接,所述第一晶体管 $T1$ 的输出端与所述第二晶体管 $T2$ 的输入端电性连接。所述第一晶体管 $T1$ 根据第一时钟信号 CK 将下拉控制信号 In 传输至所述第二晶体管 $T2$ 的输入端。
- [0039] 所述第二晶体管 $T2$ 的控制端与所述第一电压端 V_{GL} 电性连接,所述第二晶体管 $T2$ 的输出端与所述第二节点 $N2$ 电性连接,所述第二晶体管 $T2$ 用于在所述下拉控制信号 In 传输至所述第二晶体管 $T2$ 的输入端时,使所述第二节点 $N2$ 的电位为第一电压与所述第二晶体管 $T2$ 的阈值电压之和。
- [0040] 可选地,请继续参阅图3,所述第二节点维持模块300包括第三晶体管 $T3$ 、第四晶体管 $T4$ 、第五晶体管 $T5$ 、第六晶体管 $T6$ 以及第七晶体管 $T7$ 。

- [0041] 所述第三晶体管T3的控制端与所述第一时钟信号线CKL1电性连接，所述第三晶体管T3的输入端与所述下拉控制线InL电性连接，所述第三晶体管T3的输出端与所述第四晶体管T4的输入端电性连接；所述第三晶体管T3根据第一时钟信号CK将下拉控制信号In传输至所述第四晶体管T4的输入端。
- [0042] 所述第四晶体管T4的控制端与所述第一电压端VGL电性连接，所述第四晶体管T4的输出端与所述第五晶体管T5的控制端电性连接；所述第四晶体管T4用于将下拉控制信号In传输至所述第五晶体管T5的控制端，以控制所述第五晶体管T5的导通与截止。
- [0043] 所述第五晶体管T5的输入端与所述第五晶体管T5的控制端电性连接，所述第五晶体管T5的输出端与所述第二节点N2电性连接；所述第五晶体管T5用于在所述下拉控制信号In传输至所述第五晶体管T5的输入端时，使所述第二节点N2的电位为第一电压与所述第五晶体管T5的阈值电压之和。
- [0044] 所述第六晶体管T6的控制端与所述第五晶体管T5的控制端电性连接，所述第六晶体管T6的输入端与所述第二时钟信号线CKL2电性连接，所述第六晶体管T6的输出端与所述第七晶体管T7的控制端及输入端电性连接，所述第七晶体管T7的输出端与所述第五晶体管T5的控制端电性连接；所述第六晶体管T6根据下拉控制信号In将第二时钟信号XCK传输至第七晶体管T7及第五晶体管T5的控制端。
- [0045] 可选地，请继续参阅图3，所述第一节点下拉模块100包括第八晶体管T8、第九晶体管T9、第十晶体管T10、第十一晶体管T11以及第二电容C2。
- [0046] 所述第八晶体管T8的控制端与所述第一时钟信号线CKL1电性连接，所述第八晶体管T8的输入端与所述第一电压端VGL电性连接，所述第八晶体管T8的输出端与所述第九晶体管T9的输入端电性连接。
- [0047] 所述第九晶体管T9的控制端与所述第一电压端VGL电性连接，所述第九晶体管T9的输出端与所述第十晶体管T10的控制端电性连接。
- [0048] 所述第十晶体管T10的输入端与所述第二时钟信号线CKL2电性连接，所述第十晶体管T10的输出端与所述第十一晶体管T11的输入端电性连接。

- [0049] 所述第十一晶体管T11的控制端与所述第二时钟信号线CKL2电性连接，所述第十一晶体管T11的输出端与所述第一节点N1电性连接。
- [0050] 所述第二电容C2串联于所述第十晶体管T10的控制端与所述第十晶体管T10的输出端之间。
- [0051] 可选地，请继续参阅图3，所述第二节点维持模块300还包括第十二晶体管T12，所述第十二晶体管T12的控制端与所述第八晶体管T8的输出端电性连接，所述第十二晶体管T12的输入端与第二电压端VGH电性连接，所述第十二晶体管T12的输出端与所述第七晶体管T7的控制端电性连接；所述第十二晶体管T12通过第二电压控制所述第七晶体管T7的导通或截止。
- [0052] 可选地，请继续参阅图3，所述栅极驱动电路还包括第一节点上拉模块500，所述第一节点上拉模块500包括第十三晶体管T13，所述第十三晶体管T13的控制端与所述第一晶体管T1的输出端电性连接，所述第十三晶体管T13的输入端与第二电压端VGH电性连接，所述第十三晶体管T13的输出端与所述第一节点N1电性连接；所述第十三晶体管T13通过第二电压上拉所述第一节点N1的电位。
- [0053] 可选地，请继续参阅图3，所述第一节点下拉模块100还包括第十四晶体管T14，所述第十四晶体管T14的控制端与所述第一晶体管T1的输出端电性连接，所述第十四晶体管T14的输入端与所述第一时钟信号线CKL1电性连接，所述第十四晶体管T14的输出端与所述第八晶体管T8的输出端电性连接。
- [0054] 可选地，所述第十四晶体管T14为双栅晶体管，以降低漏电流。
- [0055] 可选地，请继续参阅图3，所述栅极驱动电路还包括重置模块600，所述重置模块600包括重置晶体管Tin，所述重置晶体管Tin的控制端与重置控制线RL电性连接，所述重置晶体管Tin的输入端与第二电压端VGH电性连接，所述重置晶体管Tin的输出端与所述第一晶体管T1的输出端电性连接；所述重置晶体管Tin根据重置控制线RL传输的重置控制信号Rst对第一晶体管T1的输出端的电位进行重置。
- [0056] 图4是本申请实施例提供的与图3所示的栅极驱动电路对应的时序图，以所述栅极驱动电路所包括的晶体管均为P型晶体管为例，对所述栅极驱动电路的工作原理进行说明如下。

- [0057] 第一阶段 t_1 ：第二时钟信号XCK及下拉控制信号In为低电平，第一时钟信号CK及重置控制信号Rst为高电平。
- [0058] 第十一晶体管T11根据第二时钟信号XCK导通，第十晶体管T10的控制端因维持前一阶段为低电平而导通，第十晶体管T10的输入端将第二时钟信号XCK传输至第一节点N1，以使所述上拉输出晶体管To1导通，所述第二电压经所述上拉输出晶体管To1输出至所述信号输出端Out。所述第二时钟信号XCK经所述第二电容C2耦合至所述第十二晶体管T12的控制端，以使所述第十二晶体管T12导通，所述第二电压经所述第十二晶体管T12传输至所述第七晶体管T7的控制端，以使所述第七晶体管T7截止。所述重置晶体管Tin根据所述重置控制信号Rst而截止，所述第一晶体管T1、所述第三晶体管T3及所述第八晶体管T8根据所述第一时钟信号CK而截止，所述第五晶体管T5、所述第六晶体管T6、所述第十三晶体管T13、所述第十四晶体管T14及所述下拉输出晶体管To2的控制端因维持前一阶段的高电平而截止。
- [0059] 第二阶段 t_2 ：下拉控制信号In为低电平，第一时钟信号CK、第二时钟信号XCK及重置控制信号Rst为高电平。
- [0060] 第十一晶体管T11根据第二时钟信号XCK截止，第一电容C1维持所述上拉输出晶体管To1导通，所述第二电压经所述上拉输出晶体管To1输出至所述信号输出端Out。所述重置晶体管Tin根据所述重置控制信号Rst而截止，所述第一晶体管T1、所述第三晶体管T3及所述第八晶体管T8根据所述第一时钟信号CK而截止，所述第五晶体管T5、所述第六晶体管T6、双栅第七晶体管T7、所述第十三晶体管T13、所述第十四晶体管T14及所述下拉输出晶体管To2保持截止。
- [0061] 第三阶段 t_3 ：第一时钟信号CK及下拉控制信号In为低电平，第二时钟信号XCK及重置控制信号Rst为高电平。
- [0062] 所述第一晶体管T1、所述第三晶体管T3及所述第八晶体管T8导通，所述下拉控制信号In经所述第一晶体管T1传输至所述下拉输出晶体管To2、所述第十三晶体管T13及所述第十四晶体管T14的控制端，使得所述下拉输出晶体管To2的控制端的电位变为所述第一电压与所述第三晶体管T3的阈值电压之和（即 $L+|V_{th\_T3}|$ ）。所述第三晶体管T3导通使得所述第五晶体管T5、所述第六晶体管

T6导通，所述第五晶体管T5的控制端的电位变为所述第一电压与所述第四晶体管T4的阈值电压之和。由于P型晶体管需满足栅源压差小于阈值电压而导通，因此，所述下拉输出晶体管To2的控制端的电位为所述第一电压与所述第三晶体管T3的阈值电压之和时，所述信号输出端Out的电位需为所述第一电压与所述第三晶体管T3的阈值电压的2倍之和（即 $L+2|V_{th\_T3}|$ ）才导通。因而所述信号输出端Out由所述第二阶段t2的第二电压变为所述第三阶段t3的 $L+2|V_{th\_T3}|$ ，使得所述信号输出端Out具有电压变化量为 $L+2|V_{th\_T3}|-H$ 。所述信号输出端Out具有的电压变化量经所述下拉输出晶体管To2的栅源之间的寄生电容耦合至所述下拉输出晶体管To2的控制端，使得所述下拉输出晶体管To2的控制端的电位被由 $L+|V_{th\_T3}|$ 下拉至更低的电位，从而使得所述下拉输出晶体管To2完全导通，所述第一电压可经所述下拉输出晶体管To2输出至所述信号输出端Out，使得栅极驱动电路所输出的栅极控制信号Scan在由第二电压转换为第一电压的输出时规避了 $2|V_{th}|$ 的电压损失。所述第十四晶体管T14及所述第八晶体管T8导通，使得所述第十晶体管T10、所述第十二晶体管T12导通。所述第十二晶体管T12及所述第六晶体管T6导通使得所述第七晶体管T7截止。所述第十三晶体管T13导通使得所述第二电压被传输至所述上拉输出晶体管To1的控制端，以控制所述上拉输出晶体管To1截止。其中，H表示第一电压所对应的电压值，L表示第二电压所对应的电压值， V_{th_T3} 表示第三晶体管T3的阈值电压。

[0063] 第四阶段t4：下拉控制信号In为低电平，第一时钟信号CK、第二时钟信号XCK及重置控制信号Rst为高电平。

[0064] 所述第一晶体管T1、所述第三晶体管T3及所述第八晶体管T8根据所述第一时钟信号CK而截止，第十一晶体管T11根据第二时钟信号XCK截止。第一电容C1维持所述上拉输出晶体管To1截止，所述第十三晶体管T13及所述下拉输出晶体管To2保持导通，所述第一电压被传输至所述信号输出端Out，所述第五晶体管T5、所述第六晶体管T6、所述第十晶体管T10、所述第十四晶体管T14保持导通，所述第一时钟信号CK对所述第二电容C2充电，以使所述第十晶体管T10和所述第十二晶体管T12的控制端的电位而升高，所述第二时钟信号XCK经所述第六

晶体管T6传输至所述第七晶体管T7的控制端，以使所述第七晶体管T7截止。所述重置晶体管Tin根据所述重置控制信号Rst而截止。

[0065] 第五阶段t5，所述第二时钟信号XCK及下拉控制信号In为低电平，第一时钟信号CK及重置控制信号Rst为高电平。

[0066] 所述第五晶体管T5、所述第六晶体管T6保持导通（即所述第五晶体管T5、所述第六晶体管T6的控制端的电位为第一电压与所述第四晶体管T4的阈值电压之和 $L+|V_{th\_T4}|$ ），因而第二时钟信号XCK经所述第六晶体管T6使得所述第七晶体管T7的控制端的电位变为 $L+2|V_{th\_T4}|$ ，因此所述第七晶体管T7的控制端由所述第四阶段t4的高电平H1变为第五阶段t5的 $L+|V_{th\_T4}|$ 产生的电压变化量为 $L+2|V_{th\_T4}|-H1$ 。所述第七晶体管T7的控制端所具有的电压变化量经所述第七晶体管T7自身的栅源寄生电容和栅漏寄生电容耦合所述第五晶体管T5和所述第六晶体管T6的控制端的电位，使得所述第五晶体管T5及所述第六晶体管T6的控制端的电位由原来的 $L+|V_{th\_T4}|$ 变成更低的电位，继而使得所述第七晶体管T7的控制端的电位由 $L+2|V_{th\_T4}|$ 进一步降低，之后再次通过所述第七晶体管T7自身的栅源寄生电容和栅漏寄生电容耦合所述第五晶体管T5和所述第六晶体管T6的控制端的电位，使得所述第五晶体管T5及所述第六晶体管T6的控制端的电位进一步降低。由于所述第五晶体的控制端和输入端短接，因此所述第五晶体管T5的控制端和输入端等电位，通过所述第五晶体管T5自身的栅源寄生电容和栅漏寄生电容可耦合所述下拉输出晶体管To2的控制端的电位，以使所述下拉输出晶体管To2的控制端的电位进一步降低，从而确保所述信号输出端Out可长时间稳定的输出低电平。

[0067] 如图5是本申请实施例提供的显示面板的示意图。本申请还提供一种显示面板，包括多个任一上述的栅极驱动电路；以及多个子像素，多个所述子像素与多个所述栅极驱动电路电性连接。

[0068] 可选地，多个所述栅极驱动电路级联设置，多个所述子像素通过多条栅极控制线与多个所述栅极驱动电路电性连接。

[0069] 可以理解的，所述显示面板包括液晶显示面板、自发光显示面板（包括有机发光二极管、次毫米发光二极管、微型发光二极管等发光器件）等。

[0070] 本文中应用了具体个例对本申请的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本申请的方法及其核心思想；同时，对于本领域的技术人员，依据本申请的思想，在具体实施方式及应用范围上均会有改变之处，综上所述，本说明书内容不应理解为对本申请的限制。

权利要求书

- [权利要求 1] 一种栅极驱动电路，其中，包括：
- 第一节点下拉模块，与第一时钟信号线、第二时钟信号线、第一电压端及第一节点电性连接，被配置为根据所述第一时钟信号线传输的第一时钟信号、所述第二时钟信号线传输的第二时钟信号及所述第一电压端传输的第一电压拉低所述第一节点的电位；
- 第二节点下拉模块，与所述第一时钟信号线、下拉控制线及第二节点电性连接，被配置为根据所述第一时钟信号及所述下拉控制线传输的下拉控制信号拉低所述第二节点的电位，以使所述栅极驱动电路的信号输出端具有的变量耦合至所述第二节点；
- 第二节点维持模块，与所述第一时钟信号线、所述第二时钟信号线、所述下拉控制线及所述第二节点电性连接，被配置为根据所述第一时钟信号、所述第二时钟信号及所述下拉控制信号维持所述第二节点的电位；以及
- 输出模块，与所述第一节点和第二节点电性连接，被配置为根据所述第一节点和所述第二节点的电位控制所述信号输出端输出栅极控制信号。
- [权利要求 2] 根据权利要求1所述的栅极驱动电路，其中，所述输出模块包括：
- 上拉输出晶体管，所述上拉输出晶体管的控制端与所述第一节点电性连接，所述上拉输出晶体管的输入端与第二电压端电性连接，所述上拉输出晶体管的输出端与所述信号输出端电性连接；
- 下拉输出晶体管，所述下拉输出晶体管的控制端与所述第二节点电性连接，所述下拉输出晶体管的输入端与所述第一电压端电性连接，所述下拉输出晶体管的输出端与所述信号输出端电性连接；以及
- 第一电容，串联于所述第一节点和所述第二电压端之间。
- [权利要求 3] 根据权利要求1所述的栅极驱动电路，其中，所述第二节点下拉模块包括：

第一晶体管，所述第一晶体管的控制端与所述第一时钟信号线电性连接，所述第一晶体管的输入端与所述下拉控制线电性连接；
第二晶体管，所述第二晶体管的控制端与所述第一电压端电性连接，所述第二晶体管的输入端与所述第一晶体管的输出端电性连接，所述第二晶体管的输出端与所述第二节点电性连接。

[权利要求 4]

根据权利要求3所述的栅极驱动电路，其中，所述第二节点维持模块包括：

第三晶体管，所述第三晶体管的控制端与所述第一时钟信号线电性连接，所述第三晶体管的输入端与所述下拉控制线电性连接；

第四晶体管，所述第四晶体管的控制端与所述第一电压端电性连接，所述第四晶体管的输入端与所述第三晶体管的输出端电性连接；

第五晶体管，所述第五晶体管的控制端与所述第四晶体管的输出端电性连接，所述第五晶体管的输入端与所述第五晶体管的控制端电性连接，所述第五晶体管的输出端与所述第二节点电性连接；

第六晶体管，所述第六晶体管的控制端与所述第五晶体管的控制端电性连接，所述第六晶体管的输入端与所述第二时钟信号线电性连接；

第七晶体管，所述第七晶体管的控制端及输入端与所述第六晶体管的输出端电性连接，所述第七晶体管的输出端与所述第五晶体管的控制端电性连接。

[权利要求 5]

根据权利要求4所述的栅极驱动电路，其中，所述第一节点下拉模块包括：

第八晶体管，所述第八晶体管的控制端与所述第一时钟信号线电性连接，所述第八晶体管的输入端与所述第一电压端电性连接；

第九晶体管，所述第九晶体管的控制端与所述第一电压端电性连接，所述第九晶体管的输入端与所述第八晶体管的输出端电性连接；

第十晶体管，所述第十晶体管的控制端与所述第九晶体管的输出端电性连接，所述第十晶体管的输入端与所述第二时钟信号线电性连接；

第十一晶体管，所述第十一晶体管的控制端与所述第二时钟信号线电性连接，所述第十一晶体管的输入端与所述第十晶体管的输出端电性连接，所述第十一晶体管的输出端与所述第一节点电性连接；

以及

第二电容，串联于所述第十晶体管的控制端与所述第十晶体管的输出端之间。

[权利要求 6] 根据权利要求5所述的栅极驱动电路，其中，所述第二节点维持模块还包括：

第十二晶体管，所述第十二晶体管的控制端与所述第八晶体管的输出端电性连接，所述第十二晶体管的输入端与第二电压端电性连接，所述第十二晶体管的输出端与所述第七晶体管的控制端电性连接。

[权利要求 7] 根据权利要求5所述的栅极驱动电路，其中，所述栅极驱动电路还包括：

第一节点上拉模块，包括第十三晶体管，所述第十三晶体管的控制端与所述第一晶体管的输出端电性连接，所述第十三晶体管的输入端与第二电压端电性连接，所述第十三晶体管的输出端与所述第一节点电性连接。

[权利要求 8] 根据权利要求5所述的栅极驱动电路，其中，所述第一节点下拉模块还包括：

第十四晶体管，所述第十四晶体管的控制端与所述第一晶体管的输出端电性连接，所述第十四晶体管的输入端与所述第一时钟信号线电性连接，所述第十四晶体管的输出端与所述第八晶体管的输出端电性连接。

- [权利要求 9] 根据权利要求8所述的栅极驱动电路，其中，所述第十四晶体管为双栅晶体管。
- [权利要求 10] 根据权利要求8所述的栅极驱动电路，其中，所述栅极驱动电路还包括：
重置模块，包括重置晶体管，所述重置晶体管的控制端与重置控制线电性连接，所述重置晶体管的输入端与第二电压端电性连接，所述重置晶体管的输出端与所述第一晶体管的输出端电性连接。
- [权利要求 11] 一种显示面板，其中，包括：
多个栅极驱动电路，至少一所述栅极驱动电路包括、第一节点下拉模块、第二节点下拉模块、第二节点维持模块及输出模块；所述第一节点下拉模块与第一时钟信号线、第二时钟信号线、第一电压端及第一节点电性连接，所述第一节点下拉模块被配置为根据所述第一时钟信号线传输的第一时钟信号、所述第二时钟信号线传输的第二时钟信号及所述第一电压端传输的第一电压拉低所述第一节点的电位；所述第二节点下拉模块与所述第一时钟信号线、下拉控制线及第二节点电性连接，所述第二节点下拉模块被配置为根据所述第一时钟信号及所述下拉控制线传输的下拉控制信号拉低所述第二节点的电位，以使所述栅极驱动电路的信号输出端具有的变量耦合至所述第二节点；所述第二节点维持模块与所述第一时钟信号线、所述第二时钟信号线、所述下拉控制线及所述第二节点电性连接，所述第二节点维持模块被配置为根据所述第一时钟信号、所述第二时钟信号及所述下拉控制信号维持所述第二节点的电位；所述输出模块与所述第一节点和第二节点电性连接，所述输出模块被配置为根据所述第一节点和所述第二节点的电位控制所述信号输出端输出栅极控制信号；以及
多个子像素，与多个所述栅极驱动电路电性连接。
- [权利要求 12] 根据权利要求11所述的显示面板，其中，所述输出模块包括：

上拉输出晶体管，所述上拉输出晶体管的控制端与所述第一节点电性连接，所述上拉输出晶体管的输入端与第二电压端电性连接，所述上拉输出晶体管的输出端与所述信号输出端电性连接；

下拉输出晶体管，所述下拉输出晶体管的控制端与所述第二节点电性连接，所述下拉输出晶体管的输入端与所述第一电压端电性连接，所述下拉输出晶体管的输出端与所述信号输出端电性连接；以及

第一电容，串联于所述第一节点和所述第二电压端之间。

[权利要求 13] 根据权利要求11所述的显示面板，其中，所述第二节点下拉模块包括：

第一晶体管，所述第一晶体管的控制端与所述第一时钟信号线电性连接，所述第一晶体管的输入端与所述下拉控制线电性连接；

第二晶体管，所述第二晶体管的控制端与所述第一电压端电性连接，所述第二晶体管的输入端与所述第一晶体管的输出端电性连接，所述第二晶体管的输出端与所述第二节点电性连接。

[权利要求 14] 根据权利要求13所述的显示面板，其中，所述第二节点维持模块包括：

第三晶体管，所述第三晶体管的控制端与所述第一时钟信号线电性连接，所述第三晶体管的输入端与所述下拉控制线电性连接；

第四晶体管，所述第四晶体管的控制端与所述第一电压端电性连接，所述第四晶体管的输入端与所述第三晶体管的输出端电性连接；

第五晶体管，所述第五晶体管的控制端与所述第四晶体管的输出端电性连接，所述第五晶体管的输入端与所述第五晶体管的控制端电性连接，所述第五晶体管的输出端与所述第二节点电性连接；

第六晶体管，所述第六晶体管的控制端与所述第五晶体管的控制端电性连接，所述第六晶体管的输入端与所述第二时钟信号线电性连接；

第七晶体管，所述第七晶体管的控制端及输入端与所述第六晶体管的输出端电性连接，所述第七晶体管的输出端与所述第五晶体管的控制端电性连接。

[权利要求 15] 根据权利要求14所述的显示面板，其中，所述第一节点下拉模块包括：

第八晶体管，所述第八晶体管的控制端与所述第一时钟信号线电性连接，所述第八晶体管的输入端与所述第一电压端电性连接；

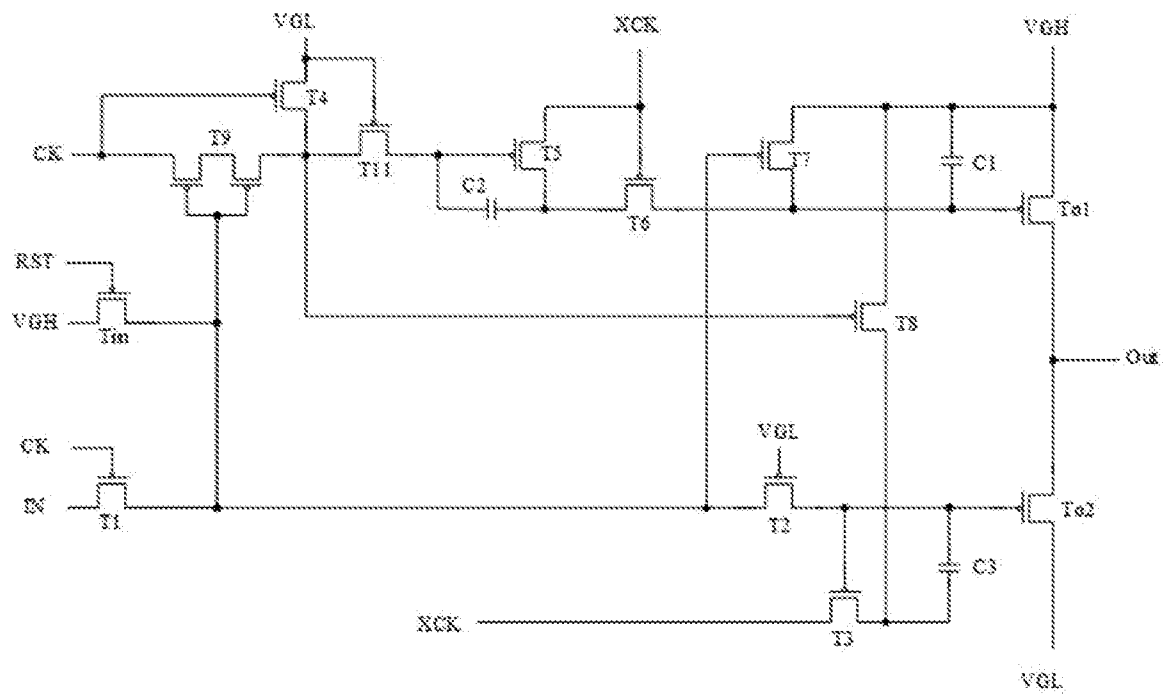
第九晶体管，所述第九晶体管的控制端与所述第一电压端电性连接，所述第九晶体管的输入端与所述第八晶体管的输出端电性连接；

第十晶体管，所述第十晶体管的控制端与所述第九晶体管的输出端电性连接，所述第十晶体管的输入端与所述第二时钟信号线电性连接；

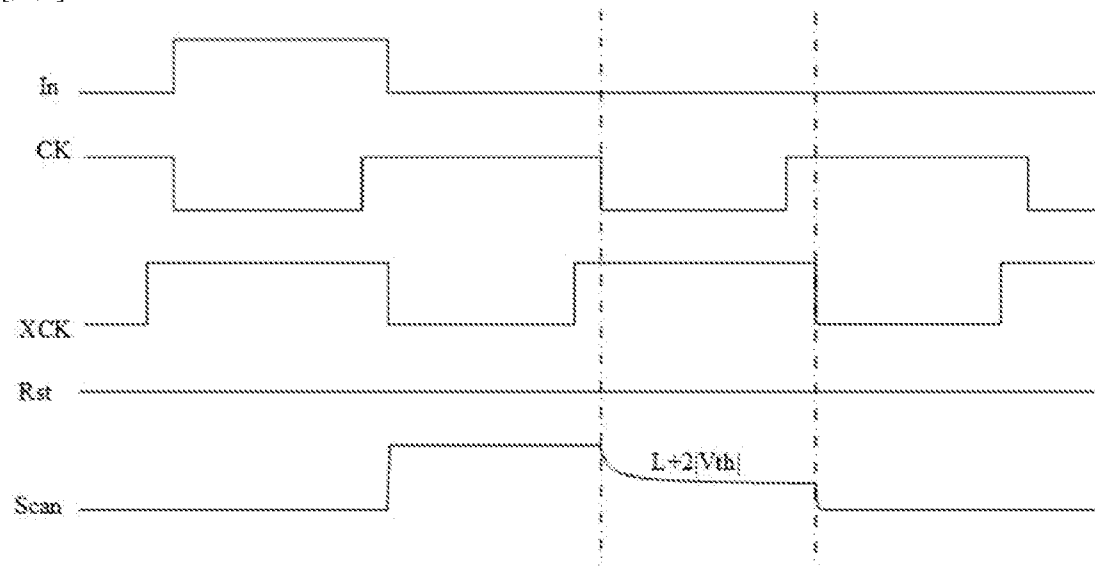
第十一晶体管，所述第十一晶体管的控制端与所述第二时钟信号线电性连接，所述第十一晶体管的输入端与所述第十晶体管的输出端电性连接，所述第十一晶体管的输出端与所述第一节点电性连接；
以及

第二电容，串联于所述第十晶体管的控制端与所述第十晶体管的输出端之间。

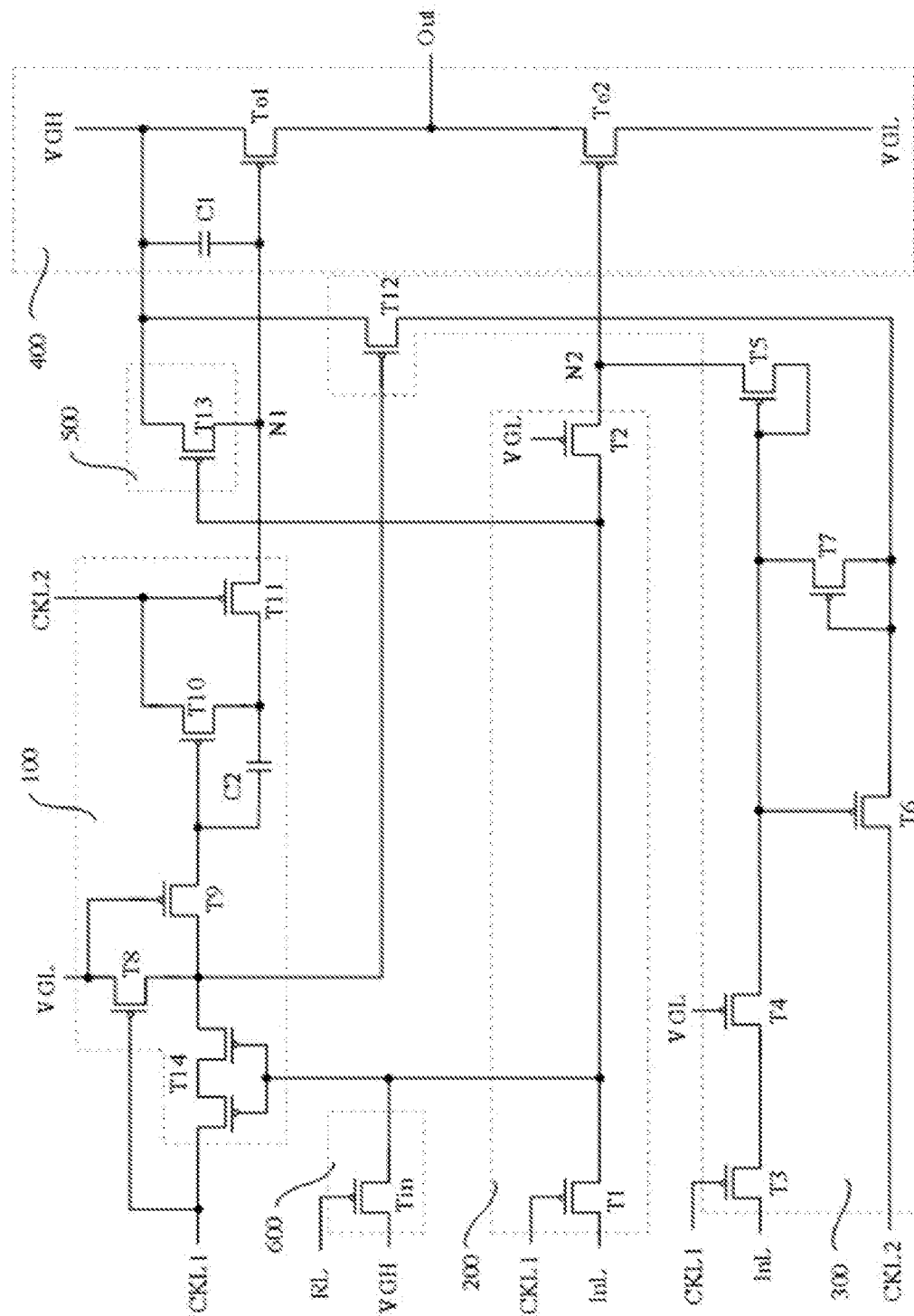
[图1]



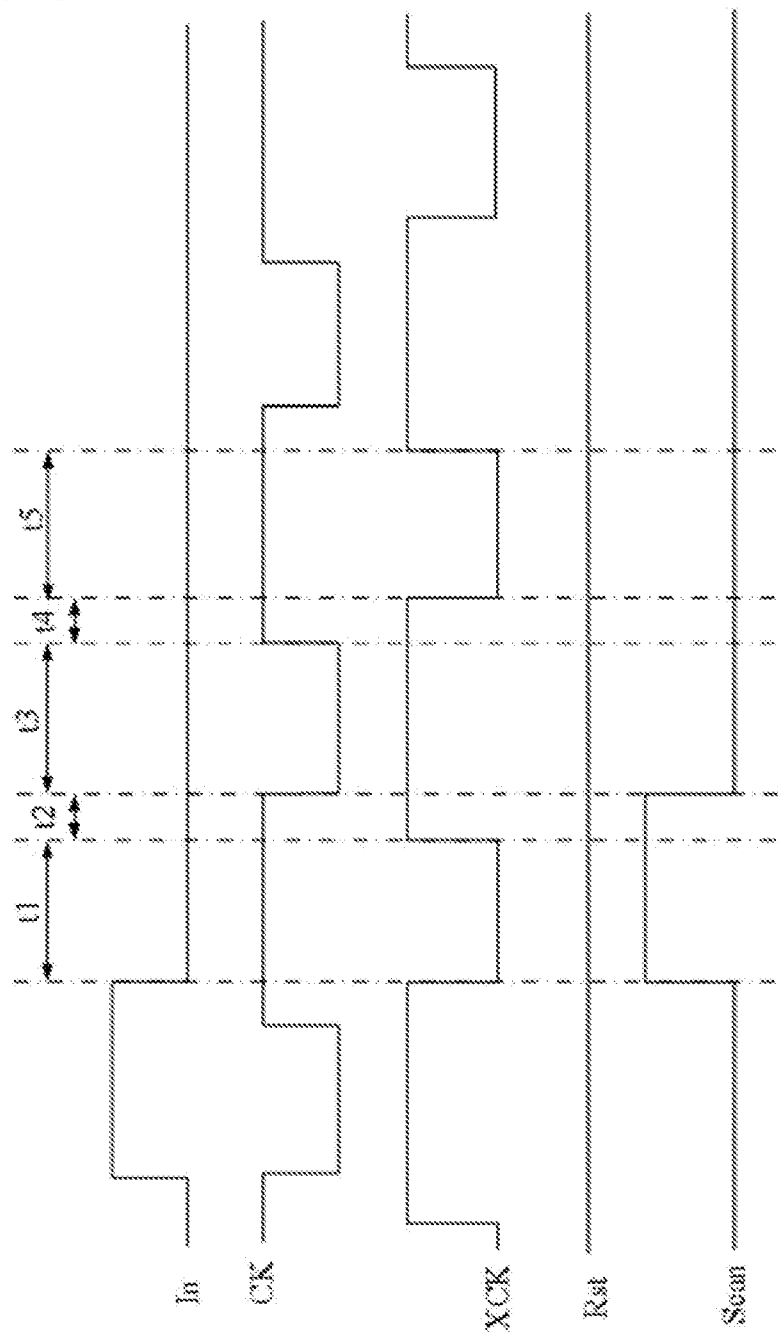
[图2]



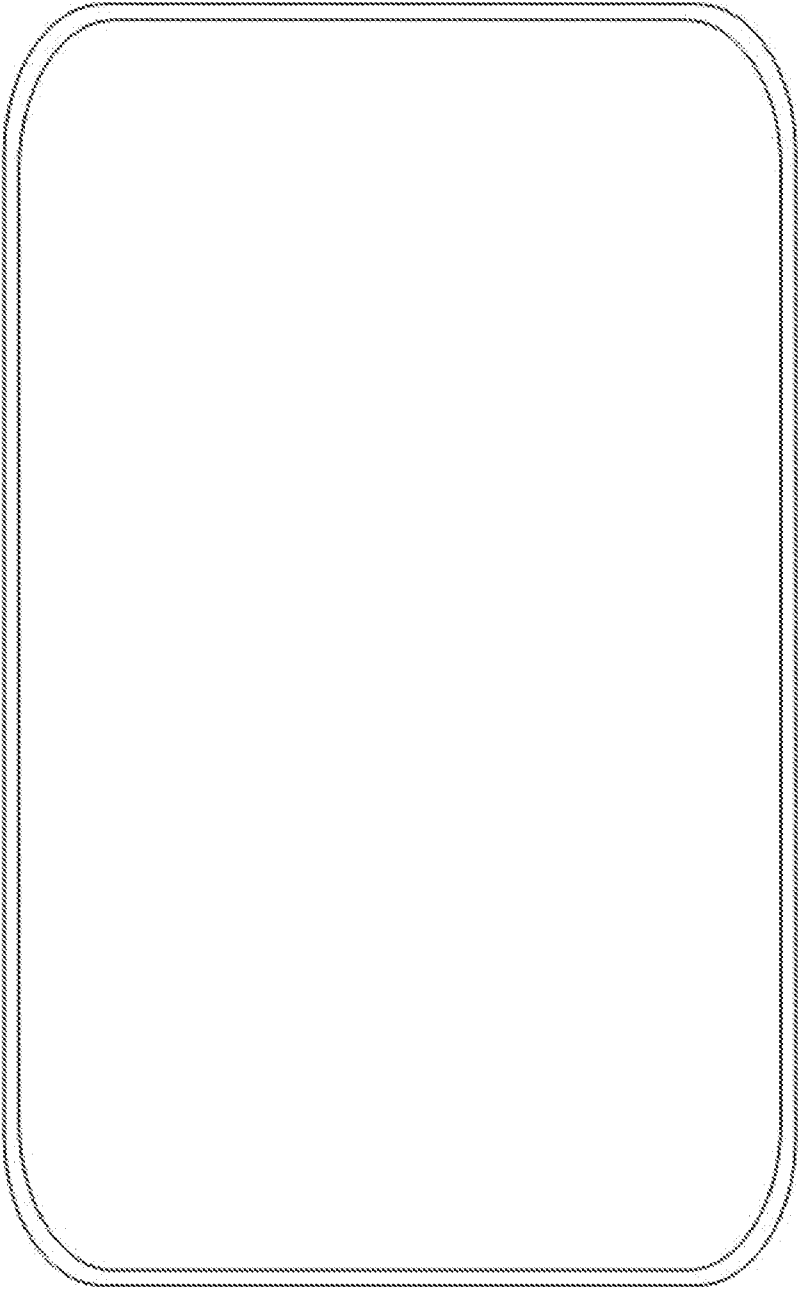
[图3]



[图4]



[图5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/132974

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/3208(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:G09G3

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; VEN; USTXT; ENTXT; ENTXTC; CNKI: 栅极驱动电路, 第一, 第二, 节点, 下拉模块, 下拉单元, 时钟信号, 电位, 电压, 拉低, 降低, 维持, 保持, 输出, 控制信号, 移位寄存器, 晶体管, 十四, grid-driven circuit, first, second, node?, pull w down, drop w down, module?, unit?, clock w signal, electric w potential, pull w down, reduc+, maintain???, keep???, output, control w signal, shifting w register?, transistor?, 14, fo?rteen

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104700803 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 10 June 2015 (2015-06-10) description, paragraphs 55-106, and figures 1-9	1-15
A	CN 101609719 A (AU OPTRONICS CORP.) 23 December 2009 (2009-12-23) entire document	1-15
A	CN 104282255 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 14 January 2015 (2015-01-14) entire document	1-15
A	CN 105185292 A (INFOVISION OPTOELECTRONICS (KUNSHAN) CO., LTD.) 23 December 2015 (2015-12-23) entire document	1-15
A	CN 116364027 A (HKC CO., LTD.) 30 June 2023 (2023-06-30) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “D” document cited by the applicant in the international application
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

18 January 2024

Date of mailing of the international search report

23 January 2024

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/132974

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011232697 A (PANASONIC LIQUID CRYSTAL DISPLAY CO., LTD.) 17 November 2011 (2011-11-17) entire document	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/132974

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	104700803	A	10 June 2015	WO	2016150061	A1	29 September 2016
				US	2017018243	A1	19 January 2017
				US	10121436	B2	06 November 2018
CN	101609719	A	23 December 2009	None			
CN	104282255	A	14 January 2015	None			
CN	105185292	A	23 December 2015	None			
CN	116364027	A	30 June 2023	None			
JP	2011232697	A	17 November 2011	None			

A. 主题的分类

G09G3/3208(2016.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:G09G3

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNTXT;VEN;USTXT;ENTXT;ENTXTC;CNKI; 栅极驱动电路, 第一, 第二, 节点, 下拉模块, 下拉单元, 时钟信号, 电位, 电压, 拉低, 降低, 维持, 保持, 输出, 控制信号, 移位寄存器, 晶体管, 十四, grid-driven circuit,first,second,node?,pull w down,drop w down,module?,unit?,clock w signal,electric w potential,pull w down,reduce+,maintain???,keep???,output,control w signal,shifting w register?,transistor?,14,fo?rteen

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 104700803 A (京东方科技集团股份有限公司等) 2015年6月10日 (2015 - 06 - 10) 说明书第55-106段, 图1-9	1-15
A	CN 101609719 A (友达光电股份有限公司) 2009年12月23日 (2009 - 12 - 23) 全文	1-15
A	CN 104282255 A (京东方科技集团股份有限公司等) 2015年1月14日 (2015 - 01 - 14) 全文	1-15
A	CN 105185292 A (昆山龙腾光电有限公司) 2015年12月23日 (2015 - 12 - 23) 全文	1-15
A	CN 116364027 A (惠科股份有限公司) 2023年6月30日 (2023 - 06 - 30) 全文	1-15
A	JP 2011232697 A (PANASONIC LIQUID CRYSTAL DISPL) 2011年11月17日 (2011 - 11 - 17) 全文	1-15

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年1月18日

国际检索报告邮寄日期

2024年1月23日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

张梦泽

电话号码 (+86) 010-62085779

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/132974

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104700803	A	2015年6月10日	WO	2016150061	A1	2016年9月29日
				US	2017018243	A1	2017年1月19日
				US	10121436	B2	2018年11月6日
CN	101609719	A	2009年12月23日	无			
CN	104282255	A	2015年1月14日	无			
CN	105185292	A	2015年12月23日	无			
CN	116364027	A	2023年6月30日	无			
JP	2011232697	A	2011年11月17日	无			