



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0053683
(43) 공개일자 2016년05월13일

(51) 국제특허분류(Int. Cl.)

H01G 4/12 (2006.01) H01G 2/06 (2006.01)
H01G 4/005 (2006.01) H01G 4/232 (2006.01)
H01G 4/30 (2006.01)

(21) 출원번호 10-2014-0153100

(22) 출원일자 2014년11월05일

심사청구일자 2014년11월05일

(71) 출원인

삼성전기주식회사

경기도 수원시 영통구 매영로 150 (매탄동)

(72) 발명자

이은정

경기도 수원시 영통구 매영로 150 (매탄동)

윤혜선

경기도 수원시 영통구 매영로 150 (매탄동)

(뒷면에 계속)

(74) 대리인

특허법인씨엔에스

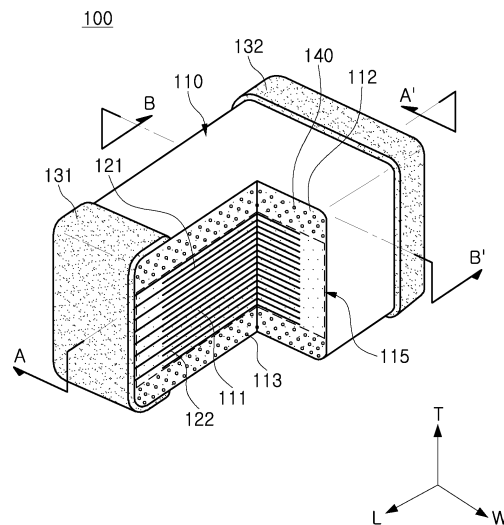
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 적층 세라믹 전자부품 및 적층 세라믹 전자부품의 제조방법

(57) 요약

본 발명의 일 실시형태는 제1 유전체층과 내부전극이 번갈아 배치된 내층부 및 상기 내층부의 상측 및 하측에 배치되는 커버부를 포함하며, 상기 커버부는 산화니켈이 환원되어 형성된 니켈 금속을 포함하는 적층 세라믹 전자부품을 제공한다.

대표도 - 도1



(72) 발명자

이성호

경기도 수원시 영통구 매영로 150 (매탄동)

김효섭

경기도 수원시 영통구 매영로 150 (매탄동)

명세서

청구범위

청구항 1

제1 유전체층과 내부전극이 번갈아 배치된 내층부; 및
상기 내층부의 상측 및 하측에 배치되는 커버부; 를 포함하며,
상기 커버부는 산화니켈이 환원되어 형성된 니켈 금속을 포함하는 적층 세라믹 전자부품.

청구항 2

제1항에 있어서,
상기 커버부는 상기 니켈 금속을 0.18 내지 19 중량% 포함하는 적층 세라믹 전자부품.

청구항 3

제1항에 있어서,
상기 커버부는 상기 니켈 금속을 1.8 내지 9.5 중량% 포함하는 적층 세라믹 전자부품.

청구항 4

제1항에 있어서,
상기 내층부 및 상기 커버부를 포함하는 세라믹 본체의 폭-두께 방향 단면에서, 상기 세라믹 본체의 면적을 A_c , 상기 유전체층을 사이에 두고 상기 내부전극이 중첩되어 용량 형성에 기여하는 용량부의 면적을 A_a 로 규정할 때, $0.2142 \leq A_a/A_c \leq 0.4911$ 를 만족하는 적층 세라믹 전자부품.

청구항 5

제1항에 있어서,
상기 커버부의 두께를 C , 상기 내층부의 폭 방향 마진을 M 으로 규정할 때, $1.826 \leq C/M \leq 4.686$ 를 만족하는 적층 세라믹 전자부품.

청구항 6

제1 유전체 슬러리를 이용하여 제1 그린시트를 복수 개 마련하는 단계;
산화니켈 입자를 포함하는 제2 유전체 슬러리를 이용하여 제2 그린시트를 복수 개 마련하는 단계;
상기 제1 그린시트에 내부전극 패턴을 형성하는 단계;
상기 제1 그린시트 및 제2 그린시트를 적층하여 그린시트 적층체를 마련하는 단계; 및
상기 그린시트 적층체를 소성하여 제1 유전체층 및 내부전극이 번갈아 배치되는 내층부 및 상기 내층부의 상측 및 하측에 배치되는 커버부를 포함하는 세라믹 본체를 마련하는 단계; 를 포함하는 적층 세라믹 전자부품의 제조방법.

청구항 7

제6항에 있어서,

상기 커버부는 상기 그린시트 적층체를 소성하는 과정에서 상기 제2 그린시트에 포함된 산화니켈 입자가 환원되어 형성된 니켈 금속을 포함하는 적층 세라믹 전자부품의 제조방법.

청구항 8

제6항에 있어서,

상기 제2 유전체 슬러리는 산화니켈 입자를 0.1 내지 10 중량% 포함하는 적층 세라믹 전자부품의 제조방법.

청구항 9

제6항에 있어서,

상기 제2 유전체 슬러리는 산화니켈 입자를 1 내지 5 중량% 포함하는 적층 세라믹 전자부품의 제조방법.

청구항 10

제6항에 있어서,

상기 산화니켈 입자는 50nm 내지 200nm의 입경을 갖는 적층 세라믹 전자부품의 제조방법.

청구항 11

제6항에 있어서,

상기 산화니켈 입자는 100 내지 150nm의 입경을 갖는 적층 세라믹 전자부품의 제조방법.

청구항 12

제6항에 있어서,

상기 세라믹 본체의 폭-두께 방향 단면에서, 상기 세라믹 본체의 면적을 A_c , 상기 세라믹 본체 내에서 내부전극이 중첩되어 용량 형성에 기여하는 영역의 면적을 A_a 로 규정할 때, $0.2142 \leq A_a/A_c \leq 0.4911$ 를 만족하는 적층 세라믹 전자부품의 제조방법.

청구항 13

제6항에 있어서,

상기 커버부의 두께를 C , 상기 내층부의 폭 방향 마진을 M 으로 규정할 때, $1.826 \leq C/M \leq 4.686$ 를 만족하는 적층 세라믹 전자부품의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 적층 세라믹 전자부품 및 적층 세라믹 전자부품의 제조 방법에 관한 것이다.

배경 기술

[0002] 일반적으로 커패시터, 인터터, 압전체 소자, 바리스터 또는 서미스터 등의 세라믹 재료를 사용하는 전자부품은 세라믹 재료로 이루어진 세라믹 본체, 본체 내부에 형성된 내부전극 및 상기 내부전극과 접속되도록 세라믹 본체 표면에 설치된 외부전극을 구비한다.

[0003] 고신뢰성을 요구하는 분야들의 많은 기능들이 전자화되고 수요가 증가함에 따라 이에 부합되게 적층 세라믹 전자부품 역시 고신뢰성이 요구된다.

[0004] 이러한 고신뢰성에서 문제가 되는 요소는 크랙발생, 디라미네이션, 내전압 특성 등이 있으며, 적층 세라믹 전자부품의 세라믹 본체 내에 존재하는 잔류 탄소 역시 적층 세라믹 전자부품의 신뢰성에 영향을 미칠 수 있다. 따라서 적층 세라믹 전자부품의 신뢰성을 향상시키기 위해서는 세라믹 본체 내에 잔류하는 탄소의 감소가 필요하다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 대한민국 등록 특허공보 제10-1069989호

발명의 내용

해결하려는 과제

[0006] 본 발명의 일 실시예의 목적은 적층 세라믹 전자부품 및 적층 세라믹 전자부품의 제조방법을 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 일 실시형태는 제1 유전체층과 내부전극이 번갈아 배치된 내층부 및 상기 내층부의 상측 및 하측에 배치되는 커버부를 포함하며, 상기 커버부는 산화니켈이 환원되어 형성된 니켈 금속을 포함하는 적층 세라믹 전자부품을 제공한다.

[0008] 본 발명의 다른 일 실시형태는 제1 그린시트를 복수 개 마련하는 단계, 산화니켈 입자를 포함하는 제2 그린시트를 복수 개 마련하는 단계, 상기 제1 그린시트에 내부전극 패턴을 형성하는 단계, 상기 제1 그린시트 및 제2 그린시트를 적층하여 그린시트 적층체를 마련하는 단계, 상기 그린시트 적층체를 소성하여 제1 유전체층 및 내부전극이 번갈아 배치되는 내층부 및 상기 내층부의 상측 및 하측에 배치되는 커버부를 포함하는 세라믹 본체를 마련하는 단계를 포함하는 적층 세라믹 전자부품의 제조 방법을 제공한다.

[0009] 상기 커버부는 상기 그린시트 적층체를 소성하는 과정에서 상기 제2 그린시트에 포함된 산화니켈 입자가 환원되어 형성된 니켈 금속을 포함한다.

발명의 효과

[0010] 본 발명의 일 실시형태에 의하면 세라믹 본체 내 잔류하는 탄소 성분의 함량이 적은 적층 세라믹 전자부품 및 적층 세라믹 전자부품의 제공이 가능하다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 일부분을 절개하여 개략적으로 도시하는 사시도이다.

도 2는 도 1의 A-A' 단면도이다.

도 3은 도 1의 B-B' 단면도이다.

도 4는 본 발명의 다른 일 실시형태에 따른 적층 세라믹 전자부품의 제조방법을 나타내는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 형태들을 설명한다.
- [0013] 그러나, 본 발명의 실시 형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시 형태로 한정되는 것은 아니다.
- [0014] 또한, 본 발명의 실시 형태는 당해 기술 분야에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다.
- [0015] 도면에서 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있다.
- [0016] 또한, 각 실시 형태의 도면에 나타난 동일한 사상의 범위 내의 기능이 동일한 구성 요소는 동일한 참조 부호를 사용하여 설명한다.
- [0017] 덧붙여, 명세서 전체에서 어떤 구성 요소를 '포함'한다는 것은 특별히 반대되는 기재가 없는 한 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있다는 것을 의미한다.
- [0018] **적층 세라믹 전자부품**
- [0019] 도 1은 본 발명의 일 실시 형태에 따른 적층 세라믹 전자부품을 개략적으로 도시한 사시도이고, 도 2는 도 1의 A-A' 단면도이다.
- [0020] 도 1을 참조하면, 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품(100)은 세라믹 본체(110) 및 외부전극(131, 132)을 포함한다.
- [0021] 본 발명의 일 실시형태에 따르면, 도 1 및 도 2에 도시된 T-방향은 세라믹 본체(110)의 두께 방향, L-방향은 세라믹 본체(110)의 길이 방향이며, W-방향은 세라믹 본체(110)의 폭 방향이다.
- [0022] 상기 두께(T) 방향은 내부전극 및 유전체층의 적층 방향을 의미한다.
- [0023] 도 1 및 도 2를 참조하면, 상기 세라믹 본체(110)는 두께 방향으로 마주보는 상면 및 하면, 폭 방향으로 마주보는 제1 측면 및 제2 측면, 길이 방향으로 마주보는 제3 측면 및 제4 측면을 가질 수 있다. 상기 세라믹 본체(110)의 형상은 특별히 제한은 없다. 예를 들어, 상기 세라믹 본체(110)는 완전한 직선을 가진 육면체 형상은 아니지만 대략적인 육면체 형상으로 이루어질 수 있다.
- [0024] 상기 세라믹 본체(110)는 내층부(115)와 커버부(112, 113)을 포함한다.
- [0025] 상기 내층부(115)는 복수의 제1 유전체층(111)과 내부전극(121, 122)을 포함한다. 본 발명의 일 실시형태에 따르면 도 2에 도시된 바와 같이 상기 유전체층(111) 및 내부전극(121, 122)은 세라믹 본체의 두께(T) 방향으로 적층될 수 있다.
- [0026] 본 발명의 일 실시형태에 의하면, 상기 내층부(115)는 제1 유전체층(111)을 포함하며 상기 커버부는 니켈 금속 입자를 포함한다. 상기 커버부에 포함된 니켈 금속 입자는 커버부 형성을 위한 그린시트에 포함된 산화니켈이 환원되어 형성된 다. 상기 커버부 형성을 위한 그린시트에 포함된 산화니켈은 세라믹 본체의 소성과정에서 산소를 공급하는 역할을 수행하고 니켈 입자로 환원되어 상기 커버부에 포함된다.
- [0027] 이하에서 적층 세라믹 전자부품의 구성에 대하여 보다 자세히 설명하도록 한다.
- [0028] 상기 세라믹 본체는 내부전극(121, 122)이 배치된 복수의 제1 유전체층(111)이 적층된 내층부(115)와 상기 내층

부(115)의 상측 및 하측에 배치되는 커버부(112, 113)를 포함한다.

- [0029] 상기 상측 및 하측, 상면 및 하면은 특별한 표시가 없는한 세라믹 본체에서 별도로 구별되는 것은 아니고 각각 두께 방향 일측 및 타측, 두께 방향으로 대향하는 일면 및 타면과 동일한 의미로 이해될 수 있다.
- [0030] 상기 제1 유전체층(111)은 고유전률을 갖는 세라믹 재료를 포함할 수 있으며, 예를 들어 티탄산바륨(BaTiO_3)계 또는 티탄산스트론튬(SrTiO_3)계 분말을 포함할 수 있으며, 충분한 정전 용량을 얻을 수 있는 한 본 발명이 이에 한정되는 것은 아니다.
- [0031] 또한, 제1 유전체층(111)은 제1 유전체 슬러리로 형성될 수 있으며, 상기 제1 유전체 슬러리는 상기 세라믹 분말과 함께, 필요 시 세라믹 첨가제, 유기용제, 가소제, 결합제 및 분산제 등이 더 첨가될 수 있다.
- [0032] 상기 세라믹 첨가제는 전이금속 산화물 또는 탄화물, 희토류 원소, 마그네슘(Mg) 또는 알루미늄(Al) 등이 있을 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0033] 이때, 제1 유전체층(111)의 두께는 적층 세라믹 커패시터(100)의 용량 설계에 맞추어 임의로 변경할 수 있다.
- [0034] 상기 내부전극은 제1 내부전극(121) 및 제2 내부전극(122)을 포함할 수 있다. 상기 제1 및 제2 내부전극(121, 122)은 제1 유전체층(111)을 사이에 두고 번갈아 배치될 수 있다. 상기 제1 및 제2 내부전극(121, 122)은 중간에 배치된 제1 유전체층(111)에 의해 서로 전기적으로 절연될 수 있다.
- [0035] 제1 내부전극(121) 및 제2 내부 전극(122)은 서로 다른 극성의 전압이 인가되는 전극으로서, 예를 들어, 제1 유전체층(111)의 일면에 소정의 두께로 도전성 금속을 포함하는 도전성 페이스트를 인쇄하여 형성될 수 있다. 상기 제1 내부전극(121)은 상기 세라믹 본체의 제3 측면을 통해 노출되고 상기 제2 내부전극(122)은 상기 세라믹 본체의 제4 측면을 통해 노출될 수 있다.
- [0036] 제1 및 제2 내부 전극(121, 122)은 세라믹 본체(110)의 외부면으로 노출된 부분을 통해 제1 및 제2 외부 전극(131, 132)과 각각 전기적으로 연결될 수 있다.
- [0037] 따라서, 제1 및 제2 외부 전극(131, 132)에 전압을 인가하면 서로 대향하는 제1 및 제2 내부 전극(121, 122) 사이에 전하가 축적되고, 이때 적층 세라믹 커패시터(100)의 정전 용량은 내층부(115)에서 제1 및 제2 내부 전극(121, 122)의 서로 중첩되는 영역의 면적과 비례하게 된다.
- [0038] 또한, 제1 및 제2 내부 전극(121, 122)을 형성하는 도전성 페이스트에 포함되는 도전성 금속은 니켈(Ni), 구리(Cu), 팔라듐(Pd) 또는 이들의 합금일 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0039] 상기 외부전극(131, 132)은 상기 세라믹 본체의 제3 측면 및 제4 측면에 배치되어 상기 제1 내부전극(121) 및 제2 내부전극(122)과 연결될 수 있다. 상기 외부전극(131, 132)은 제1 외부전극(131) 및 제2 외부전극(132)을 포함할 수 있으며, 상기 제1 외부전극(131)은 제1 내부전극(121)과 연결되고 상기 제2 외부전극(132)은 제2 내부전극(121)과 연결될 수 있다.
- [0040] 상기 커버부(112, 113)는 최외측에 배치된 내부전극(121, 122)의 외측에 배치될 수 있다. 상기 커버부(112, 113)는 상기 내층부(115)의 상측에 배치되는 상부 커버부(112)와 상기 내층부(115)의 하측에 배치되는 하부 커버부(113)를 포함할 수 있다.
- [0041] 본 발명의 일 실시형태에 따르면 상기 상부 커버부(112) 및 하부 커버부(113)는 제2 유전체층을 포함할 수

있다. 본 발명의 일 실시형태에 의하면 상기 커버부는 한층 이상의 제2 유전체층을 포함할 수 있으며, 상기 제2 유전체층이 상기 커버부에 2층 이상으로 포함되는 경우 상기 제2 유전체층은 세라믹 본체의 두께 방향으로 적층될 수 있다. 상기 커버부가 2층 이상의 제2 유전체층으로 구성된 경우, 커버부를 구성하는 복수의 제2 유전체층은 소결된 상태에서 인접한 제2 유전체층 끼리의 경계는 확인할 수 없을 정도로 일체화되어 있을 수 있다.

[0042] 상기 제2 유전체층은 제2 유전체 슬러리로 형성될 수 있으며, 상기 제2 유전체 슬러리는 세라믹 분말 및 산화니켈 입자를 포함하며, 필요 시 세라믹 첨가제, 유기용제, 가소제, 결합제 및 분산제 등이 더 첨가될 수 있다.

[0043] 상기 제2 유전체 슬러리는 산화니켈을 0.1 내지 10 중량%로 포함할 수 있다.

[0044] 보다 바람직하게는, 상기 제2 유전체 슬러리는 산화니켈을 1 내지 5 중량% 포함할 수 있다.

[0045] 본 발명의 일 실시형태에 의하면, 상기 커버부(112, 113)는 니켈 금속 입자(140)를 포함한다. 상기 커버부(112, 113)에 포함된 니켈 금속 입자는 제2 유전체 슬러리에 포함된 산화니켈 입자가 환원되어 형성되는 것으로, 상기 커버부는 상기 니켈 금속 입자(140)를 약 0.18 내지 19 중량% 포함할 수 있다.

[0046] 보다 바람직하게는, 상기 커버부는 상기 니켈 금속 입자를 약 1.8 내지 9.5 중량% 포함할 수 있다.

[0047] 내부전극(121, 122)의 두께가 감소하는 경우 내층부(115)의 두께는 감소하지만 커버부(112, 113)의 두께는 증가할 수 있다. 예를 들어, 폭 치수와 두께 치수가 유사하게 형성된 세라믹 본체에서 내층부(115)의 두께가 감소하는 경우 내층부 두께 감소 상쇄를 위해 커버부(112, 113)의 두께는 증가한다.

[0048] 내부전극(121, 122)이 박층화되는 경우 금속을 주성분으로 하는 내부전극의 비율이 감소함에 따라 적층 세라믹 전자부품의 제조 비용이 저감되는 장점이 있다. 하지만 커버부(112, 113)의 두께가 증가하는 경우 세라믹 본체의 소성과정에서 제거되어야 할 탄소 성분이 원활하게 제거되지 않고 세라믹 본체(110) 내에 남아 잔탄 제거가 어려운 문제가 있다.

[0049] 상기 세라믹 본체(110)는 내부전극 페이스트가 인쇄된 제1 그린시트 및 내부전극 페이스트가 인쇄되지 않은 제2 그린시트가 적층된 그린시트 적층체의 소성으로 형성될 수 있다. 상기 제2 그린시트는 산화니켈 입자를 포함한다.

[0050] 내부전극 페이스트가 인쇄된 제1 그린시트는 소성 후 제1 유전체층(111)을 형성하며, 내부전극과 번갈아 배치되는 내층부(115)를 형성한다. 제2 그린시트는 소성 후 커버부(112, 113)에 포함된 제2 유전체층을 형성하며, 상기 제2 유전체층은 상기 제2 그린시트에 포함된 산화니켈 입자가 환원된 니켈 금속 입자(140)를 포함한다. 상기 제1 및 제2 그린시트는 세라믹 본체를 구성하는 유전체 파우더와 상기 유전체 파우더를 결합하는 바인더를 포함할 수 있고 그외 용제 및 기타 첨가제 등을 더 포함할 수 있다. 상기 바인더는 에폭시 수지와 같은 수지 조성물을 포함할 수 있다. 바인더 또는 그외의 탄소를 포함하는 유기 성분은 상기 그린시트 적층체의 소성 시 제거됨이 바람직한 성분으로, 소성과정에서 산소와 결합하여 이산화탄소(CO_2) 등의 형태로 외부로 배출되어 제거된다.

[0051]

[0052] 그린시트 적층체를 소성하여 세라믹 본체를 형성하는 과정에서 유기 성분이 제거되지 않아 세라믹 본체 내에 잔류하는 탄소(잔탄) 함량이 높은 경우 적층 세라믹 전자부품의 강도가 저하될 수 있다. 또한 적층 세라믹 전자부품의 내전압 특성이 저하될 수 있다.

[0053] 그린시트 적층체의 소성과정에서 그린시트 적층체 내의 내부전극은 세라믹 본체 내부로 산소를 공급하고 유기 성분을 배출하는 주요한 경로로 기능한다. 예를 들어, 그린시트 적층체 내의 내부전극은 그린시트 적층체 내부로 산소를 공급하는 경로가 될 수 있고, 산소와 결합된 탄소가 이산화탄소(CO_2)로 배출되는 경로가 될 수 있다.

- [0054] 다만, 커버부(112, 113)의 경우 내부전극이 배치되지 않으므로 산소의 공급과 산화 및 분해된 유기 성분의 배출이 원활하지 못한 문제점이 있다. 이러한 문제점은 내부전극(121, 122)의 박층화로 인하여 커버부(112)의 두께가 증가하는 경우 더욱 부각될 수 있다.
- [0055] 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품은 커버부(112, 113)를 산화니켈을 포함하는 제2 그린시트로 형성함으로써, 커버부(112, 113)의 두께가 증가하더라도 세라믹 본체(110) 내의 유기 성분을 효율적으로 제거하여 세라믹 본체(110) 내 잔탄량을 감소시킬 수 있다.
- [0056] 세라믹 본체의 제조과정에서 내부전극 패턴이 인쇄된 제1 그린시트의 적층체의 상측 및 하측에는 산화니켈 입자를 포함하는 제2 그린시트가 배치될 수 있다. 상기 제2 그린시트 내에 포함된 산화니켈은 소성과정에서 니켈 금속으로 환원되며, 환원 과정에서 산소를 발생시킬 수 있다. 산화니켈의 환원으로 생성된 산소는 세라믹 본체 내의 탄소 성분과 결합되어 이산화탄소로 배출됨으로써 세라믹 본체 내의 탄소 성분을 외부로 배출할 수 있다.
- [0057] 산화니켈이 환원되고 이산화탄소가 형성되는 반응식은 아래 화학식 1 및 화학식 2로 나타낼 수 있다.
- [0058] [화학식 1]
- [0059]
$$\text{NiO} \rightarrow \text{Ni} + (1/2)\text{O}_2$$
- [0060] [화학식 2]
- [0061]
$$\text{C} + \text{O}_2 \rightarrow \text{CO}_2$$
- [0062] 따라서 본 발명의 일 실시형태에 따라 상기 제2 그린시트가 산화니켈을 포함하는 경우 세라믹 본체 내의 잔탄량을 감소시킬 수 있다.
- [0063] 또한 그린시트 적층체의 가소, 소성이 용이하지 않은 경우 내층부와 커버부 사이에 델라미네이션이 발생하거나 세라믹 본체에 크랙이 발생하는 문제가 초래될 수 있다. 하지만 본 발명의 일 실시형태에 의하면 커버부를 형성하는 제2 그린시트가 산화니켈을 포함함으로써, 그린시트 적층체의 가소 및 소성이 용이하여 세라믹 본체의 밀도 및 강도를 향상시킬 수 있다.
- [0064] 상기 제1 그린시트는 상기 제1 유전체 슬러리를 도포 및 건조하여 형성할 수 있으며, 상기 제2 그린시트는 상기 제2 유전체 슬러리를 도포 및 건조하여 형성할 수 있다.
- [0065]
- [0066] 본 발명의 일 실시형태에 의하면 상기 제2 유전체 슬러리는 상기 산화니켈 입자를 약 0.1 내지 10 중량%로 포함할 수 있다.
- [0067] 상기 제2 유전체 슬러리가 산화 니켈 입자를 0.1 중량% 미만으로 포함하는 경우 잔탄량 감소효과가 거의 나타나지 않으며, 10 중량%를 초과하여 포함하는 경우 잔탄 제거 효율이 다시 저하될 수 있다.
- [0068] 또한 산화 니켈이 환원되어 형성되는 니켈 입자의 과량으로 부효과가 발생할 수 있다.
- [0069] 보다 바람직하게 상기 제2 유전체 슬러리는 상기 산화니켈 입자를 1 내지 5 중량%로 포함할 수 있다.
- [0070] 상기 제2 유전체 슬러리가 산화니켈 입자를 0.1 내지 10 중량%로 포함하는 경우, 그린시트의 제조 과정에서 유전체 슬러리에 포함된 용제 등이 제거되어 상기 제2 그린시트는 산화니켈 입자를 약 0.2 내지 20 중량% 포함할 수 있다.
- [0071] 보다 바람직하게 상기 제2 유전체 슬러리가 산화니켈 입자를 1 내지 5 중량% 포함하는 경우, 상기 제2 그린시트

는 산화니켈 입자를 약 2 내지 10 중량% 포함할 수 있다.

- [0072] 상기 제2 그린시트는 소성 후 상부 커버부(112) 및 하부 커버부(113)를 형성할 수 있다. 상기 제2 그린시트 내에 포함된 산화니켈 입자는 상부 커버부(112) 및 하부 커버부(113) 내에 니켈 금속 입자(140)로 환원되어 존재하게 된다. 상기 제2 그린시트가 0.2 내지 20 중량%의 산화니켈 입자를 포함하는 경우 상기 상부 커버부(112) 및 하부 커버부(113)는 상기 니켈 금속 입자를 0.18 내지 19 중량% 포함할 수 있다.
- [0073] 보다 바람직하게 상기 제2 그린시트가 2 내지 10중량%의 산화니켈 입자를 포함하는 경우 상기 상부 커버부(112) 및 하부 커버부(113)는 니켈 금속 입자를 1.8 내지 9.5중량% 포함할 수 있다.
- [0074] 상기 제2 유전체 슬러리에 포함되는 산화니켈 입자는 50 내지 200nm의 입경을 가질 수 있다. 상기 산화니켈 입자의 입경이 50nm 미만인 경우 파우더 응집으로 인하여 잔탄제거 효과가 미비해 질 수 있으며, 상기 산화니켈 입자의 입경이 200nm를 초과하는 경우 산화 니켈 입자의 비표면적 감소로 잔탄제거 효과가 미비할 수 있다.
- [0075] 도 3은 도 1의 적층 세라믹 전자부품을 B-B'선으로 절단하여 개략적으로 도시한 단면도이다.
- [0076] 도 3을 참조하여 상부 및 하부 커버부(112, 113)의 두께를 각각 C로, 내층부(115)의 폭 방향 마진의 치수를 M으로, 세라믹 본체(110)의 폭-두께 방향 단면적을 Ac로, 내층부(115) 내에서 내부전극이 중첩되어 용량이 형성되는 영역인 용량부(117)의 폭-두께 방향 단면적을 Aa로 규정한다.
- [0077] 내층부(115)의 폭 방향 마진은 내층부 내의 용량부(117)의 일 단부에서 세라믹 본체(110)의 폭 방향 일 측면사이의 영역을 의미한다. 상기 내층부(115)의 폭 방향 마진의 치수(M)은 제1 및 제2 내부 전극(121, 122)이 오버랩된 부분의 단부에서 세라믹 본체(110)의 폭 방향 일 측면까지의 거리를 의미한다.
- [0078] 적층 세라믹 전자부품은 유전재료의 압전 특성으로 인해 전원 인가시 내층부(115)의 수축 및 팽창으로 인해 어쿠스틱 노이즈가 발생하고, 특히 고용량 적층 세라믹 전자부품의 경우 이러한 압전 특성이 증가하면서 어쿠스틱 노이즈의 발생이 심화될 수 있다.
- [0079] 이러한 어쿠스틱 노이즈는 필드(field)의 인가 방향으로 발생하는 스트레인(strain)이 주된 원인이므로, 내층부의 상하 측 마진부를 크게하여 어쿠스틱 노이즈를 줄일 수 있다. 내층부의 상하측 마진부는 상부 커버부(112) 및 하부 커버부(113)로 이해될 수 있다.
- [0080] 또한, 일반적으로 어쿠스틱 노이즈는 적층 세라믹 전자부품의 내부전극이 수직으로 실장되는지 또는 내부전극이 수평으로 실장되는지에 따라 그 크기가 다르므로, 적층 세라믹 전자부품을 기판에 실장할 때 실장 방향을 정확하게 확인하여 실장해야 할 뿐만 아니라, 실장 방향이 잘못된 경우 어쿠스틱 노이즈가 설계에 비해 크게 발생하는 문제점이 있었다.
- [0081] 본 발명의 일 실시 형태에 따르면, C/M 은 $1.826 \leq C/M \leq 4.686$ 의 범위를 만족하며, Aa/Ac 는 $0.2142 \leq Aa/Ac \leq 0.4911$ 의 범위를 만족하는 경우, 적층 세라믹 전자부품을 수직 실장하거나 수평 실장하는 두 경우에서 발생하는 어쿠스틱 노이즈의 차이를 최소화시킬 수 있다. 즉, 적층 세라믹 전자부품을 수직 실장하거나 수평 실장하는 경우의 어쿠스틱 노이즈 값의 차이가 크지 않다.
- [0082] 상기 C/M 가 1.826 미만인 경우 어쿠스틱 노이즈의 감소 효과가 크게 나타나지 않으며, 적층 세라믹 전자부품을 수평 실장하는 경우 수직 실장에 비해 어쿠스틱 노이즈가 크게 발생할 수 있다.
- [0083] 또한, 상기 C/M 가 4.686을 초과하는 경우 내층부의 마진이 너무 협소하여 적층체를 하나의 칩으로 절단하는 과정에서 절단 불량률이 발생할 수 있는 확률이 높아지게 된다.

- [0084] 또한, 상기 Aa/Ac 값이 0.2142 미만인 경우 용량이 설계 요구치에 비해 부족하게 나오는 문제점이 발생할 수 있으며, 상기 Aa/Ac 값이 0.4911을 초과하는 수평실장과 수직실장에서의 어쿠스틱 노이즈의 비가 1.1을 초과하여 상이하게 발생하는 문제점이 있을 수 있다.
- [0085] 본 발명의 일 실시형태에 의하면 적층 세라믹 전자부품의 세라믹 본체가 $1.826 \leq C/M \leq 4.686$ 및 $0.2142 \leq Aa/Ac \leq 0.4911$ 의 범위를 만족하는 경우, 용량을 확보하면서, 칩의 실장 방향성을 없앨 수 있다. 이로 인해, 적층 세라믹 전자부품이 기판에 잘못된 방향으로 실장되어 어쿠스틱 노이즈가 크게 증가하는 것을 방지할 수 있으며, 적층체를 하나의 칩으로 절단하는 과정에서 절단 불량 발생을 방지할 수 있다.
- [0086] **적층 세라믹 전자부품의 제조방법**
- [0087] 도 4는 본 발명의 다른 일 실시형태에 따른 적층 세라믹 전자부품의 제조방법을 나타내는 흐름도이다.
- [0088] 본 실시형태에 의한 적층 세라믹 전자부품의 제조 방법은 제1 그린시트를 복수 개 마련하는 단계(S1a), 산화니켈 입자를 포함하는 제2 그린시트를 복수 개 마련하는 단계(S1b), 상기 제1 그린시트에 내부전극 패턴을 형성하는 단계(S2), 그린시트 적층체를 마련하는 단계(S3), 세라믹 본체를 마련하는 단계(S4)를 포함할 수 있다.
- [0089] 본 실시형태에 따른 적층 세라믹 전자부품의 제조방법에 관한 설명 중 상술한 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품과 중복되는 내용은 여기서는 생략하고 차이점을 중심으로 서술하도록 한다.
- [0090] 상기 제1 그린시트는 내층부 형성을 위한 그린시트이며, 상기 제2 그린시트는 커버부를 위한 그린시트이다. 상기 제1 및 제2 그린시트는 각각 복수 개로 형성될 수 있다.
- [0091] 상기 제1 그린시트는 제1 유전체 슬러리로 형성되며, 상기 제2 그린시트는 제2 유전체 슬러리로 형성된다.
- [0092] 상기 제1 그린시트에는 내부전극 패턴이 인쇄될 수 있으며 내부전극 패턴이 인쇄된 제1 그린시트는 적층되어 내층부를 형성할 수 있다.
- [0093] 상기 제2 그린시트는 1층 이상 적층되어 커버부를 형성할 수 있다.
- [0094] 이하에서 각 단계를 상세히 설명하나, 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 제조방법이 이에 제한되는 것은 아니다.
- [0095] 제1 그린시트 위에 소정의 간격을 두고 복수 개의 스트라이프형 제1 내부전극 패턴을 형성한다. 상기 복수 개의 스트라이프형 제1 내부전극 패턴은 서로 평행하게 형성될 수 있다.
- [0096] 상기 소정의 간격은 내부전극이 서로 다른 극성을 갖는 외부전극과 절연되기 위한 거리이다.
- [0097] 또한, 또 다른 제1 그린시트 위에 소정의 간격을 두고 복수 개의 스트라이프형 제2 내부전극 패턴을 형성할 수 있다.
- [0098] 상기 제1 그린시트는 세라믹 파우더, 유기 용제 및 유기 바인더를 포함하는 제1 유전체 슬러리로 형성될 수 있다. 상기 제1 유전체 슬러리는 필요에 따라 분산제, 가소제와 같은 첨가제를 더 포함할 수 있다.
- [0099] 상기 세라믹 파우더는 높은 유전율을 갖는 물질로서 이에 제한되는 것은 아니나 티탄산바륨($BaTiO_3$)계 재료, 납 복합 페로브스카이트계 재료 또는 티탄산스트론튬($SrTiO_3$)계 재료 등을 사용할 수 있으며, 바람직하게는 티탄산바륨($BaTiO_3$) 파우더가 사용될 수 있다. 상기 제1 그린시트가 소성되면 세라믹 본체를 구성하는 유전체층이 된

다.

- [0100] 제1 및 제2 내부전극 패턴은 도전성 금속을 포함하는 내부전극 페이스트에 의하여 형성될 수 있다. 상기 도전성 금속은 이에 제한되는 것은 아니나, Ni, Cu, Pd, 또는 이들의 합금일 수 있다.
- [0101] 상기 제1 그린시트 상에 제1 및 제2 내부전극 패턴을 형성하는 방법은 특별히 제한되지 않으나, 예를 들면 스크린 인쇄법 또는 그라비아 인쇄법과 같은 인쇄법을 통해 형성될 수 있다.
- [0102] 상기 제2 그린시트는 세라믹 파우더, 산화니켈 분말, 유기 용제 및 유기 바인더를 포함하는 제2 유전체 슬러리로 형성될 수 있다.
- [0103] 상기 제2 그린시트는 산화니켈 분말이 더 포함되는 것을 제외하고 상기 제1 그린시트와 동일한 조성의 페이스트로 형성될 수 있으며, 반드시 이에 제한되는 것은 아니고 필요에 따라 상기 제1 그린시트와 다른 조성의 페이스트로 형성될 수 있다.
- [0104] 상기 제2 그린시트는 산화니켈 입자를 0.2 내지 20 중량%로 포함할 수 있으며, 보다 바람직하게 2 내지 10 중량% 포함할 수 있다.
- [0105] 상기 제2 그린시트에 포함된 산화니켈 입자는 50nm 내지 200nm의 입경을 가질 수 있으며, 보다 바람직하게 100 내지 150nm의 입경을 가질 수 있다.
- [0106] 다음으로, 스트라이프형 제1 내부전극 패턴과 스트라이프형 제2 내부전극 패턴이 교차 적층되고, 제1 그린시트 적층체의 상부 및 하부에 제2 그린시트가 배치되도록 상기 제1 및 제2 그린시트를 적층할 수 있다.
- [0107] 다음으로 상기 제1 및 제2 그린시트 적층체는 상기 제1 내부전극 패턴 및 제2 내부전극 패턴이 절단면을 따라 노출되도록 개별 칩 사이즈로 절단될 수 있다.
- [0108] 다음으로 개별 칩 사이즈로 절단된 그린시트 적층체를 소성하여 세라믹 본체를 형성할 수 있다. 이에 제한되는 것은 아니나, 상기 소성은 1100℃ 내지 1300℃의 N₂-H₂ 분위기에서 수행될 수 있다.
- [0109] 또한, 상기 제1 내부전극이 노출된 세라믹 본체의 제3 측면과 상기 제2 내부전극이 노출된 적층 본체의 제4 측면에 각각 외부전극을 형성할 수 있다.
- [0110] 상기 외부전극은 도전성 페이스트를 상기 세라믹 본체의 제3 측면 및 제4 측면에 도포하고 소성하여 형성할 수 있으며, 외부전극의 형상 및 형성방법은 특별히 한정되지 않는다.
- [0111] **실험 예**
- [0112] 티탄산바륨(BaTiO₃) 파우더, 바인더, 용제 및 약 50 내지 200 nm의 산화니켈 파우더를 포함하는 제2 유전체 슬러리를 마련한다.
- [0113] 상기 제2 유전체 슬러리를 PET 필름에 도포하고 건조하여 제2 그린시트를 형성하였다. 다음으로 상기 제2 그린시트를 PET 필름에서 박리하여 적정 두께로 적층하고 절단하여 상하부 커버부 형성을 위한 제2 그린시트 적층체를 마련하였다. 상기 본 실험에 사용된 제2 그린시트 적층체의 사이즈는 가로×세로×높이가 약 2mm × 1mm × 1mm 이었다.

[0114] 하기 표 1은 상기와 같은 방법으로, 제2 유전체 슬러리 중 산화니켈이 5 중량% 첨가되어 마련된 시료 1, 시료 2 및 시료 3의 주자전자현미경(SEM)을 통한 이미지 관찰 결과를 나타내며, 보다 구체적으로 제2 그린시트 적층체의 단면에서 $42\mu\text{m}^2$ 당 티탄산바륨 입자 개수 대비 산화니켈 입자 개수의 검출량을 나타낸다.

[0115] 표 2는 시료 1 내지 3의 ICP 성분분석에 따른 산화니켈 검출량을 나타낸다.

표 1

	티탄산바륨 입자 개수 대비 산화니켈 입자 개수 검출량 ($\%/42\mu\text{m}^2$)
시료 1	0.20
시료 2	0.47
시료 3	0.32

표 2

	ICP 성분분석에 따른 산화니켈 검출량 (ppm)
시료 1	1200
시료 2	5000
시료 3	3500

[0118] 하기 표 3은 산화니켈을 포함하지 않는 비교예의 그린시트 적층체와 상기 시료 1 내지 시료 3의 제2 그린시트 적층체의 초기 가스 시 잔탄량을 나타낸다.

표 3

	잔탄량 (ppm)
비교예	20000
시료 1	13000
시료 2	17000
시료 3	15000

[0120] 상기 표 3을 참조하면, 산화니켈을 포함하지 않는 비교예의 그린시트 적층체보다 시료 1 내지 시료 3의 제2 그린시트 적층체의 잔탄량이 적은 것을 확인할 수 있다.

[0121] 하기 표 4는 제2 유전체 슬러리에 산화니켈 첨가량에 따른 초기 열분해 거동 관찰 시의 무게 감량율을 나타낸다. 하기 표 4에서 산화니켈이 첨가되지 않은 샘플(산화니켈 0 중량%)이 기준 샘플이 되었으며, 산화니켈이 첨가되지 않은 샘플 대비 산화니켈 첨가에 따른 각 샘플의 무게 감량율을 측정하였다.

표 4

산화니켈 함량(중량%)	TGA 무게감량율 (산화니켈 무첨가 감량율 대비)
0	1.000
0.5	1.007
1	1.028
5	1.045
10	1.046
20	1.040

[0123] 상기 표 4를 참조하면, 산화니켈을 포함에 따라 초기 열분해 거동에서 무게 감량율이 증가하다가 오히려 제2 유전체 슬러리가 산화니켈을 10wt% 초과로 포함하는 경우 잔탄 제거 효율이 감소하여 무게 감량율이 감소하는 것을 확인할 수 있다.

[0124]

[0125] 하기 표 5는 제2 유전체 슬러리의 산화니켈 함량에 따른 세라믹 본체의 밀도, 내충부 유전층의 유전율, 손실계수 및 상온 log IR 값을 나타내는 데이터이다.

[0126] 하기 표 5의 결과 도출에 사용된 적층 세라믹 전자부품은 하기와 같은 단계로 마련되었다.

[0127] 티탄산바륨(BaTiO_3) 파우더, 바인더, 용제를 포함하는 제1 유전체 슬러리를 마련한 다음 상기 제1 유전체 슬러리를 PET 필름에 도포하여 제1 그린시트를 형성하였다.

[0128] 한편으로, 티탄산바륨(BaTiO_3) 파우더, 바인더, 용제 및 하기 표 5의 함량에 따라 약 50 내지 200 nm의 산화니켈 파우더를 포함하는 제2 유전체 슬러리를 마련하고, 상기 제2 유전체 슬러리를 PET 필름에 도포하여 제2 그린시트를 형성하였다.

[0129] 다음으로 상기 제1 그린시트 상에 니켈(Ni)을 포함하는 내부전극 페이스트를 도포하였다.

[0130] 이후, 상기 내부전극 페이스트가 도포된 제1 그린시트를 적층하고 상기 제1 그린시트 적층체의 상부 및 하부에 제2 그린시트를 적정 두께로 적층하고 절단하여 세라믹 본체 형성을 위한 그린시트 적층체를 마련하였다.

[0131] 이후, 상기 그린시트 적층체를 탈바인더 처리하고 소성하여 세라믹 본체를 형성하였다. 탈바인더 공정은 약 340℃ 및 850℃에서 60시간 동안 수행되었으며, 소성 공정은 N_2 , H_2 분위기 하, 약 1150℃에서 12시간 동안 수행되었다.

[0132] 본 실험에 사용된 세라믹 본체의 사이즈는 가로×세로×높이가 약 2mm × 1mm×1mm 이었고, 상부 및 하부 커버부의 두께는 각각 약 30μm 이었다.

표 5

[0133]

샘플	산화니켈의 함량 (중량 %)	세라믹 본체 밀도 (g/cm^3)	내충부 유전율	손실계수(%)	상온 log IR
1	0	5.89	1800	1.4	12.5
2	0.25	5.90	1900	1.4	12.6
3	0.5	5.91	2000	1.3	12.8
4	0.75	5.90	2050	1.3	12.6
5	1	5.92	2500	1.2	12.8
6	3	5.90	2400	1.2	12.8
7	5	5.93	3050	1.2	13.2
8	10	6.08	3300	1.2	13.2
9	15	6.15	3400	1.3	13.0
10	20	6.20	3500	1.4	13.0

[0134] 상기 표 5를 참조하면 제2 유전체 슬러리에 포함된 산화니켈의 함량이 1 중량% 미만인 경우 손실계수가 높아지는 문제가 있으며, 산화니켈의 함량이 10 중량%를 초과하는 경우, 손실계수가 증가하고 절연 저항이 낮아질 수 있다.

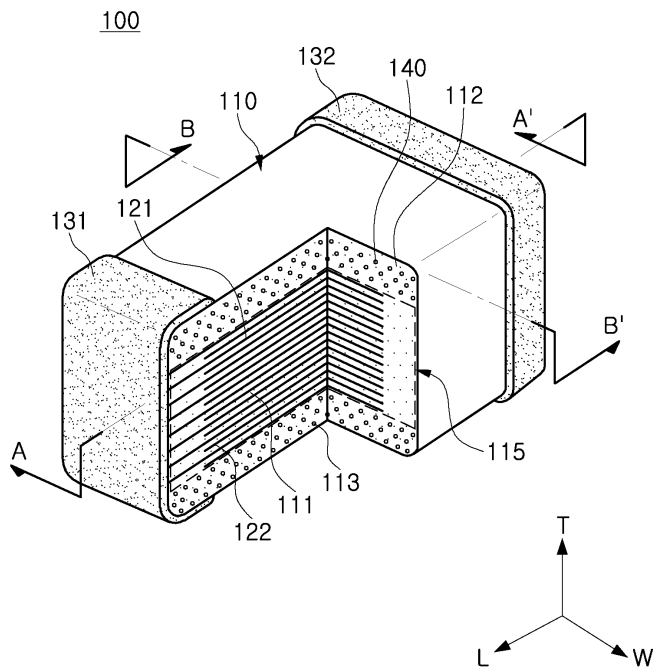
[0135] 이상에서 본 발명의 실시 형태에 대하여 상세하게 설명하였지만 본 발명의 권리 범위는 이에 한정되는 것은 아니고, 청구 범위에 기재된 본 발명의 기술적 사항을 벗어나지 않는 범위 내에서 다양한 수정 및 변형이 가능하다는 것은 당 기술 분야의 통상의 지식을 가진 자에게는 자명할 것이다.

부호의 설명

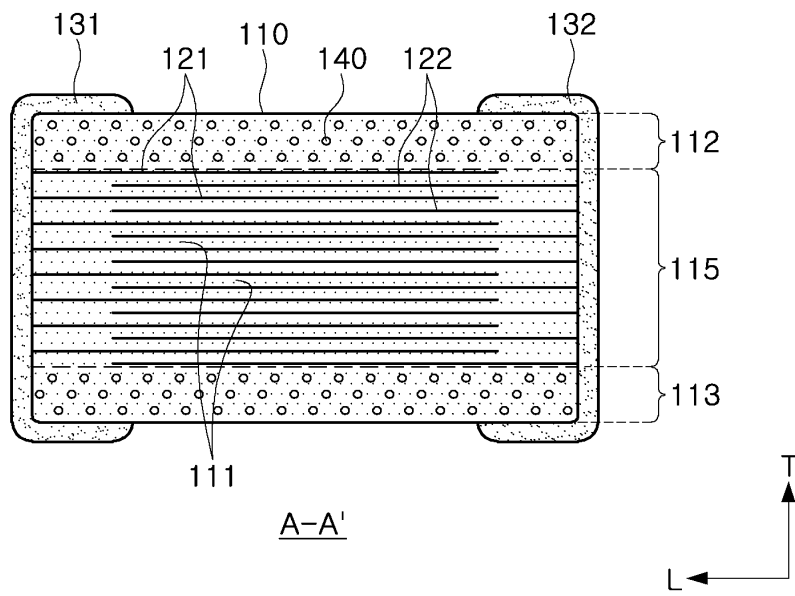
- [0136] 100 ; 적층 세라믹 커패시터
 110 ; 세라믹 본체
 111 ; 제1 유전체층
 112 ; 상부 커버부
 113 ; 하부 커버부
 115 ; 내층부
 121, 122 ; 제1 및 제2 내부 전극
 131, 132 ; 제1 및 제2 외부 전극

도면

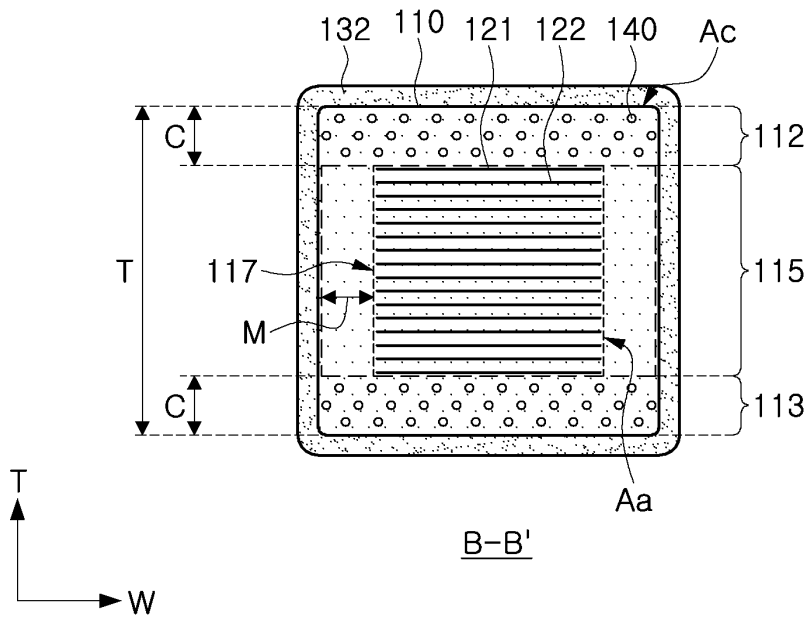
도면1



도면2



도면3



도면4

