(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3938808号
(P3938808)
(45)発行日　平成19年6月27日(2007.6.27)　(24)登録日　平成19年4月6日(2007.4.6)

(51)Int.Cl.　　F I
G11C 11/41 (2006.01)　　G11C 11/34 345
H01L 21/8244 (2006.01)　　H01L 27/10 381
H01L 27/11 (2006.01)

請求項の数 10　(全 20 頁)

(21)出願番号　特願平9-359276
(22)出願日　平成9年12月26日(1997.12.26)
(65)公開番号　特開平11-191291
(43)公開日　平成11年7月13日(1999.7.13)
審査請求日　平成14年10月8日(2002.10.8)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区大手町二丁目６番２号
(74)代理人　100081938
弁理士　徳若　光政
(74)代理人　100075096
弁理士　作田　康夫
(72)発明者　島崎　靖久
東京都小平市上水本町五丁目２０番１号　株式会社日立製作所半導体事業部内
(72)発明者　長田　健一
東京都国分寺市東恋ケ窪一丁目２８０番地　株式会社日立製作所中央研究所内

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】

【請求項１】

複数のワード線と、

複数のビット線と、

前記ワード線とビット線に接続されるメモリセルと、

センスアンプに接続されるセンス用グローバルビット線と、

ライトアンプに接続されるライト用グローバルビット線と、

前記センス用およびライト用グローバルビット線の少なくとも一つと前記ビット線を選択的に接続する選択回路を有し、

第１及び第２のライト用グローバルビット線が、第１及び第２のセンス用グローバルビット線に挟まれて配置され、第１のライト用グローバルビット線と第１のセンス用グローバルビット線が隣接し、第２のライト用グローバルビット線と第２のセンス用グローバルビット線が隣接しており、

第１のライト用グローバルビット線と第１のセンス用グローバルビット線の距離、または、第２のライト用グローバルビット線と第２のセンス用グローバルビット線の距離は、第１及び第２のライト用グローバルビット線の距離よりも大である半導体記憶装置。

【請求項２】

前記ライト用グローバルビット線とセンス用グローバルビット線は、異なる配線層で構成され、隣接するライト用グローバルビット線同士の距離と、隣接するライト用グローバルビット線とセンス用グローバルビット線の距離と、が異なり、

基板側から、前記ビット線を構成する第１の配線層、前記ワード線を構成する第２の配線層、前記センス用グローバルビット線を構成する第３の配線層、前記ライト用グローバルビット線を構成する第４の配線層、を有する請求項１記載の半導体記憶装置。

【請求項３】

前記第１のライト用グローバルビット線と第２のライト用グローバルビット線が、交差する部分を設ける請求項１または請求項２に記載の半導体記憶装置。

【請求項４】

前記第１のライト用グローバルビット線と第２のライト用グローバルビット線が、周期的に交差しその位置が入れ換わる請求項１乃至３のうちの何れかに記載の半導体記憶装置。

【請求項５】

複数のワード線と、

複数のビット線と、

前記ワード線とビット線に接続されるメモリセルと、

前記複数のワード線と、前記複数のビット線と、前記メモリセルとにより構成される矩形状の第１の領域と、

センスアンプに接続され第一の配線層で構成されるセンス用グローバルビット線と、

ライトアンプに接続され第二の配線層で構成されるライト用グローバルビット線と、

前記センス用およびライト用グローバルビット線の少なくとも一つと前記ビット線を選択的に接続する選択回路と、

前記選択回路が配置される矩形状の第２の領域と、

を有し、

前記選択回路は、前記第１領域と前記第２領域とが並ぶ前記第２領域の一辺と平行である第１方向に沿って配置され、

前記センス用グローバルビット線とライト用グローバルビット線とは、前記一辺に直交する方向に前記第１と第２の領域を横断し、

隣接する前記２本のライト用グローバルビット線は、前記第一の配線層と前記第一の配線層と前記第二の配線層を接続する複数のビアホールを有し前記隣接する２本のライト用グローバルビット線が交差する様に構成される交差部分を有し、

前記交差部分は前記第２の領域に含まれ、

隣接する前記２本のライト用グローバルビット線は前記交差部分を除いて第二の配線層で構成されていることを特徴とする半導体記憶装置。

【請求項６】

前記隣接する２本のライト用グローバルビット線は、２本のセンス用グローバルビット線に挟まれて配置されている請求項５記載の半導体記憶装置。

【請求項７】

前記第１及び第２の領域の組が複数個、前記センス用グローバルビット線とライト用グローバルビット線の延びる方向に沿って配置され、メモリバンク列を構成する請求項６記載の半導体記憶装置。

【請求項８】

前記メモリバンク列の一端に、前記センスアンプおよびライトアンプを有する第３の領域を設けた請求項７記載の半導体記憶装置。

【請求項９】

前記メモリバンク列を前記第１方向に２つ配置し、前記２つのメモリバンクの間にデコーダおよびワードドライバを有する第４の領域を設けた請求項８記載の半導体記憶装置。

【請求項１０】

請求項１または請求項５に記載の半導体記憶装置において、

第１の期間で、前記センス用グローバルビット線と、前記ライト用グローバルビット線とは駆動する期間が重なる半導体記憶装置。

【発明の詳細な説明】

【０００１】
【発明の属する技術分野】
本発明は半導体記憶装置にかかわり、特にマイクロプロセッサやマイクロコンピュータ等のデータ処理装置に内蔵されるキャッシュメモリに適用して有効な技術に関する。
【０００２】
【従来の技術】
キャッシュメモリの高速化のためには、キャッシュの書込みと読み出しを同時に行うことができることが望ましい。このために、２つのグローバルビット線により、リード・ライトを並列処理する構成が、特願平９－１６２２３号に開示されている。
【０００３】
【発明が解決しようとする課題】
しかし、２つのグローバルビット線を並列的に動作させることにより、信号のクロストークの問題が派生する。本願発明は、このようなクロストークの問題を回避しつつ、高速なアクセスを実現することを目的とする。
【０００４】
また、本発明の他の課題は、高速なアクセスを実現しうるキャッシュメモリに好適な半導体記憶装置のレイアウトあるいは構造を提案することにある。
【０００５】
【課題を解決するための手段】
上記の課題を解決するために、本願発明の一つの側面である半導体記憶装置は、複数のワード線と、複数のビット線と、これらワード線とビット線に接続されるメモリセルと、センスアンプに接続されるセンス用グローバルビット線と、ライトアンプに接続されるライト用グローバルビット線と、これらのセンス用およびライト用グローバルビット線の少なくとも一つとビット線を選択的に接続する選択回路を有している。
【０００６】
そして、第１及び第２のライト用グローバルビット線が、第１及び第２のセンス用グローバルビット線に挟まれて配置され、第１のライト用グローバルビット線と第１のセンス用グローバルビット線が隣接し、第２のライト用グローバルビット線と第２のセンス用グローバルビット線が隣接しており、第１のライト用グローバルビット線と第１のセンス用グローバルビット線の距離、または、第２のライト用グローバルビット線と第２のセンス用グローバルビット線の距離は、第１及び第２のライト用グローバルビット線の距離よりも大きく設定されている。このような構成でライトとリードのグローバルビット線のクロストーク、特にライト用ビット線からのリード用ビット線への影響を減少することができる。
【０００７】
具体的なデバイス構造としては、ライト用グローバルビット線とセンス用グローバルビット線は、同一の配線層で構成され、ライト用グローバルビット線同士の水平方向の距離と、異なる種類のグローバルビット同士の水平方向の距離が異なるものとする。このとき、
基板側から、前記ビット線を構成する第１の配線層、ワード線を構成する第２の配線層、ライト用およびセンス用グローバルビット線を構成する第３の配線層のように構成することができる。
【０００８】
他の例としては、ライト用グローバルビット線とセンス用グローバルビット線は、異なる配線層で構成され、ライト用グローバルビット線同士の距離と、異なる種類のグローバルビット同士の距離が異なるものとする。このようにすれば、ビット線間のピッチを換えることなく、クロストーク低減の効果を得ることができる。
【０００９】
具体構成としては、基板側から、ビット線を構成する第１の配線層、ワード線を構成する第２の配線層、センス用グローバルビット線を構成する第３の配線層、ライト用グローバルビット線を構成する第４の配線層、を有する半導体記憶装置とすることができる。

【００１０】
さらに、第１のライト用グローバルビット線と第２のライト用グローバルビット線が、交差する部分を設けることも好適である。すなわち、第１のライト用グローバルビット線と第２のライト用グローバルビット線が、交差することにより、周期的にその位置が入れ換わる。このような構成により、ライト用グローバルビット線の影響をさらに低減することができる。
【００１１】
本願発明の他の一側面は、複数のワード線と、複数のビット線と、ワード線とビット線に接続されるメモリセルと、センスアンプに接続されるセンス用グローバルビット線と、ライトアンプに接続されるライト用グローバルビット線と、センス用およびライト用グローバルビット線の少なくとも一つとビット線を選択的に接続する選択回路を有し、 隣接する２本のライト用グローバルビット線が交差する部分を有する。
【００１２】
ここで、隣接する２本のライト用グローバルビット線は、２本のセンス用グローバルビット線に挟まれて配置されるようにしてもよい。さらには、ライト用グローバルビット線どうしの最短距離は、ライト用グローバルビット線とセンス用グローバルビット線の最短距離よりも大とすることが望ましい。
【００１３】
具体的な回路レイアウトとしては、複数のワード線、複数のビット線、ワード線とビット線に接続されるメモリセルが矩形状の第１の領域を構成し、この第１の領域の一辺に沿って前記選択回路が配置される矩形状の第２の領域を配置し、センス用グローバルビット線とライト用グローバルビット線とが、上記の一辺に直交する方向に第１と第２の領域を横断するように構成することができる。
【００１４】
そして、第２の領域において２本のライト用グローバルビット線が交差するように構成すればよい。また、第１及び第２の領域の組が複数個、センス用グローバルビット線とライト用グローバルビット線の延びる方向に沿って配置され、メモリバンク列を構成するようにしてもよい。また、さらに、メモリバンク列の一端に、センスアンプおよびライトアンプを有する第３の領域を設けることとしてもよい。また、メモリバンク列を２列平行に配置し、その間にデコーダおよびワードドライバを配置することとしても良い。
【００１５】
本発明の提案する半導体記憶装置の全体的レイアウトは、複数のワード線と、複数のビット線と、上記ワード線とビット線に接続されるメモリセルとが矩形状の第１の領域を構成し、センスアンプに接続されるセンス用グローバルビット線と、ライトアンプに接続されるライト用グローバルビット線と、センス用およびライト用グローバルビット線の少なくとも一つと上記ビット線を選択的に接続する選択回路を有する。
【００１６】
そして、第１の領域の一辺に沿って選択回路が配置される矩形状の第２の領域を配置し、センス用グローバルビット線とライト用グローバルビット線とが、上記一辺に直交する方向に上記第１と第２の領域を横断する。さらに、第１及び第２の領域の組が複数個、センス用グローバルビット線とライト用グローバルビット線の延びる方向に沿って配置されてメモリバンク列を構成し、メモリバンク列の一端にセンスアンプおよびライトアンプを有する第３の領域を設ける。
【００１７】
具体的には、センスアンプはライトアンプよりもメモリバンク列に近く配置されることが望ましい。センスアンプの方が微弱な信号を扱うためである。また、センスアンプはメモリバンク列に近い側から、初段、中段、後段のセンスアンプよりなり、初段を構成するトランジスタのゲート長は、中断、後段を構成するトランジスタのゲート長より大きいようにしてもよい。プロセス的な側面から、初段を構成するトランジスタの中に、動作することのないダミートランジスタを含むこととしてもよい。

【００１８】
中段または後段を構成するトランジスタは、センス用グローバルビット線とライト用グローバルビット線の延びる方向にソース、ゲート、ドレインが並ぶようにすればよい。選択回路は、リード用選択スイッチとライト用選択スイッチを含み、リード用選択スイッチがライト用選択スイッチよりも、前記第１の領域に近く配置されているようにしてもよい。
【００１９】
これに加えて、ライト用グローバルビット線は２本平行して配置して有り、周期的に左右の位置がクロスするようにすれば、ライト用グローバルビット線のセンス用グローバルビット線への影響を低減することができる。そのとき、第２の領域においてライト用グローバルビット線がクロスするのが好適である。
【００２０】
さらに、一つの第２の領域においてライト用グローバルビット線がクロスする箇所が選択回路より第１の領域に近い場合、これに隣接する他の第２の領域においてライト用グローバルビット線がクロスする箇所が選択回路より第１の領域に遠くなるように交互に構成すると、いずれのメモリバンク列内においても、２本のグローバルビット線の左右の位置関係が同じになるので、設計、製造が簡単になる。
【００２１】
【発明の実施の形態】
以下、本発明に係る半導体記憶装置の好適ないくつかの実施例につき、図面を用いて説明する。
【００２２】
＜実施例１＞
図１は、本発明に係る半導体記憶装置の一実施例を示す回路図である。半導体記憶装置１００は、半導体集積回路製造技術を用いて単結晶シリコンのような１個の半導体基板に形成される。複数のメモリセルＣＥＬＬがマトリックス状（行列状）に配置され、メモリアレイを構成する。メモリアレイは、n個のバンク（ＢＡＮＫ１～ＢＡＮＫｎ）に分割される。
【００２３】
ここで、　ＰＣ１～ＰＣｎはプリチャージ回路、ＹＳＷ１～ＹＳＷｎはＹスイッチ、ＳＡは各バンクで共用されるセンスアンプ、ＷＡは各バンクで共用されるライトアンプ、ＲＰＣは読み出し用グローバルビット線プリチャージ回路、ＷＰＣは書き込み用グローバルビット線プリチャージ回路、ＲＥＡＤ　ＤＡＴＡは読み出しデータ、ＷＲＩＴＥ　ＤＡＴＡは書き込みデータ、ＷＧＢＬ、ＷＧＢＬＢは書き込み用グローバルビット線、ＲＧＢＬ、ＲＧＢＬＢは読み出し用グローバルビット線、ＬＢＬ０、ＬＢＬＢ０、ＬＢＬ１、ＬＢＬＢ１、ＬＢＬ２、ＬＢＬＢ２、ＬＢＬ３、ＬＢＬＢ３はローカルビット線、１０１はデコーダおよびワードドライバである。
【００２４】
図２は、図１のメモリセルＣＥＬＬの構成を詳細に示したものである。メモリセルＣＥＬＬは、１対のＣＭＯＳインバータの入力と出力が互いに接続されて構成されるフリップ・フロップ（Ｐチャネル型ＭＯＳトランジスタＭＰ０１、ＭＰ０２、Ｎチャネル型トランジスタＭＮ０１、ＭＮ０２で構成される）と、前記フリップ・フロップのノードＮとノードＮＢとをローカルビット線（ＬＢＬ０、ＬＢＬＢ０）に選択的に接続するＮチャネル型ＭＯＳトランジスタＭＮ０３、ＭＮ０４とで構成される。Ｎチャネル型ＭＯＳトランジスタＭＮ０３、ＭＮ０４のゲートには、ワード線ＷＬが接続される。
【００２５】
図３は、図１におけるプリチャージ回路ＰＣ１とＹスイッチ回路ＹＳＷ１の構成を詳細に示したものである。バンク内のビット線であるローカルビット線（ＬＢＬ０、ＬＢＬＢ０、ＬＢＬ１、ＬＢＬＢ１、ＬＢＬ２、ＬＢＬＢ２、ＬＢＬ３、ＬＢＬＢ３）は、Ｐチャネル型ＭＯＳトランジスタＭＰ１を用いて”ＨＩＧＨ”レベルにプリチャージできるようになっている。また、ローカルビット線（ＬＢＬ０、ＬＢＬＢ０、ＬＢＬ１、ＬＢＬＢ１、

ＬＢＬ２、ＬＢＬＢ２、ＬＢＬ３、ＬＢＬＢ３）は、４カラムを一単位として、Ｐチャネル型ＭＯＳトランジスタＭＰ１３～ＭＰ２０、Ｎチャネル型ＭＯＳトランジスタＭＮ１～ＭＮ８を介して、バンクを横断するようにローカルビット線と並行に形成されるグローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ、ＷＧＢＬ、ＷＧＢＬＢ）に接続される。

【００２６】

グローバルビット線は、読み出し用ビット線（ＲＧＢＬ、ＲＧＢＬＢ）と、書き込み用ビット線（ＷＧＢＬ、ＷＧＢＬＢ）に分けられている。ＰチャネルＭＯＳトランジスタＭＰ１３、ＭＰ１４のゲートには、信号線ＲＳＷ０が接続される。データの読み出し時にはローカルビット線（ＬＢＬ０、ＬＢＬＢ０）は、プリチャージ回路ＰＣ１で一度“ＨＩＧＨ”レベルにプリチャージされ、“ＨＩＧＨ”レベル付近で振幅するだけなので、Ｐチャネル型ＭＯＳトランジスタのみで、ローカルビット線（ＬＢＬ０、ＬＢＬＢ０）の信号をデータ読み出し用のグローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）に伝えることができる。

【００２７】

ＮチャネルＭＯＳトランジスタＭＮ１、ＭＮ２のゲートには、信号線ＷＳＷ０が接続される。データの書き込み時には、データ書き込み用のグローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）の“ＬＯＷ”レベルの信号は、ローカルビット線（ＬＢＬ０、ＬＢＬＢ０）に正確に伝える必要があるが、“ＨＩＧＨ”レベルの信号は多少レベルが下がって伝わっても問題ないので、ＮチャネルＭＯＳトランジスタのみで、ローカルビット線（ＬＢＬ０、ＬＢＬＢ０）とデータ書き込み用のグローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）を接続すればよい。　データ読み出し用のグローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）は、Ｙスイッチ（ＹＳＷ１～ＹＳＷｎ）を介してローカルビット線と接続されると共に、読み出し用グローバルビット線プリチャージ回路ＲＰＣ、センスアンプ・ラッチ回路ＳＡに接続される。

【００２８】

図４は、図１における読み出し用グローバルビット線プリチャージ回路ＲＰＣ、センスアンプ・ラッチ回路ＳＡの構成を詳細に示したものである。読み出し用グローバルビット線プリチャージ回路ＲＰＣは、ＰチャネルＭＯＳトランジスタＭＰ２１、ＭＰ２２、ＭＰ２３からなり、読み出し用グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）を“ＨＩＧＨ”レベルにプリチャージできるようになっている。センスアンプ・ラッチ回路ＳＡは、ＰチャネルＭＯＳトランジスタＭＰ２４、ＭＰ２５とＮチャネルＭＯＳトランジスタＭＮ９、ＭＮ１０、ＭＮ１１、ＭＮ１２、ＭＮ１３からなる差動型センスアンプ（初段）と、ＭＰ２６、ＭＰ２７とＭＮ１４、ＭＮ１５、ＭＮ１６、ＭＮ１７、ＭＮ１８からなる差動型センスアンプ（中段）、ＭＰ２８、ＭＰ２９とＭＮ１９、ＭＮ２０、ＭＮ２１、ＭＮ２２、ＭＮ２３からなる差動型センスアンプ（後段）、二個のナンド回路からなるラッチ回路ＬＴ、更には出力バッファＢＵＦとから構成される。ＮチャネルＭＯＳトランジスタＭＮ９、ＭＮ１０のゲートには、グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）が接続される。ＰチャネルＭＯＳトランジスタＭＰ２４、ＭＰ２５のゲートには、接地電位ＶＳＳが接続される。読み出したデータＲＥＡＤ　ＤＡＴＡは、出力バッファＢＵＦから外部に出力される。

【００２９】

データ書き込み用のグローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）は、Ｙスイッチ（ＹＳＷ１～ＹＳＷｎ）のＮチャネルＭＯＳトランジスタを介してローカルビット線と接続されると共に、書き込み用グローバルビット線プリチャージ回路ＷＰＣ、ライトアンプ回路ＷＡに接続される。

【００３０】

図５は、図１における書き込み用グローバルビット線プリチャージ回路ＷＰＣ、ライトアンプ回路ＷＡの構成を詳細に示したものである。書き込み用グローバルビット線プリチャージ回路ＷＰＣは、ＰチャネルＭＯＳトランジスタＭＰ３０、ＭＰ３１、ＭＰ３２からなり、書き込み用グローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）を“ＨＩＧＨ”レベルに

プリチャージできるようになっている。ライトアンプ回路ＷＡは、インバータ回路ＩＮＶ１、ＩＮＶ２、ＩＮＶ３及びＭＮ２４、ＭＮ２５で構成される。書き込みデータＷＲＩＴＥ　ＤＡＴＡは、ＩＮＶ１、ＩＮＶ２、ＩＮＶ３及びＭＮ２４、ＭＮ２５を介して書き込み用グローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）に出力される。

【００３１】

図６に示すように、ＩＮＶ１、ＩＮＶ３をＭＮ２６、ＭＮ２７に置き換えることも可能である。この時は、ＷＴ＿ＥＮが“ＨＩＧＨ”レベルになると、ＷＧＢＬあるいはＷＧＢＬＢのどちらか一方が“ＬＯＷ”レベルにされ、反対のもう一方はプリチャージレベル（つまり“ＨＩＧＨ”レベル）に保たれることによってメモリセルへの書き込みを行なう。デコーダおよびワードドライバ１０１はいずれか１つのバンクの１つのワード線を選択する回路である。

【００３２】

図７に図１の半導体記憶装置の同一アドレスへの読み出しと書き込みの連続動作時の動作波形を示す。先ず始めにデータ読み出しを行い、その後データの書き込みを行う。

【００３３】

動作を開始する前に、読み出し用グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）とローカルビット線（ＬＢＬ０、ＬＢＬＢ０、ＬＢＬ１、ＬＢＬＢ１、ＬＢＬ２、ＬＢＬＢ２、ＬＢＬ３、ＬＢＬＢ３）と書き込み用グローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）は、信号線ＲＥＱ（図３参照）とＥＱ、ＷＥＱ（図５参照）が“Ｌ”（“ＬＯＷ”レベル）にされることによって、プリチャージ回路ＲＰＣ，ＰＣ、ＷＥＱにより“Ｈ”（“ＨＩＧＨ”レベル）にプリチャージされる。また、ＹスイッチＹＳＷ１の制御信号ＲＳＷ０を“Ｌ”にし、ＲＳＷ１、ＲＳＷ２、ＲＳＷ３を“Ｈ”にすることにより、読み出し用グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）とローカルビット線（ＬＢＬ０、ＬＢＬＢ０）を接続しておく。

【００３４】

読み出し動作は、まず、信号線ＲＥＱ、ＥＱが“Ｈ”にされ、プリチャージが中止され、それと同時にワード線ＷＬが“Ｈ”にされ、プリチャージされたローカルビット線（ＬＢＬ０、ＬＢＬＢ０）がメモリセルＣＥＬＬにより放電され電位差が生じさせられる。ローカルビット線（ＬＢＬ０、ＬＢＬＢ０）と読み出し用グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）とが接続されているため、メモリセルＣＥＬＬによって生じたローカルビット線（ＬＢＬ０、ＬＢＬＢ０）の電位差が読み出し用グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）に伝えられる。さらにこの電位差がセンスアンプ・ラッチ回路ＳＡに伝えられ、センスアンプ活性化信号ＳＡ＿ＥＮ（図４参照）を“Ｈ”にすることにより増幅され、信号線ＲＥＡＤ　ＤＡＴＡにデータが出力される。

【００３５】

センスアンプに電位差が伝えられた時点で、ＹスイッチＹＳＷ１の制御信号ＲＳＷ０を“Ｌ”から“Ｈ”にして、ＹスイッチＹＳＷ１のＰチャネル型ＭＯＳトランジスタがオフにされ、ローカルビット線（ＬＢＬ０、ＬＢＬＢ０）と読み出し用グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）とが切り離される。同時に、ＹスイッチＹＳＷ１の制御信号ＷＳＷ０が“Ｌ”から“Ｈ”にされ、ＹスイッチＹＳＷ１のＮチャネル型ＭＯＳトランジスタがオンにされ、ローカルビット線（ＬＢＬ０、ＬＢＬＢ０）と書き込み用グローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）とが接続され、書き込み動作を開始する。書き込み用グローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）は、読み出し動作中にライトアンプ活性化信号ＷＴ＿ＥＮ（図５参照）を“Ｈ”にすることにより予め充放電を終えているので、書き込み動作が始まってからは、容量の小さいローカルビット線（ＬＢＬ０、ＬＢＬＢ０）のみを充放電すれば、信号がメモリセルＣＥＬＬに伝わり、書き込みが終了する。

【００３６】

書き込み終了後、ワード線ＷＬを“Ｌ”に、制御信号ＲＳＷ０を“Ｌ”に、制御信号ＷＳＷ０を“Ｌ”に、信号線ＲＥＱ、ＥＱ、ＷＥＱを“Ｌ”にして、次のサイクルのために読み出し用グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）とローカルビット線（ＬＢＬ０、

ＬＢＬＢ０、ＬＢＬ１、ＬＢＬＢ１、ＬＢＬ２、ＬＢＬＢ２、ＬＢＬ３、ＬＢＬＢ３）と書き込み用グローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）がプリチャージされる。読み出しと、書き込みと、プリチャージとが１サイクルで実行される。

【００３７】

図７ではプリチャージは１サイクルの最後にするように記載されているが、プリチャージは読み出しの前に行われるようにすればよい。すなわち、１サイクルの最初にプリチャージ行うように記載するものと同一である。

【００３８】

本実施例では、動作時にビット線についているメモリセルＣＥＬＬは、グローバルビット線を用いない方法に比べて１／ｎしかないので、ビット線の容量が低減され、充放電が高速化される。この結果、読み出しおよび書き込み動作が高速化されるという効果もある。ビット線の容量が低減されことによって、消費電力も低減できる。

【００３９】

図８は、図１の半導体記憶装置のメモリマット部のメタル層のレイアウトを示したものである。データ読み出し用のグローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）およびデータの書き込み用のグローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）がローカルビット線４対（ＬＢＬ０、ＬＢＬＢ０、ＬＢＬ１、ＬＢＬＢ１、ＬＢＬ２、ＬＢＬＢ２、ＬＢＬ３、ＬＢＬＢ３） に１対の割合で配線されている。

【００４０】

図９は、図８の破線ＡＢの断面図を示したものである。ローカルビット線（ＬＢＬ０、ＬＢＬＢ０、ＬＢＬ１、ＬＢＬＢ１、ＬＢＬ２、ＬＢＬＢ２、ＬＢＬ３、ＬＢＬＢ３）は、第２層のメタル（金属配線）を用いて構成される。ワード線の抵抗を減らすための補強線ＷＬＧは、第３層のメタルを用いて構成される。グランド線ＶＳＳと電源線ＶＤＤは、第３層のメタルを用いて構成される。読み出し用グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）は、第４層のメタルを用いて構成される。書き込み用グローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）は、第５層のメタルを用いて構成される。なお、図示されていないが、第１層のメタルはメモリセル部で使用されている。また、太線で囲まれた領域は１つのメモリセルＣＥＬＬを表している。

【００４１】

グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ、ＷＧＢＬ、ＷＧＢＬＢ）は、メモリセル１カラム（例えば、１対のビット線（ＬＢＬ０、ＬＢＬＢ０））に１本の割合で形成されるため、グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ、ＷＧＢＬ、ＷＧＢＬＢ）の線間容量を低減して動作を高速化することが可能となる。

【００４２】

図１０に、書き込み用グローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）を第４層のメタルを用いて構成した場合のレイアウト及びその断面図を示す。この場合、読み出し用グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）と書き込み用グローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）が同じメタル層であるため、配線間容量Ｃｎ０は大きな値をとる。

【００４３】

図１１に、読み出し用グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）と書き込み用グローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）の配線間容量Ｃｎ０が大きい場合の動作波形を示す。書き込み用グローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）は、読み出し動作中に予め充放電を行なうのであるが、その時、配線間容量Ｃｎ０が大きいためライトデータのクロストークが読み出し用グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）に対して発生する。

【００４４】

読み出し用グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）はメモリセルからの微弱な電圧振幅を伝達しており、書き込み用グローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）は電源電圧と同じ振幅を持ったライトデータを伝達しているため、クロストークが発生すると、容易に読み出し用グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）上のデータが壊れ、その結果誤ったデータを出力してしまう。

【００４５】
それに対し図８、９では、読み出し用グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）と書き込み用グローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）の配線層を変えているため、配線間容量Ｃｎ２はＣｎ０よりも小さく、ライトデータのクロストークを抑えることができる。
【００４６】
図１２に、読み出し用グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）と書き込み用グローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）を第４層のメタルを用いて構成し、両者の配線ピッチを変えた場合のレイアウト及びその断面図を示す。この場合も読み出し用グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）と書き込み用グローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）の配線間容量Ｃｎ１をＣｎ０よりも小さくすることができるため、ライトデータのクロストークを抑えることができる。　更に、図８、９、１２の実施例では配線間容量Ｃｎ２、Ｃｎ１を低減しているため、グローバルビット線の動作を高速化、低消費電力化することができる。
【００４７】
また、図８、９、１２の実施例において、読み出し用グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）の間に書き込み用グローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）を構成することにより、電源電圧と同じ振幅を持ったライトデータが、図示していない隣接グローバルビット線にクロストークを発生するのを防止している。一般的に、クロストークは不必要な電位の変化（グリッチ）を発生させるため、無駄な電力を消費することになる。従って本実施例では低消費電力化も同時に達成できることになる。
【００４８】
図８、９の実施例において、書き込み用グローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）の方を第５層のメタルを用いて構成している点も重要である。読み出し用グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）と書き込み用グローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）間のクロストークは、読み出し用グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）の寄生容量（例えばＣｄ０とＣｎ２）のうち、書き込み用グローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）との間の容量（Ｃｎ２）の値が無視できない大きさの場合に発生する。
【００４９】
仮に読み出し用グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）を第５層のメタルを用いて構成した場合、図９におけるＣｄ０にあたる線間容量が小さな値になり、相対的にＣｎ２が大きな値に見えるため、ライトデータのクロストークを発生することになる。また、メモリセルとグローバルビット線間のデータの伝達という観点から見ると、メモリセルからの微弱な信号を伝達する目的を持つ読み出し用グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）は、より低層のメタルを使用する必要がある。何故ならば、上層のメタルに接続するためには、ビア（メタル間コンタクト）を何度も通過しなければならないため、その抵抗値、寄生容量が動作速度を低下させ、消費電力を増大させるからである。
【００５０】
図１３に本回路技術を用いて構成したメモリのレイアウトイメージを示す。領域１１０はメモリアレイであり、大きく２つに分かれており、それぞれのメモリアレイは８つのバンク（ＢＡＮＫ１～ＢＡＮＫ８）に分かれている。領域１１１はプリチャージ回路ＰＣｉ、およびＹスイッチＹＳＷｉ（ｉ＝１～８）であり、８つのバンク（ＢＡＮＫ１～ＢＡＮＫ８）にそれぞれ隣接して配置される。また、領域１１３には、デコーダおよびワードドライバ１０１が配置される。
【００５１】
領域１１２には、読み出し用グローバルビット線プリチャージ回路ＲＰＣ、センスアンプ・ラッチ回路ＳＡ、書き込み用グローバルビット線プリチャージ回路ＷＰＣおよびライトアンプ回路ＷＡが配置される。また、簡単のため、一組だけの読み出し用グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）、書き込み用グローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）が図示してある。書き込み用グローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）は、領域１

１１上でレイアウト的にツイストしてある。書き込み用グローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）をツイストしない場合、読み出し用グローバルビット線ＲＧＢＬと書き込み用グローバルビット線ＷＧＢＬが長い距離並走することになるため、両者の配線間容量が大きくなる。

【００５２】

図７に示したように、書き込み用グローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）は読み出し動作中に予め充放電を行なうため、読み出し用グローバルビット線のどちらか一方との配線間容量が大きいと、ライトデータのクロストークの影響が大きくなってしまう。これを防止するためには、書き込み用グローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）が、読み出し用グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）のどちらとも同じ長さだけ並走するようにレイアウトすれば良い。

【００５３】

図１４に書き込み用グローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）をツイストし、左右を入れ替える部分のレイアウトを示す。この図では中央右下側に第５層メタルのＷＧＢＬＢが配置され、一旦第４層メタルに打ち替えられ、左のチャネルに配線された後、再び第５層メタルに打ち替えられる場合のレイアウトが示されている。次に現われるツイスト部では、中央右下側に第５層メタルのＷＧＢＬが配置されるだけで、図１４と同じレイアウトが使用できる。

【００５４】

図１５は、図１３における領域１１２と、それに隣接して置かれる領域１１１のレイアウトイメージを、より詳細に示している。図１５の上側が、図１３においてＢＡＮＫ８と示されているメモリアレイ側に対応している。上から順にローカルビット線プリチャージ回路ＰＣ８、ＹスイッチＹＳＷ８、読み出し用グローバルビット線プリチャージ回路ＲＰＣ、センスアンプＳＡ、ラッチ回路ＬＴ、書き込み用グローバルビット線プリチャージ回路ＷＰＣ、ライトアンプＷＡ、出力バッファＢＵＦがレイアウトされている。ここで、ローカルビット線プリチャージ回路ＰＣ８とＹスイッチＹＳＷ８にはローカルビット線が接続されるため、メモリアレイに隣接して置かれなければならない。また、読み出し用グローバルビット線プリチャージ回路ＲＰＣ、センスアンプＳＡそしてラッチ回路ＬＴ（以下ＲＰＣ、ＳＡ、ＬＴをまとめてセンスアンプ部と呼ぶ）は、読み出し用グローバルビット線上の微弱な振幅の信号を扱うため、メモリアレイに近い側に配置する。

【００５５】

逆に、書き込み用グローバルビット線プリチャージ回路ＷＰＣとライトアンプＷＡ（以下ＷＰＣ、ＷＡをまとめてライトアンプ部と呼ぶ）は、センスアンプ部よりもメモリアレイから遠い側に配置する。これは、ライトアンプ部が電源電圧と同じ振幅のライトデータを扱い、センスアンプ部にノイズ等の悪影響を与える恐れがあるためである。センスアンプ部のラッチ回路ＬＴ以降は、読み出しデータも電源電圧と同じ振幅を持つため、出力バッファはレイアウトの一番端に置いてある。こうすれば、出力バッファの先に接続される出力信号配線を短くできる。

【００５６】

図１６は、図１５におけるローカルビット線プリチャージ回路ＰＣ８とＹスイッチＹＳＷ８の、トランジスタレベルのレイアウト図である。なお、この図では簡単のためグローバルビット線一組分（ローカルビット線四組分）のみ示してある。ＦＧはトランジスタのゲート電極を形成するポリシリコン、Ｌは拡散層、ＣＯＮＴは拡散層、あるいはポリシリコンと第１層メタルとを接続するためのコンタクト孔である。ＹＳＷ８を構成しているＰチャネル型ＭＯＳトランジスタとＮチャネル型ＭＯＳトランジスタは、それぞれトランジスタのゲート幅方向が横になるように配置されている。

【００５７】

図１７は、Ｙスイッチを構成するトランジスタのゲート幅方向を縦にして配置した場合の例である。図１６のレイアウトを用いるか図１７のレイアウトを用いるかはＹスイッチを構成するトランジスタのゲート幅サイズによって、Ｙスイッチ部のレイアウトの縦の長さ

が小さくなる方にすればよい。

【００５８】

図１８はセンスアンプＳＡのトランジスタレベルのレイアウトを表わしている。上から、初段センスアンプ、中段、後段センスアンプの順に並んでいる。初段のセンスアンプを構成するトランジスタは、中段、後段センスアンプを構成するトランジスタよりもゲート長を大きくしてある。これは、初段センスアンプにおける、トランジスタの製造ばらつきによるセンスアンプのオフセットを抑え、高速な読み出しを実現するためである。初段センスアンプには、メモリセルから出力される微弱な信号が入力されるため、わずかなオフセットでも読み出し時間の増大につながる。また、読み出し用グローバルビット線が接続されるＮチャネル型ＭＯＳトランジスタＭＮ９、ＭＮ１０の上下には、ダミーのＮチャネル型ＭＯＳトランジスタを配置してある。このトランジスタは、ソース電極、ドレイン電極、ゲート電極とも接地電位ＶＳＳに接続されている。このようにＭＮ９、ＭＮ１０をダミートランジスタで挟むことによって、製造時のゲート長ばらつきを抑え、センスアンプオフセットを低減することができる。また、センスアンプのレイアウトは、ローカルビット線四組に一つの割合で配置すれば良いため、中段、後段センスアンプのように、横方向に重ねて配置することが可能である。このようにすれば、センスアンプの縦方向の長さを低減することができる。

【００５９】

図１９は初段センスアンプのメタル層のレイアウトを表わしている。第４層メタルで構成された読み出し用グローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）に直交する形で、電源線ＶＤＤ、接地線ＶＳＳ、センスアンプ活性化信号ＳＡ＿ＥＮは第３層メタルで構成されている。　なお本実施例では、データ読み出し用のグローバルビット線（ＲＧＢＬ、ＲＧＢＬＢ）およびデータの書き込み用のグローバルビット線（ＷＧＢＬ、ＷＧＢＬＢ）がローカルビット線四組（ＬＢＬ０、ＬＢＬＢ０、ＬＢＬ１、ＬＢＬＢ１、ＬＢＬ２、ＬＢＬＢ２、ＬＢＬ３、ＬＢＬＢ３） に一組の割合構成されているが、ローカルビット線八組に一組の割合でも良いし、二組に一組の割合であってもよい。

【００６０】

＜実施例２＞

図２０は、実施例１で述べた本発明に係る半導体記憶装置をキャッシュメモリのデータアレイとして用いたダイレクトマップ方式のキャッシュメモリのブロック図である。キャッシュメモリ２００は、半導体集積回路製造技術を用いて単結晶シリコンのような１個の半導体基板に形成される。キャッシュデータアレイ１２４は、１２ビット長のアドレスバス１２２に接続されている。また、書き込みデータは３２ビット長の書き込みデータ用バス１２０、あるいは３２ビット長のメインメモリ用データバス１２９から選択的に供給され、読み出しデータは３２ビット長の読み出しデータ用バス１２１、あるいはリードバッファ１２８に出力する。キャッシュデータアレイ１２４へのデータの入出力は３２ビット幅で行われる。

【００６１】

リードバッファ１２８は、キャッシュデータアレイ１２４から読み出したデータを一時保存するために使われ、例えば３２ビット幅のレジスタで構成される。セレクタ１３１は、キャッシュデータアレイ１２４に書き込みデータ用バス１２０からのデータを書き込むのか、メインメモリ用データバス１２９からのデータを書き込むのかを選択する。セレクタ１３１は、制御信号１３４によって制御される。セレクタ１３２は、メインメモリ用データバス１２９に、キャッシュデータアレイ１２４から読み出したデータ１３５を出力するのか、リードバッファ１２８のデータを出力するのかを選択する。セレクタ１３２は、制御信号１３３によって制御される。

【００６２】

キャッシュタグアレイ１２３は、アドレスバス１２２からタグアドレスを受け取って、アドレス１３０を比較器１２５に出力する。比較器１２５はキャッシュタグアレイ１２３から受け取ったアドレス１３０と図示されていないメモリ管理ユニットのアドレス変換バッ

ファＴＬＢから受け取った物理アドレス１３６を比較し、一致した場合はヒット信号１２６に“Ｈ”（ヒット）を出力し、制御回路１２７に送る。一致しない場合はヒット信号１２６に“Ｌ”（ミス）を出力し、制御回路１２７に送る。制御回路１２７はセレクタ１３１とセレクタ１３２を、それぞれ制御信号１３４および制御信号１３３で制御する。

【００６３】

図２１に、図２０のキャッシュメモリ２００に対し連想ライト動作を行ない、キャッシュミスを起こした場合の動作波形を示す。

【００６４】

連想ライト時には、アドレスバス１２２からアドレスを、書き込みデータ用バス１２０から書き込みデータをそれぞれ受け取って、リカバリバッファ１２８にメモリセルのデータを読み出してからメモリセルにデータを書き込む。連想ライト動作が終了した時点で、ヒット信号１２６も確定し、書き込みが許可（ヒット）であったか、不許可（ミス）であったか確定する。ヒット信号１２６が「ヒット」である場合は、問題なく次の処理を実行できるが、ヒット信号が「ミス」を示している場合、キャッシュデータアレイ１２４の該当エントリをメインメモリに書き戻す必要が生じる。この場合に以下の書き戻し処理をする必要がある。

【００６５】

書き戻し処理は、リードバッファ１２８のデータを選択するようにセレクタ１３２を制御することにより、リードバッファ１２８のデータをメインメモリ用バスに出力し、図示されていないメインメモリに対して書き込み要求を発行する。しかしながら、通常ヒット信号１２６が「ミス」を示す可能性は小さいので、書き戻し処理はほとんど行う必要がない。従って通常は、連想ライト動作は１サイクルで終了することになる。

【００６６】

従来の連想ライト動作はヒット信号が確定してから書き込みを行っているので、連想ライトが終了するまでに２サイクルかかっていた。しかし、本実施例では、従来方式に比べて半分のストア処理時間で済むことになる。すなわち、マイクロプロセッサのパイプラインのメモリアクセスステージも１サイクルで済み、パイプラインの流れの乱れもなく高速性能の向上が図れる。

【００６７】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【００６８】

すなわち、書き込みデータの読み出しデータへのクロストークを低減し、読み出しと書き込みを同一サイクルで行なうメモリを実現することができ、更には一組のグローバルビット線を複数のローカルビット線が共有する構成をとることによって面積を低減することができる。

【図面の簡単な説明】

【図１】本発明に係る半導体記憶装置の回路図。

【図２】図１の記憶装置のセルの回路図。

【図３】グローバルビット線をローカルビット線４組に対して１組形成した場合のＹスイッチおよびローカルビット線プリチャージ回路の回路図。

【図４】センスアンプ及び読み出し用グローバルビット線プリチャージ回路の回路図。

【図５】ライトアンプの回路図。

【図６】ライトアンプの変形例の回路図。

【図７】図１の実施例の動作波形図。

【図８】メモリマット部のレイアウトの平面図。

【図９】メモリマット部のレイアウトの断面図。

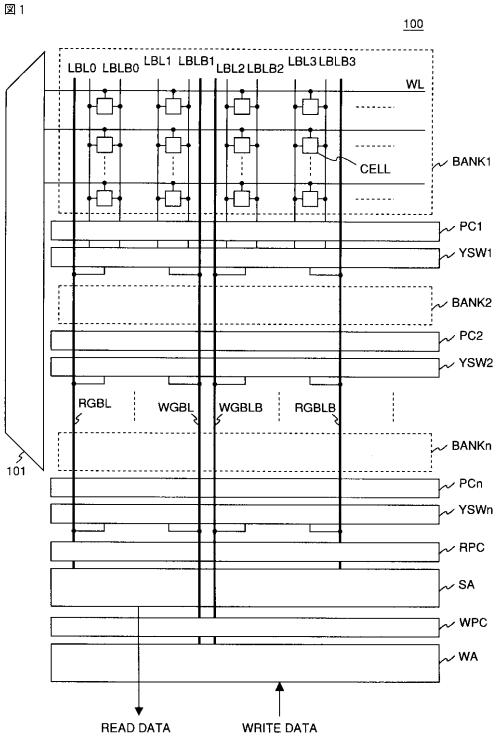
【図１０】ライトデータのクロストークが発生しやすいメモリマット部のレイアウトの二面図。

【図１１】ライトデータのクロストークにより読み出しデータが破壊される場合の動作波形図。
【図１２】メモリマット部のレイアウト二面図。
【図１３】本発明を適用した記憶装置の全体レイアウト平面図。
【図１４】ビット線をツイストする場合のレイアウト平面図。
【図１５】センスアンプ部、ライトアンプ部のレイアウト図。
【図１６】Ｙスイッチのレイアウト図。
【図１７】Ｙスイッチの他のレイアウト図。
【図１８】センスアンプのレイアウト図。
【図１９】初段センスアンプのレイアウト図。
【図２０】本発明の他の実施例のキャッシュメモリを表わすブロック図。
【図２１】　図２０の動作波形図。
【符号の説明】
１０１……デコーダおよびワードドライバ
１１０……メモリアレイ
１１１……プリチャージ回路、Ｙスイッチ回路
１１２……センスアンプ部、ライトアンプ部
１１３……デコーダおよびワードドライバ
ＬＢＬ０、ＬＢＬＢ０、ＬＢＬ１、ＬＢＬＢ１、ＬＢＬ２、ＬＢＬＢ２、ＬＢＬ３、ＬＢＬＢ３……ローカルビット線１２０……書き込みデータ用バス１２１……読み出しデータ用バス１２２……アドレスバス１２３……キャッシュタグアレイ１２４……キャッシュデータアレイ１２５……比較器１２６……ヒット信号１２７……制御回路１２８……リードバッファ１２９……メインメモリ用バス１３０……キャッシュタグアレイからの出力１３１……キャッシュデータアレイへの書き込みデータセレクタ１３２……メインメモリ用バスへの出力データセレクタ１３３……セレクタ１３２制御信号１３４……セレクタ１３１制御信号１３５……キャッシュデータアレイからの読み出しデータ１３６……物理アドレス
ＷＧＢＬ、ＷＧＢＬＢ……書き込み用グローバルビット線
ＲＧＢＬ、ＲＧＢＬＢ……読み出し用グローバルビット線
ＭＮ……Ｎチャネル型ＭＯＳトランジスタ
ＭＰ……Ｐチャネル型ＭＯＳトランジスタ
ＩＮＶ……インバータ回路
ＣＥＬＬ……メモリセル
ＷＬ……ワード線
Ｎ、ＮＢ……メモリセル記憶ノード
ＥＱ、ＲＥＱ、ＷＥＱ……プリチャージ回路制御信号
ＲＳＷ０、ＲＳＷ１、ＲＳＷ２、ＲＳＷ３……ＹＳＷのＰ型ＭＯＳトランジスタを制御する信号
ＷＳＷ０、ＷＳＷ１、ＷＳＷ２、ＷＳＷ３……ＹＳＷのＮ型ＭＯＳトランジスタを制御する信号
ＢＡＮＫ１、ＢＡＮＫｎ ……バンクＰＣ１、ＰＣｎ……プリチャージ回路
ＹＳＷ１、ＹＳＷｎ……Ｙスイッチ
ＳＡ……センスアンプ
ＳＡ＿ＥＮ……センスアンプ活性化信号
ＷＡ……ライトアンプ
ＷＴ＿ＥＮ……ライトアンプ活性化信号ＲＰＣ……読み出し用グローバルビット線プリチャージ回路ＷＰＣ……書き込み用グローバルビット線プリチャージ回路ＷＬＧ……ワード線の補強線
ＶＳＳ……接地線
ＶＤＤ……電源線

ＲＥＡＤ　ＤＡＴＡ……読み出しデータ
ＷＲＩＴＥ　ＤＡＴＡ……書き込みデータ。

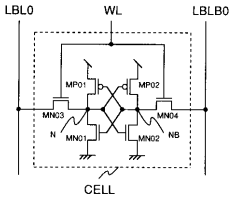
【図１】

図1



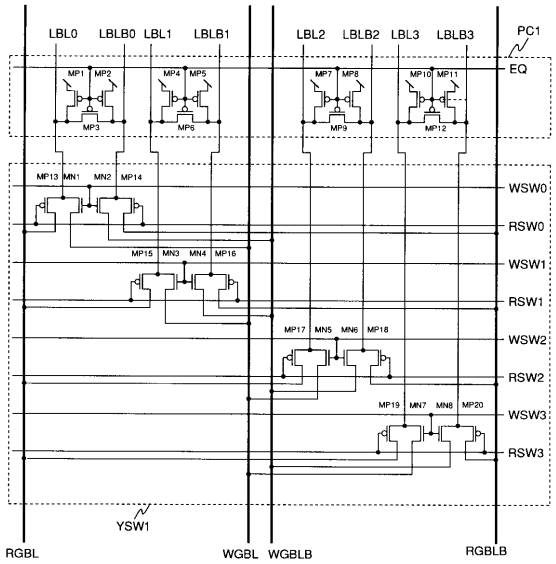
【図２】

図2



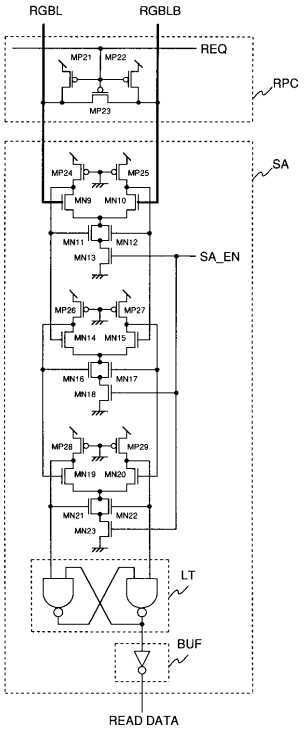
【図３】

図３



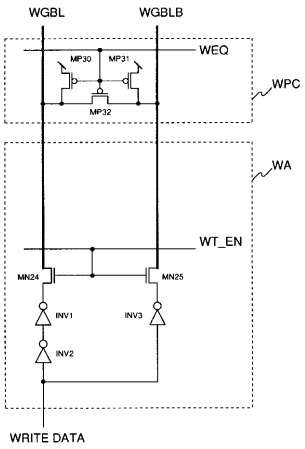
【図４】

図４



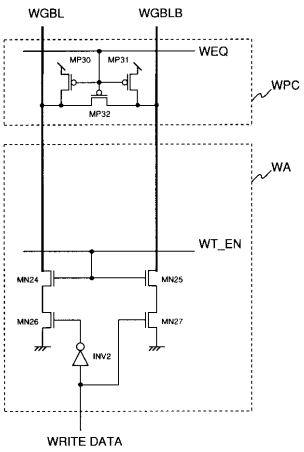
【図５】

図５



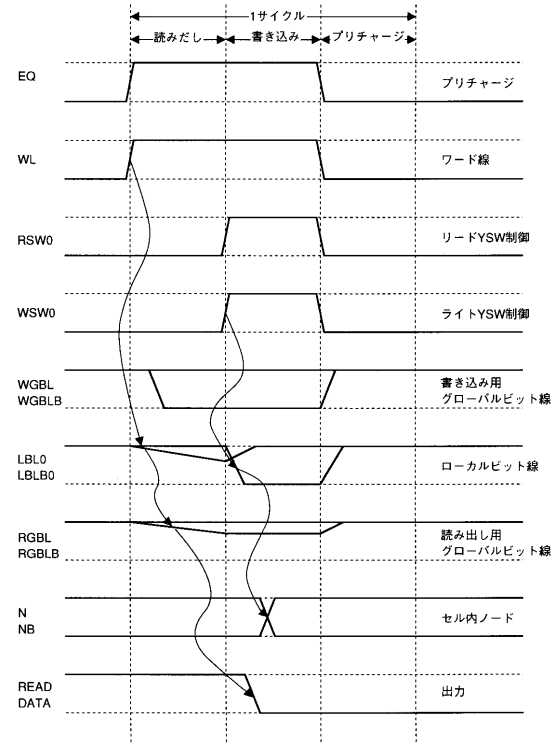
【図６】

図６



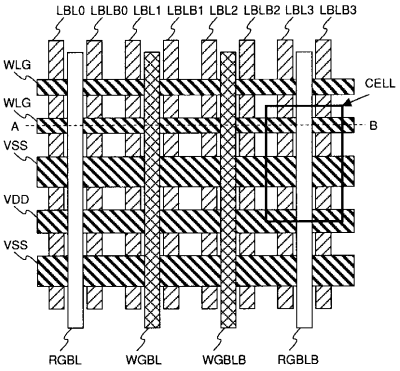
【図７】

図７



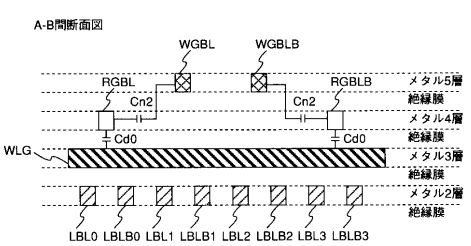
【図８】

図８



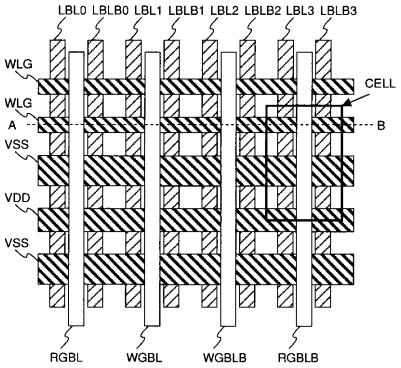
【図９】

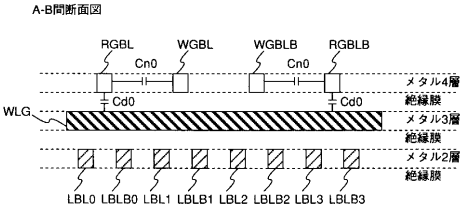
図９



【図１０】

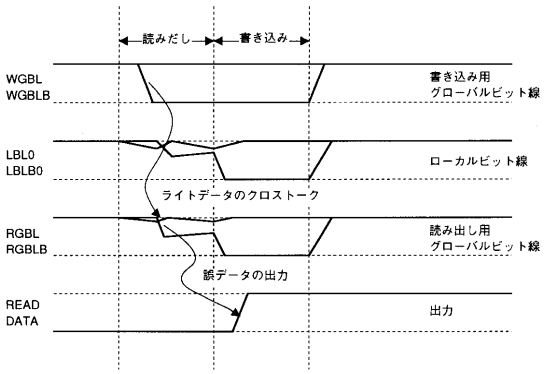
図１０





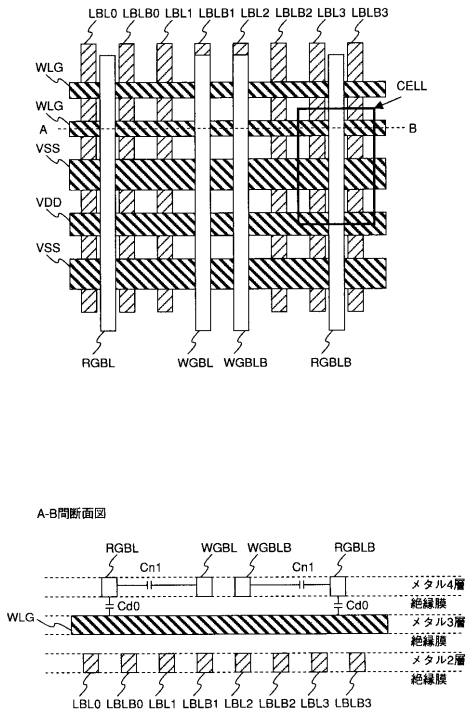
【図１１】

図１１



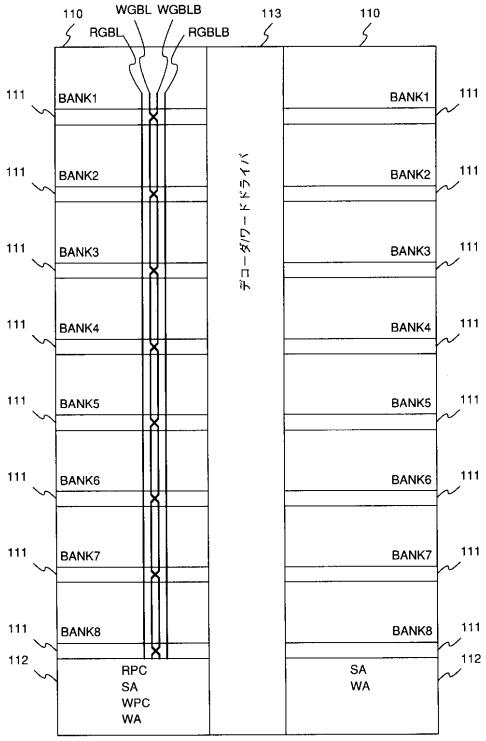
【図１２】

図１２



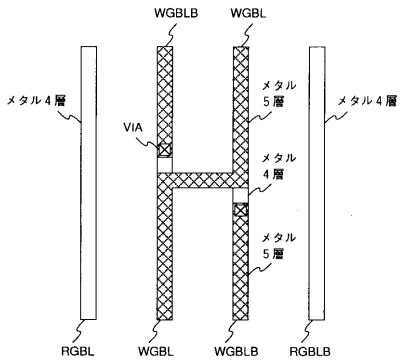
【図１３】

図１３



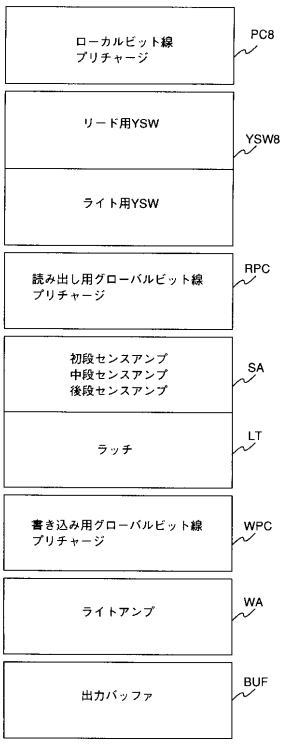
【図１４】

図１４

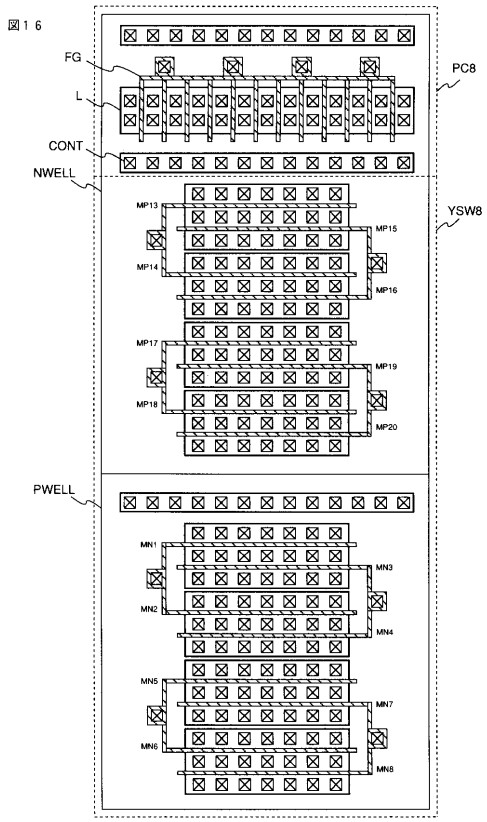


【図１５】

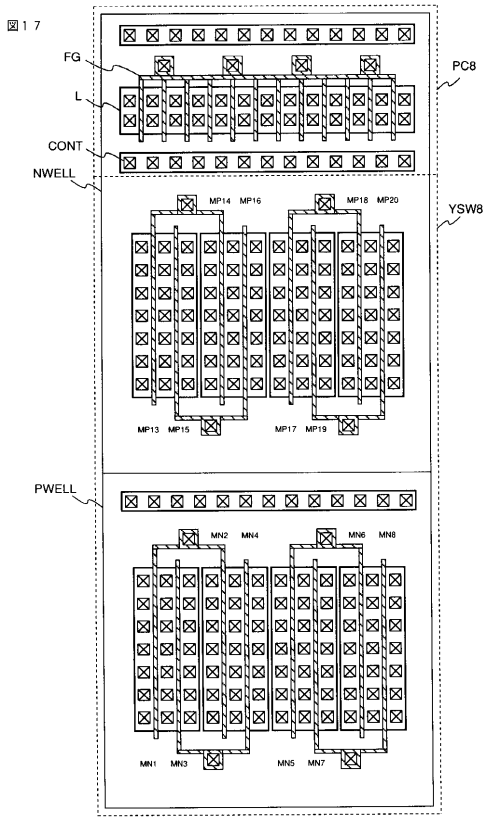
図１５



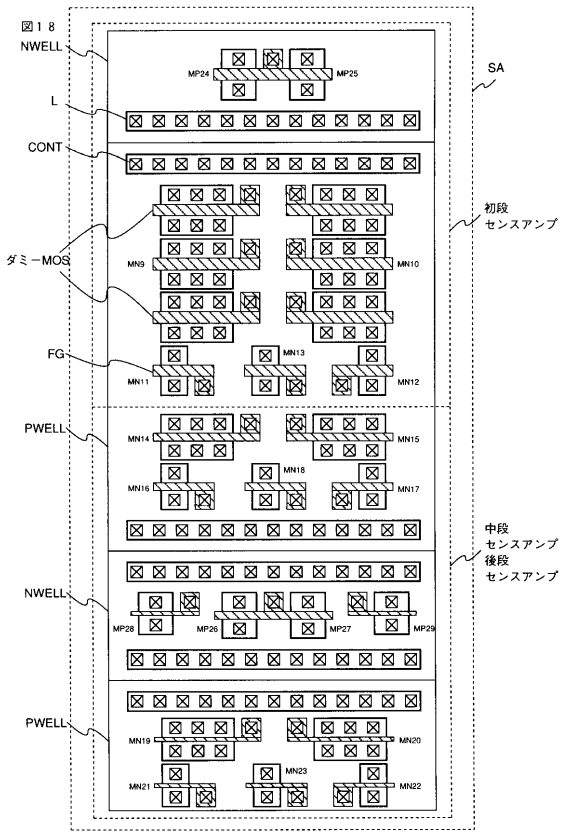
【図１６】



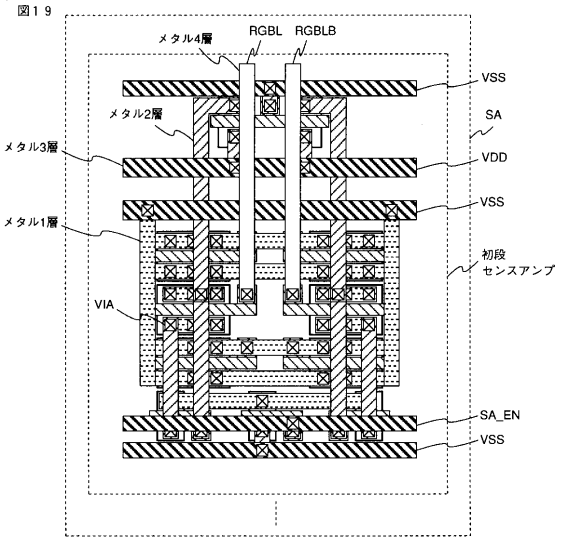
【図１７】



【図１８】

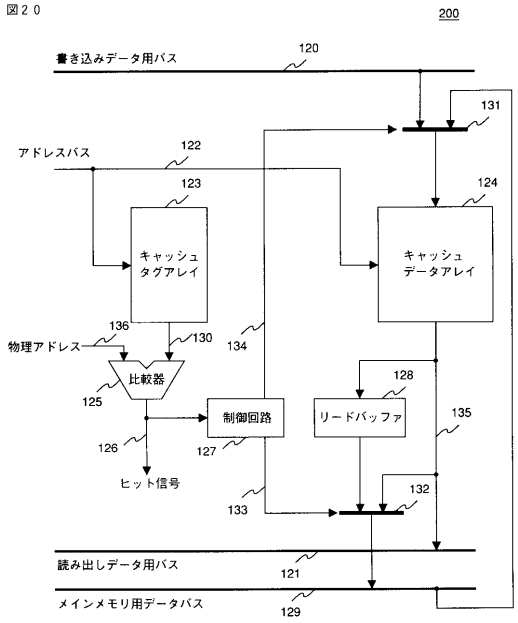


【図１９】



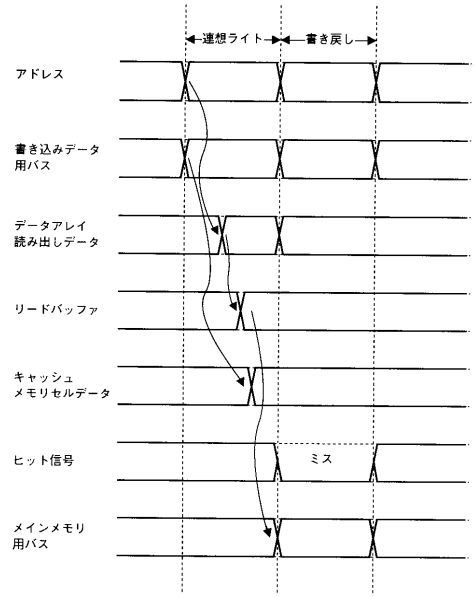
【図２０】

図２０



【図２１】

図２１



フロントページの続き

(72)発明者　丸山　博史
東京都国分寺市東恋ケ窪三丁目１番地１　日立超エル・エス・アイ・エンジニアリング株式会社内
(72)発明者　西岡　直俊
東京都国分寺市東恋ケ窪三丁目１番地１　日立超エル・エス・アイ・エンジニアリング株式会社内

審査官　加藤　俊哉

(56)参考文献　特開平０３－２１６８９２（ＪＰ，Ａ）
特開平０２－１４３９８２（ＪＰ，Ａ）
特開平０８－２１２７７６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 11/41
H01L 21/8244
H01L 27/11