

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 25 年 12 月 5 日 (2013.12.5)

【公表番号】特表 2013-509720 (P2013-509720A)
 【公表日】平成 25 年 3 月 14 日 (2013.3.14)
 【年通号数】公開・登録公報 2013-013
 【出願番号】特願 2012-537084 (P2012-537084)
 【国際特許分類】

H 0 1 L 29/78 (2006.01)

【 F I 】

H 0 1 L 29/78 6 5 2 H

H 0 1 L 29/78 6 5 2 K

H 0 1 L 29/78 6 5 3 C

【手続補正書】
 【提出日】平成 25 年 10 月 18 日 (2013.10.18)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

トレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) であって、
ドレイン領域と、
複数のメサであって、前記複数のメサはそれぞれ、ドリフト領域および本体領域を含み、
複数のゲート領域間に配置される、複数のメサと、
前記ゲート領域と、前記本体領域、前記ドリフト領域、および前記ドレイン領域との間に
配置された複数のゲート絶縁体領域であって、前記メサの幅は、前記ゲート絶縁体領域と
前記本体領域との間の界面における量子井戸寸法のオーダーであり、かつ、前記ゲート領
域と前記ドレイン領域との間の前記ゲート絶縁体領域の厚さに起因して、オフ状態におい
てゲートトゥードレイン電界が発生し、前記ゲートトゥードレイン電界は、前記ドリフト
領域内において実質的に横方向である、複数のゲート絶縁体領域と、
を含む、トレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

【請求項 2】

前記ゲート絶縁体領域は酸化物を含む、請求項 1 のトレンチ金属酸化物半導体電界効果ト
ランジスタ (T M O S F E T) 。

【請求項 3】

前記ドレイン領域は高 n ドープ半導体を含み、

前記ドリフト領域は低 n ドープ半導体を含み、

前記本体領域は中程度の p ドープ半導体を含む、

請求項 2 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

【請求項 4】

前記ドリフト領域は、前記ドレイン領域から前記複数の本体領域に向かって低減する段階
的なドーピングプロファイルを含む、請求項 1 のトレンチ金属酸化物半導体電界効果トラ
ンジスタ (T M O S F E T) 。

【請求項 5】

前記ドリフト領域のドーピング濃度は、立方センチメートルあたりおよそ $5 \cdot 00 E + 14$
 $\sim 8 \cdot 00 E + 17$ である、請求項 1 のトレンチ金属酸化物半導体電界効果トランジスタ

(T M O S F E T) 。

【請求項 6】

前記メサの幅は、およそ 0 . 0 3 ~ 2 . 0 ミクロン (μm) である、請求項 1 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

【請求項 7】

前記ゲート領域と前記ドレイン領域との間の前記ゲート絶縁体領域の厚さは、およそ 0 . 1 ~ 4 . 0 ミクロン (μm) である、請求項 1 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

【請求項 8】

降伏電圧はおよそ 1 5 V ~ 5 5 V である、請求項 1 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

【請求項 9】

ON 状態抵抗は、平方ミリメートルあたりおよそ 2 ~ 9 ミリオーム ($\text{m}\Omega\cdot\text{mm}^2$) である、請求項 1 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

。

【請求項 10】

前記メサの幅は、およそ 0 . 0 3 ~ 2 . 0 ミクロン (μm) であり、かつ、前記ゲート領域と前記ドレイン領域との間の前記ゲート絶縁体領域の厚さは、およそ 0 . 1 ~ 4 . 0 ミクロン (μm) である、請求項 1 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

【請求項 11】

前記ドリフト領域は、段階的なドーピングプロファイルを含み、前記段階的なドーピングプロファイルは、前記複数のメサのそれぞれの縁部から前記複数のメサのそれぞれの中心へ向かって横方向に変化する、請求項 1 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

【請求項 12】

オフ状態における前記ゲート領域と前記ドレイン領域との間の漏れ磁場により、前記メサ内のドリフト領域電荷の空乏が支援され、これにより、実質的に一定な降伏電圧のための前記ドリフト領域内のより高いドーピングが得られる、請求項 1 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

【請求項 13】

前記ゲート領域と前記ドレイン領域との間の前記ゲート絶縁体領域の厚さにより、ドリフト領域ドーピング濃度が上昇した場合でも、さらなるゲート電荷上昇無く、実質的に一定の降伏電圧が得られる、請求項 1 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【発明の名称】トレンチ金属酸化物半導体電界効果トランジスタ

【背景】

【0001】

図 1 を参照して、従来技術によるトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 1 0 0 の断面斜視図が図示されている。T M O S F E T 1 0 0 は、複数のソース領域 1 1 0 と、複数のゲート領域 1 1 5 と、複数のゲート絶縁体領域 1 2 0 と、複数の本体領域 (body region) 1 2 5 と、ドリフト領域 1 3 0 と、ドレイン領域 1 3 5 とを含むがこれらに限定されない。

【 0 0 0 2 】

ドリフト領域 1 3 0 は、ドレイン領域 1 3 5 と、本体領域 1 2 5 との間に配置される。ソース領域 1 1 0、ゲート領域 1 1 5 およびゲート絶縁体領域 1 2 0 は、本体領域 1 2 5 内に配置される。ゲート領域 1 1 5 およびゲート絶縁体領域 1 2 0 は、縞状または閉鎖状のセル構造として形成され得る。ゲート絶縁体領域 1 2 0 は、ゲート領域 1 1 5 を包囲する。よって、ゲート領域 1 1 5 は、ゲート絶縁体領域 1 2 0 によって周囲の領域から電氣的に絶縁される。ゲート領域 1 1 5 は、装置 1 0 0 の共通ゲートを形成するように、連結される。ソース領域 1 1 0 は、ゲート絶縁体領域 1 2 0 の周囲に沿って形成され得る。ソース領域 1 1 0 は、装置 1 0 0 の共通ゲートを形成するように、連結される。ソース領域 1 1 0 はまた、典型的にはソース / 本体コンタクト (図示せず) によって本体領域 1 2 5 へと連結される。

【 0 0 0 3 】

1 つの実行様態において、ソース領域 1 1 0 およびドレイン領域 1 3 5 は、高 n ドープ ($N +$) 半導体 (例えば、リンまたはヒ素でドープされたシリコン) であり得る。ドリフト領域 1 3 0 は、低 n ドープ ($N -$) 半導体 (例えば、リンまたはヒ素でドープされたシリコン) であり得る。本体領域 1 2 5 は、 p ドープ (P) 半導体 (例えば、ホウ素でドープされたシリコン) であり得る。ゲート領域 1 1 5 は、高 n ドープ ($N +$) 半導体 (例えば、リンでドープされたポリシリコン) であり得る。ゲート絶縁体領域 1 2 0 は、絶縁体 (例えば、二酸化珪素) であり得る。

【 0 0 0 4 】

ソース領域 1 1 0 に対するゲート領域 1 1 5 の電位が装置 1 0 0 の閾電圧を上回った場合、ゲート絶縁体領域 1 2 0 の周辺に沿って、伝導チャネルが本体領域 1 2 5 内に誘導される。その後、 $T M O S F E T$ 1 0 0 は、ドレイン領域 1 3 5 とソース領域 1 1 0 との間において電流を伝導させる。その結果、前記装置は $O N$ 状態となる。

【 0 0 0 5 】

ゲート領域 1 1 5 の電位が前記閾電圧を下回った場合、前記チャネルによる誘導が停止する。その結果、ドレイン領域 1 3 5 とソース領域 1 1 0 との間に付加された電位に起因する電流は、両者間に流れなくなる。そのため、装置 1 0 0 はオフ状態となり、本体領域 1 2 5 およびドレイン領域 1 3 5 によって形成された接合により、前記ソースおよびドレインに亘って付加された電圧が支持される。

【 0 0 0 6 】

低 n ドープ ($N -$) ドリフト領域 1 3 0 に起因して発生した空乏領域は、本体領域 1 2 5 およびドレイン領域 1 3 0 の双方内に延びて、これによりパンチスルー効果を低下させる。このように、低 n ドープ ($N -$) ドリフト領域 1 3 0 は、 $T M O S F E T$ 1 0 0 の降伏電圧を増加させるように機能する。

【 0 0 0 7 】

$T M O S F E T$ 1 0 0 のチャネル幅は、ゲート絶縁体領域 1 2 0 の周辺に沿った複数の前記ソース領域 1 1 0 の長さの関数である。装置 1 0 0 のチャネル長さは、ゲート絶縁体領域 1 2 0 の周辺に沿ったソース領域 1 1 0 とドリフト領域 1 3 0 との間の本体領域 1 2 5 の関数である。よって、装置 1 0 0 のチャネル幅と長さとの間の比が大きくなる。よって、パワー $M O S F E T$ 用途 (例えば、パルス幅変調 ($P W M$) 電圧レギュレータ内のスイッチング素子) において $T M O S F E T$ 装置 1 0 0 を有利に用いることが可能となる。

【 要 旨 】

【 0 0 0 8 】

本文書は、フィールドブースト型 ($field$ boosted) 金属酸化物半導体電界効果トランジスタの分野に関する。本技術の実施形態は好適には、フィールドブースト型電界効果トランジスタの分野に向けられる。本技術は、以下の記載および添付図面を参照すれば、最良に理解され得る。以下の記載および添付図面は、本技術の実施形態を例示するためのものである。一実施形態において、トレンチ金属

酸化物半導体電界効果トランジスタ (T M O S F E T) は好適には、ドレイン領域と、複数のゲート領域と、複数のドリフト領域と、複数の本体領域 (body region) と、複数のソース領域と、複数のゲート絶縁体領域とを含む。前記ゲート領域は、前記ドレイン領域の上方に配置される。前記ドリフト領域は好適には、前記ゲート領域間のメサ内で前記ドレイン領域の上方に配置される。前記本体領域は好適には、前記メサ内において前記ドリフト領域の上方において前記ゲート領域に隣接して配置される。前記ソース領域は好適には、前記メサ内において前記本体領域の上方に配置される。前記ゲート絶縁体領域は好適には、前記ゲート領域と、前記ソース、本体、ドリフトおよびドレイン領域との間に配置される。前記メサの幅は好適には、およそ $0.03 \sim 1.0$ ミクロン (μm) である。前記ゲート領域と前記ドレイン領域との間の前記ゲート絶縁体領域の厚さは好適には、およそ $0.1 \sim 4.0 \mu\text{m}$ である。より詳細には、本文書は、以下の好適な観点を開示する。トレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) は、複数のゲート領域間に配置された複数のメサを含む。各メサは、ドリフト領域および本体領域を含む。前記メサの幅は、前記ゲート絶縁体領域と前記本体領域との間の界面において量子井戸寸法のオーダーである。前記 T M O S F E T はまた、前記ゲート領域と、前記本体領域、前記ドリフト領域および前記ドレイン領域との間に配置された複数のゲート絶縁体領域を含む。前記ゲート領域と前記ドレイン領域との間の前記ゲート絶縁体領域の厚さに起因して、オフ状態においてゲートトワードレイン電界は実質的に横方向において発生し、これにより、前記ドリフト領域内の電荷の空乏化が支援される。

【図面の簡単な説明】

【0009】

本技術の実施形態を、制限目的ではなく例示目的のために添付図面中に示す。図面中、類似の参照符号は、類似の要素を指す。

【図1】図1は、従来技術によるトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) の断面斜視図である。

【図2】図2は、本技術の一実施形態による T M O S F E T の断面斜視図である。

【図3】図3は、本技術の一実施形態による T M O S F E T の拡大断面図である。

【図4】図4は、本技術の一実施形態による例示的 T M O S F E T の断面図である。前記 T M O S F E T のメサ幅は $0.3 \mu\text{m}$ であり、厚さが $0.4 \mu\text{m}$ のゲート絶縁体がゲート領域とドレイン領域との間に設けられている。

【図5】図5は、従来技術による従来の T M O S F E T の断面図である。前記 T M O S F E T のメサ幅は $0.3 \mu\text{m}$ であり、厚さが $0.05 \mu\text{m}$ のゲート絶縁体がゲート領域とドレイン領域との間に設けられている。

【図6】図6は、図4中に示す例示的 T M O S F E T の線 A A ' に沿ったネットドーピングプロファイルと、図5中に示す従来の T M O S F E T の線 B B ' に沿ったドーピングプロファイルとを示す。

【図7】図7は、図4中に示す例示的 T M O S F E T および図5中に示す従来の T M O S F E T それぞれの線 A A ' および線 B B ' に沿った電子濃度を示す。これらの T M O S F E T はどちらも ON 状態であり、 $V_{DS} = 0.1 \text{ V}$ および $V_{GS} = 10 \text{ V}$ は閾電圧よりも高い。

【図8】図8は、前記例示的 T M O S F E T の降伏電圧条件下における電界ベクトル合計を示す。ゲート領域からドレイン領域への漏れ磁場により、ドリフト領域電荷の空乏が支援される。

【図9】図9は、例示的 T M O S F E T (図4) および従来の T M O S F E T (図5) それぞれの線 A A ' および線 B B ' に沿った電圧降下を示す。両者どちらにおいても、阻止電圧が降伏電圧よりも高い。

【図10】図10は、例示的 T M O S F E T (図4) および従来の T M O S F E T (図5) それぞれの線 A A ' および線 B B ' に沿った全電界を示す。両者どちらにおいても、阻止電圧が降伏電圧よりも高い。

【図 1 1】図 1 1 は、例示的 T M O S F E T (図 4) および従来 T M O S F E T (図 5) それぞれについての、オフ状態のドレイン - ソース電圧 V_{DS} および電流 I_{DS} の曲線 A および B を示す。

【図 1 2】図 1 2 は、例示的 T M O S F E T (図 4) および従来 T M O S F E T (図 5) それぞれについてのゲート電荷波形を示す。

【図 1 3】図 1 3 は、例示的 T M O S F E T (図 4) および従来技術による T M O S F E T (図 5) についてのドリフト領域ドーピング、降伏電圧および特定の ON 状態抵抗の比較を示す。

【図 1 4 A】～

【図 1 4 C】図 1 4 A ～ 図 1 4 C は、本技術の一実施形態による T M O S F E T を作製する方法のフロー図を示す。

【図 1 5 A】～

【図 1 5 J】図 1 5 A ～ 図 1 5 J は、本技術の一実施形態による T M O S F E T を作製する方法のブロック図を示す。

【詳細な説明】

【0010】

以下、本技術の実施形態を詳述する。本技術の実施形態の例を添付図面中に示す。本技術についてこれらの実施形態と関連付けて説明していくが、本発明はこれらの実施形態に限定されないことが意図されることが理解される。すなわち、本発明は、添付の特許請求の範囲中に規定されるような本発明の範囲内に含まれ得る代替物、改変物および均等物を含むものとして意図される。さらに、以下の本技術の詳細な説明において、本技術の深い理解のために、多数の特定の詳細について説明する。しかし、これらの特定の詳細が無くても、本技術が実施可能であることが理解される。他の場合において、本技術の観点を不必要に曖昧にしないために、周知の方法、手順、構成要素および回路についての詳細な説明はなされていない。

【0011】

図 2 を参照して、本技術の一実施形態によるトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 200 の断面斜視図が図示されている。T M O S F E T 200 は、複数のソース領域 210 と、複数のゲート領域 215 と、複数のゲート絶縁体領域 220 と、複数の本体領域 225 と、複数のドリフト領域 230 と、ドレイン領域 235 とを含むがこれらに限定されない。

【0012】

ドリフト領域 230 は、ドレイン領域 235 と、本体領域 225 との間に配置される。本体領域 224 は、ドリフト領域 230 と、ソース領域 210 との間に配置される。ゲート領域 215 およびゲート絶縁体領域 220 は、ゲート / ゲート絶縁体構造として形成され得る。ゲート絶縁体領域 220 は、ゲート領域 215 を包囲し、ゲート領域 215 を周囲の領域から電氣的に絶縁する。ソース領域 210、本体領域 220 およびドリフト領域 230 は、ゲート / ゲート絶縁体構造 215 および 220 間のメサ内に配置される。本体領域 225 のうちソース領域 210 とドリフト領域 230 との間に配置されかつゲート / ゲート絶縁体構造 215 および 220 の近隣の部分は、前記 T M O S F E T のチャネル領域を形成する。

【0013】

1 つの実行様態において、ドレイン領域 235 は、図 2 に示すように、ゲート / ゲート絶縁体構造 215 および 220 間のメサ内まで延び得る。別の実行様態において、ドリフト領域 230 は、ゲート / ゲート絶縁体構造 215 および 220 間のメサを越えて延び得る。

【0014】

ゲート領域 215 が連結されて、装置 200 の共通ゲートが形成される。ソース領域 210 が連結されて、装置 200 の共通ソースが形成される。本体領域 225 も、ソース領域 210 へと連結される。1 つの実行様態において、本体領域 225 は、ソース領域 21

0の長さに沿って周期的にメサの表面まで延び得る。ソース領域210および本体領域225は、ソース/本体コンタクト(図示せず)によって共に連結され得る。

【0015】

ゲート/ゲート絶縁体構造215および220間のメサの幅240は、ON状態の装置(例えば、閾電圧を越えたVGS)内に形成された本体領域225とゲート絶縁体領域220との間の界面(例えば、Si-SiO₂界面)における量子井戸幅の実質的に1/10倍~100倍の範囲内である。本明細書中、以下、このことを「量子井戸寸法のオーダーである」と呼ぶ。1つの実行様態において、前記メサの幅240は、本体領域225とゲート絶縁体領域220との間の界面(例えば、Si-SiO₂界面)において形成された量子井戸幅の約2倍である。1つの実行様態において、前記メサの幅240は、およそ0.03~1.0μmである。ゲート絶縁体領域220は、ゲート領域215およびドリフト領域230間ならびにゲート領域215およびドレイン領域235間において、肉厚部位を含む。ゲート絶縁体領域220はまた、ゲート領域215および本体領域225間において、肉薄部位を含む。絶縁体領域220の肉厚部位の深さは、図3に示すようにオフ状態の装置内のゲートトゥードレイン電界が本体領域225の近隣のドリフト領域230内において実質的に横方向となるように、選択される。オフ状態における本体領域225の近隣のドリフト領域230中の実質的に横方向の電界により、ドリフト領域230内の電荷が実質的に空乏化される。1つの実行様態において、ゲート絶縁体領域220の肉厚部位の深さ245は、実質的に0.1~4.0μmの範囲内である。

【0016】

ソース領域210およびドレイン領域235は、高nドーピング(N⁺)半導体(例えば、リンまたはヒ素でドーピングされたシリコン)であり得る。ドリフト領域230は、低nドーピング(N⁻)半導体(例えば、リンまたはヒ素でドーピングされたシリコン)であり得る。1つの実行様態において、前記ドリフト領域内に含まれる段階的なドーピングプロファイルは、前記ドレイン領域から前記複数の本体領域へと垂直方向に低減し、かつ/または前記メサの縁部から前記メサの中心へと横方向に変化する。別の実行様態においては、前記ドリフト領域は、実質的に一定のドーピングプロファイルを有する。例示的な実行様態において、前記ドーピングプロファイルは、立方センチメートルあたりにおいて実質的に1.00E+14~8.00E+17の範囲内である。本体領域225は、低程度または中程度のpドーピング(P⁻、P)半導体(例えば、ホウ素でドーピングされたシリコン)であり得る。ゲート領域215は、高nドーピング(N⁺)半導体(例えば、リンでドーピングされたポリシリコン)であり得る。ゲート絶縁体領域220は、二酸化珪素(SiO₂)であり得る。

【0017】

図4は、例示的TMOSEFTの断面図である。TMOSEFTにおいて、メサ幅が0.3μmでありかつ厚さが0.4μmのゲート絶縁体がゲート領域とドレイン領域との間に設けられている。同様に、図5は、従来技術による例示的TMOSEFTの断面図である。このTMOSEFTにおいて、メサ幅が0.3μmでありかつ厚さが0.05μmのゲート絶縁体がゲート領域とドレイン領域との間に設けられている。さらに、図4中において線AA'に沿って切断されたドーピングプロファイルと、図5中において線BB'に沿って切断されたドーピングプロファイルとを比較した様子を図6中に示す。

【0018】

ゲート領域215のソース/本体領域210/225に対する電位が装置200の閾電圧を上回った場合、伝導チャネルがゲート絶縁体領域220の周辺に沿って本体領域225内に誘導される。その後、TMOSEFT200は、ドレイン領域235とソース領域210との間で電流を伝導させる。その結果、前記装置はON状態となる。

【0019】

前記本体領域のメサ幅が量子井戸寸法のオーダーになると、ON状態においてシリコン界面が逆転しているため、メサ中の本体領域内において相当の移動度を有する高密度の電子(~1e18cm⁻³から1e20cm⁻³)が溢れる。本体領域内におけるON状態時において二次元電子ガス(2DEG)の形成が発生し、ゲートドレイン領域の漏れ電界

(fringing

electric field)に起因して、肉薄メサ構造内のエピタキシャル層内において蓄積層の形成が発生する。前記本体領域はより低濃度でドーピングすることが可能であるため、ON状態時におけるこの領域内のキャリア移動度に対するイオン化不純物散乱による影響が低下する。ON状態時において、前記肉薄メサ内の本体領域の $S_i - S_{i02}$ 界面に形成された三角形の量子井戸によって、本体領域が高密度の電子で溢れる。図7に、図4中の切断線AA'に沿ったON状態の電子濃度($V_{GS} = 10V$)と、図5中の切断線BB'に沿ったON状態の電子濃度($V_{GS} = 10V$)との比較を示す。

【0020】

ゲート領域215の電位が閾電圧を下回った場合、チャネルの誘導が停止する。その結果、ドレイン領域235とソース領域210との間に電界が付加されても、装置200内には大きな電流は全く流れなくなる。そのため、装置200はオフ状態となり、ゲートドレイン電界による支援を伴って本体領域225およびドレイン領域235によって形成された接合により、ソースおよびドレインに亘って付加された電圧が支持される。

【0021】

オフ状態においては、ゲートおよびドレイン領域間の電圧の存在に起因して、ゲート領域とドレイン領域との間のゲート絶縁体の肉厚部位に沿って垂直電界が発生する。この垂直電界は、特定の横方向距離「L」内で実質的に低い値へと低下して、ゲート領域の横方向縁部を越える。ゲート縁部からの横方向距離「L」内の電界低下値は、当該領域内に存在する材料によって異なる。所与の装置200について、ゲート領域215、ドリフト領域230およびドレイン領域235の配置および寸法は、メサドリフト領域230内のゲートおよびドレイン間の電圧に起因する垂直電界の値が大きくなるように、選択される。前記メサ領域内のゲートドレイン電界の横方向成分により、当該領域内に存在する電荷の空乏化が支援され、これにより、図8中の例示的TMOSEFT(図4)の絶縁破壊条件下の全電界ベクトルによって示すように、前記メサ内の有効電荷の電場誘起低下(field induced reduction)が可能となる。このようにして、狭幅のメサ内においてゲートドレイン電界によって誘起された有効電荷低下が発生することにより、所与の降伏電圧に対するドリフト領域内のドーピング濃度が増加する。電界が横方向において有意に低下していない領域内においてメサが量子井戸寸法のオーダーでありかつゲートドレインキャパシタ縁部に十分近接している限り、ゲートドレイン垂直電界が横方向に有効にシリコン内へと移動する。

【0022】

ここで図9を参照して、図4中の切断線AA'および図5中の切断線BB'に沿った絶縁破壊条件下の電圧降下を比較する。メサ幅が $0.3\mu m$ である例示的TMOSEFTの降伏電圧はおよそ19Vであり、同一のドーピングプロファイルを有する従来のTMOSEFTの降伏電圧はより低くおよそ16Vである。図10中に、切断線AA'(図4)およびBB'(図5)に沿った装置深さ(ミクロン)の関数として電界を示す。図10から分かるように、前記電圧のうち大部分がドリフト領域全域において支持される。この構造内において、本体領域によって支持される電圧は極めて低いかまたはほとんどゼロである点に留意されたい。図9および図10に示すように、前記電圧のうちほとんどが前記ドリフト領域によって支持され得、ピーク電界のうちより大部分が肉厚酸化物の底部に向かう面にある。図11は、例示的TMOSEFT(図4)および従来のTMOSEFT(図5)それぞれについての、オフ状態のドレイン-ソース電圧 V_{DS} および電流 I_{DS} 曲線AおよびBを示す。図12は、例示的TMOSEFT(図4)および従来のTMOSEFT(図5)それぞれについてのゲート電荷波形を示す。図13において、例示的TMOSEFT(図4)および従来技術のTMOSEFT(図5)について、ドリフト領域ドーピング、降伏電圧および特定のON状態抵抗を比較する

【0023】

ここで図14A~図14C、を参照して、本技術の一実施形態によるトレンチ金属酸化物半導体電界効果トランジスタ(TMOSEFT)を作製する方法が図示されている。本

技術の一実施形態による T M O S F E T の作製方法を図 1 5 A ~ 図 1 5 J に示す。図 1 4 A および 1 5 A に示すように、このプロセスは 1 4 0 2 において開始し、半導体ウエハ基板 1 5 0 2 に対して多様な初期プロセス（例えば、洗浄、堆積、ドーピング、エッチングおよび/または類似のプロセス）が行われる。前記基板は、第 1 のドーパント型で比較的高ドーパされた半導体である。前記半導体基板は、ドレイン領域を形成する。1 つの実行様態において、前記ドレイン領域は、リン（N +）で高ドーパされたシリコンであり得る。

【 0 0 2 4 】

1 4 0 4 において、第 1 の半導体層 1 5 0 4 をウエハ基板 1 5 0 2 上に形成する。1 つの実行様態において、前記半導体層は、前記基板上にエピタキシャル堆積される。1 つの実行様態において、前記エピタキシャル堆積された第 1 の半導体層は、リン（-）で低ドーパされたシリコンを含む。前記エピタキシャル堆積されたシリコンは、所望の不純物（例えば、リン）を反応チャンバ内に導入することにより、ドーパされ得る。1 つの実行様態において、前記エピタキシャル層は、段階的なドーピングプロファイルを有するように堆積される。この段階的なドーピングプロファイルにおいて、ドーピング濃度は、前記ウエハ基板からエピタキシャル層表面に向かって低下する。

【 0 0 2 5 】

1 4 0 6 において、任意の周知のリソグラフィプロセスによりフォトリジストを堆積させ、パターニング（1 5 0 6）を行って、ゲートトレンチマスクを形成する。ここで図 1 5 B を参照して、第 1 の半導体層の露出部位に対して任意の周知の等方性エッチング方法によってエッチングを行う（1 4 0 8）。1 つの実行様態において、イオンエッチャントが、パターニングされたレジスト層によって露出されたバリア層、犠牲酸化物層および第 1 の半導体層と相互作用する。トレンチ間に配置された複数のメサ 1 5 0 8 を有する複数のトレンチが形成され、前記メサの幅は、ゲート絶縁体領域と後続プロセスにおいて形成されたメサとの間の界面における量子井戸寸法のオーダーである。1 つの実行様態において、前記メサの幅は、およそ 0 . 0 3 ~ 1 . 0 μm である。1 4 1 0 において、適切なレジストストリッパーまたはレジストアッシングプロセスを用いてゲートトレンチマスクを除去する。

【 0 0 2 6 】

ここで図 1 5 C を参照して、1 4 1 2 において肉厚の誘電体層 1 5 1 2 を形成する。1 つの実行様態において、任意の周知の方法（例えば、化学気相成長（C V D））により、コンフォーマルな二酸化珪素層を堆積させる。0 . 1 ~ 4 . 0 μm の厚さの誘電体層を堆積させる。

【 0 0 2 7 】

ここで図 1 5 C を参照して、バリア層 1 5 1 4 を前記肉厚の誘電体層上に形成し、1 4 1 4 において前記トレンチを充填する。ここで図 1 5 D を参照して、1 4 1 6 において化学機械研磨（C M P）または任意の公知の平坦化方法を用いて平坦化を行うことにより、メサ 1 5 0 8 の上面までバリア層 1 5 1 4 および肉厚誘電体層 1 5 1 2 のうち一部を除去する。ここで 1 5 E を参照して、1 4 1 8 において、所望量の肉厚誘電体層が前記トレンチの底部に残るまで、前記肉厚誘電体層の残り部分を前記トレンチ内にエッチバックする。一実施形態において、約 0 . 1 4 ~ 4 . 0 μm が前記トレンチの底部に残るまで、前記肉厚誘電体層を前記トレンチ内にエッチバックする。

【 0 0 2 8 】

ここで図 1 5 F を参照して、1 4 2 0 において第 1 の肉薄誘電体層 1 5 2 0 を前記メサ上に形成する。1 つの実行様態において、第 1 の半導体層のメサ表面を酸化させて二酸化珪素層を形成することにより、前記肉薄誘電体層を形成する。

【 0 0 2 9 】

1 4 2 4 において、第 2 の半導体層 1 5 2 4 を形成する。1 つの実行様態において、前記トレンチを充填ながらウエハ上にポリシリコン層をコンフォーマルに形成する。この形成は、シランの分解（S 1 H 4）のような方法により行われる。1 つの実行様態において

、前記ポリシリコンは、 n 型不純物（例えば、リンまたはヒ素）によってドーブされる。1つの実行様態において、前記ポリシリコンのドーブは、前記堆積プロセス時において不純物を導入することにより、行われる。ここで図14Cおよび図15Gを参照して、1426において、エッチバックプロセスを行って、ウエハ表面上の余分な第2の半導体層および肉薄誘電体層を除去する。このようにしてウエハ表面上の余分な第2の半導体層および肉薄誘電体層を除去することにより、ゲート領域1526と、ゲート領域およびメサ間のゲート絶縁体領域の肉薄部位1527とが形成される。1つの実行様態において、余分な第2の半導体および肉薄誘電体層は、ウェットエッチプロセスなどによって選択的に除去される。1つの実行様態において、メサ1508の上部上の肉薄誘電体層の部分を第1のエッチングプロセス時においてハードマスクとして用いることで、第2の半導体層をトレンチ内に部分的にエッチバックすることが可能となる。その後、第2のエッチングプロセスにより、メサ上部上の肉薄誘電体層を除去することができる。

【0030】

ここで図15Hを参照して、1428において、メサ1508およびゲート領域1526の第1の部分を第2のドーパント型によって比較的中程度または低程度のドーピング濃度で第1の深さまでドーブする。エピタキシャル堆積半導体層のうち露出部分をドーブして、複数のメサ内に本体領域1529をゲート領域と実質的に同一の深さで形成する。1つの実行様態において、前記ドーピングプロセスにより、 p 型不純物（例えば、ホウ素）を前記メサ中に注入する。高温熱サイクルを用いて、本体領域内におけるドーピングを促進することができる。その結果、エピタキシャル堆積半導体層1528の下部により、低程度ドーブドリフト領域がドレイン領域1502と本体領域1529との間に形成される。ゲート領域1524のドーピングは、第1のドーパント型により実質的に中程度～高程度にドーブされた状態で保持される点にも留意されたい。

【0031】

ここで図15Iを参照して、1430において、メサ1508およびゲート領域の第2の部分を第2の深さまで比較的高ドーピング濃度で第1のドーパント型によりドーブして、ソース領域1530を形成する。第2のドーピング深さは、第1のドーピング深さよりも浅い。1つの実行様態において、前記ドーピングプロセスは、 n 型不純物（例えば、リンまたはヒ素）を複数のメサ中に高濃度注入する工程を含む。高温熱サイクルを用いて、ソース領域ドーピングにおける活性化および／または促進が可能となる。ここで図15Jを参照して、1432において第2の肉薄誘電体層1532を形成する。1つの実行様態において、前記肉薄誘電体層は、メサおよびゲート領域の表面を酸化させることにより行われ、これにより二酸化珪素層が形成される。

【0032】

1436において、他の多様なプロセスと共に作製が継続する。前記多様なプロセスの典型例を挙げると、エッチング、堆積(deposition)、ドーピング、洗浄、アニーリング、パッシベーション、劈開(cleaving)および／または類似のプロセスがある。例えば、さらなるプロセスにより、ソース／本体コンタクト開口部、ソース／本体コンタクト、ゲートコンタクト開口部、ゲートコンタクト、ドレインコンタクト、パッシベーション層、ビア、配線、終端構造、周辺構造および／または類似のものが形成される。

【0033】

本技術の実施形態は、漏れゲートドレイン電界(fringing gate-drain electric field)を有利に用いることにより、低オン状態抵抗を有利に達成する。メサ内のドリフト領域のドーピング濃度を有利に増加させることが可能であり、 p - n 接合降伏電圧の低下も、平面 p - n 接合理論によって予測される場合よりも低くなる。メサ幅により、前記メサ内の p - n 接合の降伏電圧と前記メサ内のドーピングとの間の関係が有利に制御される。加えて、オフ状態におけるゲートとドレインとの間の漏れ磁場によりメサ内のドリフト領域電荷の空乏化が支援され、これにより、所与の降伏電圧におけるドリフト領域のドーピングをより高濃度とすることができる。さらに、ゲートとドレインとの間のゲート絶縁体の厚さにより、ドリフト領域ドーピング濃度が上昇した場合でも

、さらなるゲート電荷上昇無く、実質的に一定の降伏電圧が得られる。その結果、低オン抵抗ゲート電荷生成が可能となる。

【 0 0 3 4 】

特定の本発明の実施形態についての上記記載は、例示および説明の目的のためのものであり、網羅的なものを意図しておらずまた本発明を開示の形態そのものに限定することも意図していない。よって、上記教示内容を鑑みれば、多くの改変例および変更例が可能である。実施形態は、本発明の原理およびその実際的用途を説明するために選択および記載されたものであり、これにより、当業者が本発明および多様な実施形態を最良に利用することが可能となり、特定の用途に適した多様な改変例が企図される。本発明の範囲は、本明細書に添付される特許請求の範囲およびその均等物によって規定されることが意図される。本明細書に記載される全ての要素、部品および工程が、好適に含まれる。当業者であれば理解するように、これらの要素、部品および工程のうち任意のものを他の要素、部品および工程と置換することも可能であるし、あるいは、これらの要素、部品および工程を削除することも可能であることが理解される。

【 コンセプト 】

【 0 0 3 5 】

本文書は、少なくとも以下のコンセプトを開示する。

コンセプト 1 . トレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) であって、

ドレイン領域と、

前記ドレイン領域の上方に配置された複数のゲート領域と、

前記複数のゲート領域の間および前記ドレイン領域の上方においてメサ内に配置された複数のドリフト領域と、

前記メサ内において前記ドリフト領域の上方において前記ゲート領域に隣接して配置された複数の本体領域と、

前記メサ内において前記本体領域の上方に配置された複数のソース領域と、

前記ゲート領域と、前記ソース領域、前記本体領域、前記ドリフト領域および前記ドレイン領域との間に配置された複数のゲート絶縁体領域と、

を含み、

前記メサの幅は、およそ 0 . 0 3 ~ 1 . 0 ミクロン (μm) であり、

前記ゲート領域と前記ドレイン領域との間の前記ゲート絶縁体領域の厚さは、およそ 0 . 1 ~ 4 . 0 ミクロン (μm) である、
トレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

コンセプト 2 . 前記ドリフト領域は、段階的なドーピングプロファイルを含み、前記段階的なドーピングプロファイルは、前記ドレイン領域から前記複数の本体領域に向かって垂直方向に低減するかまたは前記メサの縁部から前記メサの中心へ向かって横方向に変化する、コンセプト 1 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

コンセプト 3 . 前記ドレイン領域を用いて前記メサ内に p - n 接合が形成される、コンセプト 1 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

コンセプト 4 . 前記ソース領域および前記本体領域は実質的に同一の電位において連結される、コンセプト 1 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

コンセプト 5 . 平面 p - n 接合理論によって予測される場合よりも低い p - n 接合降伏電圧の低下により、前記ドリフト領域のドーピングを増加させることができる、コンセプト 1 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

コンセプト 6 . 前記メサ内の p - n 接合の降伏電圧と、前記メサ内のドーピングとの間の関係は、前記メサの幅によって制御される、コンセプト 1 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

コンセプト 7 . オフ状態における前記ゲート領域と前記ドレイン領域との間の漏れ磁場により、前記メサ内のドリフト領域電荷の空乏が支援され、これにより、実質的に一定な降伏電圧のための前記ドリフト領域内のより高いドーピングが得られる、コンセプト 1 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

コンセプト 8 . 前記ゲート領域と前記ドレイン領域との間の前記ゲート絶縁体領域の厚さにより、ドリフト領域ドーピング濃度が上昇した場合でも、さらなるゲート電荷上昇無く、実質的に一定の降伏電圧が得られ、その結果、低オン抵抗ゲート電荷生成が可能となる、コンセプト 1 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

コンセプト 9 .

前記ドレイン領域は高 n ドープ半導体を含み、
前記ゲート領域は n ドープ半導体を含み、
前記ドリフト領域は低 n ドープ半導体を含み、
前記本体領域は、中程度の p ドープ半導体を含み、
前記複数のソース領域は、高 n ドープ半導体を含む、

コンセプト 1 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

コンセプト 10 .

前記ドレイン領域は、高 n ドープ半導体を含み、
前記ゲート領域は、n - ドープ半導体を含み、
前記ドリフト領域は、前記本体領域と前記ドレイン領域との間において、低程度 ~ 中程度の n ドープ半導体を含み、
前記本体領域は、中程度の p ドープ半導体を含み、
前記複数のソース領域は、高 n ドープ半導体を含む、
コンセプト 1 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

コンセプト 11 . 前記ゲート絶縁体領域は酸化物を含む、コンセプト 1 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

コンセプト 12 . トレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) であって、

ドレイン領域と、

複数のメサであって、前記複数のメサはそれぞれ、ドリフト領域および本体領域を含み、複数のゲート領域間に配置され、前記メサの幅は、前記ゲート絶縁体領域と前記本体領域との間の界面における量子井戸寸法のオーダーである、複数のメサと、

前記ゲート領域と、前記本体領域、前記ドリフト領域、および前記ドレイン領域との間に配置された複数のゲート絶縁体領域であって、前記ゲート領域と前記ドレイン領域との間の前記ゲート絶縁体領域の厚さに起因して、オフ状態においてゲートトゥードレイン電界が発生し、前記ゲートトゥードレイン電界は、前記ドリフト領域内において実質的に横方向である、複数のゲート絶縁体領域と、
を含む、トレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

コンセプト 13 . 前記ゲート絶縁体領域は酸化物を含む、コンセプト 12 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

コンセプト 14 .

前記ドレイン領域は、リンまたはヒ素で高ドーピングされたシリコンを含み、

前記ドリフト領域は、リンまたはヒ素で低程度または中程度にドーピングされたシリコンを含み、

前記本体領域は、ホウ素で低程度または中程度にドーピングされたシリコンを含む、

コンセプト 12 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

コンセプト 15 .

前記ドリフト領域は、前記ドレイン領域から前記複数の本体領域に向かって低減する段階的なドーピングプロファイルを含む、コンセプト 13 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

コンセプト 16 . 前記ドリフト領域のドーピング濃度は、立方センチメートルあたりおよそ $5.00 \times 10^{14} \sim 8.00 \times 10^{17}$ である、コンセプト 14 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

コンセプト 17 . 前記メサの幅は、およそ $0.03 \sim 2.0$ ミクロン (μm) である、コンセプト 16 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

コンセプト 18 . 前記ゲート領域と前記ドレイン領域との間の前記ゲート絶縁体領域の厚さは、およそ $0.1 \sim 4.0$ ミクロン (μm) である、コンセプト 17 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

コンセプト 19 . 降伏電圧はおよそ $15 \text{ V} \sim 55 \text{ V}$ である、コンセプト 18 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

コンセプト 20 . ON 状態抵抗は、平方ミリメートルあたりおよそ $2 \sim 9$ ミリオーム ($\text{m}\Omega \cdot \text{mm}^2$) である、コンセプト 18 のトレンチ金属酸化物半導体電界効果トランジスタ (T M O S F E T) 。

【手続補正 3】

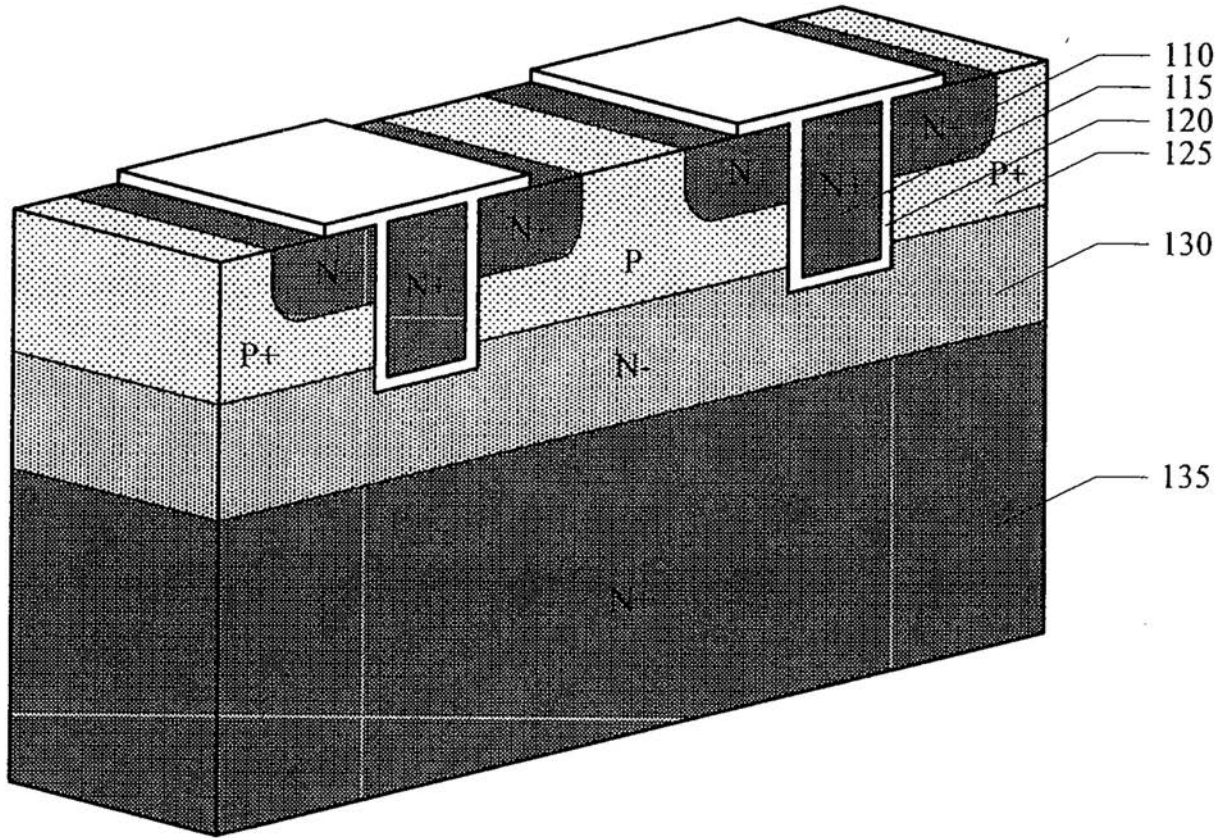
【補正対象書類名】図面

【補正対象項目名】全図

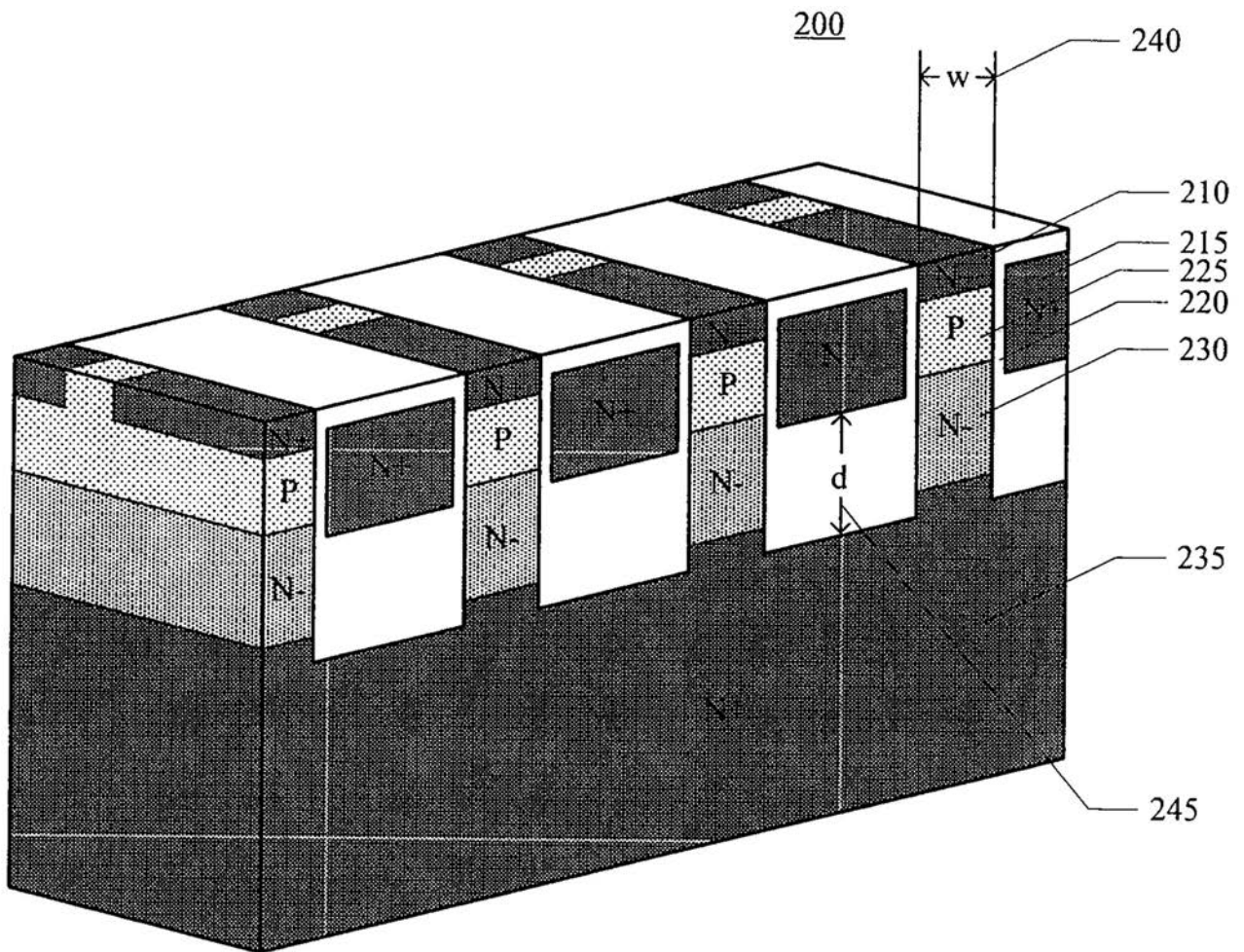
【補正方法】変更

【補正の内容】

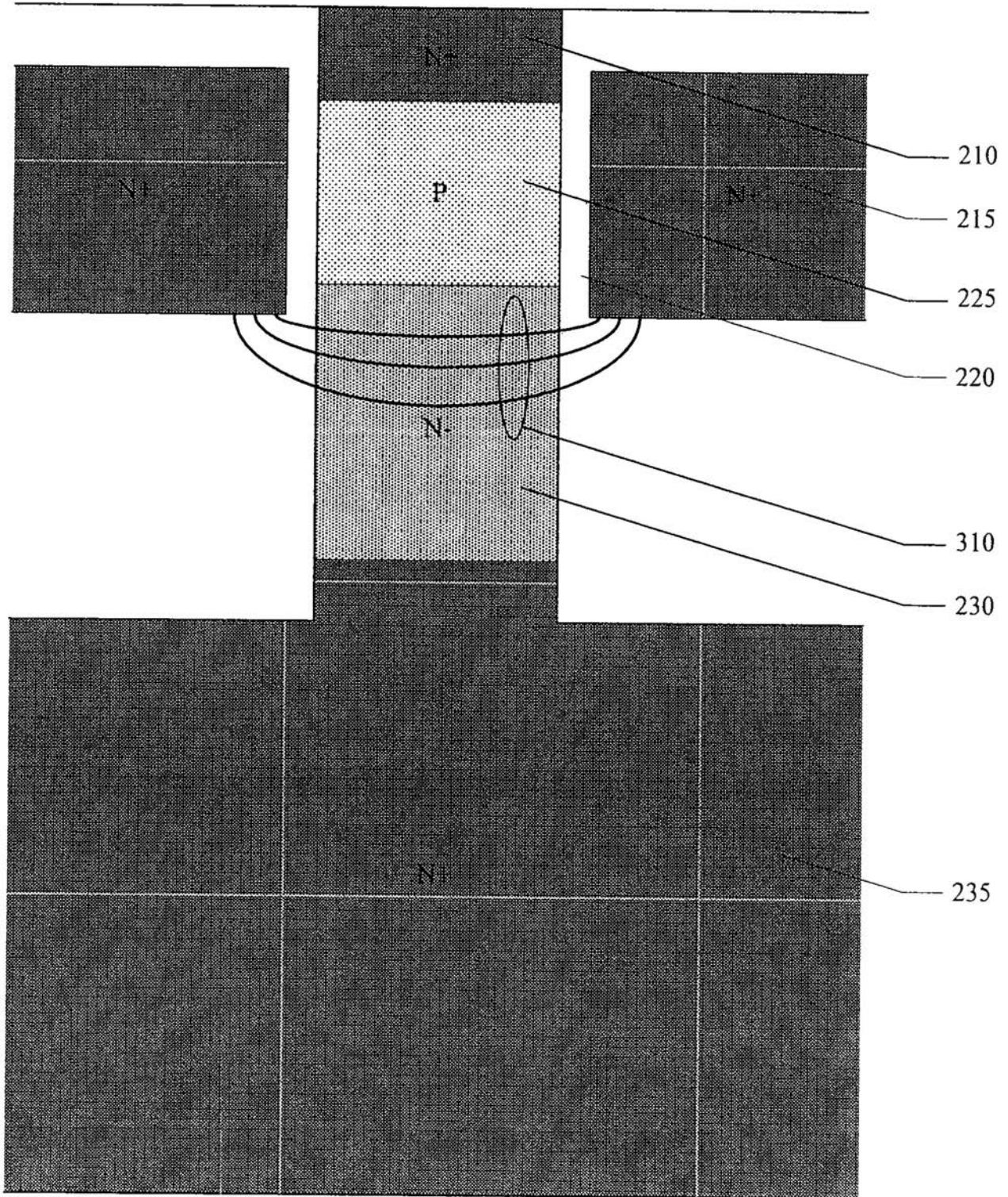
【図 1】



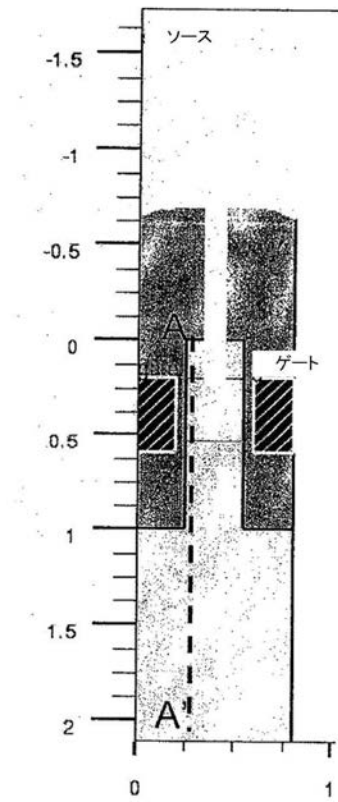
【図 2】



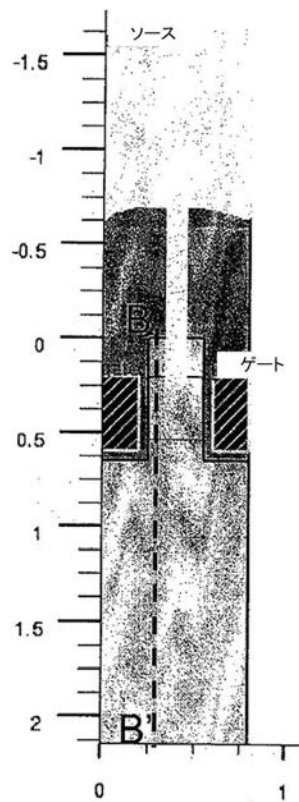
【図 3】



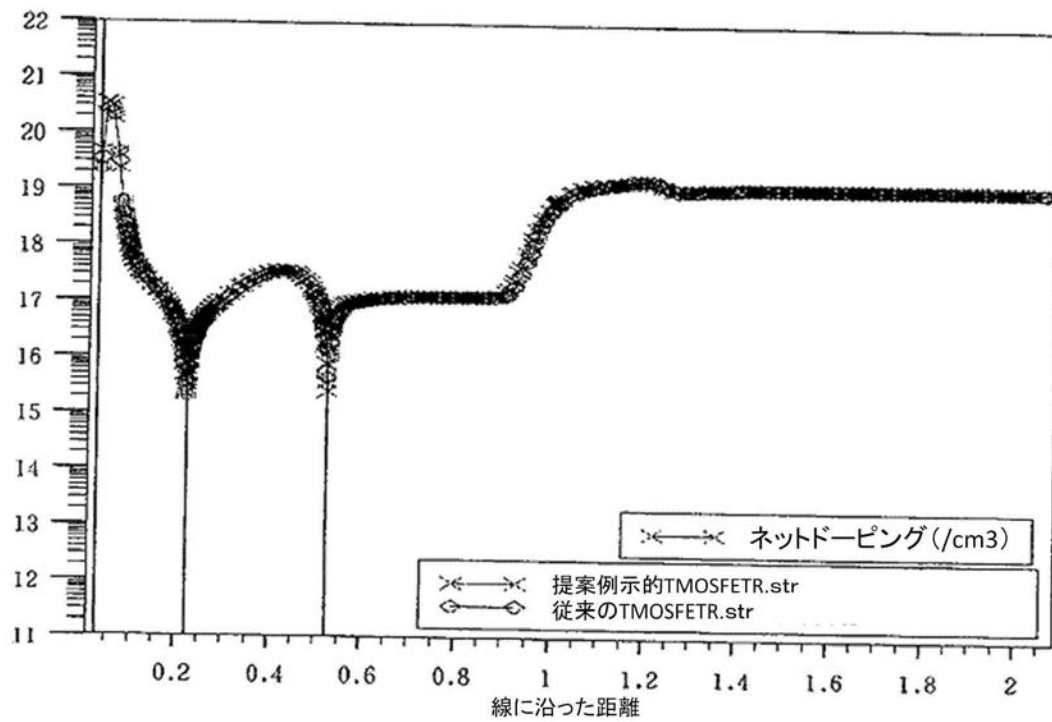
【図 4】



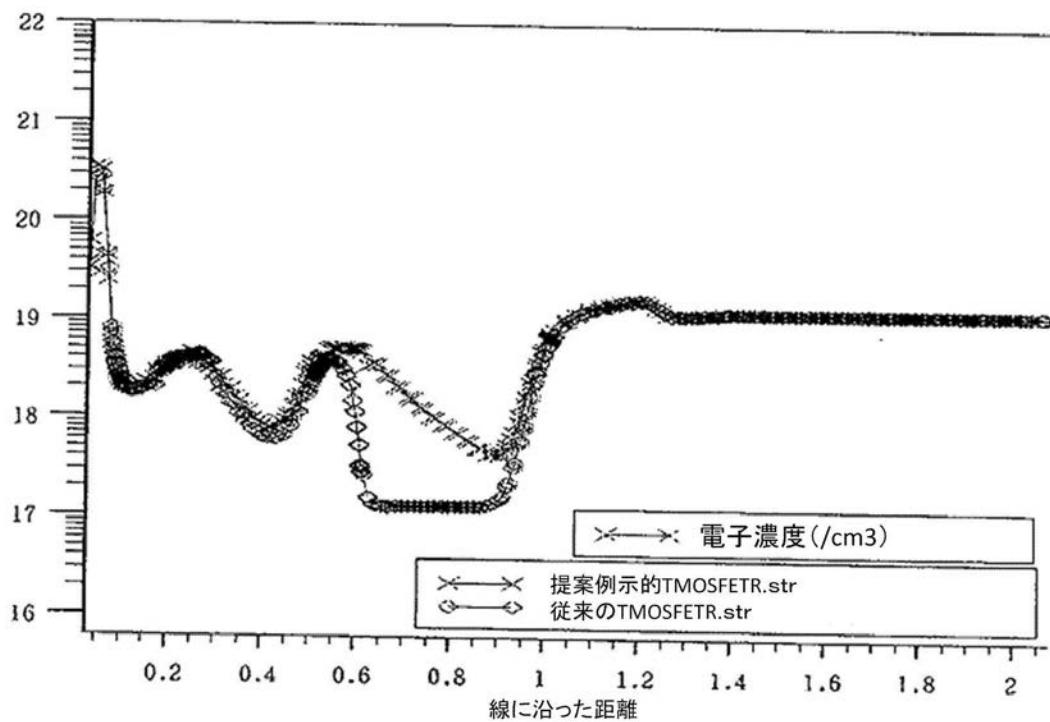
【図 5】



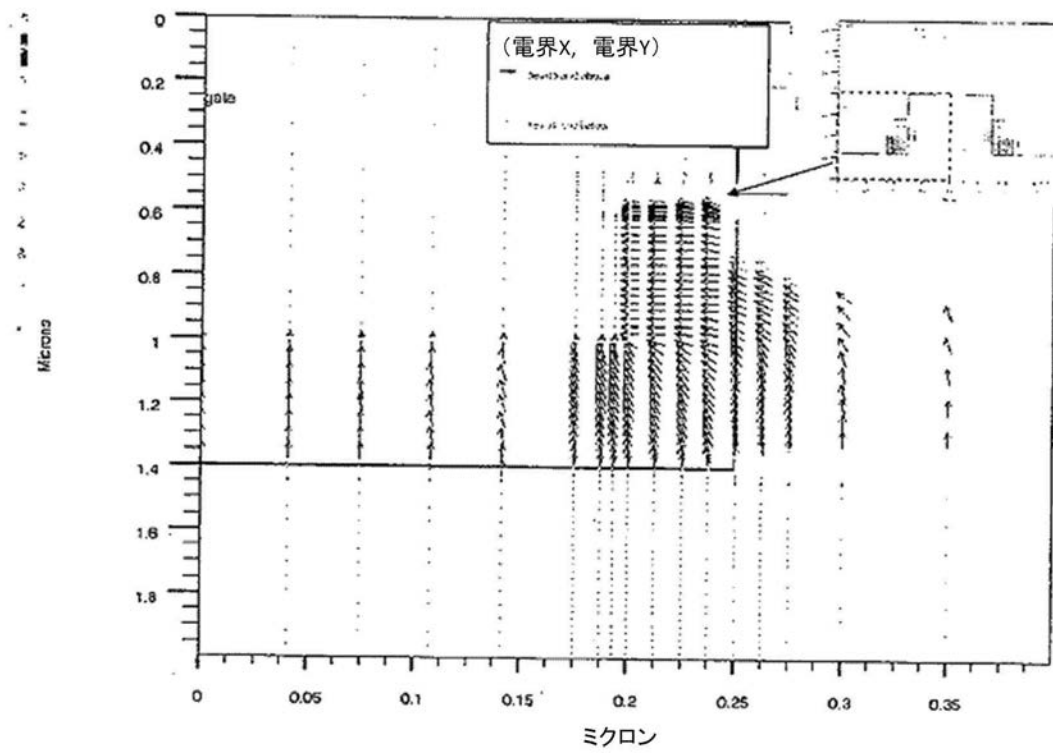
【図 6】



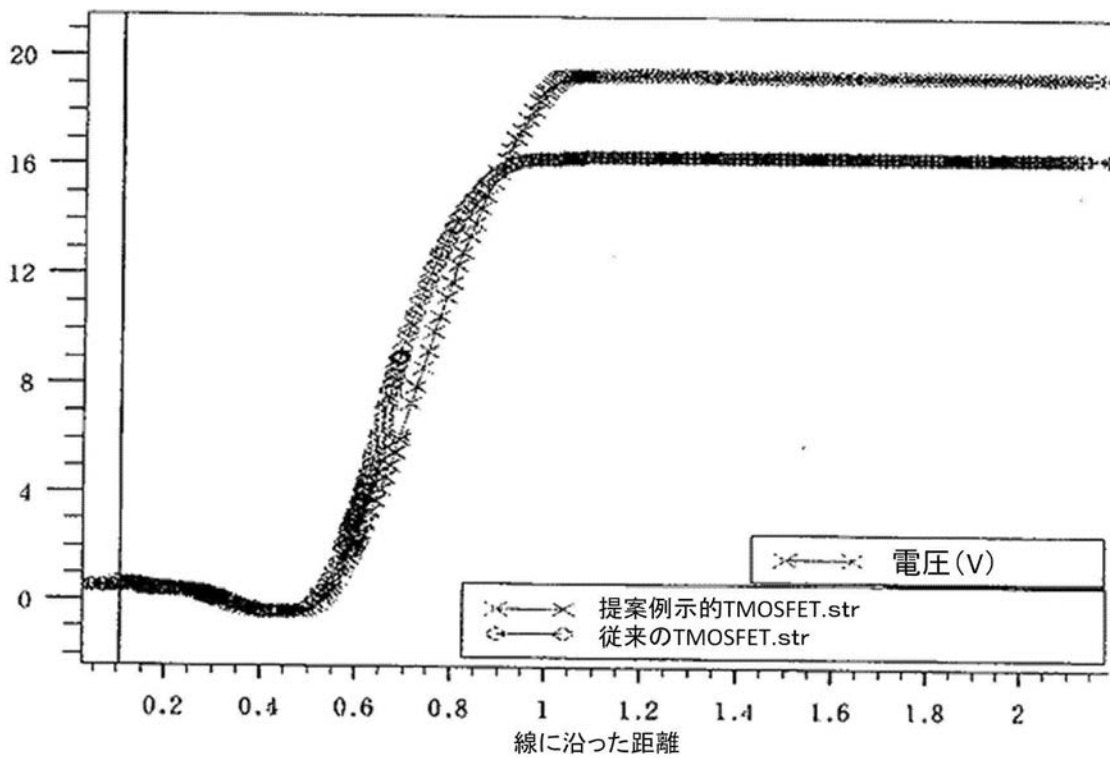
【図 7】



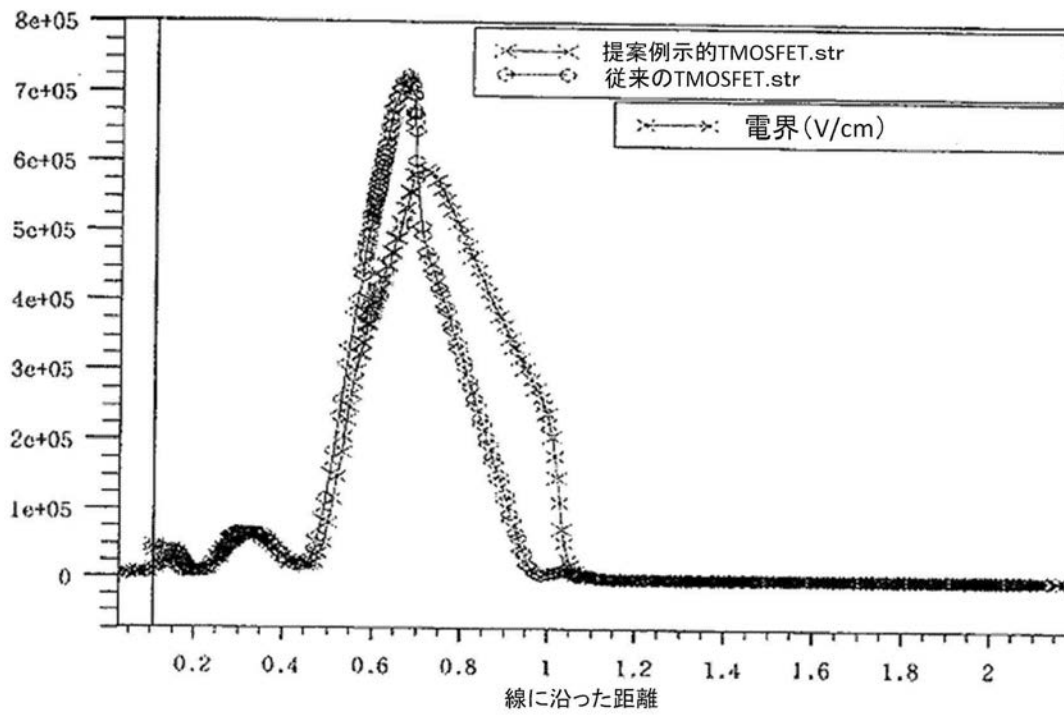
【図 8】



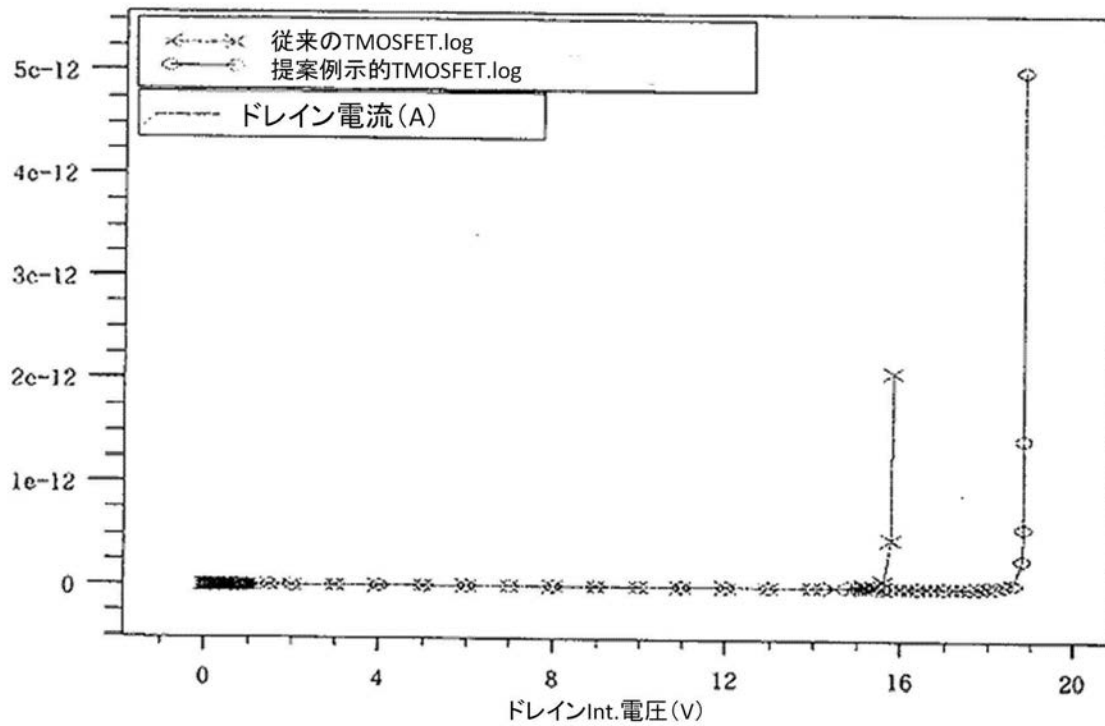
【図 9】



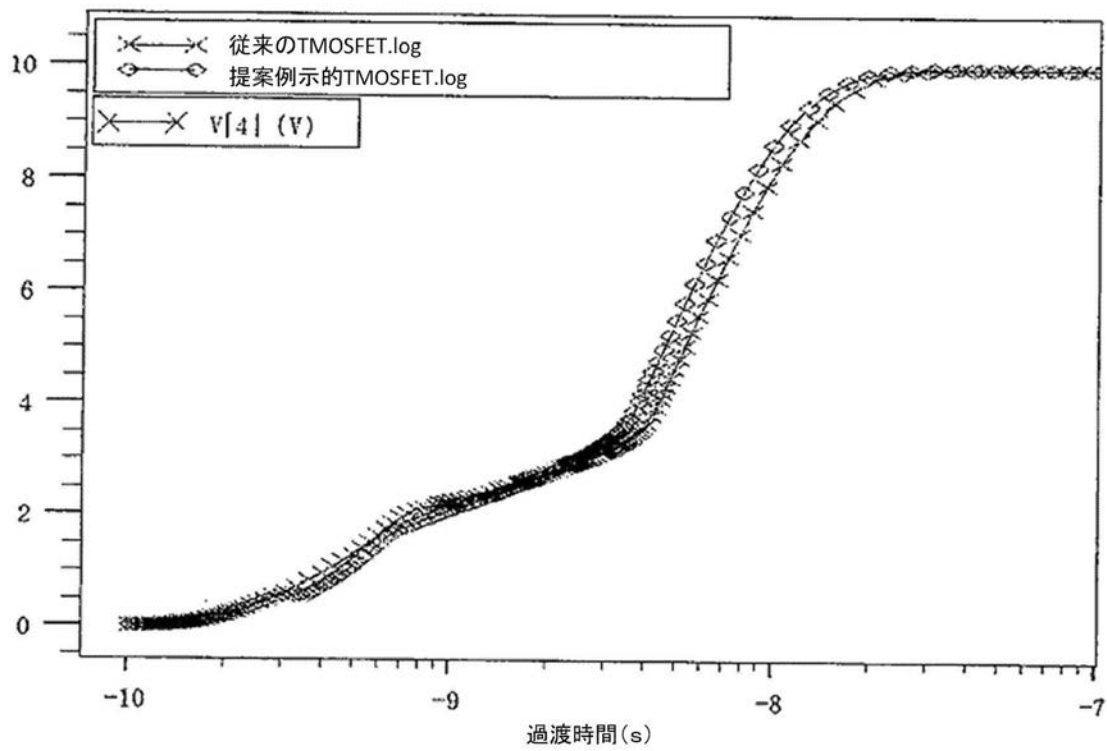
【図 10】



【図 11】



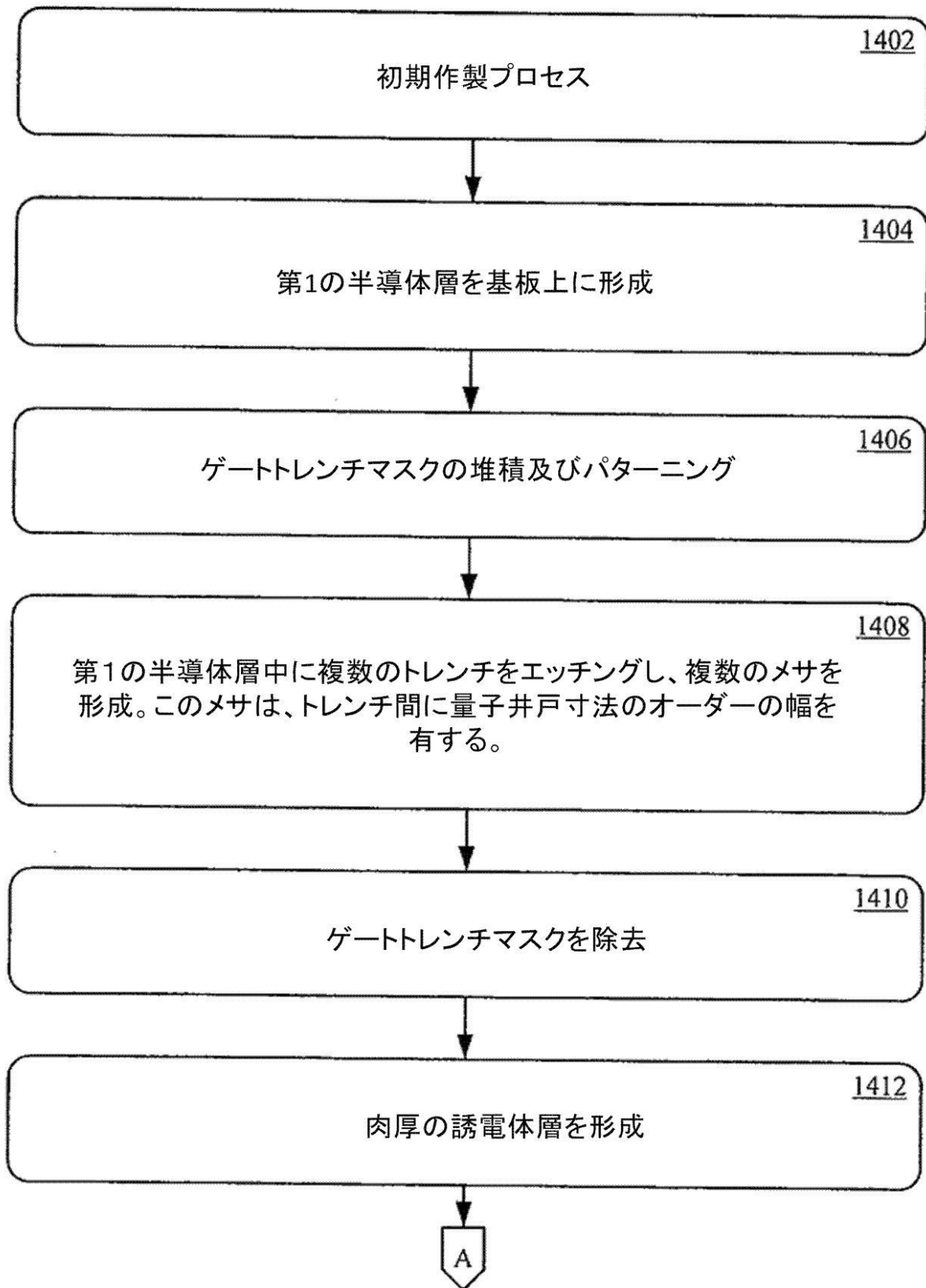
【図 1 2】



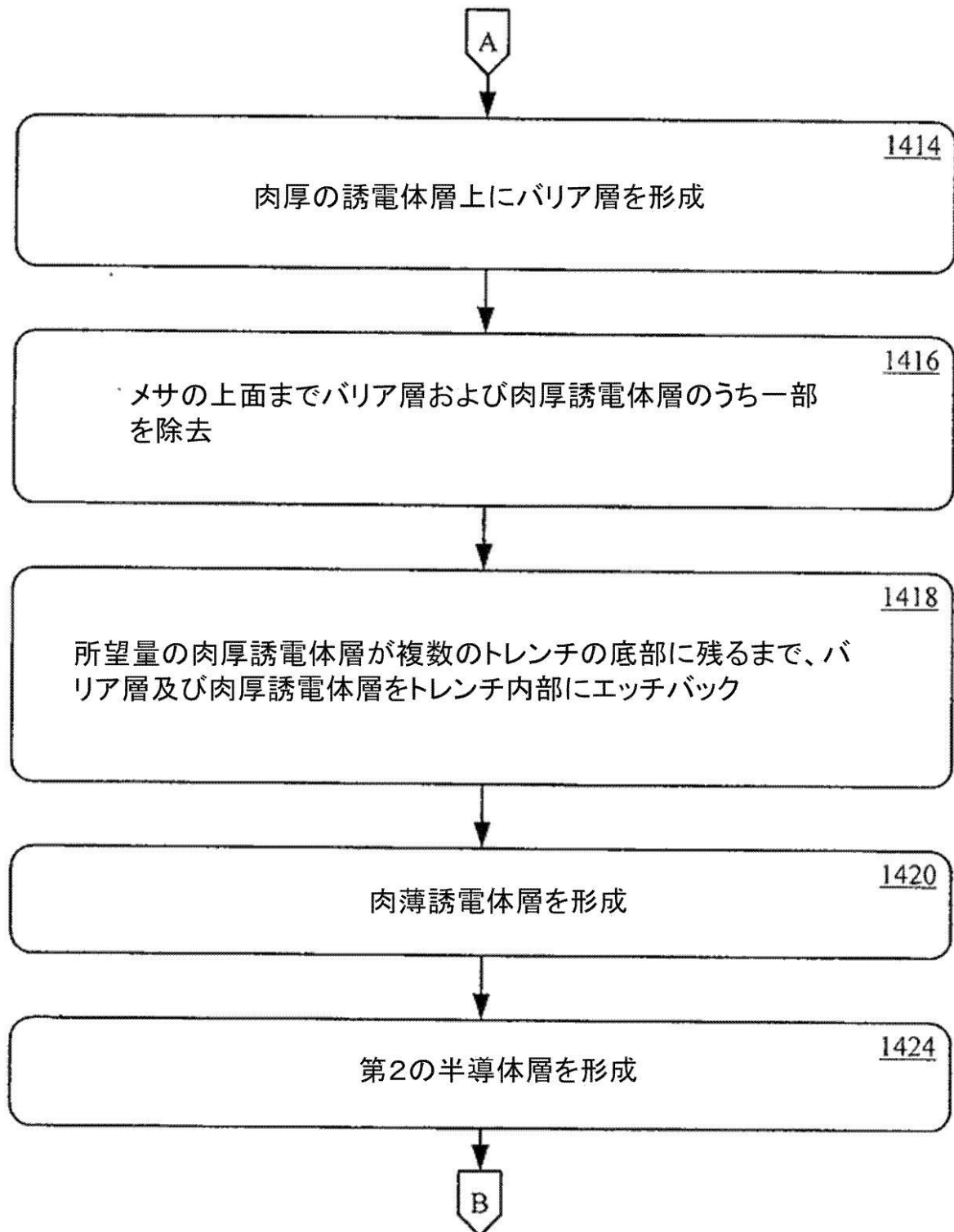
【図 1 3】

装置	ドリフト領域 ドーピング, /cm ³	BV, V	R _{sp} (V _{gs} =10V), mohm.mm ²	Q _{g,sp} (V _{gs} =10V), nC/cm ²	R _{on} .Q _g , mohm.nc
図5の従来の TMOSEFET	1.3E+17	15.8	3.4	1522	51.74
図4の提案 例示的 TMOSEFET	1.3E+17	19.2	3.54	1177	41.66

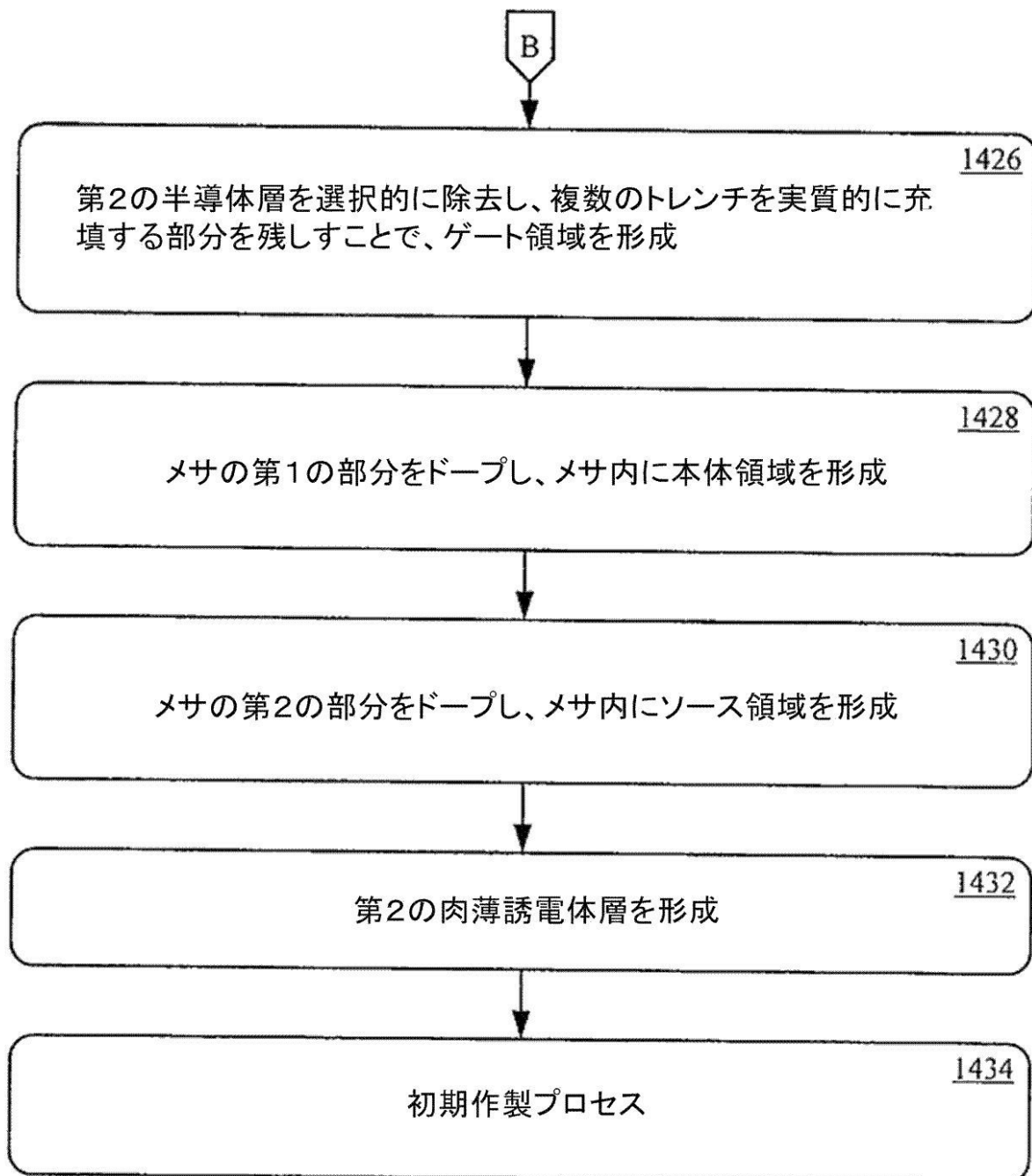
【図 1 4 A】



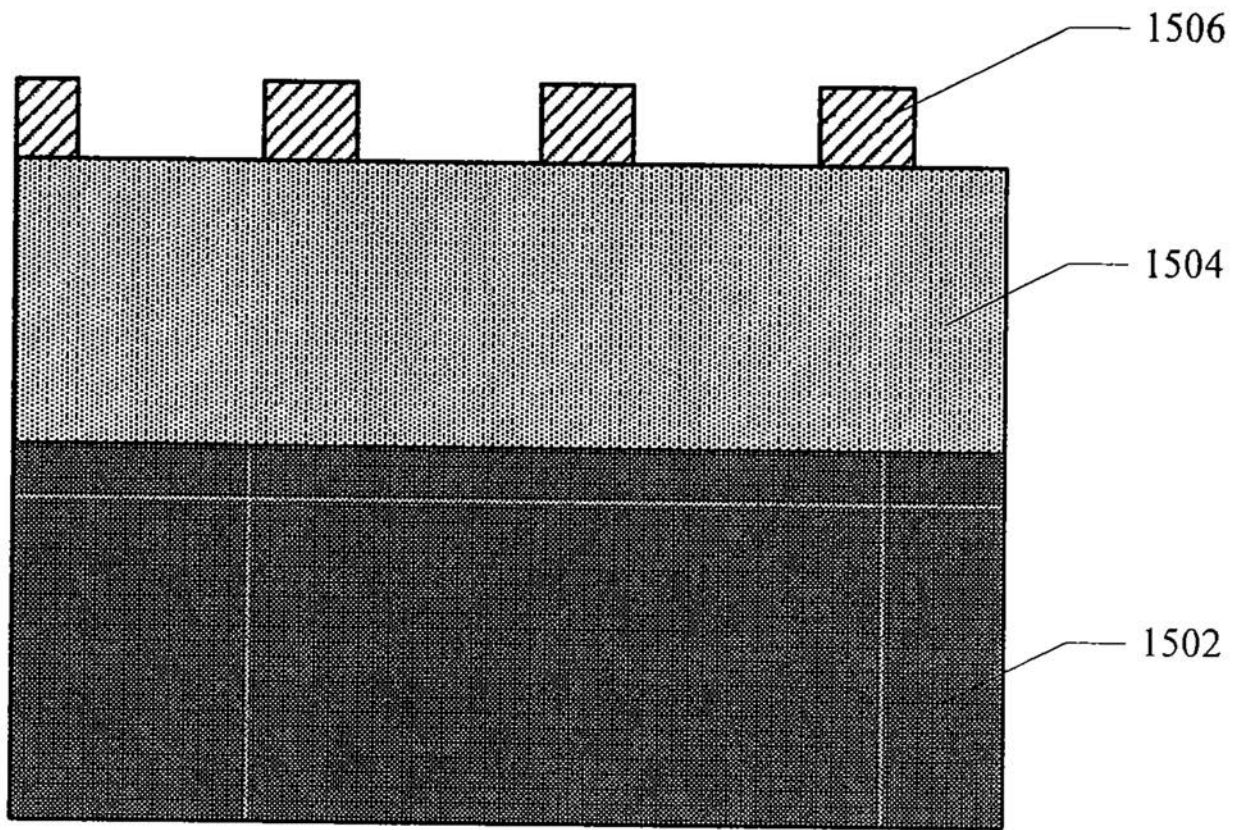
【図 1 4 B】



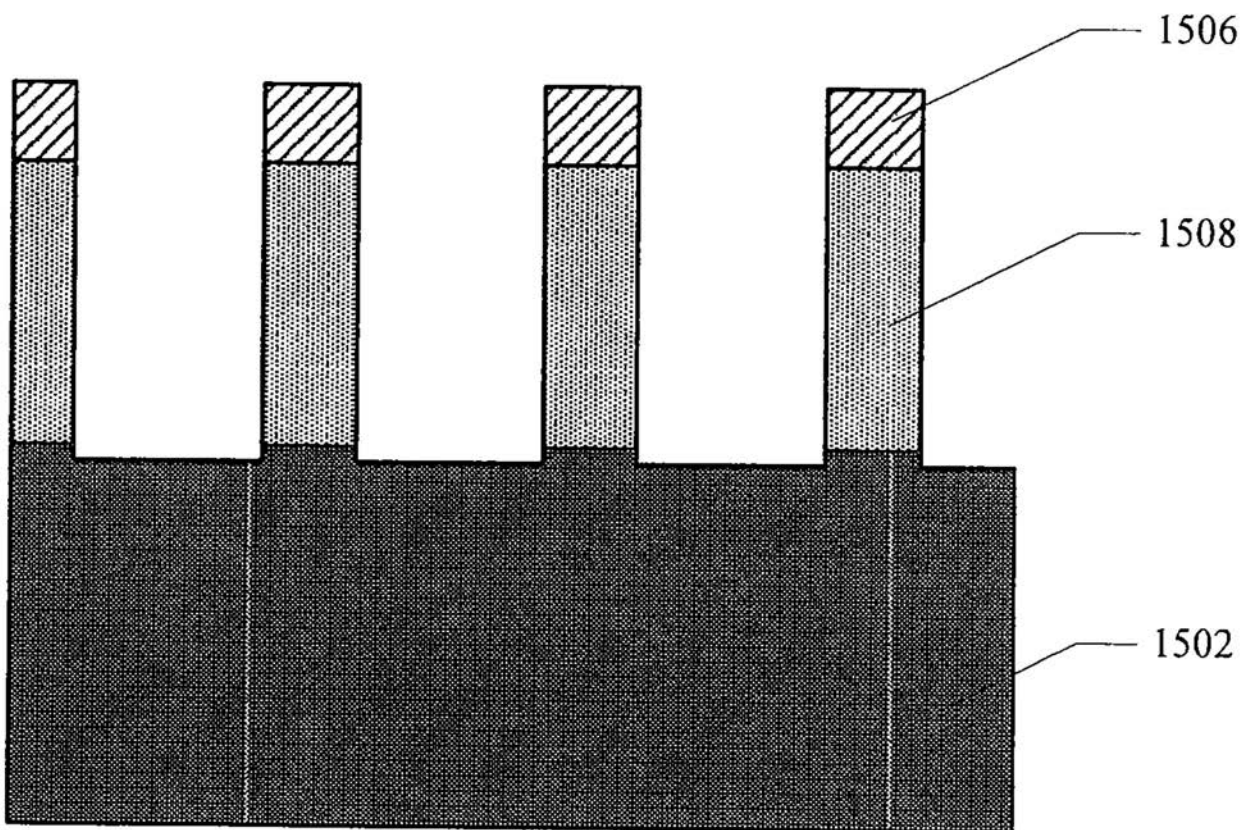
【図 1 4 C】



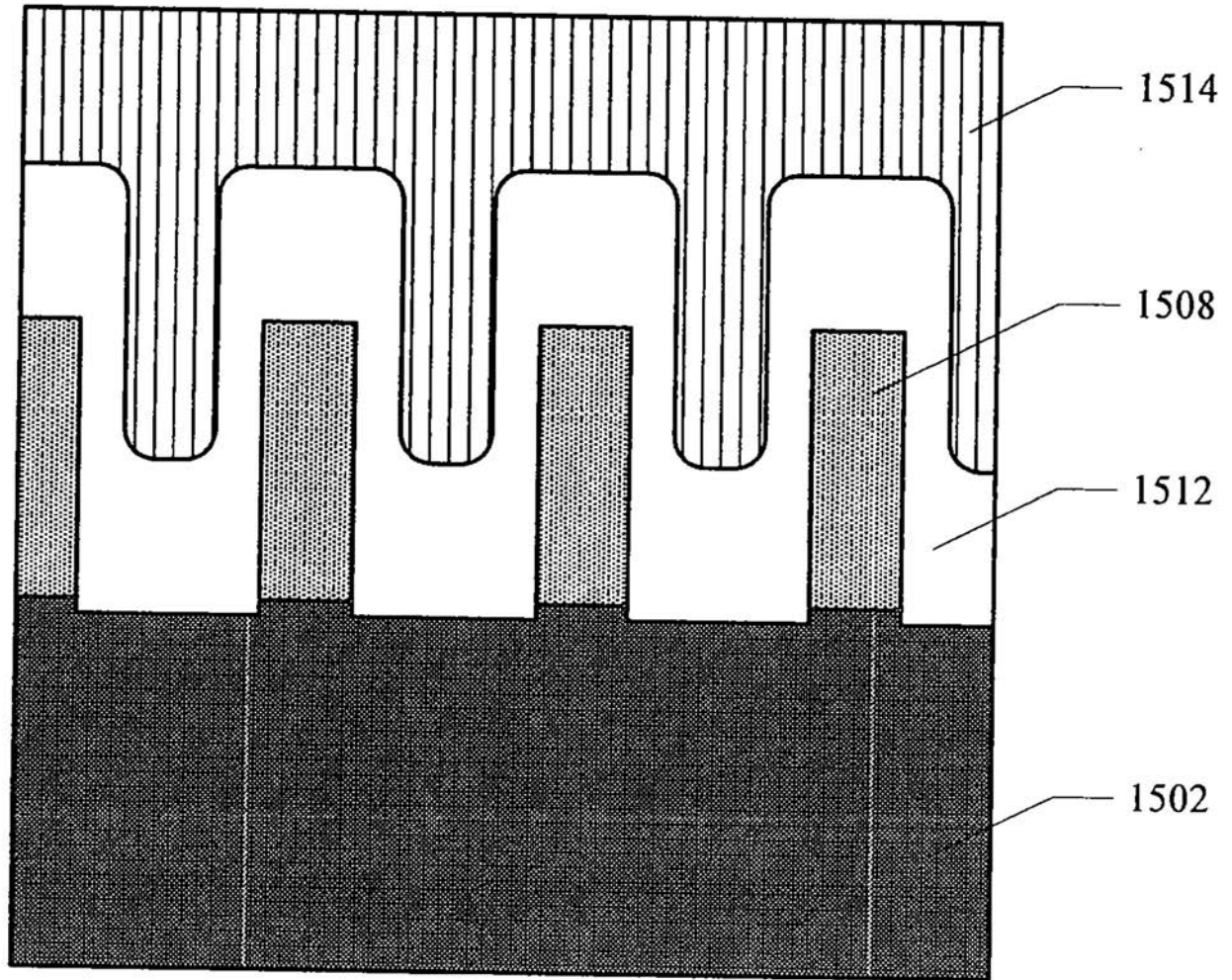
【図 15 A】



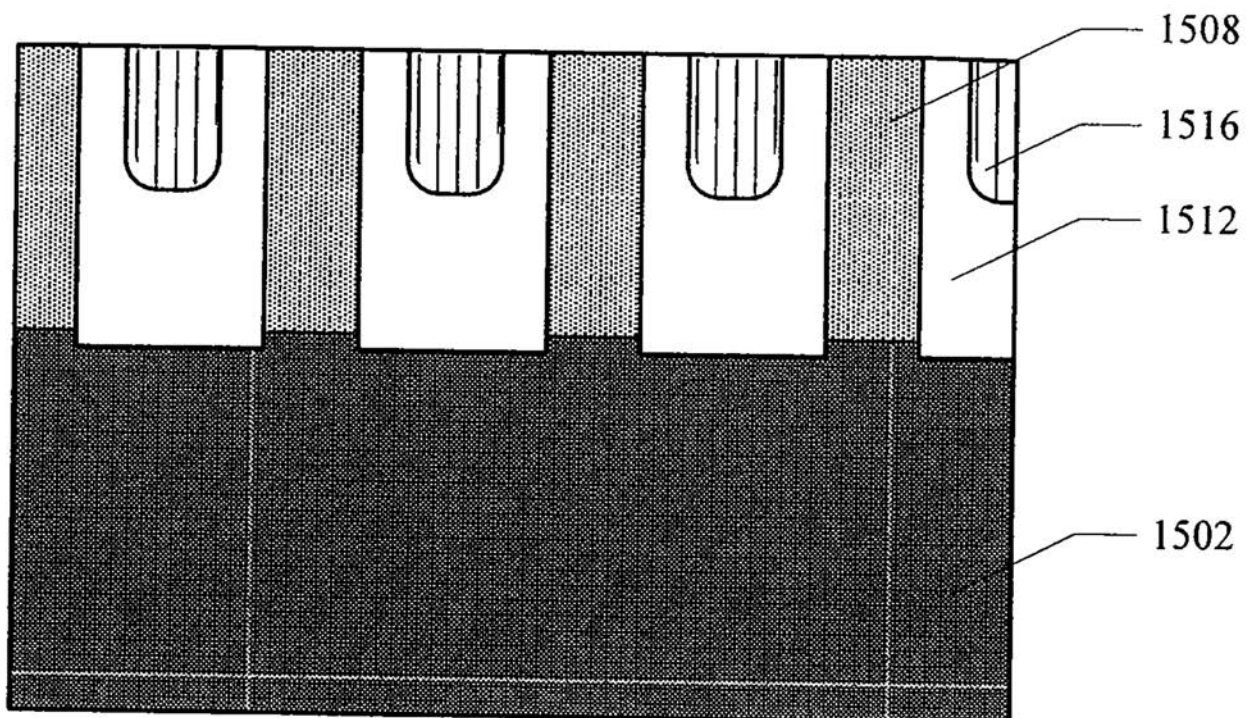
【図 15 B】



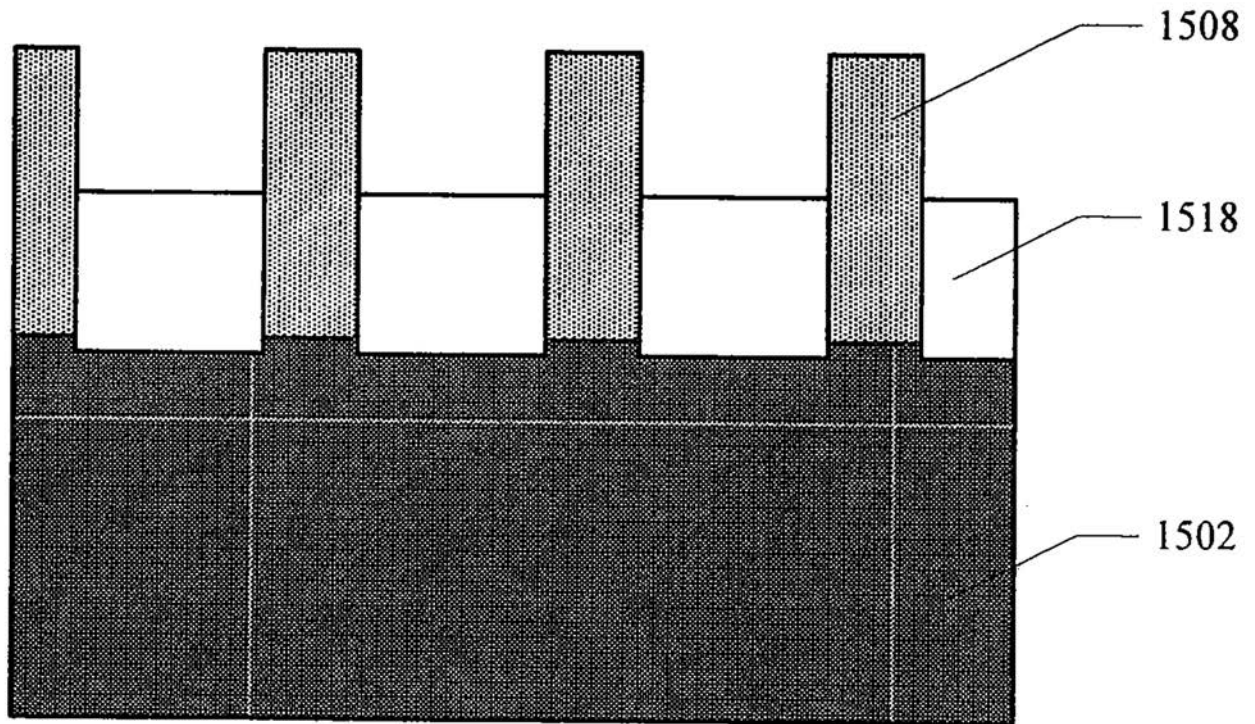
【図 15 C】



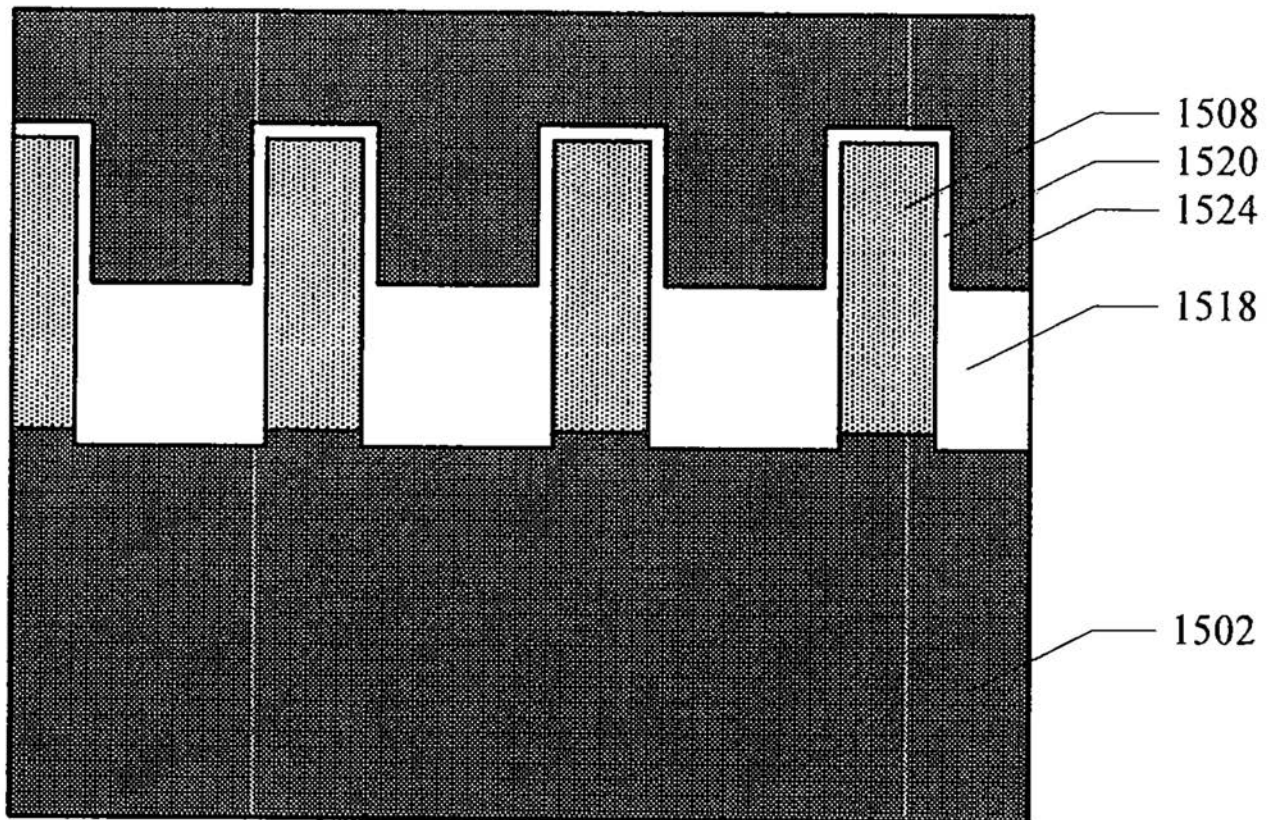
【図 15 D】



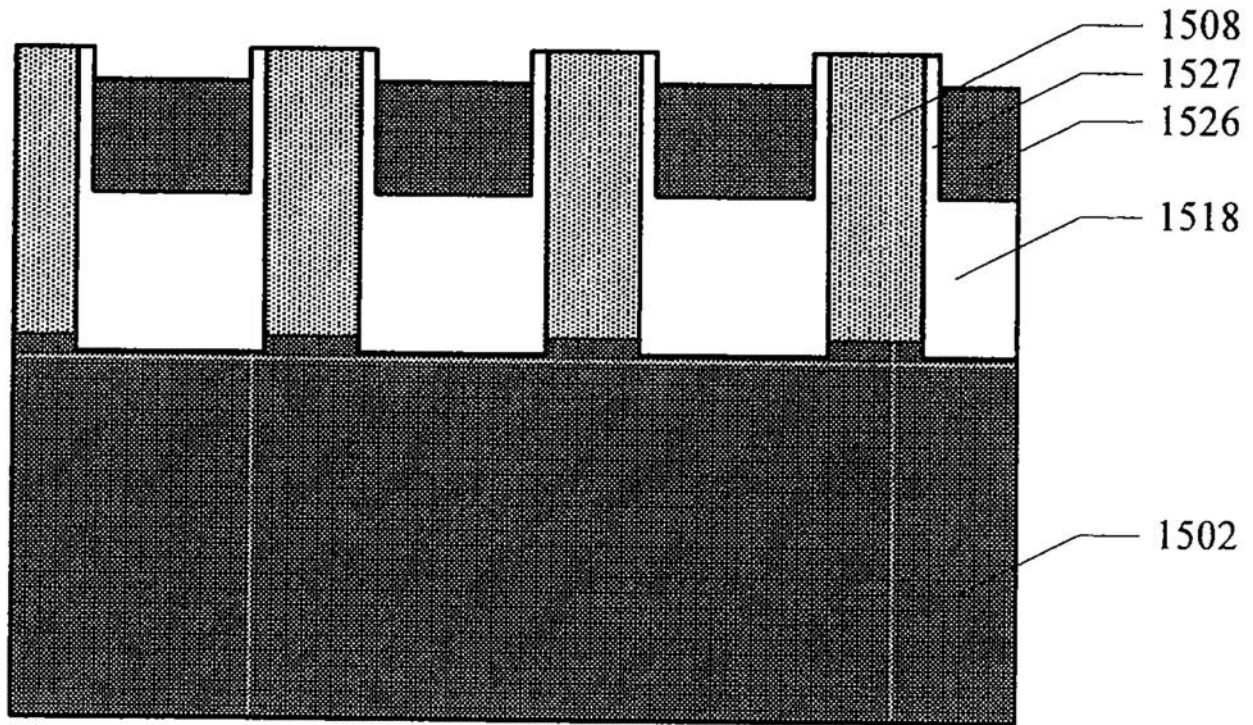
【図 15 E】



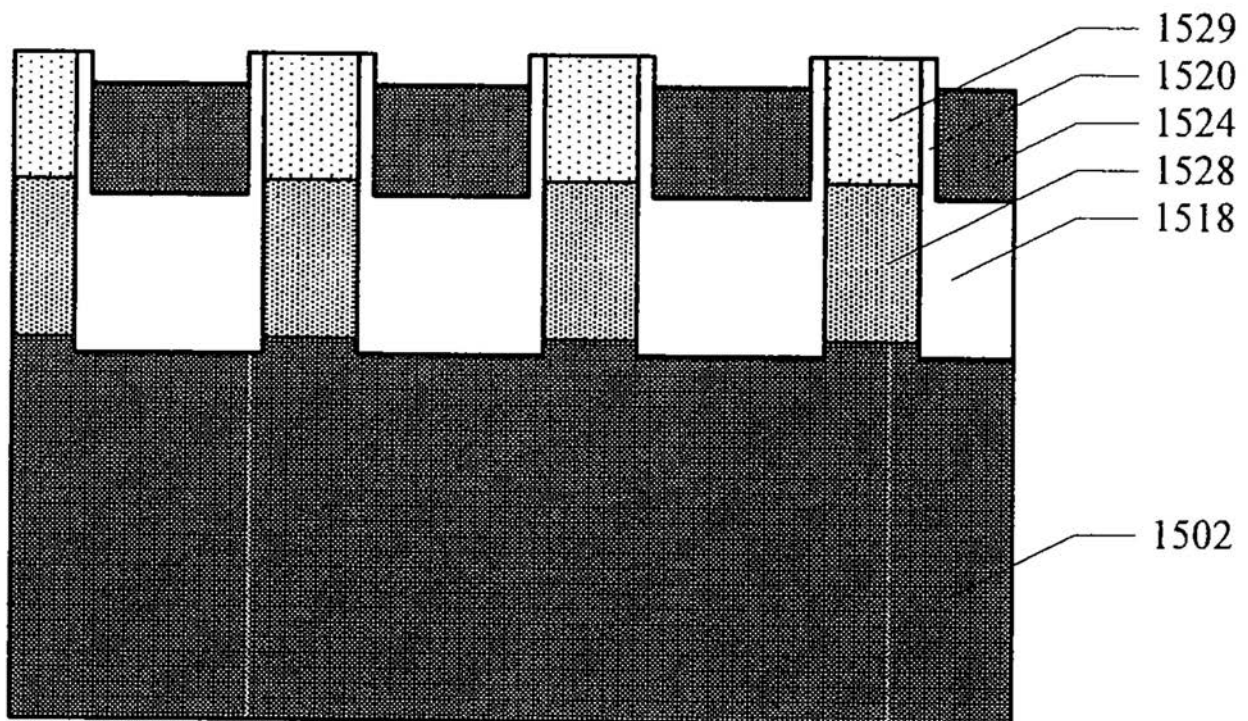
【図 15 F】



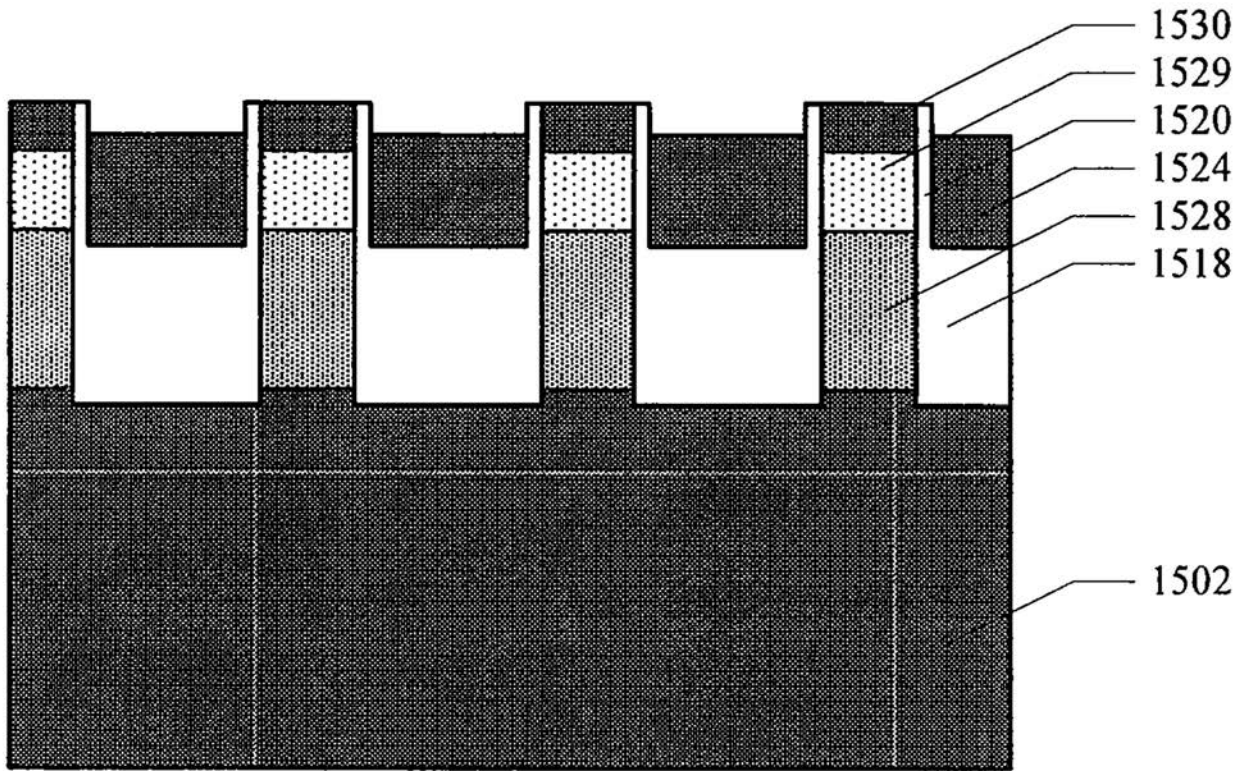
【図 15 G】



【図 15 H】



【図 15 I】



【図 15 J】

