



(12) 发明专利

(10) 授权公告号 CN 114758992 B

(45) 授权公告日 2025. 04. 25

(21) 申请号 202210306044.1

(22) 申请日 2017.04.11

(65) 同一申请的已公布的文献号
申请公布号 CN 114758992 A

(43) 申请公布日 2022.07.15

(30) 优先权数据
15/096,132 2016.04.11 US

(62) 分案原申请数据
201710232410.2 2017.04.11

(73) 专利权人 电力集成公司
地址 美国加利福尼亚州

(72) 发明人 阿列克谢·库迪莫夫 L·刘
王晓辉 贾马尔·拉姆达尼

(74) 专利代理机构 成都超凡明远知识产权代理
有限公司 51258

专利代理师 史二梅

(51) Int.Cl.
H01L 23/29 (2006.01)
H10D 64/00 (2025.01)
H10D 64/01 (2025.01)
H10D 64/27 (2025.01)
H10D 30/01 (2025.01)
H10D 30/47 (2025.01)
H01L 23/31 (2006.01)
H01L 21/56 (2006.01)

(56) 对比文件
US 2014097449 A1, 2014.04.10
US 9306014 B1, 2016.04.05

审查员 马佳萌

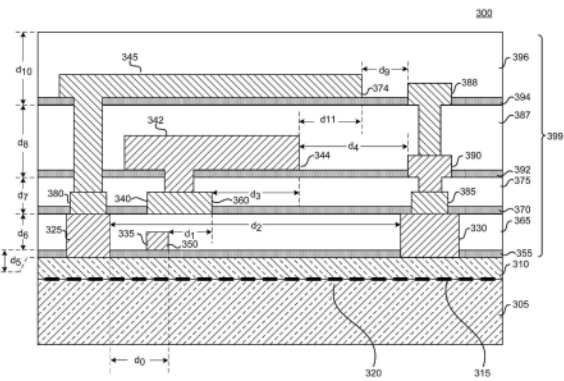
权利要求书2页 说明书13页 附图9页

(54) 发明名称

一种高压场效应晶体管及其制造方法

(57) 摘要

本申请公开了一种高压场效应晶体管 (HFET) 及其制造方法, 该高压场效应晶体管包括第一半导体材料、第二半导体材料和异质结。所述异质结布置在所述第一半导体材料和所述第二半导体材料之间。HFET还包括多个复合钝化层, 其中第一复合钝化层包括第一绝缘层和第一钝化层, 并且第二复合钝化层包括第二绝缘层和第二钝化层以及第三复合钝化层包括第三绝缘层和第三钝化层, 其中, 所述多个复合钝化层中的所述绝缘层由适于形成栅极绝缘体的电介质制成。栅极电介质布置在所述第一钝化层和所述第二半导体材料之间。栅极电极布置在所述栅极电介质和所述第一钝化层之间。第一栅极场板布置在所述第一钝化层和所述第二钝化层之间, 其中, 所述第一栅极场板与栅极电极耦接。



1. 一种高压场效应晶体管,包括:

第一半导体材料、第二半导体材料和异质结,其中所述异质结布置在所述第一半导体材料和所述第二半导体材料之间;

多个复合钝化层,包括:

第一复合钝化层,所述第一复合钝化层具有第一绝缘层和第一钝化层,其中所述第一钝化层布置在所述第二半导体材料和所述第一绝缘层之间,以及所述第一绝缘层由适于形成栅极绝缘体的电介质制成;

第二复合钝化层,所述第二复合钝化层具有第二绝缘层和第二钝化层,其中所述第二钝化层布置在所述第一绝缘层和所述第二绝缘层之间,以及所述第二绝缘层由适于形成栅极绝缘体的电介质制成;以及

第三复合钝化层,所述第三复合钝化层具有第三绝缘层和第三钝化层,其中所述第三钝化层布置在所述第二绝缘层和所述第三绝缘层之间;

第四钝化层,其中,所述第三绝缘层布置在所述第四钝化层和所述第三钝化层之间,

第一栅极场板,所述第一栅极场板布置在所述第一钝化层和所述第二钝化层之间,其中,所述第一栅极场板与栅极电极耦接;

第二栅极场板,所述第二栅极场板与所述第一栅极场板耦接,其中,所述第二栅极场板从所述第二钝化层延伸、穿过所述第二绝缘层、穿过所述第三钝化层、并且进入所述第四钝化层;以及

栅极电介质,所述栅极电介质布置在所述第一钝化层和所述第二半导体材料之间;

其中,所述栅极电极布置在所述栅极电介质和所述第一钝化层之间。

2. 根据权利要求1所述的高压场效应晶体管,其中,所述第二栅极场板具有布置在所述第三钝化层中的大的连续块材的金属部件,

所述第二栅极场板具有比所述第一栅极场板更大的横向截面,以及

所述第二栅极场板布置在所述第一栅极场板上方,以及

所述第二栅极场板具有布置在所述第三钝化层与所述第四钝化层之间的部件。

3. 根据权利要求1所述的高压场效应晶体管,其中所述第二栅极场板包括金属并且是连续的。

4. 根据权利要求1所述的高压场效应晶体管,进一步包括与源极电极耦接的源极场板,并且其中所述第三钝化层布置在所述源极场板和所述第二绝缘层之间。

5. 根据权利要求1所述的高压场效应晶体管,其中,所述第一绝缘层具有比所述第一钝化层更宽的带隙,以及所述第二绝缘层具有比所述第二钝化层更宽的带隙。

6. 根据权利要求4所述的高压场效应晶体管,其中所述第一绝缘层和所述第二绝缘层比所述源极场板长,但并不占据整个相应的复合钝化层。

7. 根据权利要求1所述的高压场效应晶体管,进一步包括第三栅极场板,所述第三栅极场板耦接至所述第二栅极场板并且布置在所述第三钝化层和第四钝化层之间。

8. 根据权利要求4所述的高压场效应晶体管,其中所述第一绝缘层的横向边界与所述第一栅极场板的横向边界基本上同延,其中所述第二绝缘层的横向边界与所述第二栅极场板的横向边界基本上同延,并且其中所述第三绝缘层的横向边界与所述源极场板的横向边界基本上同延。

9. 根据权利要求1所述的高压场效应晶体管,其中所述栅极电介质和所述多个复合钝化层中的所述第一绝缘层是由相同的材料组分制成。

10. 根据权利要求1所述的高压场效应晶体管,其中多个所述复合钝化层中的所述第一钝化层和所述第二钝化层包括SiN,并且其中所述栅极电介质和所述第一绝缘层包括金属氧化物。

11. 一种包括制造根据权利要求1至10中的任一项所述的高压场效应晶体管的方法。

12. 根据权利要求11所述的方法,其中所述第一绝缘层具有比所述第一钝化层更大的带隙。

一种高压场效应晶体管及其制造方法

[0001] 本申请为申请日为2017年4月11日的发明名称为“用于HFET器件的保护绝缘体”的第2017102324102号的中国发明专利申请的分案申请。

技术领域

[0002] 本公开内容总体上涉及高压场效应晶体管 (HFET), 并且具体地但不唯一地, 涉及 HFET 器件中的保护绝缘体。

背景技术

[0003] 高击穿电压和高电子迁移率已经使得GaN成为大功率晶体管应用的理想选择。另外, GaN的大带隙意味着, GaN晶体管可以比其他传统半导体选择物在高得多的温度下保持其性能。应用包括但不限于微波射频放大器、高压开关器件和电源。一种大众市场应用是微波炉中的微波源(替代磁控管)。

[0004] 尽管它们具有在消费性电子产品中普遍使用的潜力, 基于GaN的器件由于在其中使用它们的高压环境仍受到若干限制。GaN晶体管中的器件层会在使用期间积聚电荷, 由于电场重新分布和热应力引起器件性能变化。在最坏的情况下, 由于器件层的电介质击穿或者开裂, HFET器件可能会严重地出故障。

发明内容

[0005] 在一方面, 本发明提供一种高压场效应晶体管, 该高压场效应晶体管包括: 第一半导体材料、第二半导体材料和异质结, 其中所述异质结布置在所述第一半导体材料和所述第二半导体材料之间; 多个复合钝化层, 该多个复合钝化层包括: 第一复合钝化层, 所述第一复合钝化层具有第一绝缘层和第一钝化层, 其中所述第一钝化层布置在所述第二半导体材料和所述第一绝缘层之间; 第二复合钝化层, 所述第二复合钝化层具有第二绝缘层和第二钝化层, 其中所述第二钝化层布置在所述第一绝缘层和所述第二绝缘层之间; 以及, 第三复合钝化层, 所述第三复合钝化层具有第三绝缘层和第三钝化层, 其中所述第三钝化层布置在所述第二绝缘层和所述第三绝缘层之间, 其中, 所述多个复合钝化层中的绝缘层由适于形成栅极绝缘体的电介质制成; 第一栅极场板, 所述第一栅极场板布置在所述第一钝化层和所述第二钝化层之间, 其中, 所述第一栅极场板与栅极电极耦接; 第二栅极场板, 所述第二栅极场板与所述第一栅极场板耦接, 其中, 所述第二栅极场板从所述第二钝化层延伸, 穿过所述第二绝缘层; 以及栅极电介质, 所述栅极电介质布置在所述第一钝化层和所述第二半导体材料之间; 其中, 所述栅极电极布置在所述栅极电介质和所述第一钝化层之间。

[0006] 根据一些实施方式, 所述高压场效应晶体管进一步包括第四钝化层, 其中所述第三绝缘层布置在所述第四钝化层和所述第三钝化层之间, 并且其中所述第二栅极场板从所述第二钝化层延伸, 穿过所述第二绝缘层, 穿过所述第三钝化层, 并且进入所述第四钝化层。

[0007] 根据一些实施方式, 其中所述第二栅极场板包括金属并且是连续的。

[0008] 根据一些实施方式,所述高压场效应晶体管进一步包括与源极电极耦接的源极场板,并且其中所述第三钝化层布置在所述源极场板和所述第二绝缘层之间。

[0009] 根据一些实施方式,其中所述第一绝缘层和所述第二绝缘层具有比所述第一钝化层和所述第二钝化层更宽的带隙。

[0010] 根据一些实施方式,其中所述第一绝缘层和所述第二绝缘层比所述源极场板长,但并不占据整个相应的复合钝化层。

[0011] 根据一些实施方式,所述高压场效应晶体管进一步包括第三栅极场板,所述第三栅极场板耦接至所述第二栅极场板并且布置在所述第三钝化层和所述第四钝化层之间。

[0012] 根据一些实施方式,其中所述第一绝缘层的横向边界与所述第一栅极场板的横向边界基本上同延,其中所述第二绝缘层的横向边界与所述第二栅极场板的横向边界基本上同延,并且其中所述第三绝缘层的横向边界与所述源极场板的横向边界基本上同延。

[0013] 根据一些实施方式,其中所述栅极电介质和所述多个复合钝化层中的所述第一绝缘层是由相同的材料组分制成。

[0014] 根据一些实施方式,其中多个所述复合钝化层中的所述第一钝化层和所述第二钝化层包括SiN,并且其中所述栅极电介质和所述第一绝缘层包括金属氧化物。

[0015] 在另一方面,本发明提供一种包括制造上述高压场效应晶体管的方法。

[0016] 根据一些实施方式,在所述方法中的所述第一绝缘层具有比所述第一钝化层更大的带隙。

附图说明

[0017] 参考以下附图描述了本发明的非限制性且非穷举的实施例,其中除非另做说明,贯穿各个视图中的相似的参考标号指代相似部件。

[0018] 图1是根据本公开内容的教导的、具有复合钝化层(passivation layer,无源层)的示例性HFET器件的截面视图。

[0019] 图2是根据本公开内容的教导的、具有复合钝化层的示例性HFET器件的截面视图。

[0020] 图3是根据本公开内容的教导的、具有复合钝化层的示例性HFET器件的截面视图。

[0021] 图4是根据本公开内容的教导的、具有复合钝化层的示例性HFET器件的截面视图。

[0022] 图5是根据本公开内容的教导的、例示HFET的制造方法的流程图。

[0023] 图6是根据本公开内容的教导的、例示HFET的制造方法的流程图。

[0024] 图7是根据本公开内容的教导的、具有复合钝化层的示例性HFET器件的截面视图。

[0025] 图8是根据本公开内容的教导的、具有复合钝化层的示例性HFET器件的截面视图。

[0026] 图9是根据本公开内容的教导的、具有复合钝化层的示例性HFET器件的截面视图。

[0027] 贯穿附图中的若干视图,对应的附图标记表示对应部件。技术人员会认识到图中的元件是为了简单和清楚起见而例示的,并且这些元件不一定按比例绘制。例如,图中一些元件的尺寸相对于其他元件来说可能被放大,以便帮助改善对于本发明的各种实施方案的理解。此外,通常不会描绘在商业上可行的实施方案中 useful 或者必要的常见但众所周知的元件,以使得较少妨碍对本发明的这些各种实施方案的观察。

具体实施方式

[0028] 本文描述了用于高压场效应晶体管 (HFET) 的保护绝缘体的装置和方法的实施例。在接下来的描述中,阐述了许多具体细节,以提供对实施例的透彻理解。然而,相关领域的技术人员将意识到可以在没有这些具体细节中的一个或多个的情况下,或者通过其他方法、部件、材料等实践本文描述的技术。在其他情况下,没有详细地示出或者描述已知的结构、材料或者操作,以避免使某些方面变得模糊。

[0029] 在整个说明书中提及的“一个实施例”或者“一个实施方案”意味着结合该实施例描述的具体特征、结构或者特性被包括在本发明的至少一个实施例中。因此,在整个说明书中的各个地方出现的短语“在一个实施例中”或者“在一个实施方案中”并不一定都指的是同一实施例。另外,具体特征、结构或者特性可以以任意合适的方式组合在一个或多个实施例中。

[0030] 在整个说明书中,使用了许多技术术语。这些术语应按照它们所属的技术领域中的普通意思来理解,除非在本文中有明确限定或者使用其的上下文明确表明另外的意思。应注意的是,元件名称和符号可以在整篇文件中可互换地使用(例如Si和硅);不过,二者有相同的含义。

[0031] 图1是具有复合钝化层199的一个示例性HFET 100的截面视图。HFET 100包括第一半导体材料105、第二半导体材料110和异质结115。栅极电介质155布置在第二半导体材料110上。异质结115布置在第一半导体材料105和第二半导体材料110之间。当接通器件时,由于半导体材料105、110的材料属性,在异质结115处出现二维电子气120。

[0032] 多个复合钝化层199布置在第二半导体材料110上方。第一复合钝化层布置在多个复合钝化层199中,并且第一复合钝化层包括第一绝缘层170和第一钝化层165。多个复合钝化层199还包括具有第二绝缘层192和第二钝化层175的第二复合钝化层,其中第二钝化层175布置在第一绝缘层170和第二绝缘层192之间。在一个实施例中,栅极电介质155和第一绝缘层170包括相同的材料组分。在另一或者同一实施例中,第一钝化层165和第二钝化层175包括SiN,并且栅极电介质155和第一绝缘层170包括金属氧化物。在所描绘的实施例中,栅极电介质155布置在第一钝化层165和第二半导体材料110之间,并且栅极电极135布置在栅极电介质155和第一钝化层165之间。栅极电极135的选择性偏置调节在源极电极125和漏极电极130之间的导电性。第一栅极场板140布置在第一钝化层165和第二钝化层175之间。在一个实施例中,第一栅极场板140与栅极电极135耦接。源极电极125和漏极电极130都与第二半导体材料110耦接,并且源极场板145与源极电极125耦接。在一个实施例中,漏极电极130从第二半导体材料110延伸,穿过多个复合钝化层199中的至少一个复合钝化层。

[0033] 在所例示的实施例中,栅极电极135、第一栅极场板140和源极场板145具有大体上矩形的截面。栅极电极135包括第一边缘150。第一边缘150被布置为距离源极电极125一横向距离d0并且在第二半导体材料110上方一竖向距离d5。第一边缘150通过栅极电介质155和第一钝化层165,与第二半导体材料110竖向地间隔开。

[0034] 在一个实施例中,HFET包括第三钝化层195。第二绝缘层192布置在第二钝化层175和第三钝化层195之间。在另一实施例或者同一实施例中,源极场板145可以布置在第二绝缘层192和第三钝化层195之间。另外,第一栅极场板140可以布置在第一绝缘层170和第二钝化层175之间。

[0035] 第一栅极场板140包括第二边缘160。第二边缘160被布置为朝向漏极电极130隔开一横向距离 d_0+d_1 并且在第二半导体材料110上方一竖向距离 d_5+d_6 。第二边缘160通过栅极电介质155、第一钝化层165和第一绝缘层170,与第二半导体材料110竖向地间隔开。源极场板145包括第三边缘174。第三边缘174被布置为与源极电极125的朝向漏极电极130的一侧隔开一横向距离 $d_0+d_1+d_3$,并且在第二半导体材料110上方一竖向距离 $d_5+d_6+d_7$ 。第三边缘174通过栅极电介质155、第一钝化层165、第一绝缘层170、第二钝化层175和第二绝缘层192,与第二半导体材料110竖向地间隔开。应注意的是,在某些偏置条件下,栅极电极135、第一栅极场板140、源极场板145中的每个和异质结115之间的电场在它们相应的边缘150、160、174处最高。

[0036] 栅极电极135能够以多种方式与第一栅极场板140电连接。在所例示的实施例中,栅极电极135和第一栅极场板140之间的连接在截面视图外部。然而,可以通过具有大体L形的截面的整体构件形成栅极电极135和第一栅极场板140。

[0037] 源极电极125能够以多种方式与源极场板145电连接。在所例示的实施例中,源极电极125通过源极过孔构件180电连接至源极场板145。在另一些实施例中,源极电极125可以在图示的截面外部电连接至源极场板145。

[0038] 在所描绘的实施例中,漏极电极130与一对漏极过孔构件185、190电连接。漏极过孔构件185、190延伸穿过第二钝化层175,到达与源极场板145相同的竖向水平,因此用作漏极电极130的延伸部。由于与源极场板145位于相同的竖向水平,过孔构件190是漏极电极130到源极场板145的最近的延伸部。源极场板145的包括第三边缘174的一侧被布置为远离在相同的竖向水平上的漏极过孔构件190一横向距离 d_4 。在一些实施例中,横向距离 d_4 不大于维持特定器件的横向电介质击穿电压所需的距离。在所例示的实施例中,源极场板145和漏极过孔构件190被第三钝化层195覆盖。

[0039] 在所例示的实施例中,源极电极125和漏极电极130都可以直接安置在第二半导体材料110的上表面上,以实现与第二半导体材料110的电接触。然而,在一些实施例中,源极电极125和/或漏极电极130穿透到第二半导体材料110中。在一些实施例中,该穿透足够深,以至于源极电极125和/或漏极电极130接触或者甚至穿过异质结115。在另一或者同一实施例中,一种或多种填隙胶金属(interstitial glue metals,间质胶金属)或者其他导电材料布置在源极电极125和/或漏极电极130与半导体材料105、110之一或两者之间。

[0040] 在所描绘的实施例中,栅极电极135通过具有均匀厚度 d_5 的单个电绝缘层(栅极电介质155)与第二半导体材料110电绝缘。然而,在另一些未描绘的实施例中,可以使用多层来使栅极电极135与第二半导体材料110绝缘。在另一实施例中,可以使用具有非均匀厚度的单层或多层,来使栅极电极135与第二半导体材料110绝缘。

[0041] 值得注意的是,横向沟道HFET 100的各种特征可以由多种不同的材料实现。例如,第一半导体材料105可以包括GaN、InN、AlN、AlGaIn、InGaIn、AlInGaIn。在一些实施例中,第一半导体材料105还可以包括含有砷的化合物半导体,诸如例如GaAs、InAs、AlAs、InGaAs、AlGaAs、InAlGaAs。第二半导体材料110可以是例如AlGaIn、GaN、InN、AlN、InGaIn、AlInGaIn。第二半导体材料110还可以包括含有砷的化合物半导体,诸如GaAs、InAs、AlAs、InGaAs、AlGaAs、InAlGaAs中的一种或多种。第一和第二半导体材料105、110——也可以被称为“有源层”——的组分被设计成使得在异质结115处形成二维电子气120。例如,第一和第二半导

体材料105、110的组分可以被设计成使得在异质结115处出现 10^{11} 到 10^{14}cm^{-2} 的载流子面密度(更具体地,在异质结115处可以出现 5×10^{12} 到 $5\times 10^{13}\text{cm}^{-2}$ 或者 8×10^{12} 到 $1.2\times 10^{13}\text{cm}^{-2}$ 的载流子面密度)。半导体材料105、110可以形成在衬底上方。在一个实施例中,衬底可以包括氮化镓、砷化镓、碳化硅、蓝宝石、硅等。第一半导体材料105可以直接与此类衬底接触,或者可以存在一个或多个中间层。

[0042] 源极电极125、漏极电极130和栅极电极135可以由各种电导体制成,所述电导体包括例如诸如Al、Ni、Ti、TiW、TiN、TiAu、TiAlMoAu、TiAlNiAu、TiAlPtAu等的金属。绝缘层170、192和栅极电介质155可以由适于形成栅极绝缘体的各种电介质(例如氧化铝(Al_2O_3)、二氧化锆(ZrO_2)、氮化铝(AlN)、氧化铪(HfO_2)、二氧化硅(SiO_2)、氮化硅(Si_3N_4)、氮化硅铝(AlSiN)或者其他合适的栅极电介质材料)制成。

[0043] 钝化层165、175、195可以由各种电介质(包括氮化硅、氧化硅、氮氧化硅等)制成。复合钝化层可以削弱或者防止下层的第二半导体材料110或者层155、165、175中的表面充电状态。

[0044] 在一些实施例中,钝化层165、175、195具有组分,使得在以稳态运行参数超长运行后,钝化层165、175、195中的每单位面积的电荷缺陷的数量小于异质结处的载流子面密度。换句话说,钝化层165、175、195中的每个三维缺陷密度与该层的相应厚度的乘积的总和小于异质结115处的(二维)载流子面密度。例如,钝化层165、175、195中的每单位面积的电荷缺陷的数量可以小于异质结115处的载流子面密度的20%,或者小于其10%。

[0045] 源极电极125被布置为距漏极电极130一横向距离 d_2 。在一些实施例中,横向距离 d_2 在5微米到50微米之间(更具体地在9微米到30微米之间)。在一些实施例中,横向距离 d_1 在1微米到5微米之间(更具体地在1.5微米到3.5微米之间)。在一些实施例中,第二钝化材料175的厚度在0.2微米到1微米之间(更具体地在0.35微米到0.75微米之间)。在一些实施例中,横向距离 d_4 在1微米到8微米之间(更具体地在2微米到6微米之间)。在一些实施例中,第三钝化层195的厚度在0.4微米到3微米之间(更具体地在0.5微米到2微米之间)。在一些实施例中,横向距离 d_3 在1微米到10微米之间(更具体地在2.5微米到7.5微米之间)。

[0046] 在运行中,绝缘层(例如第一绝缘层170和第二绝缘层192)和栅极电介质155被布置以防止多个复合钝化层199中的钝化层(例如钝化层165、175和195)充电。场分布和电荷屏蔽金属化可以用在基于GaN的电子器件(诸如高压和/或高频晶体管和二极管)中,以获得高性能度量。一种有前景的用于GaN电子器件的钝化材料是氮化硅(SiN)。因此,上述金属化通常形成在 SiN 钝化层之上。然而,在电介质中, SiN 具有相对窄的带隙,这可能会导致在电场应力下从相邻材料注入电荷到氮化硅。作为充电的结果,钝化材料(SiN)的材料属性和金属化图案二者都可能随着时间变化。这可能会导致性能浮动,并且在一些情况下,导致器件的不可逆故障。因此,通过将栅极电介质(例如栅极电介质155)和绝缘层(例如绝缘层170和192)包括在基于GaN的器件的钝化层内,可以减少钝化层中的充电,这是因为在一些实施例中,绝缘层具有比钝化层更宽的带隙。钝化层中的充电的减少会使得器件故障/性能浮动的可能性更低。另外,由于绝缘层可以由与栅极电介质相同的材料制成,因此,可以避免额外的工艺步骤/材料。

[0047] 图2是具有复合钝化层299的一个示例性HFET 200的截面视图。HFET 200在许多方面都与图1的HFET 100相似(或者相同)。然而,一个显著的区别在于,在HFET 200中,绝缘层

270、292的区域并不占据整个复合钝化层。换句话说,第一绝缘层270的横向边界与源极场板245的横向边界基本上同延,并且第二绝缘层292的横向边界与源极场板245的横向边界也基本上同延。在一个实施例中,第一绝缘层270的横向边界可以延伸经过第一栅极场板240并且在过孔构件285之前结束。在另一或者同一实施例中,第二绝缘层292的长度可以延伸经过源极场板274并且在过孔构件290之前结束。

[0048] 图3是具有复合钝化层399的一个示例性HFET 300的截面视图。HFET 300在许多方面都与图1至图2的HFET 100和200相似。然而,HFET 300包括第三复合钝化层,其包括第三钝化层387和第三绝缘层394。HFET 300还包括第四钝化层396。第三绝缘层394布置在第三钝化层387和第四钝化层396之间。第二栅极场板342布置在第二绝缘层392和第三钝化层387之间,并且与第一栅极场板340耦接。如所例示的,源极场板345布置在第三绝缘层394和第四钝化层396之间。

[0049] HFET 300还包括第一栅极场板340、源极场板345和第二栅极场板342。第二栅极场板342与栅极电极335电连接。在一些实施例中,源极场板345用作所谓的“防护罩(shield wrap,屏蔽罩)”。如上文讨论的,一些GaN器件受到被认为(至少部分地)由于高压运行期间表面电荷与环境的交换而出现的寄生的直流到射频分散的影响。特别地,表面状态以相对慢的响应时间充电和放电。随后,GaN器件在高频运行下的性能受影响。金属防护罩可以通过改善屏蔽和防止表面电荷的移动来削弱或者消除这些影响。在一些实施例中,源极场板345可以减小HFET 300中的电场(例如异质结315与第二栅极场板342的第三边缘344之间的电场)的峰值。在一些实施例中,源极场板345还用于耗尽异质结315的载流子,如下文进一步讨论的。在一些实施例中,源极场板345起多种作用,即用作防护罩、场板和/或用于耗尽异质结315。源极场板345在器件中的具体用途将取决于许多不同几何形状参数、材料参数以及运行参数中的任意个。因为源极场板345执行一个或多个角色的可能性,所以本文中简单地称其为“源极场板”。

[0050] 在所例示的实施例中,源极场板345具有大体上矩形的截面。源极场板345包括第四边缘374。第四边缘374被布置成与源极电极325的朝向漏极电极330的一侧隔开横向距离 $d_0+d_1+d_3+d_{11}$,并且在第二半导体材料110上方一竖向距离 $d_5+d_6+d_7+d_8$ 。在一些实施例中,横向距离 $d_0+d_1+d_3+d_{11}$ 大于或者等于竖向距离 $d_5+d_6+d_7+d_8$ 的两倍。例如,横向距离 $d_0+d_1+d_3+d_{11}$ 可以大于或者等于 $d_5+d_6+d_7+d_8$ 的三倍。第四边缘374通过栅极电介质355、第一钝化层365、第一绝缘层370、第二钝化层375、第二绝缘层392、第三钝化层387和第三绝缘层394,与第二半导体材料110竖向地间隔开。如下文进一步讨论的,在某些偏置条件下,源极场板345与异质结315之间的电场在第四边缘374处最高。

[0051] 源极场板345能够以多种方式与源极电极325电连接。在所例示的实施例中,源极电极325通过源极过孔构件380电连接至源极场板345。在其他实施例中,源极电极325可以在图示的截面外部电连接至源极场板345。

[0052] 如所示出的,漏极电极330经由过孔构件385、390电连接至另一漏极过孔。漏极过孔构件388延伸穿过第三钝化层387,到达与第二栅极场板342相同的竖向水平,因此用作漏极电极330的延伸部。由于与源极场板345位于相同的竖向水平,过孔构件388是漏极电极330到源极场板345的最近的延伸部。第四复合钝化材料具有厚度 d_{10} 。

[0053] 在一些实施例中, $d_1+d_3+d_4$ 在5微米到35微米之间(更具体地在8微米到26微米之

间)。在一些实施例中,横向距离 d_9 在1微米至10微米之间(更具体地在2微米至6微米之间)。在一些实施例中,层365、375、387、396具有组分和质量,使得在以稳态运行参数超长运行后,层365、375、387、396中的每单位面积的电荷缺陷的数量小于异质结处的载流子面密度。换句话说,钝化层365、375、387、396中的每个三维缺陷密度与该层的相应厚度的乘积的总和小于异质结115处的(二维)载流子面密度。例如,绝缘材料层365、375、387、396中的每单位面积的电荷缺陷的数量小于异质结315处的载流子面密度的20%(更具体地小于其10%)。

[0054] 图4是具有复合钝化层499的一个示例性HFET 400的截面视图。HFET 400与HFET 300相似;然而,第一绝缘层470的横向边界与第一栅极场板440的横向边界基本上同延,第二绝缘层492的横向边界与第二栅极场板442的横向边界基本上同延,并且第三绝缘层494的横向边界与源极场板445的横向边界基本上同延。换句话说,HFET 400与HFET 300相似,除了HFET 400中的绝缘层470、492、494的区域不占据整个钝化层。在一个实施例中,第一绝缘层470的长度可以延伸经过第一栅极场板440并且在过孔构件485之前结束。在一个实施例中,第二绝缘层492的长度可以延伸经过第二栅极场板442并且在过孔构件490之前结束。在一个实施例中,第三绝缘层494的长度可以延伸经过源极场板445并且在漏极488之前结束。

[0055] 图5是例示HFET制造的一种示例性方法500的流程图。方法500中的过程块502至510的顺序不应被视为是限制性的。因为相关领域的技术人员会认识到,过程块502至510可以以任意顺序发生,并且甚至并行发生。另外,可以将过程块添加至方法500/从方法500中移除,因为过程块502至510描绘了方法500的一种高度简化的形式,以防止使本公开内容的某些方面变得模糊。

[0056] 过程块502描绘了在衬底上沉积半导体层(例如第一半导体材料105和第二半导体材料110)。在一个实施例中,半导体层和衬底可以由在图1至图4的讨论中列出的任意材料构成。在一个实施例中,异质结可以形成在第一半导体材料和第二半导体材料(例如第一半导体材料105和第二半导体材料110)之间。在另一实施例或者同一实施例中,源极电极和漏极电极均与第二半导体材料耦接。另外,可以靠近第二半导体材料沉积栅极电介质,使得第二半导体材料布置在栅极电介质和第一半导体材料之间。

[0057] 过程块504例示了在半导体层上沉积一个或多个复合钝化层。在一个实施例中,这可以包括沉积多个复合钝化层,其中多个复合钝化层中的第一复合钝化层包括第一绝缘层和第一钝化层。在前述实施例中,第一钝化层布置在栅极电介质和第一绝缘层之间,并且栅极可以形成在栅极电介质和多个复合钝化层之间。在另一实施例或者同一实施例中,可以沉积多个复合钝化层中的第二复合钝化层。第二复合钝化层可以包括第二绝缘层和第二钝化层,其中第一绝缘层布置在第一钝化层和第二钝化层之间。在一个实施例中,第一绝缘层具有比第一钝化层更大的带隙。在另一实施例或者同一实施例中,第一钝化层包括SiN,并且栅极电介质和第一绝缘层包括金属氧化物。

[0058] 在一个实施例中,沉积多个复合钝化层包括沉积第一绝缘层和第二绝缘层,使得第一绝缘层和第二绝缘层的横向边界小于源极电极和漏极电极之间的横向距离。在另一实施例或者同一实施例中,沉积第三复合钝化层,并且该第三复合钝化层包括第三绝缘层和第三钝化层。在该实施例中,第二绝缘层布置在第二钝化层和第三钝化层之间。

[0059] 过程块506示出了通过凹槽蚀刻、金属沉积、金属图案化以及快速热退火形成欧姆触点。所述欧姆触点与诸如图1至图4中的半导体层的顶面接触。

[0060] 过程块508描绘了在一个或多个复合钝化层上图案化一个或多个场板。在一个实施例中,第一栅极场板形成于第一钝化层和第二钝化层之间。在另一实施例或者同一实施例中,第一栅极场板与栅极电极耦接。另外,源极场板可以沉积在第二绝缘层上。在一个实施例中,第一栅极场板布置在第一绝缘层和第二钝化层之间。在另一实施例中,形成有(与第一栅极场板耦接的)第二栅极场板,并且该第二栅极场板布置在第二绝缘层和第三钝化层之间。源极场板可以与源极电极耦接并且形成在第三绝缘层上。

[0061] 过程块510示出了在最顶部的复合钝化层上沉积封装层。在一个实施例中,沉积封装层包括第四钝化层,其中第四钝化层布置在源极场板和第三绝缘层上。

[0062] 图6是例示HFET制造的一种示例性方法600的流程图。方法600中的过程块602至622的顺序不应被视为是限制性的。因为相关领域的技术人员会认识到,过程块602至622可以以任意顺序发生,并且甚至并行发生。另外,可以将过程块添加至方法600/从方法600中移除,因为过程块602至622描绘了方法600的一种高度简化的形式,以防止使本公开内容的某些方面变得模糊。

[0063] 在块602中,在衬底上沉积半导体层。在一个实施例中,半导体层和衬底可以由图1至图4的讨论中列出的任一材料构成。

[0064] 过程块604描绘了在半导体层上沉积一个或多个复合钝化层。应认识到的是,复合钝化层中的绝缘材料和钝化材料可以包括相同或者不同的材料组分。

[0065] 块606示出了经由等离子蚀刻形成的欧姆触点的占用区。可以通过将复合钝化层用作蚀刻终止物(stop)来形成占用区。如之前提及的,复合钝化层包括栅极电介质层和钝化层。在一个实施例中,栅极电介质层可以由氧化铝制成,而钝化层可以由氮化硅(SiN)制成。钝化材料的等离子蚀刻速率大于栅极电介质材料的蚀刻速率。在一个实施例中,钝化材料的等离子蚀刻速率远大于栅极电介质的蚀刻速率。在一个实施例中,钝化层的蚀刻速率可以最高达到大于栅极电介质和隔离层的蚀刻速率100倍。这允许精确地控制每个场板(即栅极场板、源极场板、漏极场板)下的器件层的厚度。在一个实施例中,栅极电介质和绝缘层可以用作蚀刻终止层。

[0066] 在过程块608中,通过凹槽蚀刻、金属沉积、金属图案化以及高温退火形成欧姆触点。

[0067] 可选的过程块610示出了沉积额外的复合钝化层。

[0068] 在块614中,通过金属沉积和金属图案化形成栅极触点。在该步骤中还可以形成可选的场板。

[0069] 在示例性方法600中,过程块616至620是可选的。块616描绘了沉积额外的复合钝化层。在块618中,可以借助蚀刻终止物经由等离子蚀刻来形成用于场板的额外的占用区。块620示出了沉积和图案化额外的金属场板。

[0070] 在块622中,在最顶部的复合钝化层上沉积封装层。

[0071] 图7是具有复合钝化层799的一个示例性HFET 700的截面视图。HFET 700在许多方面都与图1的HFET 100相似(或者相同)。然而,一个显著的区别在于,在HFET 700中包括第二栅极场板742,该第二栅极场板742与第一栅极场板740耦接并且布置在第二绝缘层792和

第三钝化层795之间。认识到的是,在HFET 700的另一实施例中,绝缘层770和792的区域并不占据整个复合钝化层。在该实施例中,第一绝缘层770的横向边界可以与第一栅极场板740的横向边界基本上同延,并且第二绝缘层792的横向边界可以与第二栅极场板742基本上同延。换句话说,绝缘层770和792没有延伸长达在源极电极725和漏极电极730之间的整个距离。

[0072] 图8是具有复合钝化层899的一个示例性HFET 800的截面视图。HFET 800在许多方面都与之前的图中所示出的HFET相似。然而,HFET800包括第三复合钝化层,该第三复合钝化层包括第三钝化层887和第三绝缘层894。HFET 800还包括第四钝化层896。第三绝缘层394布置在第三钝化层887和第四钝化层896之间。第二栅极场板842布置在第二钝化层875和第三钝化层887之间,并且与第一栅极场板840耦接。如所例示的,第三栅极场板846布置在第三绝缘层894和第四钝化层896之间。第三栅极场板846与第二栅极场板842耦接。认识到的是,在HFET 800的另一实施方案中,绝缘层870、892和894的区域并不占据整个复合钝化层899。在该实施例中,第三绝缘层894的横向边界与第三栅极场板846基本上同延。换句话说,绝缘层870、892和894没有延伸长达在源极电极825和漏极电极830之间的整个距离。

[0073] 图9是具有复合钝化层999的一个示例性HFET 900的截面视图。HFET 900在许多方面都与图1至图4、图7和图8中示出的HFET相似。然而,HFET 900包括第二栅极连接的场板942的另一实施例。第二栅极场板942与第一栅极场板940耦接。应认识到在HFET 900的另一实施方案中,绝缘层970、992、994的区域并不占据整个复合钝化层。换句话说,与在其他HFET实施方案中一样,绝缘层970、992、994没有延伸长达在源极电极825和漏极电极830之间的整个距离。

[0074] HFET 900包括第一半导体材料905、第二半导体材料910和(布置在其间的)异质结915。HFET 900还具有多个复合钝化层。第一复合钝化层包括第一绝缘层970和第一钝化层965,并且第一钝化层965布置在第二半导体材料910和第一绝缘层970之间。第二复合钝化层包括第二绝缘层992和第二钝化层975,并且第二钝化层975布置在第一绝缘层970和第二绝缘层992之间。第三复合钝化层包括第三绝缘层994和第三钝化层987。第三钝化层987布置在第二绝缘层992和第三绝缘层994之间。在所描绘的实施例中,第一栅极场板940布置在第一钝化层965和第二钝化层975之间。另外,栅极电介质955布置在第一钝化层965和第二半导体材料910之间。栅极电极935布置在栅极电介质955和第一钝化层965之间。HFET 900可以包括第四钝化层996,并且第三绝缘层994布置在第四钝化层996和第三钝化层987之间。

[0075] 在一个实施例中,第二栅极场板942从第二钝化层975延伸,穿过第二绝缘层992,穿过第三钝化层987,并且进入第四钝化层996。值得注意的是,在所描绘的实施例中,第二栅极场板942具有布置在第三钝化层987中的大的连续块材的金属部件。在一个实施例中,第二栅极场板942的块材部件的横向尺寸占据得小于在第三钝化层987中的源极电极925和漏极电极930之间的距离的50%。在另一实施例中,第二栅极场板942的块材部件的横向尺寸占据得小于在第三钝化层987中的源极电极925和漏极电极930之间的距离的33%。在所例示的实施例中,第二栅极场板942具有比第一栅极场板940更大的横向截面直径,并且第二栅极场板942布置在第一栅极场板940上方。如所描绘的,第二栅极场板942具有布置在第三钝化层987和第四钝化层996之间的部件。在所描绘的实施例中,该部件是分段的;然而,

在其他实施例中,该部件可以是连续的。应注意的是,第二栅极场板942可以采取图1至图4、图7和图8中描绘的实施例中任一个中的第一栅极场板、第二栅极场板和/或第三栅极场板的形状中的任一个形状。可以经由制造单个连续的栅极场板(例如第二栅极场板942)而非通过将栅极场板制造过程划分为用于形成单独的栅极场板的多个步骤来实现这些形状。

[0076] 在一个实施方案中,可以通过下面的方法制造HFET 900。应注意的是,可以按任意顺序,并且甚至并行地完成这些步骤。另外,如相关领域的技术人员会认识到的,下面的方法可以省略步骤,或者可替换地,可以包括不必要的步骤。

[0077] 提供了第一半导体材料和第二半导体材料。异质结被布置在第一半导体材料和第二半导体材料之间。在一个实施方案中,第一和/或第二半导体材料可以包括GaN。

[0078] 源极电极和漏极电极形成在第二半导体材料上。在一个实施例中,源极电极和漏极电极可以延伸进入第二半导体材料,并且甚至可以接触第一半导体材料。

[0079] 栅极电介质形成在第二半导体材料上。在一个实施例中,栅极电介质包括 AlO_x 、 HfO_x 或者其他适合的电介质材料(高介电常数或其他形式)。

[0080] 栅极电极形成靠近第二半导体材料的表面,并且栅极电介质布置在栅极电极和第二半导体材料之间。

[0081] 靠近栅极电介质沉积多个复合钝化层,并且栅极电介质布置在多个复合钝化层和第二半导体材料之间。在一个实施例中,多个复合钝化层中的第一复合钝化层包括第一钝化层和第一绝缘层。第一钝化层布置在栅极电介质和第一绝缘层之间。在另一或者同一实施例中,多个复合钝化层中的第二复合钝化层包括第二钝化层和第二绝缘层。第二钝化层布置在第一绝缘层和第二绝缘层之间。

[0082] 图案化的沟槽随后被蚀刻入多个复合钝化层中,以形成一个或多个栅极场板。可以通过在器件架构的合适层上沉积且分解光致抗蚀剂(正性或者负性),来控制这些图案化的沟槽的几何形状。沟槽几何形状可以匹配待要形成的场板的形状(关于沟槽几何形状的细节,可见于上文结合图1至图4以及图7至图9所讨论的第一、第二和第三栅极场板的描述)。在一个实施例中,第一复合钝化层的蚀刻可以发生在形成第二复合钝化层之前。然而,在另一实施例中,可以形成多个复合钝化层,并且然后对所有复合钝化层一起进行蚀刻。蚀刻可以包括湿蚀刻和/或干蚀刻。应注意的是,钝化层可以包括SiN,并且根据所使用的蚀刻剂和所采用的工艺,蚀刻速度比绝缘层快最高达100倍。因此,绝缘层和/或栅极电介质可以用作蚀刻终止层,以精确地控制栅极场板的几何形状。

[0083] 蚀刻的图案/孔可以随后用金属或者其他导电材料回填,以形成栅极场板(诸如图1至图4以及图7至图9以及相关讨论中的第一栅极场板、第二栅极场板和第三栅极场板)。可以在一个或多个步骤中沉积场板,并且它们的几何形状可以包括一个连续层或者多个彼此独立的结构。在图9中所描绘的实施例中,第二栅极场板942的所述块材可以是在一个金属沉积步骤中通过将金属沉积在被蚀刻到第三钝化层987的沟槽中形成的。在此之后,第二栅极场板942的布置在第三钝化层987上的部分可以被图案化并且被沉积。

[0084] 应注意的是,在已经形成栅极场板后,可以通过化学机械抛光等移除过量的金属/沉积通量。可以在形成多种场板架构后,沉积额外的隔离和/或钝化层。另外,上述工艺可以用于制造在图中描绘并且在说明书中描述的任意几何结构。

[0085] 上述对本发明的所例示的实施例的描述(包括摘要中所描述的)并不是穷举的或

意在将本发明限制至所公开的确切形式。虽然为了说明的目的在此描述了本发明的具体实施例,但是如相关领域的技术人员将意识到的,在本发明的范围内可以有多种修改。

[0086] 得益于上述详细描述,可以对本发明进行这些修改。所附的权利要求中使用的术语不应被理解为将本发明限制于说明书中公开的具体实施例。相反,本发明的范围将完全由所附的权利要求确定,这些权利要求将根据既定的权利要求解释的原则来理解。

[0087] 本申请公开的技术方案还可以配置如下:

[0088] 项1.一种高压场效应晶体管(HFET),包括:

[0089] 第一半导体材料、第二半导体材料和异质结,其中所述异质结布置在所述第一半导体材料和所述第二半导体材料之间;

[0090] 多个复合钝化层,其中多个所述复合钝化层中的第一复合钝化层包括第一绝缘层和第一钝化层,其中多个所述复合钝化层中的第二复合钝化层包括第二绝缘层和第二钝化层,并且其中所述第二钝化层布置在所述第一绝缘层和所述第二绝缘层之间;

[0091] 栅极电介质,所述栅极电介质布置在所述第一钝化层和所述第二半导体材料之间;

[0092] 栅极电极,所述栅极电极布置在所述栅极电介质和所述第一钝化层之间;

[0093] 第一栅极场板,所述第一栅极场板布置在所述第一钝化层和所述第二钝化层之间;

[0094] 源极电极和漏极电极,其中所述源极电极和漏极电极与所述第二半导体材料耦接;以及

[0095] 源极场板,其中所述源极场板与所述源极电极耦接。

[0096] 项2.根据项1所述的HFET,其中所述第一栅极场板与所述栅极电极耦接。

[0097] 项3.根据项1所述的HFET,进一步包括第三钝化层,其中所述第二绝缘层布置在所述第二钝化层和所述第三钝化层之间。

[0098] 项4.根据项3所述的HFET,进一步包括布置在所述第二绝缘层和所述第三钝化层之间的第二栅极场板。

[0099] 项5.根据项3所述的HFET,其中所述源极场板布置在所述第二钝化层和所述第三钝化层之间,并且其中所述第一栅极场板布置在所述第一绝缘层和所述第二钝化层之间。

[0100] 项6.根据项5所述的HFET,其中所述第一绝缘层的横向边界与所述源极场板的横向边界基本上同延,并且其中所述第二绝缘层的横向边界与所述源极场板的横向边界基本上同延。

[0101] 项7.根据项3所述的HFET,进一步包括:

[0102] 第三复合钝化层,所述第三复合钝化层包括所述第三钝化层和第三绝缘层;

[0103] 第四钝化层,其中所述第三绝缘层布置在所述第三钝化层和所述第四钝化层之间;以及

[0104] 第二栅极场板,所述第二栅极场板与所述第一栅极场板耦接,其中,所述第二栅极场板布置在所述第二钝化层和所述第三钝化层之间,并且其中所述源极场板布置在所述第三钝化层和所述第四钝化层之间。

[0105] 项8.根据项7所述的HFET,进一步包括第三栅极场板,所述第三栅极场板耦接至所述第二栅极场板并且布置在所述第三钝化层和所述第四钝化层之间。

[0106] 项9.根据项7所述的HFET,其中所述第一绝缘层的横向边界与所述第一栅极场板的横向边界基本上同延,其中所述第二绝缘层的横向边界与所述第二栅极场板的横向边界基本上同延,并且其中所述第三绝缘层的横向边界与所述源极场板的横向边界基本上同延。

[0107] 项10.根据项1所述的HFET,其中所述栅极电介质和多个所述复合钝化层中的所述第一绝缘层包括相同的材料组分。

[0108] 项11.根据项1所述的HFET,其中多个所述复合钝化层中的所述第一钝化层和所述第二钝化层包括SiN,并且其中所述栅极电介质和所述第一绝缘层包括金属氧化物。

[0109] 项12.根据项1所述的HFET,其中多个所述复合钝化层中的绝缘层被布置以防止多个所述复合钝化层中的钝化层充电。

[0110] 项13.根据项1所述的HFET,其中所述漏极电极从所述第二半导体材料延伸,穿过多个所述复合钝化层中的至少一个。

[0111] 项14.一种高压场效应晶体管(HFET),包括:

[0112] 第一半导体材料、第二半导体材料和异质结,其中所述异质结布置在所述第一半导体材料和所述第二半导体材料之间;

[0113] 多个复合钝化层,包括:

[0114] 第一复合钝化层,所述第一复合钝化层具有第一绝缘层和第一钝化层,其中所述第一钝化层布置在所述第二半导体材料和所述第一绝缘层之间;

[0115] 第二复合钝化层,所述第二复合钝化层具有第二绝缘层和第二钝化层,其中所述第二钝化层布置在所述第一绝缘层和所述第二绝缘层之间;以及

[0116] 第三复合钝化层,所述第三复合钝化层具有第三绝缘层和第三钝化层,其中所述第三钝化层布置在所述第二绝缘层和所述第三绝缘层之间;

[0117] 第一栅极场板,所述第一栅极场板布置在所述第一钝化层和所述第二钝化层之间;以及

[0118] 第二栅极场板,所述第二栅极场板与所述第一栅极场板耦接,其中,所述第二栅极场板从所述第二钝化层延伸,穿过所述第三绝缘层。

[0119] 项15.根据项14所述的HFET,进一步包括:

[0120] 栅极电介质,所述栅极电介质布置在所述第一钝化层和所述第二半导体材料之间;以及

[0121] 栅极电极,所述栅极电极布置在所述栅极电介质和所述第一钝化层之间。

[0122] 项16.根据项14所述的HFET,进一步包括第四钝化层,其中所述第三绝缘层布置在所述第四钝化层和所述第三钝化层之间,并且其中所述第二栅极场板从所述第二钝化层延伸,穿过所述第二绝缘层,穿过所述第三钝化层,并且进入所述第四钝化层。

[0123] 项17.根据项14所述的HFET,其中所述第二栅极场板包括金属并且是连续的。

[0124] 项18.根据项14所述的HFET,进一步包括与源极电极耦接的源极场板,并且其中所述第三钝化层布置在所述源极场板和所述第二绝缘层之间。

[0125] 项19.一种制造高压场效应晶体管(HFET)的方法,包括:

[0126] 在第一半导体材料和第二半导体材料之间形成异质结;

[0127] 形成源极电极和漏极电极,其中所述源极电极和所述漏极电极均与所述第二半导

体材料耦接；

[0128] 沉积栅极电介质,其中所述第二半导体材料布置在所述栅极电介质和所述第一半导体材料之间；

[0129] 沉积多个复合钝化层,其中多个所述复合钝化层中的第一复合钝化层包括第一绝缘层和第一钝化层,并且其中所述第一钝化层布置在所述栅极电介质和所述第一绝缘层之间；

[0130] 在所述栅极电介质和多个所述复合钝化层之间形成栅极电极；

[0131] 沉积多个所述复合钝化层中的第二复合钝化层,所述第二复合钝化层包括第二绝缘层和第二钝化层,其中所述第二钝化层布置在所述第一绝缘层和所述第二绝缘层之间；以及

[0132] 在所述第一钝化层和所述第二钝化层之间形成第一栅极场板。

[0133] 项20.根据项19所述的方法,其中所述第一绝缘层具有比所述第一钝化层更大的带隙。

[0134] 项21.根据项19所述的方法,其中所述第一栅极场板与所述栅极电极耦接。

[0135] 项22.根据项19所述的方法,进一步包括在所述第二绝缘层上形成源极场板。

[0136] 项23.根据项19所述的方法,进一步包括形成与所述第一栅极场板耦接的第二栅极场板,其中所述第二栅极场板布置在所述第二绝缘层上。

[0137] 项24.根据项19所述的方法,其中沉积多个所述复合钝化层包括沉积所述第一绝缘层和所述第二绝缘层,使得所述第一绝缘层和所述第二绝缘层的横向边界短于所述源极电极和所述漏极电极之间的横向距离。

[0138] 项25.根据项19所述的方法,进一步包括：

[0139] 沉积第三复合钝化层,所述第三复合钝化层包括第三绝缘层和第三钝化层,其中所述第三钝化层布置在所述第二绝缘层和所述第三绝缘层之间；

[0140] 形成与所述第一栅极场板耦接的第二栅极场板,其中所述第二栅极场板布置在所述第二钝化层和所述第三钝化层之间；以及

[0141] 形成源极场板,其中所述第三钝化层布置在所述源极场板和所述第二绝缘层之间。

[0142] 项26.根据项25所述的方法,进一步包括形成第三栅极场板,所述第三栅极场板耦接至所述第二栅极场板并且布置在所述第三绝缘层上。

[0143] 项27.根据项25所述的方法,进一步包括沉积第四钝化层,其中所述第四钝化层布置在所述源极场板和所述第三绝缘层上。

[0144] 项28.根据项20所述的方法,其中所述第一栅极场板布置在所述第一绝缘层和所述第二钝化层之间。

[0145] 项29.根据项20所述的方法,其中所述第一钝化层包括SiN,并且所述栅极电介质和所述第一绝缘层包括金属氧化物。

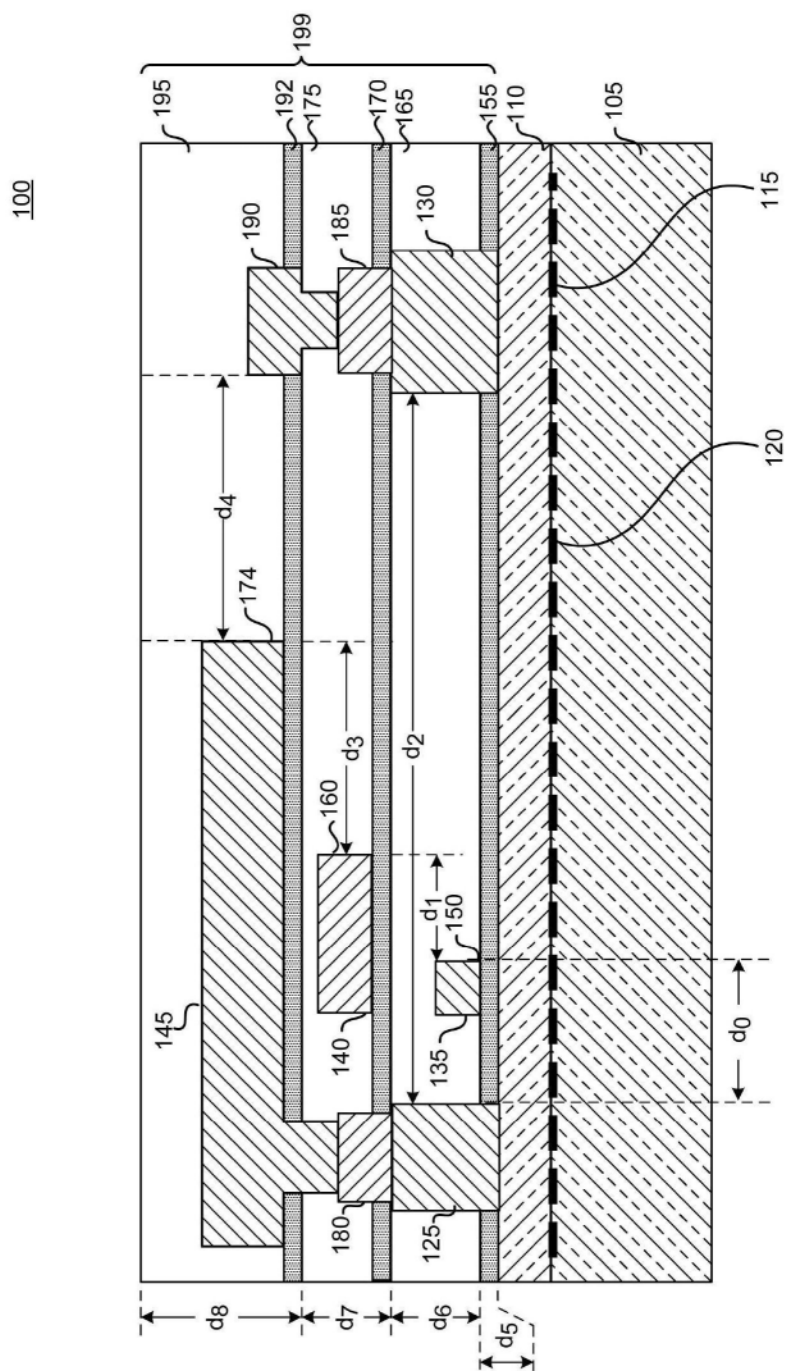


图1

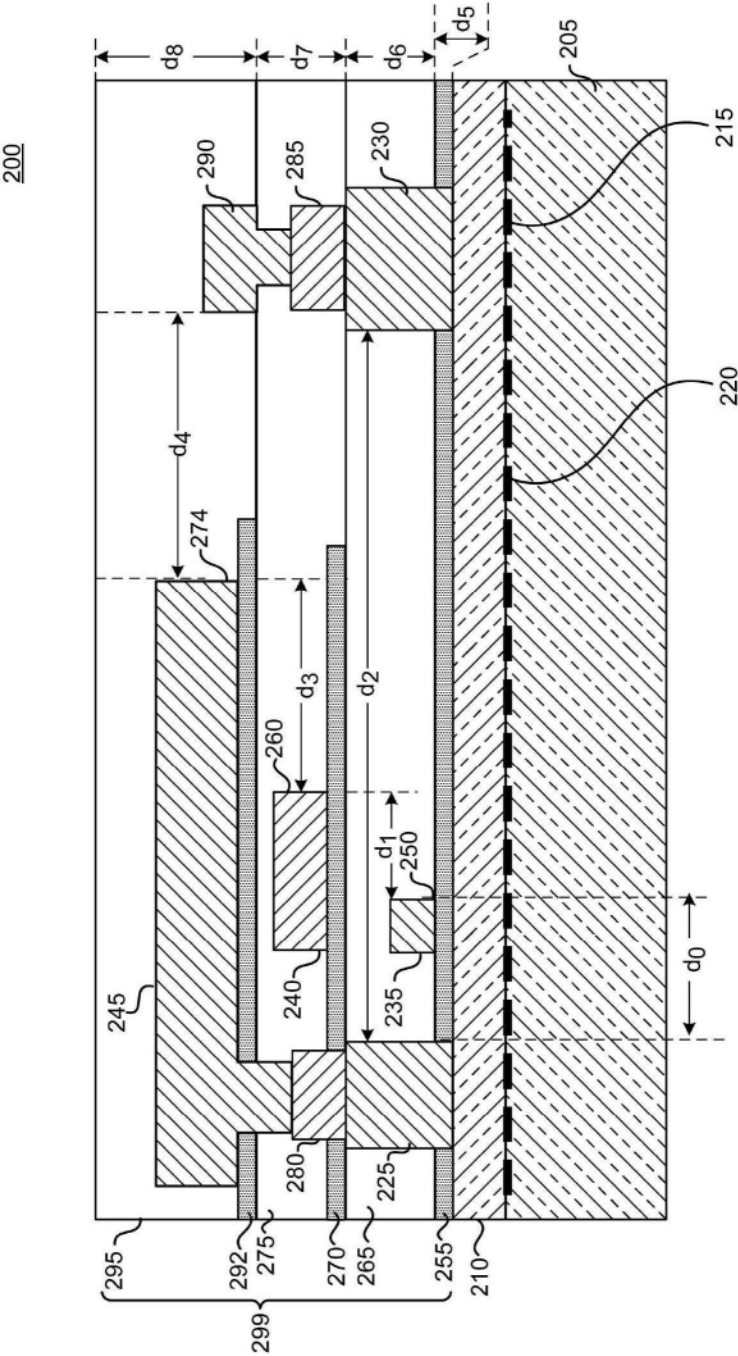


图2

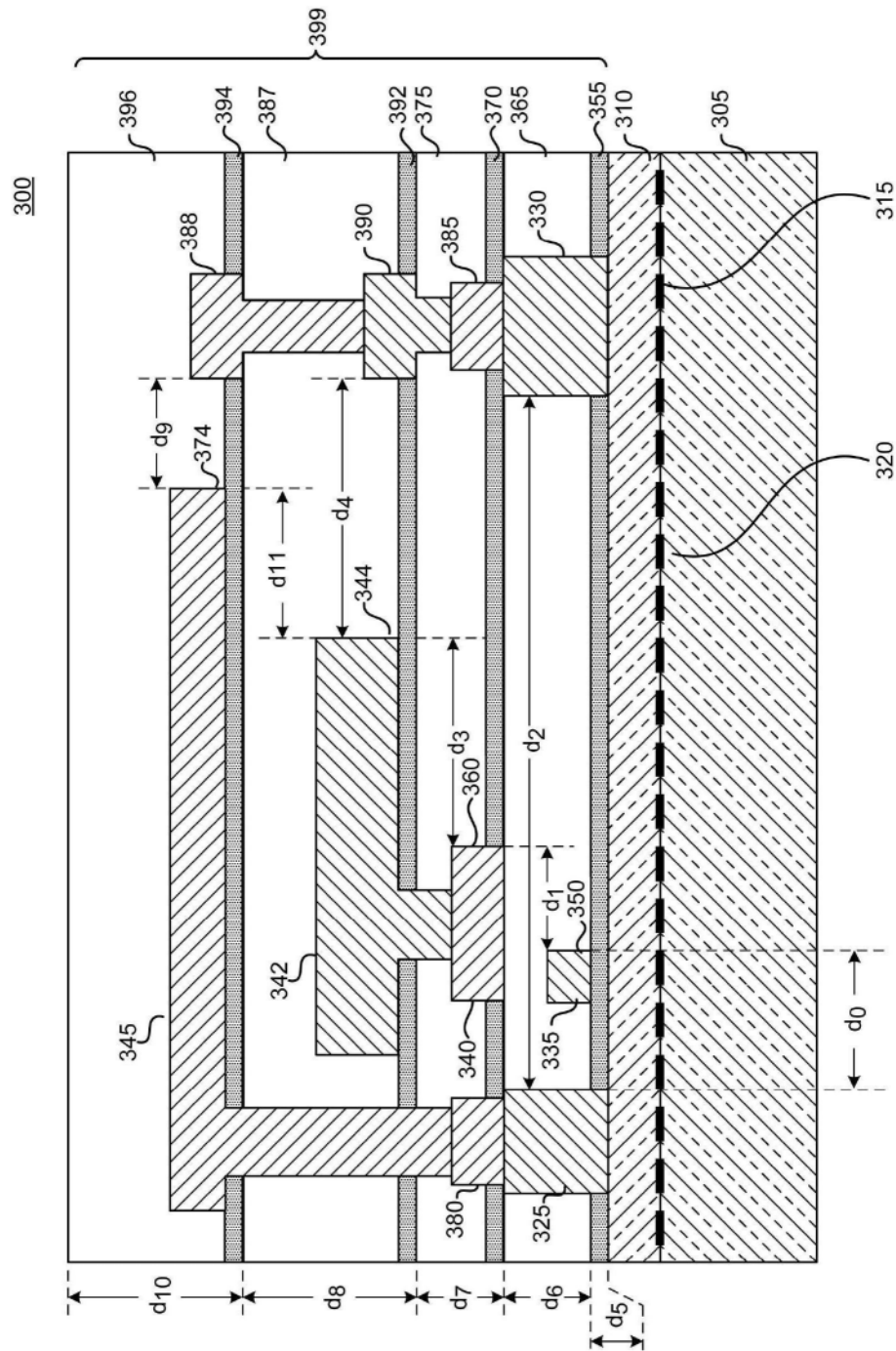


图3

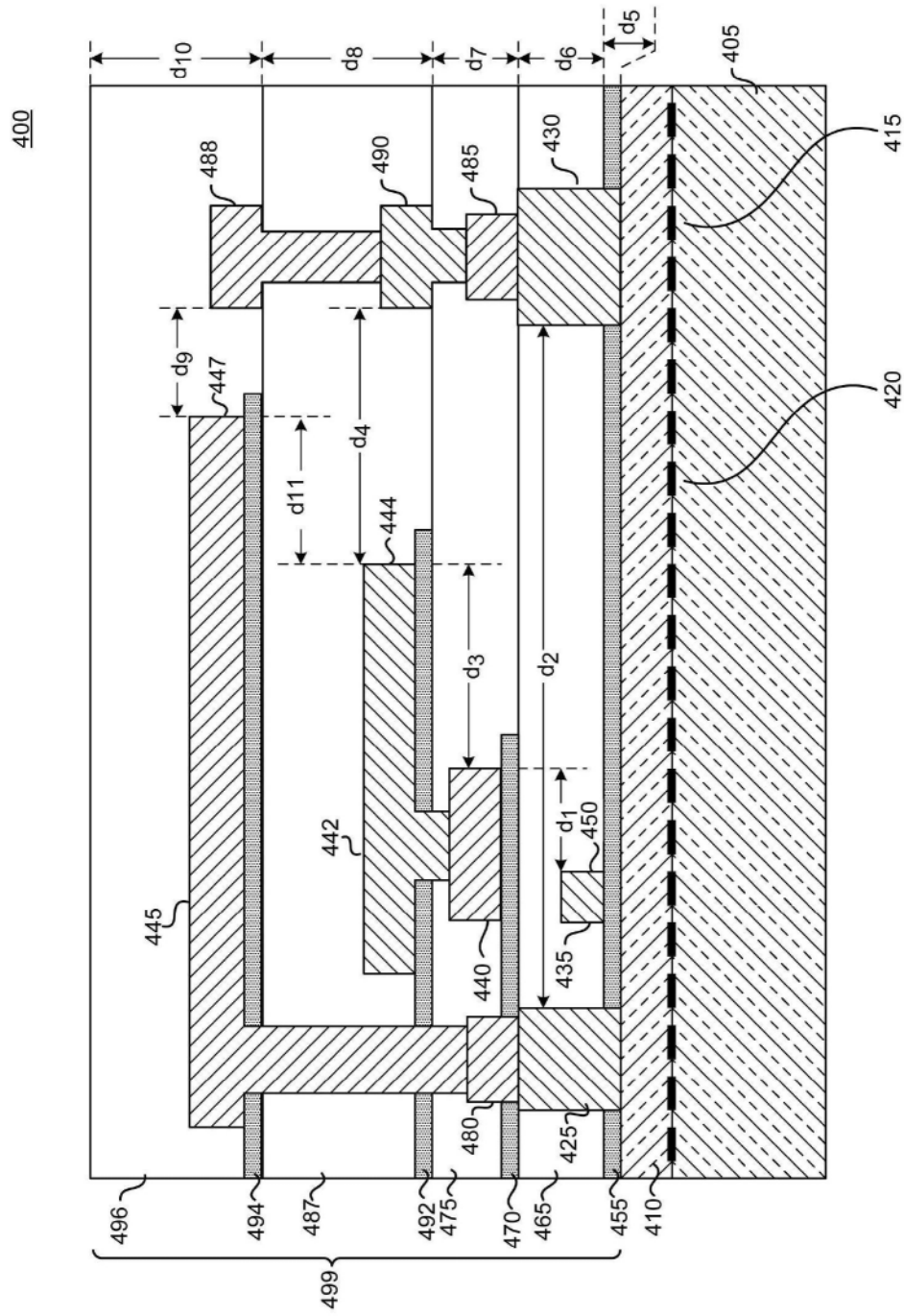


图4

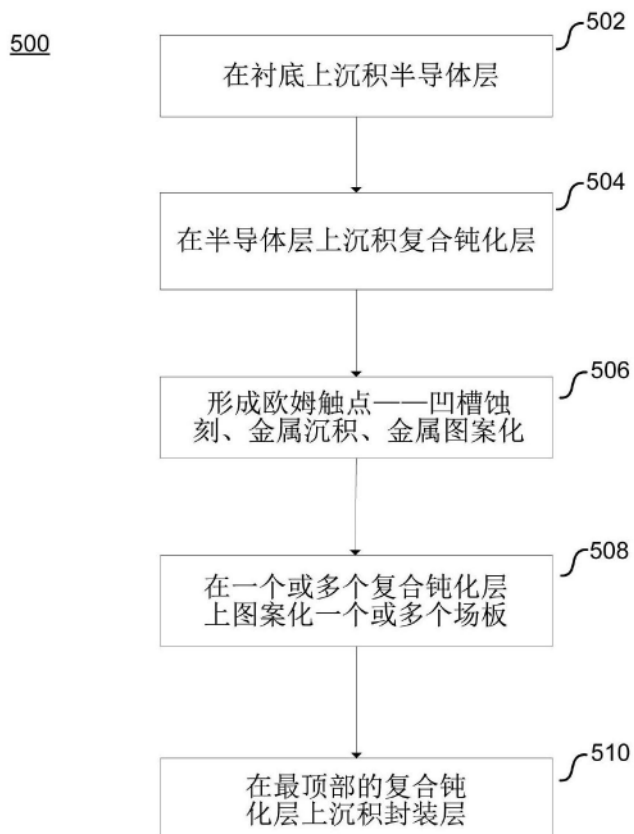


图5

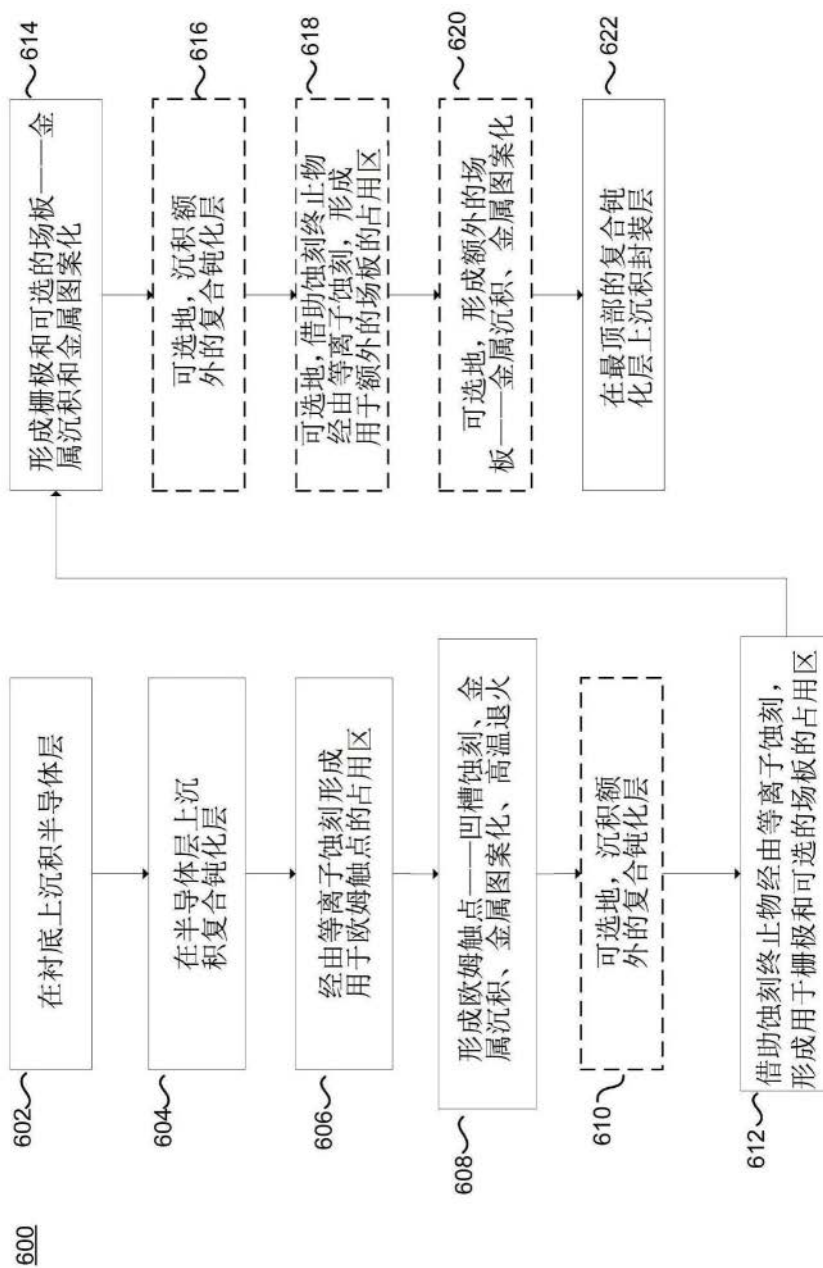


图6

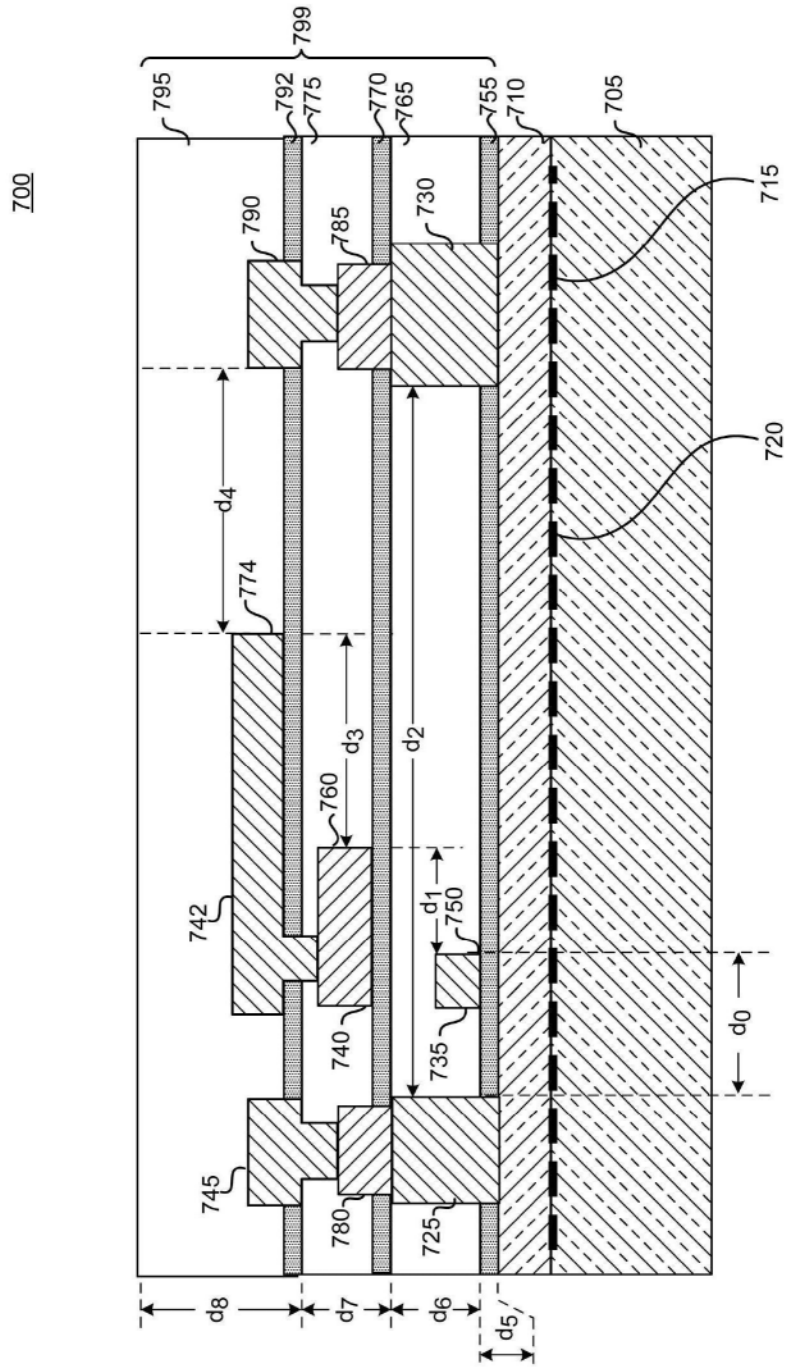


图7

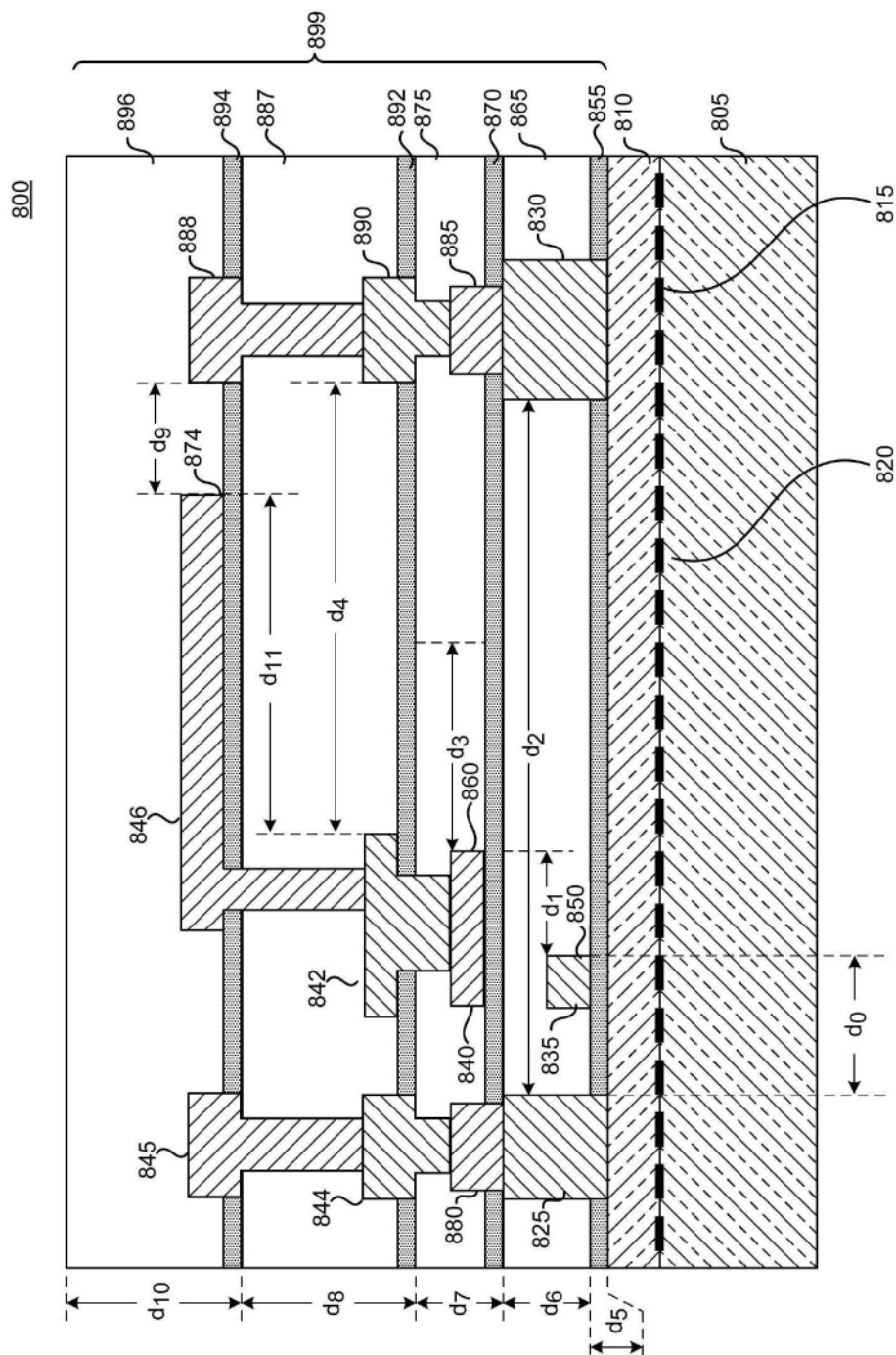


图8

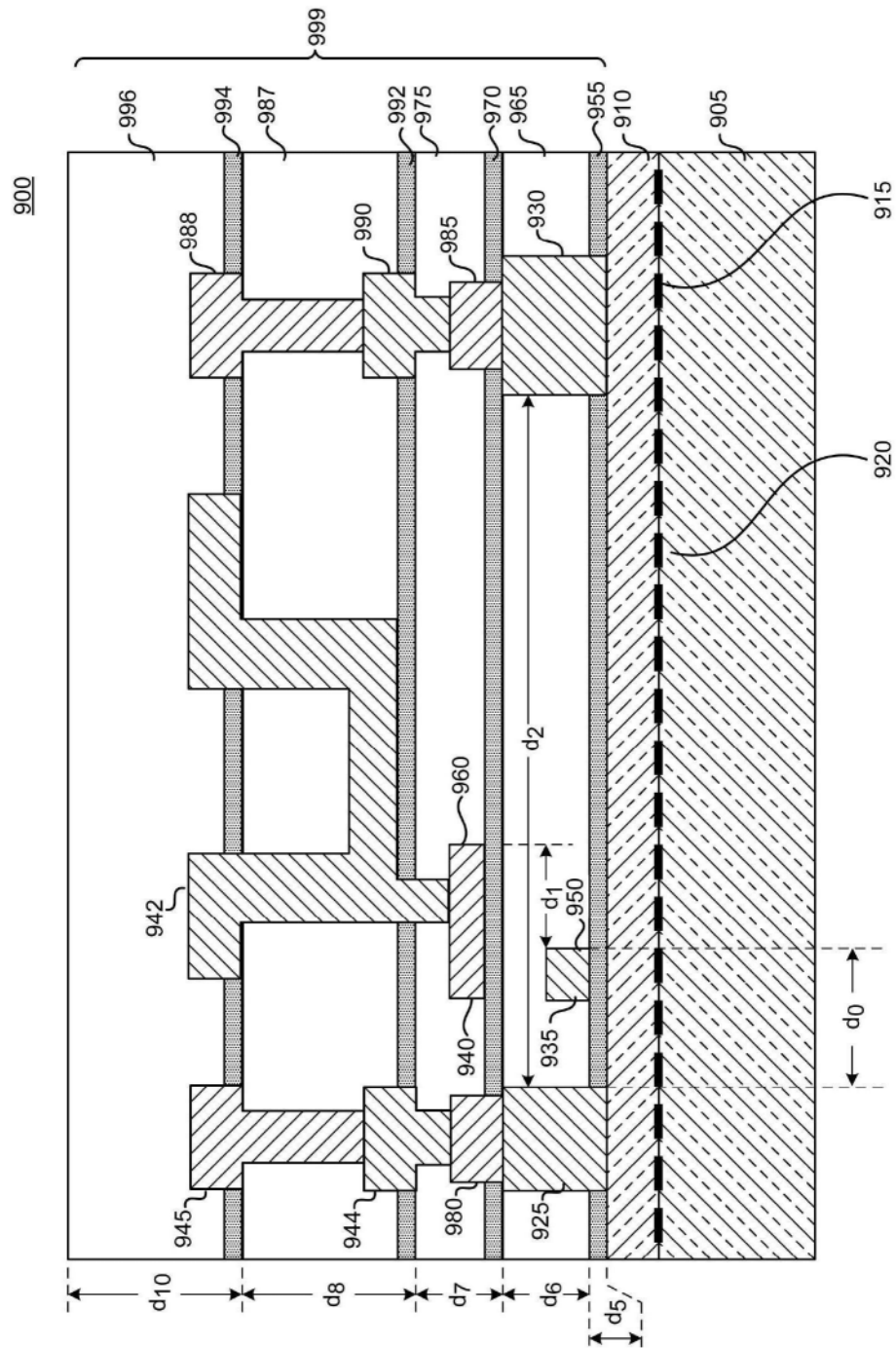


图9