



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/52 (2006.01) H01L 21/60 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년02월22일 10-0684240 2007년02월12일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2006-0001750 2006년01월06일 2006년01월06일	(65) 공개번호 (43) 공개일자	10-2006-0081368 2006년07월12일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장      JP-P-2005-00002016      2005년01월07일      일본(JP)

(73) 특허권자      가부시끼가이샤 르네사스 테크놀로지  
                         일본 100-6334 도쿄도 지요다구 마루노우찌 2-쵸메 4-1

(72) 발명자      가지와라 료이찌  
                         일본 이바라끼켄 히따찌시 구지쵸 2-35-20-305

                         이또 가즈또시  
                         일본 이바라끼켄 히따찌시 이시나자까쵸 1-28-22

                         가기이 히데마사  
                         일본 군마켄 다까사끼시 가미나카이마찌 296

                         오까 히로이  
                         일본 군마켄 사와궁 다마무라마찌 오오아자이따이 1061-7산하이쵸 10

                         나까무라 히로유키  
                         일본 군마켄 마에바시시 도우까신텐마찌 287 미야루만하이무비202

(74) 대리인      장수길  
                         이중희  
                         구영창

(56) 선행기술조사문헌  
                         JP08162482 A  
                         \* 심사관에 의하여 인용된 문헌

심사관 : 최정식

전체 청구항 수 : 총 17 항

(54) 반도체 장치 및 그 제조 방법

(57) 요약

다이 본딩에서 납 프리 뿔납을 이용할 수 있다. 반도체 칩(1)과 Cu 합금제의 다이 패드(4) 사이에 응력 완충판(8)을 배치하고, 반도체 칩(1)과 응력 완충판(8), 및 응력 완충판(8)과 다이 패드(4)를, 고상 온도가 270℃ 이상이고 액상 온도가 400℃ 이하인 Sn-Sb-Ag-Cu를 주요 구성 원소로 하는 납 프리 뿔납의 접합재(10, 9)로 접합함으로써, 칩 균열을 발생시키는 일 없이, 납 프리 뿔납을 이용하여 다이 본딩을 행할 수 있다.

**대표도**

도 2

**특허청구의 범위**

**청구항 1.**

주면과, 그 반대측의 이면과, 상기 주면에 형성된 전극과, 상기 이면에 형성된 전극과, 상기 주면에 형성된 회로를 구비한 반도체 소자와,

상기 반도체 소자의 상기 이면의 전극과 접합하는 도전성의 다이 패드와,

상기 반도체 소자의 상기 주면의 전극과 전기적으로 접속하는 도전성의 리드와,

상기 반도체 소자와 상기 다이 패드와 상기 리드의 일부를 밀봉하는 밀봉체와,

상기 반도체 소자와 상기 다이 패드 사이에 배치되고, 또한 상기 다이 패드를 형성하는 주재료보다 저열팽창, 저항복 응력 또는 저탄성율의 응력 완충 수단

을 포함하고,

상기 반도체 소자와 상기 응력 완충 수단이, 고상 온도 270℃ 이상이고 액상 온도가 400℃ 이하인 Sn-Sb-Ag-Cu를 주요 구성 원소로 하는 합금 또는 Bi-Ag-Sb를 주요 구성 원소로 하는 합금 중 어느 하나의 접합재에 의해 접합되어 있는 것을 특징으로 하는 반도체 장치.

**청구항 2.**

제1항에 있어서,

상기 다이 패드 및 상기 리드를 형성하는 상기 주재료는 Cu 합금인 것을 특징으로 하는 반도체 장치.

**청구항 3.**

제2항에 있어서,

상기 응력 완충 수단은, 열팽창율이 8~12ppm/K인 복합재로 이루어지는 박판인 것을 특징으로 하는 반도체 장치.

**청구항 4.**

제1항에 있어서,

상기 응력 완충 수단은, 상기 다이 패드의 소자 탑재 영역 상에 배치된 Ag 도금막인 것을 특징으로 하는 반도체 장치.

**청구항 5.**

제1항에 있어서,

상기 응력 완충 수단은, 상기 다이 패드의 소자 탑재 영역의 내부에 형성된 복수의 공극부인 것을 특징으로 하는 반도체 장치.

**청구항 6.**

제1항에 있어서,

상기 응력 완충 수단은, 세로와 가로로 평면 치수가 상기 반도체 소자보다 크고 또한 상기 다이 패드보다 작은 박판인 것을 특징으로 하는 반도체 장치.

**청구항 7.**

제1항에 있어서,

상기 Sn-Sb-Ag-Cu를 주요 구성 원소로 하는 합금은,  $43\text{wt}\% \leq \text{Sb}/(\text{Sn} + \text{Sb}) \leq 48\text{wt}\%$ 이고  $15\text{wt}\% \leq (\text{Ag} + \text{Cu}) \leq 25\text{wt}\%$ 인 조건을 만족하는 조성으로 되어 있고, 또한 상기 Bi-Ag-Sb를 주요 구성 원소로 하는 합금은,  $5\text{wt}\% \leq \text{Ag}/(\text{Bi} + \text{Ag}) \leq 25\text{wt}\%$ 이고  $5\text{wt}\% \leq \text{Sb} \leq 20\text{wt}\%$ 인 조건을 만족하는 조성으로 되어 있는 것을 특징으로 하는 반도체 장치.

**청구항 8.**

제1항에 있어서,

상기 반도체 소자의 상기 주면에는 트랜지스터 소자의 회로가 형성되어 있는 것을 특징으로 하는 반도체 장치.

**청구항 9.**

제1항에 있어서,

상기 반도체 소자가 복수개 내장되어 있는 것을 특징으로 하는 반도체 장치.

**청구항 10.**

중형 반도체 소자와, 상기 반도체 소자의 이면의 전극에 접합하는 Cu 합금의 다이 패드와, 상기 반도체 소자의 회로층의 주 전극에 전기적으로 접속되는 Cu 합금의 제1 리드와, 상기 반도체 소자의 회로층의 제어 전극에 전기적으로 접속되는 Cu 합금의 제2 리드와, 상기 반도체 소자와 상기 다이 패드와 상기 제1 및 제2 리드의 일부를 피복하는 수지제 밀봉체를 갖는 반도체 장치로서,

상기 다이 패드와 상기 반도체 소자 사이에 상기 Cu 합금보다 저열팽창, 저항복 응력 또는 저탄성율의 응력 완충 수단이 배치되고, 상기 반도체 소자와 상기 응력 완충 수단, 고상 온도가 270℃ 이상이고 액상 온도가 400℃ 이하인 Sn-Sb-Ag-Cu를 주요 구성 원소로 하는 합금 또는 Bi-Ag-Sb를 주요 구성 원소로 하는 합금 중 어느 하나의 접합재에 의해 접합되어 있는 것을 특징으로 하는 반도체 장치.

### 청구항 11.

제10항에 있어서,

상기 응력 완충 수단은, 열팽창율이 8~12ppm/K인 복합재로 이루어지는 박판인 것을 특징으로 하는 반도체 장치.

### 청구항 12.

제10항에 있어서,

상기 응력 완충 수단은, 상기 다이 패드의 소자 탑재 영역 상에 배치된 Ag 도금막인 것을 특징으로 하는 반도체 장치.

### 청구항 13.

제10항에 있어서,

상기 응력 완충 수단은, 상기 다이 패드의 소자 탑재 영역의 내부에 형성된 복수의 공극부인 것을 특징으로 하는 반도체 장치.

### 청구항 14.

제10항에 있어서,

상기 응력 완충 수단은, 세로와 가로의 평면 치수가 상기 반도체 소자보다 크고 또한 상기 다이 패드보다 작은 박판인 것을 특징으로 하는 반도체 장치.

### 청구항 15.

제10항에 있어서,

상기 Sn-Sb-Ag-Cu를 주요 구성 원소로 하는 합금은,  $43\text{wt}\% \leq \text{Sb}/(\text{Sn} + \text{Sb}) \leq 48\text{wt}\%$ 이고  $15\text{wt}\% \leq (\text{Ag} + \text{Cu}) \leq 25\text{wt}\%$ 인 조건을 만족하는 조성으로 되어 있고, 또한 상기 Bi-Ag-Sb를 주요 구성 원소로 하는 합금은,  $5\text{wt}\% \leq \text{Ag}/(\text{Bi} + \text{Ag}) \leq 25\text{wt}\%$ 이고  $5\text{wt}\% \leq \text{Sb} \leq 20\text{wt}\%$ 인 조건을 만족하는 조성으로 되어 있는 것을 특징으로 하는 반도체 장치.

### 청구항 16.

반도체 소자와, 상기 반도체 소자의 이면의 전극에 접합하는 Cu 합금의 다이 패드와, 상기 반도체 소자의 전극에 전기적으로 접속되는 Cu 합금의 리드와, 상기 반도체 소자와 상기 다이 패드와 상기 리드의 일부를 피복하는 수지제 밀봉체를 갖는 반도체 장치의 제조 방법으로서,

(a) 상기 다이 패드와 상기 리드를 갖는 리드 프레임을 준비하는 공정과,

(b) 상기 리드 프레임의 상기 다이 패드 상에 페이스트상 또는 입상으로 이루어지고 또한 납을 포함하지 않은 땀납을 공급해서 용융시키는 공정과,

- (c) 상기 땀납 상에 상기 Cu 합금보다 저열팽창, 저항복 응력 또는 저탄성율의 응력 완충판을 배치하고, 그 후, 상기 응력 완충판의 가압과 스크립을 행하여 상기 응력 완충판을 고착하는 공정과,
  - (d) 상기 응력 완충판 상에 페이스트상 또는 입상으로 이루어지고 또한 납을 포함하지 않은 땀납을 공급해서 용융시키는 공정과,
  - (e) 상기 (d) 공정에서 공급된 상기 땀납 상에 상기 반도체 소자를 배치하고, 그 후, 상기 반도체 소자의 가압과 스크립을 행하여 상기 반도체 소자를 고착하는 공정과,
  - (f) 상기 반도체 소자의 상기 전극과 상기 리드 프레임의 상기 리드를 전기적으로 접속하는 공정과,
  - (g) 상기 반도체 소자, 상기 다이 패드 및 상기 리드의 일부를 피복하도록 수지 몰드를 행하여 상기 밀봉체를 형성하는 공정과,
  - (h) 상기 밀봉체로부터 돌출하는 상기 리드를 상기 리드 프레임으로부터 절단 분리하는 공정
- 을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

## 청구항 17.

제16항에 있어서,

상기 납을 포함하지 않은 땀납으로서, 고상 온도가 270℃ 이상이고 액상 온도가 400℃ 이하인 Sn-Sb-Ag-Cu를 주요 구성 원소로 하는 합금 또는 Bi-Ag-Sb를 주요 구성 원소로 하는 합금 중 어느 하나의 접합재를 이용하는 것을 특징으로 하는 반도체 장치의 제조 방법.

명세서

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 기술에 관한 것으로, 특히, 반도체 소자를 고정하는 납 프리 땀납에 적용하기에 유효한 기술에 관한 것이다.

종래의 다이 본딩용 합금 부재는, 0.05~0.5mm 두께의 순Al판 혹은 42열로이재를 기재로 하고, 그 양면에 0.005~0.1mm 두께의 접합용 합금층을 형성하고 있다. 또한, 상기 접합용 합금층으로서, 400℃ 이하의 액상선 온도를 갖고 280℃ 이상의 고상선 온도를 갖는 Pb를 포함하지 않는 합금이나, 혹은, 280℃에서의 액상 체적 비율이 15% 이하인 Pb를 포함하지 않는 합금을 이용하고 있다(예를 들면, 특허 문헌 1 참조).

발명이 이루고자 하는 기술적 과제

반도체 장치의 다이 본딩에 적용 가능한 땀납재의 성질로서는, 이하의 4개의 항목이 중요하다. 첫째는 프로세스 온도로서, 400℃ 이하에서의 다이 본딩이 가능한 것으로, 액상 온도가 400℃ 이하인 것이나, 리드 프레임재와의 습윤성이 우수한 것이 조건이다. 둘째는 반도체 장치를 2차 실장할 때의 260℃의 가열 냉각을 견디는 내열성을 갖고 있는 것으로서, 고상 온도가 270℃ 이상인 것이 조건으로 된다. 셋째는 Si 칩을 Cu 합금의 다이 패드에 접합한 경우에 열팽창 차에 수반되는 열변형을 땀납 접합부가 완화하여, 열응력에 의한 Si칩의 파손을 막아 주는 것이다. 넷째는 반도체 소자의 발열에 의해 야기되는 온도 변동에 대하여 땀납 접합부의 열피로 수명이 충분히 긴 것이다.

종래 알려져 있는 ZnAlGe제나 ZnAlMgGa제 등의 ZnAl계 뿔납재는, 고상과 액상의 온도가 309℃와 347℃ 또는 359℃와 375℃로, 다이 본딩의 400℃ 이하의 프로세스 온도나 260℃의 2차 실장 프로세스 내성을 만족하지만, 뿔납재의 열팽창율이 큰데다가 재질이 딱딱하여 탄성율이나 항복 강도가 높기 때문에 칩에 균열을 일으키게 된다고 하는 문제를 안고 있다. 또한, Al이 뿔납재의 표면에 강고한 산화막을 형성하기 때문에 Ni나 Cu 등의 리드 프레임재에 대하여 습윤성이 나빠, 양호한 다이 본딩이 가능하지 않다고 하는 문제가 있다.

한편, SnSbAg(15~20wt%) 뿔납은, 다이 본딩의 프로세스 온도 400℃ 이하나 다이 본딩성, 열응력에 의한 칩 균열 방지를 만족하지만, 액상 온도 : 280℃~315℃에 대하여 고상 온도가 250℃로 낮기 때문에, 260℃의 실장 프로세스에서 뿔납재가 부분적으로 용융되고, 이 때, 밀봉재의 레진이 열팽창에 의해서 칩에 박리 방향의 외력을 주기 때문에 뿔납 접합부에 박리를 일으키게 된다고 하는 문제가 있다. 또한, 반도체 소자의 발열에 수반하는 온도 변화를 모의한 온도 사이클 시험에서, SnSb 뿔납 내에 피로에 의한 박리 균열이 단기간에 발생하여 소자의 전기 특성이 급속히 열화된다고 하는 온도 사이클 신뢰성의 문제가 있다. 또한, SnSb(20~40wt%) 뿔납은, 딱딱하여 칩 균열을 일으킨다는 점과 고상 온도가 250℃이기 때문에, 260℃ 리플로우에 견디지 못하고, SnSb(43wt% 이상) 뿔납은, 액상선이 400℃ 이상으로 되어 400℃ 이하에서의 다이 본딩이 어렵다고 하는 문제가 있다.

또한, 특허 문헌 1에는, ZnAl계, ZnSn계, AuSn계 및 AuGe계 등의 접합용 합금이 개시되어 있지만, Zn계 합금은 습윤성이 나쁘고, 또한, Au계 합금은 코스트가 높다는 것이 각각 문제이다.

본 발명의 목적은, 다이 본딩에서 납 프리 뿔납을 이용하는 것이 가능한 기술을 제공하는 것에 있다.

본 발명의 상기 및 그 밖의 목적과 신규한 특징은, 본 명세서의 설명 및 첨부 도면으로부터 명확하게 될 것이다.

### 발명의 구성

본원에 개시되는 발명 중, 대표적인 개요를 간단히 설명하면, 이하와 같다.

즉, 본 발명은, 반도체 소자와 다이 패드 사이에 응력 완충 수단을 배치하고, 반도체 소자와 응력 완충 수단을, 고상 온도가 270℃ 이상이고 액상 온도가 400℃ 이하인 Sn-Sb-Ag-Cu 또는 Bi-Ag-Sb를 주요 구성 원소로 하는 납 프리 뿔납 중 어느 하나로 접합한 것이다.

또한, 본 발명은, 리드 프레임의 다이 패드 상에 페이스트상 또는 입상으로 이루어지는 납 프리 뿔납을 공급해서 용융시키고, 또한 Cu 합금보다 저열팽창, 저항복 응력 또는 저탄성율의 응력 완충판을 뿔납으로 고착하고, 그 후, 응력 완충 수단 상에 페이스트상 또는 입상으로 이루어지는 납 프리 뿔납을 공급해서 용융시키고, 또한 응력 완충 수단 상의 뿔납 상에 반도체 소자를 배치하고, 그 뿔납에 의해서 반도체 소자를 고착하고, 그 후, 반도체 소자의 전극과 리드 프레임의 리드를 전기적으로 접속하는 것이다.

### <실시예>

이하의 실시예에서는, 특별히 필요한 때 이외에는 동일 또는 마찬가지로인 부분의 설명을 원칙적으로 반복하지 않는다.

또한, 이하의 실시예에서는, 편의상 그 필요가 있을 때에는, 복수의 섹션 또는 실시예로 분할하여 설명하지만, 특별히 명시한 경우를 제외하고, 이들은 상호 무관한 것이 아니라, 한쪽은 다른 쪽의 일부 또는 전부의 변형예, 상세, 보충 설명 등의 관계에 있다.

또한, 이하의 실시예에서, 요소의 값 등(개수, 수치, 양, 범위 등을 포함함)을 언급하는 경우, 특별히 명시한 경우 및 원리적으로 분명하게 특정한 수에 한정되는 경우 등을 제외하고, 그 특정한 수에 한정되는 것이 아니라, 특정한 수 이상이어도 이하이어도 되는 것으로 한다.

이하, 본 발명의 실시예를 도면에 기초하여 상세히 설명한다. 또한, 실시예를 설명하기 위한 모든 도면에서, 동일한 기능을 갖는 부재에는 동일한 부호를 붙이고, 그 반복 설명은 생략한다.

도 1은 본 발명의 실시예의 반도체 장치의 내부 구조의 일례를, 밀봉체를 투과하여 도시하는 평면도, 도 2는 도 1에 도시하는 A-A선을 따라 절단한 단면의 단면도, 도 3은 본 발명의 실시예의 반도체 장치의 조립에 이용되는 리드 프레임의 구조

의 일례를 도시하는 도면으로서, (a)는 부분 평면도, (b)는 (a)의 A-A선을 따라 절단한 단면의 부분 단면도, 도 4는 본 발명의 실시예의 반도체 장치의 조립 수순의 일례를 도시하는 제조 프로세스 플로우도, 도 5는 본 발명의 실시예의 반도체 장치에 내장되는 응력 완충판과 뿔납을 파라미터로 한 반도체 장치의 평가 결과의 일례를 나타내는 결과 데이터도, 도 6은 본 발명의 실시예의 반도체 장치의 변형예인 트랜지스터의 내부 구조를, 밀봉체를 투과하여 도시하는 평면도, 도 7은 도 6에 도시하는 A-A선을 따라 절단한 단면의 단면도, 도 8은 변형예의 반도체 장치의 구조를 도시하는 부분 단면도, 도 9는 도 8에 도시하는 반도체 장치의 구조를 도시하는 평면도, 도 10은 변형예의 반도체 장치의 구조를 도시하는 부분 단면도, 도 11은 도 10에 도시하는 A-A선을 따라 절단한 단면의 단면도, 도 12는 변형예의 반도체 장치의 구조를 도시하는 부분 단면도, 도 13은 변형예의 반도체 장치의 구조를 도시하는 부분 단면도, 도 14는 Bi-Ag-Sb계 합금의 고상·액상 온도의 평가 결과의 일례를 나타내는 데이터도, 도 15는 Sn-Sb-Ag-Cu계 합금의 고상·액상 온도의 평가 결과의 일례를 나타내는 결과도, 도 16은 Bi-Ag계 합금의 2원 상태도의 일례를 도시하는 상태도, 도 17은 본 실시예의 반도체 장치의 변형예인 트랜지스터의 구조를 도시하는 단면도, 도 18은 본 실시예의 변형예의 반도체 장치의 이면측의 구조를 도시하는 이면도, 도 19는 도 18에 도시하는 B-B선을 따라 절단한 단면의 단면도이다.

도 1 및 도 2에 도시하는 본 실시예의 반도체 장치는, 종형 반도체 소자를 갖는 전력용 파워 반도체 패키지(14)로서, 반도체 소자의 주면(1a)에는, 예를 들면, 트랜지스터 소자의 회로가 형성된 트랜지스터 패키지이다.

파워 반도체 패키지(14)의 구성에 대하여 설명하면, 주면(1a)과, 그 반대측의 이면(1b)과, 주면(1a)에 형성된 주전극(2) 및 제어 전극(3)과, 이면(1b)에 형성된 전극(15)과, 주면(1a)에 형성된 회로를 구비한 반도체 소자인 반도체 칩(1)과, 반도체 칩(1)의 이면(1b)의 전극(15)과 접합하는 도전성의 다이 패드(4)와, 반도체 칩(1)의 주면(1a)의 주전극(2)과 전기적으로 접속하는 제1 리드(6)와, 반도체 칩(1)의 주면(1a)의 제어 전극(3)과 전기적으로 접속하는 제2 리드(7)와, 다이 패드(4)와 일체로 연결된 제3 리드(5)와, 주전극(2)과 제1 리드(6)를 전기적으로 접속하는 Al 와이어(12)와, 제어 전극(3)과 제2 리드(7)를 전기적으로 접속하는 Al 와이어(13)와, 반도체 칩(1)과 다이 패드(4) 사이에 배치되고 또한 다이 패드(4)를 형성하는 주재료인 Cu 합금보다 저열팽창, 저항복 응력 또는 저탄성율의 응력 완충판(응력 완충 수단)(8)과, 반도체 칩(1)과 Al 와이어(12, 13)와 다이 패드(4)와 각 리드의 일부를 밀봉용 수지에 의해 밀봉하는 밀봉체(11)로 이루어진다.

또한, 반도체 칩(1)과 응력 완충판(8), 및 응력 완충판(8)과 다이 패드(4)가, 고상 온도가 270°C 이상이고 액상 온도가 400°C 이하인 Sn-Sb-Ag-Cu를 주요 구성 원소로 하는 합금(납을 포함하지 않는 뿔납으로, 이후 이러한 뿔납을 납 프리 뿔납이라고도 함) 또는 Bi-Ag-Sb를 주요 구성 원소로 하는 합금(납 프리 뿔납) 중 어느 하나의 접합재(9, 10)에 의해 접합되어 있다.

예를 들면, 도 1에 도시하는 바와 같이, 종형 반도체 소자이고, 또한 실리콘(Si)으로 이루어지는 반도체 칩(1)이 열팽창율: 8~12ppm/K의 Cu/Fe-Ni 합금/Cu 적층판으로 이루어지는 응력 완충판(8)을 개재하여 Cu제의 다이 패드(4)에 접합재(9, 10)에 의해 다이 본딩되어 있다.

반도체 칩(1)의 이면(1b)의 표층에는, Ti/Ni/Au 또는 Ag, V, 혹은 Ta/Ni/Au 또는 Ag가 형성되어 있다. 또한, 접합재(9, 10)로 Sn-Sb-Ag-Cu 합금을 이용하는 경우에는, 응력 완충판(8)의 표리면에 전해 Ni 도금 혹은 무전해 NiP 도금을 실시하고, 다이 패드(4)의 표면은 전해 Ni 도금 혹은 도금 없는 Cu로 하고 있다.

한편, 접합재(9, 10)로 Bi-Ag-Sb 합금을 이용하는 경우에는, 응력 완충판(8)의 표리면에 전해 Ag 도금을 실시하고, 다이 패드(4)의 표면은 전해 Ag 도금 혹은 도금 없는 Cu로 하고 있다.

또한, 반도체 칩(1)의 주면(1a)의 주전극(2) 및 제어 전극(3)과, 외부 추출용의 제1 리드(6) 및 제2 리드(7) 사이에는 Al 와이어(12, 13)에 의해 각각 결선되어 있다. 또한, 반도체 칩(1)과, Al 와이어(12, 13)와, 응력 완충판(8)과, 접합재(9, 10)의 전체, 및 다이 패드(4), 제1 리드(6), 제2 리드(7), 제3 리드(5) 각각의 일부를 피복하도록, 밀봉용 수지로 이루어지는 밀봉체(11)가 형성되어 있다.

도 1 및 도 2에 도시하는 파워 반도체 패키지(14)에서는, Cu 합금제의 다이 패드(4)의 소자 탑재 영역에, 열팽창율이 Si의 반도체 칩(1)과 다이 패드(4)의 중간적인 값인 저열팽창 부재인 응력 완충판(8)을 배치하고, 반도체 칩(1)과 다이 패드(4)를, Sn-Sb-Ag-Cu를 주요 구성 원소로 하는 합금 또는 Bi-Ag-Sb를 주요 구성 원소로 하는 합금으로 접합하는 구조로 하고 있다.

또한, Cu 합금제의 다이 패드(4) 상에, 저열팽창 부재인 응력 완충판(8)을 배치한 경우에는, 상기 저열팽창 부재로서 열팽창율 : 8~12 ppm/K의 Cu/FeNi 복합재나 Cu/Cu20 복합재를 채용함으로써, Cu 합금을 직접 Si의 반도체 칩(1)에 접합하고 있었던 경우에 비해, 열팽창 차를 약 1/2로 저감할 수 있어, 실장이나 온도 사이클 시의 반도체 칩(1)의 균열을 방지하는 것이 가능하게 된다.

또한, 도 1에 도시하는 바와 같이, 응력 완충 수단인 응력 완충판(8)은, 세로와 가로로 평면 치수가 반도체 칩(1)보다 크고 또한 다이 패드(4)보다 작게 형성된 박판 형상의 부재이다. 응력 완충판(8)이 반도체 칩(1)보다 크므로써, 칩으로부터 발하여지는 열이 칩 내부를 통과하지 않고, 칩의 이면(1b)으로부터 곧장 외부로 나가 접합재(10)나 응력 완충판(8)을 통하여 다이 패드(4)에 도달할 수 있다. 따라서, 열이 칩 내부를 통과하지 않기 때문에 방열 시에 칩 내부에서 국부적인 온도 상승이 발생하지 않아, 내부의 셀 소자가 온도 상승에 의해서 파괴되는 것을 방지할 수 있다.

또한, 응력 완충판(8)이 반도체 칩(1)보다 크므로써, 칩 아래의 접합재(10)가 반도체 칩(1) 주위의 외측으로 비어져 나오기 때문에, 조립 후의 검사 시에, 땀납 접속이 확실하게 행해져 있는지의 여부를 확인하는 목시 검사를 용이하게 행할 수 있다.

다음으로, 접합재(9, 10)를 Sn-Sb-Ag-Cu를 주성분으로 하는 합금으로 하고, 그 조성을  $43\text{wt}\% \leq \text{Sb}/(\text{Sn} + \text{Sb}) \leq 48\text{wt}\%$ 이고  $15\text{wt}\% \leq (\text{Ag} + \text{Cu}) \leq 25\text{wt}\%$ 로 함으로써, 도 15에 도시하는 바와 같이, 고상 온도 : 270℃ 이상이고 액상 온도 : 380℃ 이하의 용융 특성으로 할 수 있어, 400℃ 이하에서의 다이 본딩이 가능하게 된다. 또한, 땀납 강도는 100MPa 이상으로 되기 때문에, 응력 완화 구조와의 조합으로 땀납부의 변형량이 감소되어, 온도 사이클 수명을, 종래의 납 땀납의 경우에 비해, 대폭 향상시킬 수 있다.

또한, 고상 온도가 270℃ 이상이기 때문에, 실장 시의 260℃ 가열에서도 채용용하는 일없이, 충분한 260℃ 리플로우 내성을 얻을 수 있다.

한편, 접합재(9, 10)가 Bi-Ag-Sb 합금인 경우에는,  $5\text{wt}\% \leq \text{Ag}/(\text{Bi} + \text{Ag}) \leq 25\text{wt}\%$ 이고  $5\text{wt}\% \leq \text{Sb} \leq 20\text{wt}\%$ 의 조성으로 함으로써, 고상 온도 : 270℃ 이상이고 액상 온도 : 390℃ 이하로 하는 것이 가능하여, 400℃ 이하에서의 다이 본딩이 가능하게 되는 것이다.

$5\text{wt}\% \leq \text{Ag}/(\text{Bi} + \text{Ag})$ 로 하는 것은, 땀납의 신장에 대한 기계적 특성을 개선하는 데 필요한 조건으로부터 선택되고,  $\text{Ag}/(\text{Bi} + \text{Ag}) \leq 25\text{wt}\%$ 는, 도 16에 도시하는 바와 같이, 액상 온도를 400℃ 이하로 하기 위해 필요한 조성 범위로부터 선택된다. 또한,  $5\text{wt}\% \leq \text{Sb}$ 는 땀납이 260℃ 리플로우에 견디는 270℃의 고상 온도로부터 선택되고,  $\text{Sb} \leq 20\text{wt}\%$ 는 액상 온도 400℃ 이하의 조건으로부터 선택된 값이다.

이 땀납은 Sb 첨가에 의해 땀납 강도가 100MPa 이상으로 되어, 응력 완화 구조와의 조합에서 온도 사이클 수명을, 종래의 납을 포함한 땀납의 경우에 비해, 대폭 향상시킬 수 있다. 또한, 고상 온도가 270℃ 이상이기 때문에, 260℃ 리플로우 시에 땀납의 채용용이 없어, 반복해서 리플로우 시험에 견디는 것이 가능하다.

본 실시예의 파워 반도체 패키지(14)에 의하면, 접합 재료로서, Sn-Sb-Ag-Cu 합금이나 Bi-Ag-Sb 합금으로 이루어지는 납 프리 땀납 재료를 사용하고 있기 때문에, 환경 부하가 적은 트랜지스터 패키지 제품을 제공할 수 있다. 또한, 상기 접합 재료가 고강도로 딱딱한 재질이기 때문에, 종래에는 접합재가 거의 담당하였던 열변형을, 반도체 칩(1)이나 다이 패드(4)로 분산할 수 있고, 동시에, 반도체 칩(1)과 다이 패드(4) 사이에 Cu/Fe-Ni/Cu 저열팽창재의 응력 완충판(8)을 사이에 끼우기 때문에 반도체 칩(1)에 가해지는 열응력을 저감할 수 있어, 칩 균열을 방지할 수 있다. 또한, 이들과 동시에, 접합재(9, 10)의 열피로 수명을 대폭적으로 신장할 수 있게 되어, 생산성을 떨어뜨리는 일없이, 고신뢰의 트랜지스터 패키지(파워 반도체 패키지(14))를 제공할 수 있다.

또한, 고상 온도가 270℃ 이상이고 액상 온도가 400℃ 이하인 Sn-Sb-Ag-Cu 합금 또는 Bi-Ag-Sb 합금으로 다이 본딩함으로써, 2차 실장의 260℃ 리플로우 공정에 견딜 수 있고, 또한 온도 사이클 수명이나 고온 신뢰성이 우수한 납 프리 땀납의 트랜지스터 패키지(파워 반도체 패키지(14))를 제공할 수 있다.

다음으로, 도 3 및 도 4를 이용하여 파워 반도체 패키지(14)의 조립에 대하여 설명한다.

우선, 상기 조립의 개략에 대하여 설명하면, 수소를 포함하는 환원 분위기 속에서, 도 3의 (a), (b)에 도시하는 리드 프레임(100)을 360℃로 가열하고, 다이 패드(101) 상에 소정 사이즈의 Sn-Sb-Ag-Cu 합금 입자 혹은 Bi-Ag-Sb 합금 입자를



공급해서 용융하고, 또한 응력 완충 수단인 응력 완충판(109)을, 스크립을 가하면서 탑재한다. 그 후, 이 가열 상태 그대로, 응력 완충판(109) 상에 동일한 합금 입자를 공급해서 용융하고, 반도체 칩(117)을 스크립을 가하면서 탑재하고 다이 본딩을 행한다.

그 후, 리드 프레임(100)이 냉각한 후에, 외부 접속용 단자인 리드(102)와 칩 전극을 AI 와이어 본딩에 의해 결선하고, 몰드 금형을 사용하여 수지 몰드를 행한다. 그 후, 불필요한 리드 프레임 부분을 절단 제거하여 패키지를 완성한다. 또한, 응력 완충판(109)이 없는 종래의 트랜지스터 패키지의 조립 공정과 비교하여, 본 실시예의 조립에서는, 응력 완충판(109)을 접합하는 공정이 늘어나 있지만, 조립 방법은 칩 접합 공정과 동일하기 때문에, 생산의 처리량은 종래와 동일하다.

이어서, 도 4에 도시하는 제조 프로세스 플로우도를 이용하여, 본 실시예의 반도체 장치의 일례인 파워 반도체 패키지(126)의 상세 조립을 설명한다.

우선, 다이 패드(101)와, 그 주위에 배치된 복수의 외부 접속용 단자인 리드(102)를 갖는, 도 3에 도시하는 다연의 리드 프레임(100)을 준비한다. 또한, 리드 프레임(100)에서는, 복수의 다이 패드(101)와 리드(102)가 각각의 현수 리드(103, 104)에 의해 프레임부(105)에 고정되어 있다. 리드 프레임(100)은, 예를 들면, Cu 합금을 주재료로 하여 형성된 박판 형상의 부재이다.

그 후, 단계 S1에 도시하는 땀납 공급 공정에서, 리드 프레임(100)의 다이 패드(101) 상에 페이스트상 또는 입상으로 이루어진 납 프리 땀납을 공급해서 용융시킨다. 여기서는, 환원 분위기 속에서 리드 프레임(100)의 예비 가열을 행하고, 디스펜서(106)를 이용하여, 예를 들면, 땀납 페이스트(107)를 다이 패드(101) 상에 소정량 공급하고, 히트 블록에 의해 본 가열하여 땀납을 용융해서 용융 땀납(108)을 형성한다.

또한, 상기 납 프리 땀납은, 고상 온도가 270°C 이상이고 액상 온도가 400°C 이하인 Sn-Sb-Ag-Cu를 주요 구성 원소로 하는 합금의 땀납재 또는 Bi-Ag-Sb를 주요 구성 원소로 하는 합금의 땀납재 중 어느 하나이다.

그 후, 단계 S2에 도시하는 완충판 공급+ 스크립 본딩 공정에서, 상기 납 프리 땀납 상에 Cu 합금보다 저열팽창, 저항복 응력 또는 저탄성율의 응력 완충판(109)을 배치하고, 그 후, 응력 완충판(109)의 가압과 스크립을 행하여 응력 완충판(109)을 고착한다. 여기서는, 용융 땀납(108) 상에 콜릿(110)에 의해 흡인(111)을 행하면서 응력 완충판(109)을 유지하고, 또한 응력 완충판(109)을 용융 땀납(108) 상에 공급한 후, 동시에 스크립(112)을 가하여 응력 완충판(109)의 사이즈로 땀납을 펼치고 응력 완충판(109)을 땀납 접합(113)한다.

그 후, 단계 S3에 도시하는 땀납 공급 공정에서, 응력 완충판(109) 상에 페이스트상 또는 입상으로 이루어지고, 또한 상기 땀납과 마찬가지로 납 프리 땀납을 공급해서 용융시킨다. 여기서는, 가열된 상태 그대로 응력 완충판(109) 상에, 디스펜서(114)를 이용하여, 땀납 페이스트(115)를 소정량 공급하고, 이에 의해서 땀납을 용융해서 용융 땀납(116)을 형성한다.

그 후, 단계 S4에 도시하는 칩 공급+ 스크립 본딩 공정에서, 용융 땀납(116) 상에 반도체 칩(117)을 배치하고, 그 후, 반도체 칩(117)의 가압과 스크립을 행해서 반도체 칩(117)을 고착한다. 여기서는, 용융 땀납(116) 상에, 콜릿(118)을 이용하여, 반도체 칩(117)을 공급하고, 스크립(119)을 가하여 밀어 넣기 다이 본딩을 행한다. 또한, 소정 온도까지 환원 분위기 속에서 냉각한다. 이에 의해, 반도체 칩(117)의 이면(11b)과 땀납이 땀납 접합(120)한다. 반도체 칩(117)은 그 주면(117a)이 위쪽을 향한 상태로 접합된다.

그 후, 단계 S5에 도시하는 와이어 본딩 공정에서, 칩 전극과 리드 프레임(100)의 리드(102)를 전기적으로 접속한다. 여기서는, 실온까지 냉각한 후, 대기 분위기 속에서 칩 상의 전극과 리드(102)를 AI 와이어(121, 122)의 초음파 본딩에 의해 전기적으로 접속한다. 여기서는, 본딩 툴(123)에 의해 초음파 진동(124)을 인가하여 초음파 본딩을 행한다.

그 후, 단계 S6에 도시하는 몰드 공정에서, 반도체 칩(117), 다이 패드(101) 및 리드(102)의 일부를 피복하도록, 밀봉용 수지를 이용하여 수지 몰드를 행해서 밀봉체(125)를 형성한다. 여기서는, 몰드 금형을 이용한 트랜스퍼 몰드에 의해, 패키지 단위로 밀봉용 수지를 싸서, 베이킹 처리하고, 이에 의해서 밀봉체(125)를 형성한다.

그 후, 단계 S7에 도시하는 절단+ 성형 공정에서, 밀봉체(125)로부터 돌출하는 리드(102)를 리드 프레임(100)으로부터 절단 분리함과 함께, 원하는 형상으로 리드(102)를 구부림 성형한다. 여기서는, 각 리드(102)의 절단+성형과 현수 리드(103, 104)의 절단을 행해서, 조립을 완료(단계 S8에 도시하는 완성)한다.

또한, 단계 S1~S4에서의 다이 본딩 공정은 모두 환원 분위기 하에서 행하는 것이고, 리드 프레임(100)은 가열된 상태에서 컨베이어로 반송되는 연속된 공정이다. 또한, 뿔납 페이스트(107, 115)의 유기 성분은 가열에 의해 완전하게 기화되어, 뿔납이 용융되기 전에 소실되는 성질의 용제이다.

본 실시예의 반도체 장치의 조립에 따르면, 응력 완충판(109)과 반도체 칩(117)을, 스크립(119)을 가하여 본딩하고 있기 때문에, 뿔납 내의 보이드를 대폭 저감한 상태로 접합이 가능하게 되어, 방열 특성이 안정된 반도체 장치를 제공할 수 있다. 또한, 고온의 납 프리 뿔납을 페이스트상으로 공급하고 있기 때문에, 뿔납의 연속된 자동 공급을 용이하게 행하는 것이 가능하고, 더욱이 칩 사이즈가 변하여 뿔납의 사용량이 바뀔 경우에도 설비적인 변경을 하지 않고 조정을 행할 수 있는, 양산성이 우수한 생산 프로세스를 제공하는 것이 가능하다. 또한, 종래의 고납 뿔납의 조립 공정과 비교하여, 프로세스가 동일하기 때문에, 종래의 조립 설비를 그대로 사용하는 것이 가능하여, 설비 코스트의 증가를 적게 억제할 수 있다.

다음으로, 도 5는 접합 재료의 조성과 응력 완충판을 변경하여 반도체 장치를 조립해서 각종 평가를 행한 결과를 나타내는 것이다. 도 5에서 본 실시예는 No.1~15이고, No.16~25는 비교예이다. No.1~4의 본 실시예에서는, 응력 완충판으로 Cu/Fe-Ni 합금/Cu가 1:1:1의 두께로 적층된 0.2mm 두께의 저열팽창판을 이용하고, 뿔납 조성이  $43\text{wt}\% \leq \text{Sb}/(\text{Sn} + \text{Sb}) \leq 48\text{wt}\%$  또한  $15\text{wt}\% \leq (\text{Ag} + \text{Cu}) \leq 25\text{wt}\%$ 의 조건을 만족하는 조성의 경우이다. 접합 온도(400℃ 이하에서 OK), 칩 균열, 260℃ 리플로우 내성, 온도 사이클 수명의 모든 평가 항목에서 판정 기준을 클리어하게 할 수 있다. Sb량이 많으면 No.16, 18의 비교예와 같이 높은 접합 온도가 필요하고, 더욱이 고온역에서 응고하기 때문에 열응력이 크게 되어 칩 균열이 발생한다. No.17의 비교예와 같이 Cu를 없게 하고 Ag만의 3원계의 합금으로 하면, 액상 온도만 상승하고, 접합 온도가 상승하지만 고상 온도가 오르지 않기 때문에, 260℃ 리플로우 내성이 얻어지지 않는다.

본 발명의 접합 재료를 이용한 경우에도, 응력 완충판(8)을 이용하지 않은 경우에는 칩 균열을 야기하고, 열팽창율이 6.7ppm/K 이하인 응력 완충판(8)을 이용한 경우에는 다이 패드(4)와 응력 완충판(8) 사이에 높은 열응력이 발생하여 다이 패드(4)의 Ni 도금이 기초와 박리하는 현상이 발생하였다.

이들로부터, 응력 완충판(8)의 열팽창율은 다이 패드(4)와 반도체 칩(1)의 중간 영역이 적정하다고 판단할 수 있다. No.8~12는 Bi-Ag에 Sb를 가한 합금을 접합재로 하여 패키지를 조립한 경우의 평가 결과를 나타내는 것이다. 접합재(9, 10)의 합금 조성을  $5\text{wt}\% \leq \text{Ag}/(\text{Bi} + \text{Ag}) \leq 25\text{wt}\%$ 이고  $5\text{wt}\% \leq \text{Sb} \leq 20\text{wt}\%$ 의 조성으로 하면, 응력 완충판(8)을 사용함으로써 모든 평가 항목에서 판정 기준을 클리어하게 할 수 있다.

그러나, No.21, 23의 비교예와 같이 Sb량이 적으면 고상 온도가 262℃로 낮아서 260℃ 리플로우 시험에 견딜 수 없다. 또한, No.25의 비교예와 같이 Sb량이 많으면 고상과 액상 온도가 상승하여 접합 온도로 400℃ 이상이 필요하게 되어, 경도가 증가해 칩 균열이 발생하고 있다.

이상과 같이, 열팽창율이 반도체 칩(1)과 다이 패드(4)의 중간값(8~12ppm/K)의 응력 완충판(8)을 적용하여, Sn-Sb-Ag-Cu 합금 혹은 Bi-Ag-Sb 합금을 접합재(9, 10)로 이용함으로써, 납 프리 뿔납에 의해 소정의 신뢰성을 갖는 트랜지스터 패키지 제품(과워 반도체 패키지(126))을 제공할 수 있다.

도 6 및 도 7은 본 실시예의 변형예의 과워 반도체 패키지(반도체 장치)(34)를 도시하는 것으로서, Cu 합금제의 다이 패드(25)의 소자 탑재 영역 상에, 항복 강도 혹은 내력이 Cu 합금보다 낮은 연질성의 응력 완충 수단을 소정의 두께로 배치하는 것으로, 상기 응력 완충 수단으로서 재질적으로 유연한 Ag를 선택하고, 미리 Cu 합금제의 다이 패드(25) 상에 두께 20μm의 Ag 도금막(29)이 배치되어 있는 것이다.

Ag 도금막(29) 상에, 표층이 Ti/NiP/Ag 혹은 Ti/Ni/Ag 혹은 Ti/Ni/Cu/Ag로 이루어지는 이면(21b)측의 전극(24)을 갖는 반도체 칩(21)이 Bi-Ag-Sb 합금(30)으로 다이 본딩되어 있다. 반도체 칩(21)의 주면(21a)의 주전극(22) 및 제어 전극(23)과, 제1 리드(27) 및 제2 리드(28) 사이는, 본딩된 Al 와이어(32, 33)에 의해 각각 결선되어 있다. 제3 리드(26)는 다이 패드(25)와 일체로 연결되어 있다.

반도체 칩(21)과 Al 와이어(32, 33)와 Bi-Ag-Sb 합금(30)의 전체, 및 다이 패드(25), 제1 리드(27), 제3 리드(26) 및 제2 리드(28)의 각각 일부를 피복하도록 밀봉체(31)가 형성되어 있다.

본 실시예에 따르면, Cu 합금제의 다이 패드(25) 상에 유연한 Ag 도금막(29)을 두껍게 형성하고, 그 위에 반도체 칩(21)이 다이 본딩된 것으로서, Cu 합금제의 다이 패드(25) 상에 항복 강도 혹은 내력이 낮은 연결재의 Ag 도금막(29)을 형성한 구조인 것에 의해, Cu 합금의 다이 패드(25)와 Si의 반도체 칩(21) 사이에서 발생하는 열변형을 낮은 응력 상태에서 연결재의 Ag 도금막(29)이 소성 변형하며 흡수하기 때문에, 반도체 칩(21)에 높은 응력이 발생하는 일이 없게 된다.

그 결과, 다이 본딩 후의 냉각 과정이나 실장 프로세스 또는 온도 사이클 인가 시의 가열 냉각 과정에서, 반도체 칩(21)이 균열된다고 하는 문제를 없앨 수 있다.

또한, 다이 패드(25)와 반도체 칩(21) 사이에 생기는 열변형이 Ag 도금막(29)의 소성 변형에 의해 흡수되어, 반도체 칩(21)에 높은 응력이 가해지지 않기 때문에 칩 균열이 발생하지 않고, 또한 접합재로 Bi-Ag-Sb 합금(30)을 이용하고 있기 때문에, 환경 부하가 작은 트랜지스터 패키지 제품(파워 반도체 패키지(34))을 제공할 수 있다. 또한, Ag 도금막(29)이 미리 다이 패드(25) 상에 형성되어 있기 때문에, 트랜지스터 패키지(파워 반도체 패키지(34))의 조립을 종래와 완전히 동일한 방법으로 행할 수 있어, 특별한 설비 투자를 하는 일없이, 반도체 장치(제품)의 납 프리화를 도모할 수 있다.

다음으로, 도 8 및 도 9에 도시하는 변형예의 반도체 장치인 파워 반도체 패키지(48)는, Cu 합금제의 다이 패드(43)의 칩 탑재면에 미리 Fe-Ni 합금 혹은 Fe-Ni-Co 합금으로 이루어지는 저열팽창 부재(응력 완충 수단)(44)가 압연에 의해 매립되어 있고, 그 위에 Ni 도금막(45)이 형성되어 있다. 이면(41b)의 전극(42)이 형성된 반도체 칩(41)이, 주면(41a)을 위쪽으로 향한 상태로, 저열팽창 부재(44)가 매설된 위치에, Sn-Sb-Ag-Cu 합금으로 이루어지는 접합재(47)에 의해 다이 본딩되어 있다. 또한, 다이 패드(43)의 Ni 도금막(45)이 형성된 면과 반대측의 면에도 Ni 도금막(46)이 형성되어 있다.

변형예의 파워 반도체 패키지(48)에 의하면, 응력 완충 수단인 저열팽창 부재(44)가 미리 다이 패드(43)에 매립되어 있음과 함께, 그 표면에 Ni 도금막(45)이 형성되어 있기 때문에, 종래의 반도체 장치와 동일한 조립 공정으로 파워 반도체 패키지(48)를 조립할 수 있게 되고, 또한, 종래의 설비로 납 프리 뿔납의 반도체 장치를 조립할 수 있다. 또한, 조립 공정 수도 종래의 조립과 동일하여, 생산성이 우수한 파워 반도체 패키지(48)를 제공할 수 있다.

다음으로, 도 10 및 도 11에 도시하는 변형예의 반도체 장치인 파워 반도체 패키지(56)는 열변형을 완화하는 구조를 나타내고 있고, Cu 합금제의 다이 패드(53)의 소자 탑재 영역의 하부(내부)에, 프레스 가공, 또는 프레스 가공과 절단 가공을 복수회 행함으로써, 내포된 미세한 공극부(응력 완충 수단)(54)가 복수 형성되어 있는 것이다. 공극부(54)의 형성 에리어는 칩 사이즈보다 크게 되어 있고, 공극부(54)의 깊이는 0.2~0.4mm 정도이다. 또한, 공극부(54) 사이의 Cu 합금 부분의 두께는 0.2~0.5mm 정도로 형성되어 있다. 공극부(54)는, 우선, 프레스 가공 등에 의해 개구부를 갖는 슬릿을 형성하고, 그 후, 두번째의 프레스 가공에 의해 상기 개구부를 무너뜨려 막음으로써, 내포된 공극부(54)를 형성할 수 있다.

또한, 공극부(54)는, 도 11에 도시하는 바와 같이, 격자 형상으로 형성되어 있다. 격자 형상으로 형성된 공극부(54) 상의 Cu 합금의 다이 패드(53) 상에, 주면(51a)을 위쪽으로 향한 상태의 반도체 칩(51)이, Sn-Sb-Ag-Cu 합금 혹은 Bi-Ag-Sb 합금의 접합재(55)에 의해 다이 본딩되어 있다. 즉, 반도체 칩(51)의 이면(51b)의 전극(52)이 접합재(55)와 접합되어 있다.

변형예의 파워 반도체 패키지(56)에 의하면, 다이 패드(53)의 소자 탑재 영역의 하부에, 내포된 공극부(54)가 형성되어 있기 때문에, 이 공극부(54)에 의해서 반도체 칩(51)과 다이 패드(53) 사이의 열변형이 흡수되어, 반도체 칩(51)에 높은 열응력이 발생하지 않게 되기 때문에 칩 균열을 방지할 수 있다. 또한, 다이 패드(53)를 갖는 리드 프레임 부재에 특수한 재료를 부가하지 않기 때문에, 상기 리드 프레임 부재의 코스트를 낮게 억제할 수 있어, 저코스트로 납 프리 뿔납의 트랜지스터 패키지(파워 반도체 패키지(56))를 실현할 수 있다.

도 12 및 도 13에 각각 도시하는 변형예의 반도체 장치인 파워 반도체 패키지(69, 79)는 각각 반도체 칩(61, 71)을 탑재하는 다이 패드(63, 73)의 소자 탑재 영역에 개방형의 응력 완충 수단인 홈부(64, 74)를 형성하고, 이 홈부(64, 74)를 매립하고 또한 다이 패드(63, 73)의 소자 탑재 영역 상에 10 $\mu$ m 정도의 두께로 되도록, Ag 도금막(65, 75)을 형성한 것이다.

접합재(68)로 Sn-Sb-Ag-Cu 합금을 사용하는 도 12에 도시하는 파워 반도체 패키지(69)의 경우에는, Ag 도금막(65)을 형성한 다이 패드(63)의 표면에 Ni 도금막(66)을, 또한 그 반대측의 면에 Ni 도금막(67)을 형성하고 있다. 이는, Ag와 Sn계 뿔납에서는 Ag가 Sn계 뿔납에 녹아들어 Sn계 뿔납의 융점이 변화되기 때문에, 이를 방지할 목적으로 Ni 도금막(66, 67)을 형성하고 있다.

따라서, 파워 반도체 패키지(69)에서는, Cu 합금의 다이 패드(53) 상의 Ag 도금막(65) 상에 Ni 도금막(66)을 개재하여, 주면(61a)을 위쪽으로 향한 상태의 반도체 칩(61)이, Sn-Sb-Ag-Cu 합금의 접합재(68)에 의해 다이 본딩되어 있다. 즉, 반도체 칩(61)의 이면(61b)의 전극(62)이 접합재(68)와 접합되어 있다.

한편, 접합재(78)로 Bi-Ag-Sb 합금을 사용하는 도 13에 도시하는 파워 반도체 패키지(79)의 경우에는, Cu 합금의 다이 패드(73) 상에 직접 반도체 칩(71)이 다이 본딩되어 있다. 이는, Ni와 Bi-Ag-Sb 합금에서는 반응이 격심하여 Bi-Ag-Sb 합금의 특성이 변화되기 때문에, 이를 방지할 목적으로 Ni계의 도금막은 개재하지 않고서, Ag 도금막(75) 상에 직접 Bi-Ag-Sb 합금의 접합재(78)를 배치해서 반도체 칩(71)의 고착을 행하고 있다.

따라서, 파워 반도체 패키지(79)에서는, Cu 합금의 다이 패드(73) 상의 Ag 도금막(75) 상에, 주면(71a)을 위쪽으로 향한 상태의 반도체 칩(71)이, Bi-Ag-Sb 합금의 접합재(78)에 의해 직접 다이 본딩되어 있다. 즉, 반도체 칩(71)의 이면(71b)의 전극(72)이 접합재(78)와 접합되어 있다.

변형예의 파워 반도체 패키지(69, 79)에 의하면, 각각 다이 패드(63, 73)에 개방형의 홈부(64, 74)를 형성하고, 거기에 유연한 Ag 도금막(65, 75)을 형성하고 있기 때문에, 반도체 칩(61, 71)/Cu 합금의 다이 패드(63, 73) 사이의 큰 열변형을 흡수할 수 있는 구조로 되어 있고, 칩 사이즈가 큰 경우이어도 칩 균열을 방지할 수 있다. 또한, 도 10에 도시하는 내포형의 공극부(54)와 비교하여, 제조가 용이하여, 리드 프레임 부재의 생산 수율을 높일 수 있다.

다음으로, 도 14는 본 실시예의 Bi-Ag-Sb 합금계 접합재의 고상 및 액상 온도의 평가 결과를 나타내는 데이터이다. Sb량이, 3wt% 이하에서는 고상 온도가 270℃보다 낮지만, 5~20wt% 이상에서는 고상 온도를 270℃보다 높고, 액상 온도를 400℃ 이하로 할 수 있다는 것을 알 수 있다. 이 조성으로 트랜지스터 패키지(반도체 장치)의 실장 평가를 행한 결과, 고상 온도 270℃ 이상에서 260℃ 리플로우를 견디는 것을 확인할 수 있었다.

또한, 도 15는 본 실시예의 Sn-Sb-Ag-Cu 합금계 접합재의 고상 및 액상 온도의 평가 결과를 나타내는 것이다. (Ag+Cu)의 함유량이 16.4~19.5wt%일 때, Sb/(Sn+Sb)량을 41~54wt%로 하면, 고상 온도를 270℃ 이상, 액상 온도를 400℃ 이하로 할 수 있다는 것을 알 수 있다. 이 조성으로 트랜지스터 패키지(반도체 장치)의 실장 평가를 행한 결과, 고상 온도 270℃ 이상에서 260℃ 리플로우를 견디는 것을, Bi-Ag-Sb 합금계와 마찬가지로, 확인할 수 있었다.

도 17에 도시하는 변형예의 반도체 장치인 파워 반도체 패키지(140)는, 양면의 전극을 뿔납에 의해 접합하는 MOS(Metal Oxide Semiconductor) 타입의 트랜지스터 패키지에 본 발명을 적용한 예이다.

파워 반도체 패키지(140)의 구조에 대하여 설명하면, 반도체 칩(133)의 이면(133b)측(하측)의 전극(133d)은 다이 패드(131)와의 사이에 Cu/Fe-Ni 합금/Cu 적층판(두께비=1 : 1 : 1, 평균 열팽창률 10~11ppm/K)으로 이루어지는 응력 완충 수단인 응력 완충판(134)이 삽입되고, 그 상하의 접합 개소가 Sn-35Sb-11Ag-9Cu 뿔납(135, 136)에 의해 접합되어 있다. 한편, 주면(133a)측(회로측)의 전극(133c)은 Al 패드 상에 Cr/Ni의 메탈라이즈 혹은 Al 패드 상에 진케이트(zincate) 처리 후 Ni 도금이 실시되고, 각각의 외부 접속 단자용의 리드(132)에 다이 본딩과 동일한 Sn-35Sb-11Ag-9Cu 뿔납(137, 138)에 의해 접합되어 있다.

리드(132)는, 응력 완충판(134)과 마찬가지로의 저열팽창에 의해 전기 전도성이 좋은 Cu/Fe-Ni 합금/Cu 적층판으로 구성 되어 있다. 다이 본딩까지의 조립 프로세스는 도 4에 도시하는 조립 공정과 동일하다. 주면(133a)측의 전극(133c)의 접합은 360~380℃의 다이 본딩 후에 300℃ 이하로 냉각되고, 그 상태에서 전극(133c) 상에 페이스트상의 뿔납을 공급하고, 또한 복수의 리드(132)가 일체화된 리드 프레임 부재를 위치 정렬하여 배치하고, 상기 리드 프레임 부재의 상측에서부터 히트 블록을 내리눌러서 복수의 반도체 칩(133)을 일괄하여 접합하고 있다. 마지막으로, 트랜스퍼 몰드에 의해 수지 밀봉을 행하여 밀봉체(139)를 형성하고, 그 후, 다이 패드(131)와 리드(132)를 각각 상기 리드 프레임 부재로부터 절단하여, 파워 반도체 패키지(140)의 완성으로 된다.

도 17에 도시하는 변형예의 파워 반도체 패키지(140)에 의하면, 패키지 내부의 모든 접속부를 납 프리 뿔납에 의해 접합하고 있기 때문에, 환경에 악영향을 끼치지 않는 트랜지스터 패키지를 제공할 수 있고, 더욱이 소스 전극(전극(133c))과 리드(132)를 넓은 면적에서 Sn-35Sb-11Ag-9Cu 뿔납(137)에 의해 접합하고 있기 때문에, 접속부의 전기 저항(온 저항)이 작아서 저손실의 패키지를 제공할 수 있다. 또한, Al 와이어 본딩과 비교하여, 칩 상부의 두께 치수를 얇게 할 수 있어, 리드(132)의 본딩 에리어를 생략할 수 있고, 그 결과, 패키지 치수를 작게 할 수 있다.

도 18 및 도 19에 도시하는 변형예의 반도체 장치는, 리드 프레임 부재를 사용하여 조립하는 멀티칩 패키지(151)에 본 발명을 적용한 것이다.

멀티칩 패키지(151)의 구조에 대하여 설명하면, 복수의 외부 접속용 단자인 리드(144)와, 복수의 다이 패드(141, 142, 143)로 이루어지는 상기 리드 프레임 부재로부터 조립할 수 있고, 각 다이 패드에 각각 1개의 반도체 칩(146)이 다이 본딩되어 있다. 즉, 복수의 반도체 칩(146)이 내장된 반도체 장치이다.

각 다이 패드와 반도체 칩(146) 사이에는 응력 완충 수단인 저열팽창의 응력 완충판(147)이 삽입되어 있고, Sn-Sb-Ag-Cu 뿔납(148, 149)에 의해 접합되어 있다. 반도체 칩(146)의 주면(146a)측(회로면측)의 전극(146c)과, 리드(144) 혹은 전기적 접속이 필요한 다이 패드가 Al 와이어(150)에 의한 와이어 본딩에 의해서 접속되어 있다. 또한, 이면(146b)의 전극(146d)은, Sn-Sb-Ag-Cu 뿔납(148)과 응력 완충판(147)과 Sn-Sb-Ag-Cu 뿔납(149)을 개재하여 다이 패드와 접속되어 있다. 또한, 각 반도체 칩(146)과 Al 와이어(150)와 뿔납과, 리드(144) 및 다이 패드의 일부가, 밀봉용 수지로 형성된 밀봉체(145)에 의해 밀봉되어 있다.

도 18 및 도 19에 도시하는 변형예의 멀티칩 패키지(151)에 의하면, 복수의 반도체 칩(146)으로 구성된 고기능이고 또한 납 프리 뿔납의 반도체 패키지를 제공할 수 있고, 또한 다이 본딩을 금속 접합으로 행하고 있기 때문에, 환경에 우수하며 파워 사이클이나 온도 사이클 신뢰성을 높게 할 수 있다. 또한, 고용점 뿔납을 사용하고 있기 때문에, 고온 신뢰성도 우수하다고 하는 이점이 있다.

이상, 본 발명자에 의해 이루어진 발명을 발명의 실시예에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 발명의 실시예에 한정되는 것이 아니라, 그 요지를 일탈하지 않는 범위에서 여러 가지 변경 가능한 것은 말할 필요도 없다.

예를 들면, 상기 실시예에서는, 반도체 장치가 트랜지스터 패키지(파워 반도체 패키지)인 경우를 주로 설명하였지만, 상기 반도체 장치는 트랜지스터 패키지에 한정되지 않는다.

본 발명은 반도체 장치 및 반도체 제조 기술에 적합하다.

### 발명의 효과

본원에 개시되는 발명 중, 대표적인 것에 의해서 얻어지는 효과를 간단히 설명하면, 이하와 같다.

다이 본딩에서 칩 균열을 방지하면서, 납 프리 뿔납의 적용을 실현할 수 있다.

### 도면의 간단한 설명

도 1은 본 발명의 실시예의 반도체 장치의 내부 구조의 일례를, 밀봉체를 투과하여 도시하는 평면도.

도 2는 도 1에 도시하는 A-A선을 따라 절단한 단면의 구조를 도시하는 단면도.

도 3은 본 발명의 실시예의 반도체 장치의 조립에 이용되는 리드 프레임의 구조의 일례를 도시하는 도면으로서, (a)는 부분 평면도, (b)는 (a)의 A-A선을 따라 절단한 단면의 구조를 도시하는 부분 단면도.

도 4는 본 발명의 실시예의 반도체 장치의 조립 수순의 일례를 도시하는 제조 프로세스 플로우도.

도 5는 본 발명의 실시예의 반도체 장치에 내장되는 응력 완충판과 뿔납을 파라미터로 한 반도체 장치의 평가 결과의 일례를 나타내는 결과 데이터도.

도 6은 본 발명의 실시예의 반도체 장치의 변형예인 트랜지스터의 내부 구조를, 밀봉체를 투과하여 도시하는 평면도.

도 7은 도 6에 도시하는 A-A선을 따라 절단한 단면의 구조를 도시하는 단면도.

도 8은 본 발명의 실시예의 변형예의 반도체 장치의 구조를 도시하는 부분 단면도.

도 9는 도 8에 도시하는 반도체 장치의 구조를 도시하는 평면도.

도 10은 본 발명의 실시예의 변형예의 반도체 장치의 구조를 도시하는 부분 단면도.

도 11은 도 10에 도시하는 A-A선을 따라 절단한 단면의 구조를 도시하는 단면도.

도 12는 본 발명의 실시예의 변형예의 반도체 장치의 구조를 도시하는 부분 단면도.

도 13은 본 발명의 실시예의 변형예의 반도체 장치의 구조를 도시하는 부분 단면도.

도 14는 본 발명의 실시예의 반도체 장치에 이용되는 Bi-Ag-Sb계 합금의 고상·액상 온도의 평가 결과의 일례를 나타내는 데이터도.

도 15는 본 발명의 실시예의 반도체 장치에 이용되는 Sn-Sb-Ag-Cu계 합금의 고상·액상 온도의 평가 결과의 일례를 나타내는 결과도.

도 16은 본 발명의 실시예의 반도체 장치에 이용되는 Bi-Ag계 합금의 2원 상태도의 일례를 도시하는 상태도.

도 17은 본 발명의 실시예의 반도체 장치의 변형예인 트랜지스터의 구조를 도시하는 단면도.

도 18은 본 발명의 실시예의 변형예의 반도체 장치의 이면측의 구조를 도시하는 이면도.

도 19는 도 18에 도시하는 B-B선을 따라 절단한 단면의 구조를 도시하는 단면도.

<도면의 주요 부분에 대한 부호의 설명>

1, 21, 41, 51, 61, 71, 117, 133, 146 : 반도체 칩(반도체 소자)

1a, 21a, 41a, 51a, 61a, 71a, 117a, 133a, 146a : 주면

1b, 21b, 41b, 51b, 61b, 71b, 117b, 133b, 146b : 이면

2, 22 : 주전극

3, 23 : 제어 전극

4, 25, 43, 53, 63, 73, 101, 131, 141, 142, 143 : 다이 패드

5, 26 : 제3 리드

6, 27 : 제1 리드

7, 28 : 제2 리드

8, 109, 134, 147 : 응력 완충판(응력 완충 수단)

9, 10, 47, 55, 68, 78 : 접합재

11, 31, 125, 139, 145 : 밀봉체

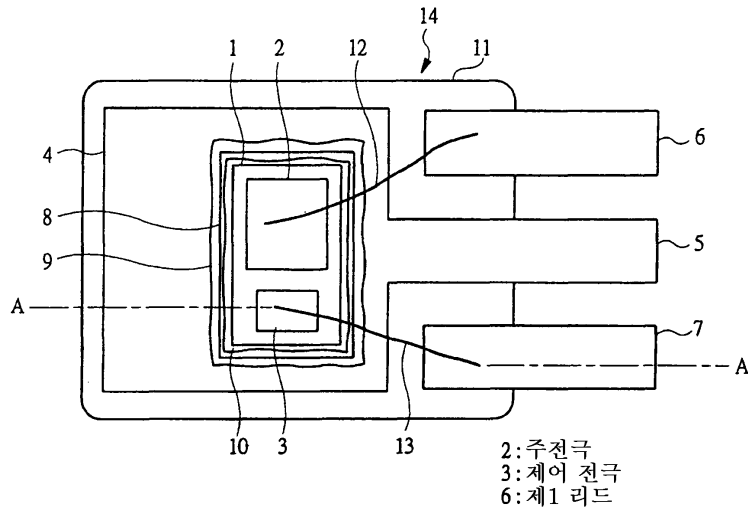
12, 13, 32, 33, 121, 122, 150 : Al 와이어

14, 34, 48, 56, 69, 79, 126, 140 : 파워 반도체 패키지(반도체 장치)

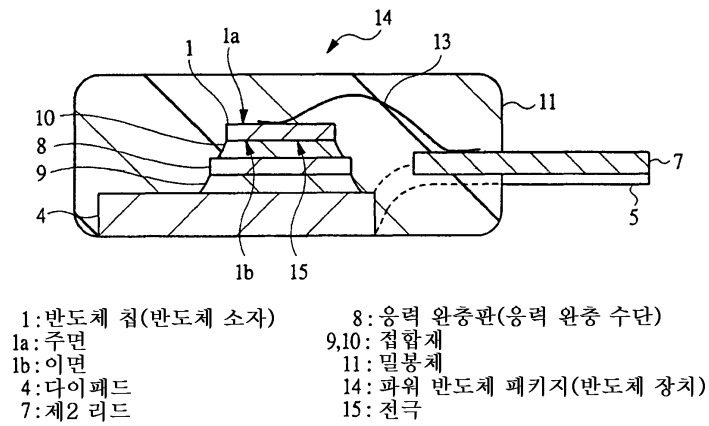
- 15, 24, 42, 52, 62, 72 : 전극
- 29 : Ag 도금막(응력 완충 수단)
- 30 : Bi-Ag-Sb 합금(접합재)
- 44 : 저열팽창 부재(응력 완충 수단)
- 45, 46, 66, 67 : Ni 도금막
- 54 : 공극부(응력 완충 수단)
- 64, 74 : 홈부(응력 완충 수단)
- 65, 75 : Ag 도금막
- 100 : 리드 프레임
- 102, 132, 144 : 리드
- 103, 104 : 현수 리드
- 105 : 프레임부
- 106, 114 : 디스펜서
- 107, 115 : 뿔납 페이스트
- 108, 116 : 용융 뿔납
- 110, 118 : 콜릿
- 111 : 흡인
- 112, 119 : 스크립
- 113, 120 : 뿔납 접합
- 123 : 본딩 틀
- 124 : 초음파 진동
- 133c, 133d : 전극
- 135, 136, 137, 138 : Sn-35Sb-11Ag-9Cu 뿔납
- 146c, 146d : 전극
- 148, 149 : Sn-Sb-Ag-Cu 뿔납
- 151 : 멀티칩 패키지(반도체 장치)

도면

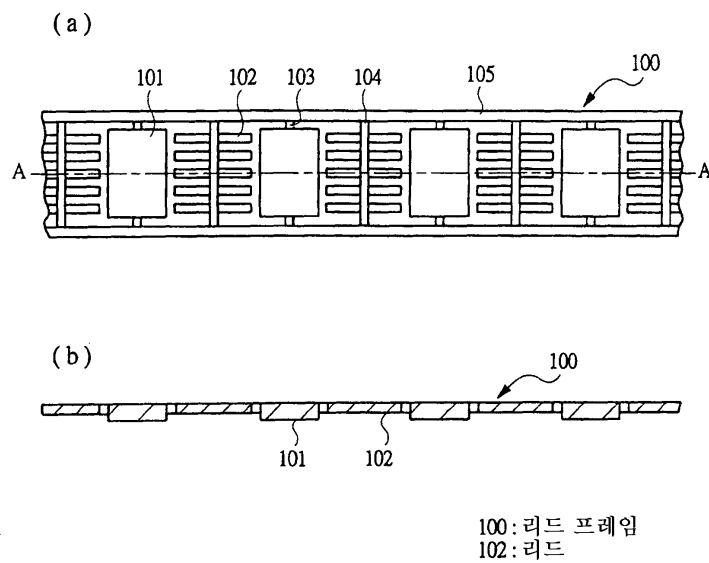
도면1



도면2

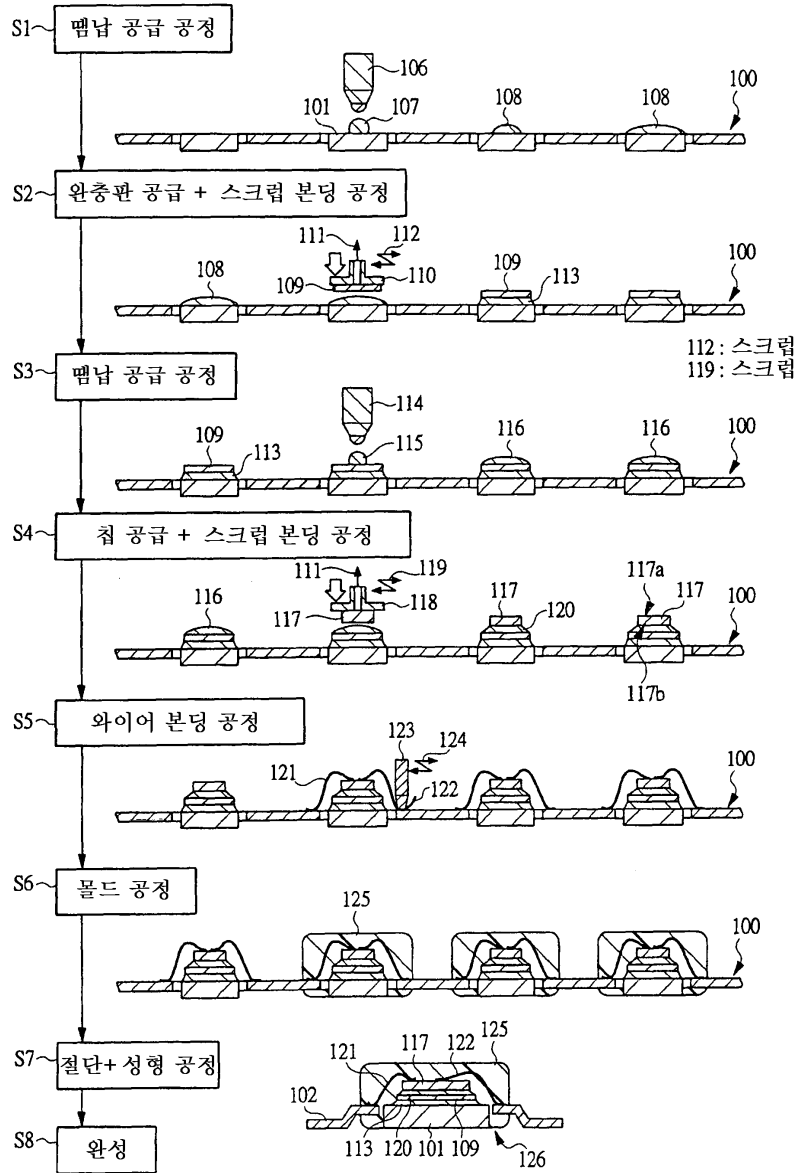


도면3





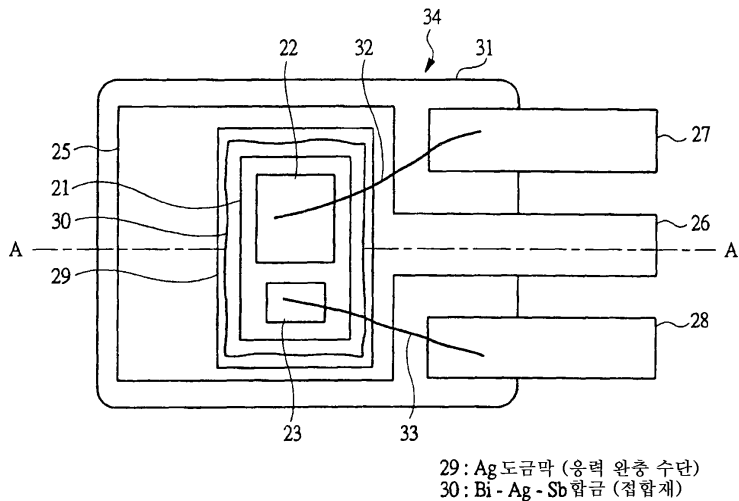
도면4



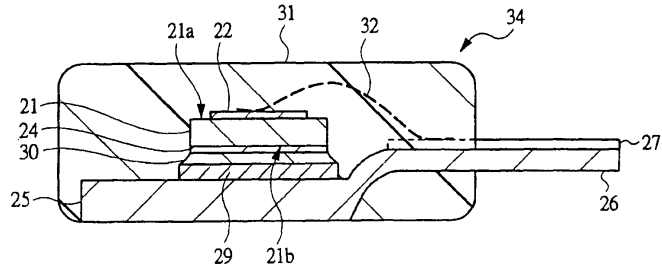
도면5

No.	접합 재료 (No.1~15:실시예)	응력 완충판 /판 두께(mm)	접합 온도	침 균열	260℃ 리플로우	온도 사이클	종합 판정
1	Sn-33Sb-15Ag-10Cu	CIC(1:1:1)/0.2t	360	무	○	>1000	○
2	Sn-36Sb-15Ag-10Cu	↑	360	무	○	>1000	○
3	Sn-37Sb-8Ag-7Cu	↑	360	무	○	>1000	○
4	Sn-40Sb-10Ag-5Cu	↑	380	무	○	>1000	○
5	Sn-35Sb-15Ag-10Cu	CIC(1:1:1)/0.5t	360	무	○	>1000	○
6	Sn-35Sb-15Ag-10Cu	CIC(1:2:1)/0.1t	360	무	○	>1000	○
7	Sn-35Sb-15Ag-10Cu	LCOP50/0.2t	360	무	○	>1000	○
8	Bi-5Ag-5Sb	CIC(1:1:1)/0.2t	320	무	○	>1000	○
9	Bi-20Ag-5Sb	↑	360	무	○	>1000	○
10	Bi-25Ag-5Sb	↑	380	무	○	>1000	○
11	Bi-10Ag-10Sb	↑	350	무	○	>1000	○
12	Bi-10Ag-20Sb	↑	360	무	○	>1000	○
13	Bi-10Ag-5Sb	CIC(1:2:1)/0.1t	350	무	○	>1000	○
14	Bi-10Ag-5Sb	LCOP50/0.2t	350	무	○	>1000	○
15	Bi-10Ag-5Sb	CI혼합재/0.2t	350	무	○	>1000	○
비교예 (No.16~25)							
16	Sn-45Sb-15Ag-10Cu	CIC(1:1:1)/0.2t	>400	×	—	—	×
17	Sn-20Sb-25Ag	CIC(1:1:1)/0.2t	>400	무	×	—	×
18	Sn-40Sb-20Ag	CIC(1:1:1)/0.2t	>400	×	—	—	×
19	Sn-33Sb-15Ag-10Cu	무	360	×	—	—	×
20	Sn-33Sb-15Ag-10Cu	CIC(1:3:1)/0.2t	360	무	×※1)	—	×
21	Bi-20Ag	CIC(1:1:1)/0.2t	380	무	×	—	×
22	Bi-20Ag	무	380	무	×	—	×
23	Bi-10Ag-3Sb	CIC(1:1:1)/0.2t	330	무	×	—	×
24	Bi-10Ag-10Sb	무	350	△	○	—	×
25	Bi-10Ag-30Sb	CIC(1:1:1)/0.2t	>400	×	—	—	×
주	<ul style="list-style-type: none"> <li>• CIC : Cu/Fe-Ni합금/Cu의3층판</li> <li>• LCOPX : Cu-Cu<sub>2</sub>O(Xvol%)복합재</li> <li>• 온도 사이클 : (cycle), 조건 : -55/150℃</li> <li>• 접합 온도 : (℃)</li> <li>• ×※1) : 다이페드/완충판 사이에서 박리</li> </ul>						

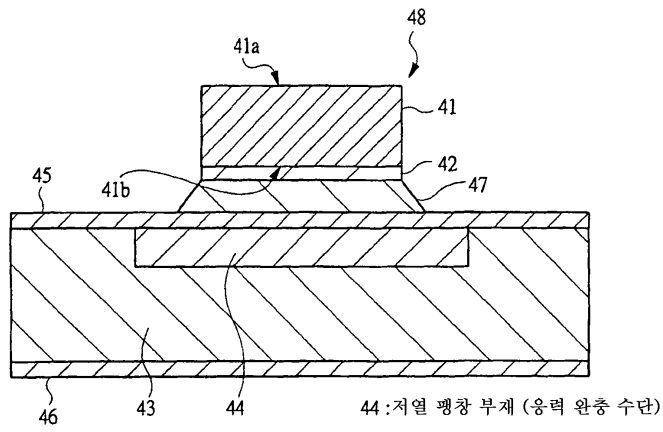
도면6



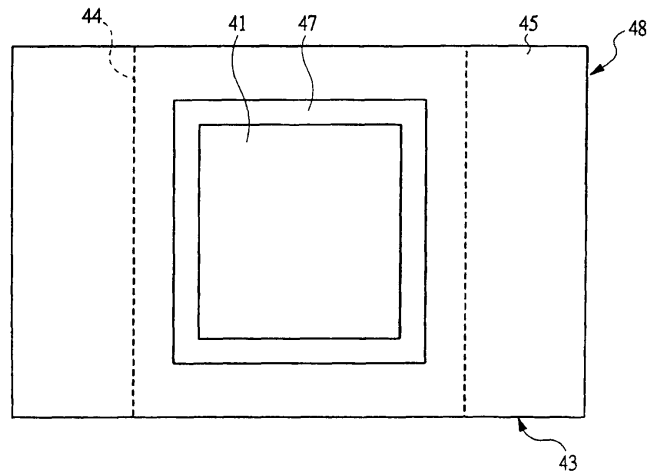
도면7



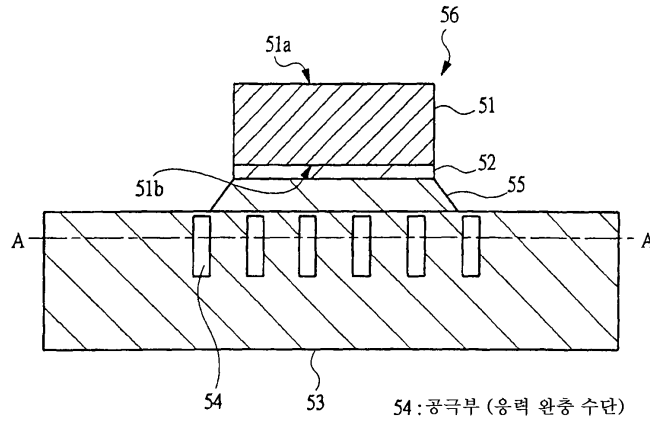
도면8



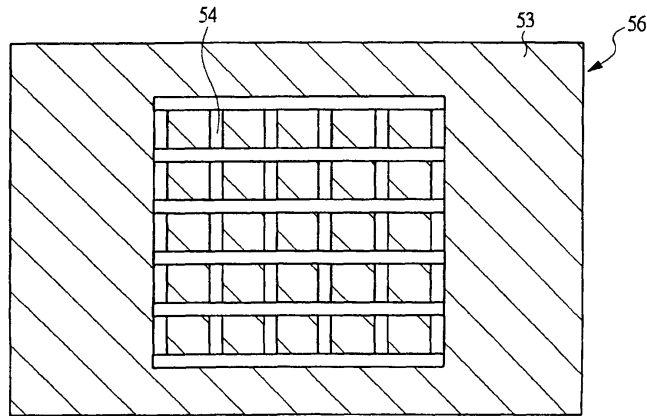
도면9



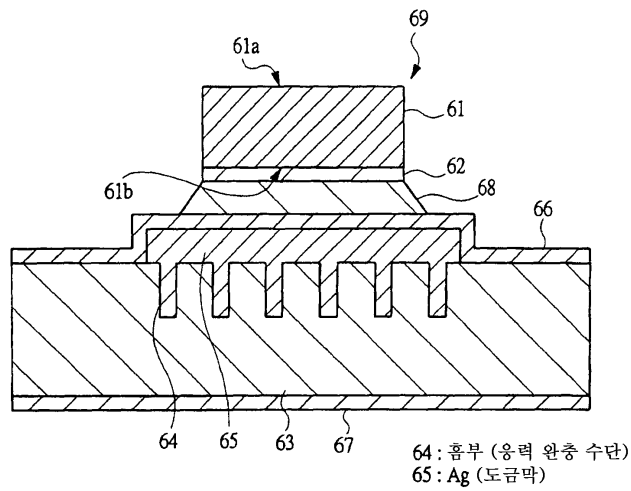
도면10



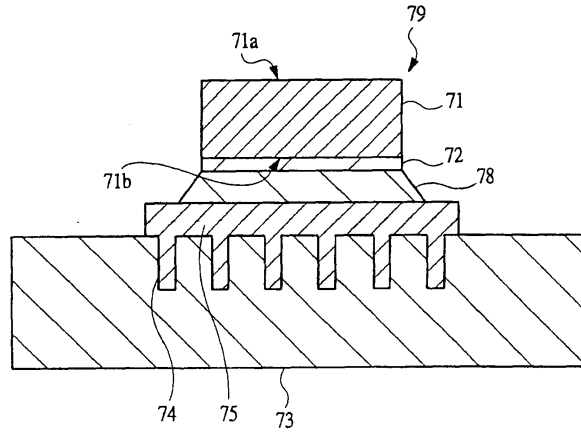
도면11



도면12



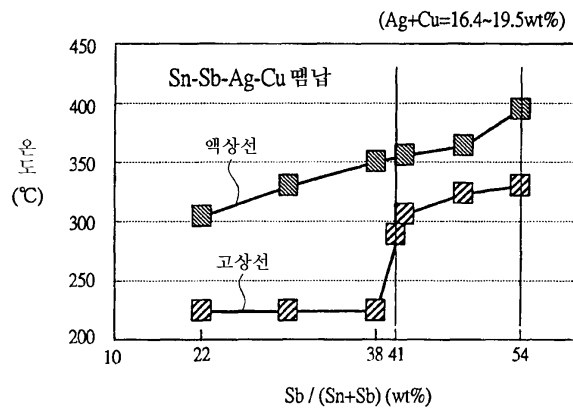
도면13



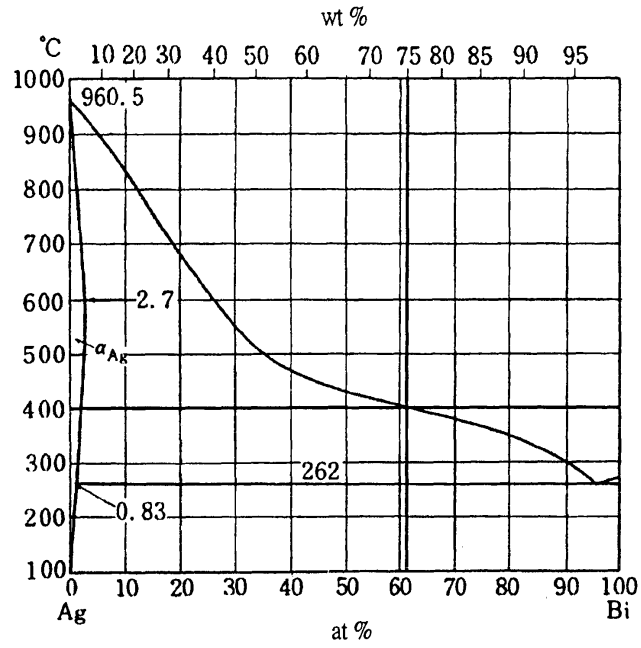
도면14

No.	조성 (wt%)			용점 (°C)	
	Bi	Ag	Sb	고상	액상
비교예 A	76.0	24.0	0.0	262	400
비교예 B	90.0	10.0	0.0	262	350
비교예 C	80.3	9.7	3.0	265	358
실시예 A	80.5	9.5	5.0	270	363
실시예 B	81.0	9.0	10.0	280	375
실시예 C	72.0	8.0	20.0	300	400

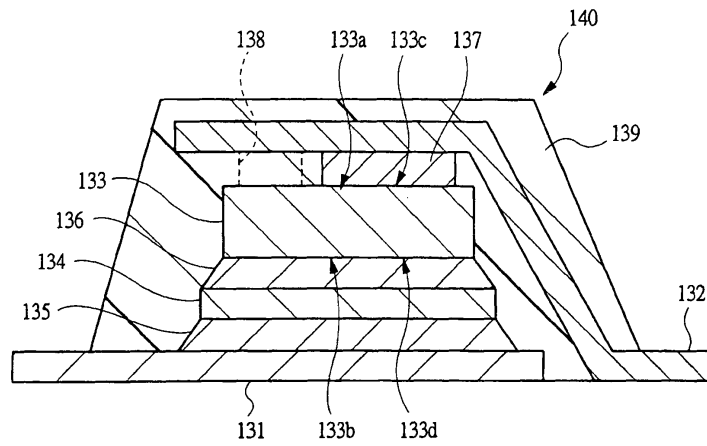
도면15



도면16

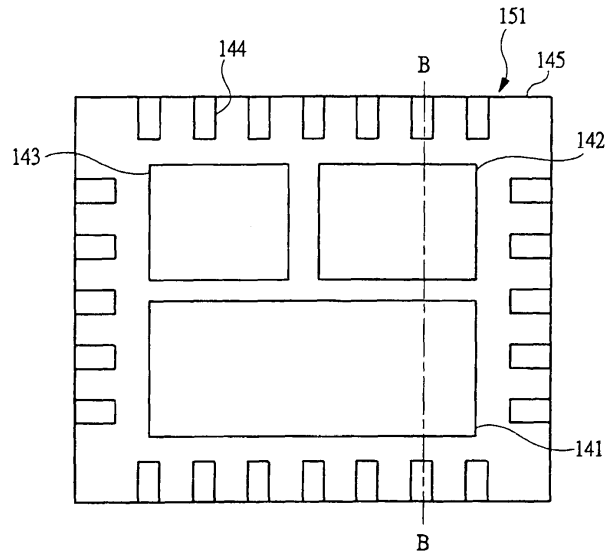


도면17



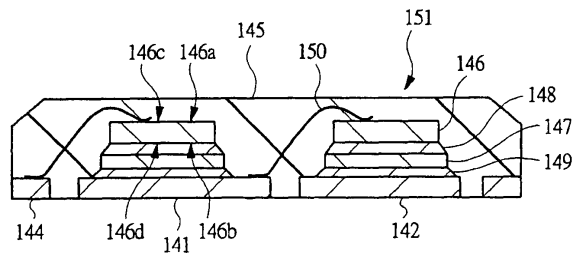
135 : Sn - 35Sb - 11Ag - 9Cu 뿔납

도면18



151 : 멀티 칩 패키지 (반도체 장치)

도면19



148,149 : Sn - Sb - Ag - Cu 뿔납