



(12) 发明专利

(10) 授权公告号 CN 102054092 B

(45) 授权公告日 2014. 08. 20

(21) 申请号 201010522510. 7

US 2006/0075371 A1, 2006. 04. 06,

(22) 申请日 2010. 10. 26

US 6178533 B1, 2001. 01. 23,

CN 1692311 A, 2005. 11. 02,

(30) 优先权数据

61/255, 738 2009. 10. 28 US

61/360, 404 2010. 06. 30 US

审查员 张乾桢

(73) 专利权人 ASML 荷兰有限公司

地址 荷兰维德霍温

(72) 发明人 刘华玉

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 王波波

(51) Int. Cl.

G03F 1/36 (2012. 01)

G03F 7/20 (2006. 01)

(56) 对比文件

US 2007/0050749 A1, 2007. 03. 01,

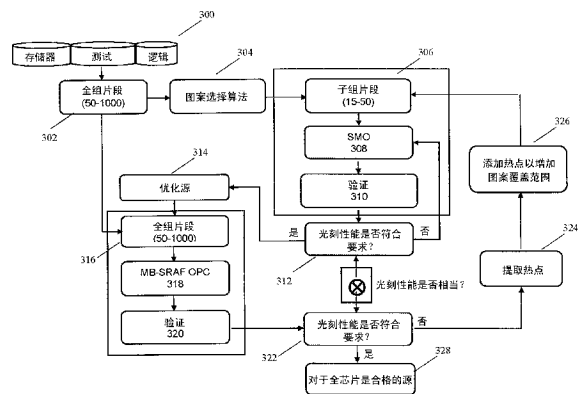
权利要求书2页 说明书14页 附图20页

(54) 发明名称

对于全芯片源的图案选择和掩模优化

(57) 摘要

本发明涉及对于全芯片源的图案选择和掩模优化的光刻设备和过程, 尤其涉及用于优化在光刻设备和过程中使用的照射源和掩模的工具。根据特定的方面, 本发明使得能够覆盖全芯片图案, 同时通过从在源和掩模优化中使用的全组片段智慧地选出小组的临界设计图案来降低计算成本。优化步骤仅在这些选出的图案上执行, 以获得优化的源。优化的源之后用于优化全芯片的掩模 (例如使用 OPC 和可制造性验证), 过程窗口性能结果被比较。所述结果与传统的全芯片 SMO 是不相上下的, 那么该过程结束, 否则提供各种方法用于使之以迭代的方式收敛到令人满意的结果。



1. 一种用于优化光刻过程的方法,所述光刻过程用于使设计的一部分在衬底上成像,所述方法包括以下步骤:

从所述设计的所述部分中选出子组图案;

优化用于使所述选出的子组图案成像的光刻过程的照射源;和

使用所述优化的照射源来优化在所述光刻过程中被成像的所述设计的所述部分;

确定对于所述优化的子组图案的光刻过程性能度量是否是可接受的;和

如果所确定的度量是不可接受的,那么增加具有可能的热点的片段至所述子组图案且重复所述优化步骤。

2. 根据权利要求 1 所述的方法,其中所述设计的所述部分包括全芯片。

3. 根据权利要求 1 所述的方法,其中所述设计的所述部分包括片段,其中所述选出子组图案的步骤包括以下步骤:

从所述设计识别出全组片段;

从所述全组片段选出子组片段;

其中所述优化照射源的步骤包括:优化用于使所述选出的子组片段成像的光刻过程的照射源;和

其中所述使用优化的照射源的步骤包括:使用所述优化的照射源来优化在光刻过程中成像的所述全组片段。

4. 根据权利要求 1、2 或 3 所述的方法,其中所述选出子组图案的步骤包括以下步骤:

为所述设计的所述部分中的图案计算衍射级分布;

基于所计算的衍射级分布将所述图案分成多个类;和

从每一类中选出一个或更多个代表性图案作为所述子组图案。

5. 根据权利要求 1、2 或 3 所述的方法,其中所述选出子组图案的步骤包括以下步骤:

在所述设计的所述部分中识别出一个或更多个存储器图案;

针对所述一个或更多个存储器图案预先优化所述照射源;

使用所述预先优化的照射源来确定在所述设计的所述部分中的可能的热点;和

基于所确定的可能的热点选出所述子组图案。

6. 根据权利要求 1、2 或 3 所述的方法,其中所述选出子组图案的步骤包括以下步骤:

识别出用于所述光刻过程的原始照射源;

使用所述原始照射源来确定在所述设计的所述部分中的可能的热点;和

基于所确定的可能的热点选出所述子组图案。

7. 根据权利要求 5 所述的方法,其中所述方法还包括以下步骤:

针对热点计算严重度分数;和

选出具有预定的严重度分数的热点或具有在预定的严重度分数范围内的严重度分数的热点。

8. 根据权利要求 1、2 或 3 所述的方法,其中所述选出子组图案的步骤包括以下步骤:

通过设计类型将所述设计的所述部分中的图案分成多个类;

通过节距和特征类型对每一类中的图案进行挑选,以确定每一类中的优化图案;和

选择出每一类中的所述优化图案作为所述子组图案。

9. 根据权利要求 1、2 或 3 所述的方法,其中所述选出子组图案的步骤包括:

识别所述光刻过程的模拟模型；

使用所述模型来针对所述设计的所述部分中的图案估计过程参数敏感度；和

基于所估计出的过程参数敏感度选出所述子组图案。

10. 根据权利要求 1 所述的方法，其中所述优化所述照射源的步骤包括：使用所述光刻过程的模型、所述照射源和所述子组图案来模拟光刻过程性能，以确定所述性能是否是可接受的。

11. 根据权利要求 1 所述的方法，其中所述优化所述设计的所述部分的步骤包括：基于所述优化的照射源在特定的图案上执行光学邻近效应校正。

12. 一种光刻设备，所述光刻设备包括：

照射系统，被配置以提供辐射束；

支撑结构，被配置以支撑图案形成装置，所述图案形成装置用于将图案在所述辐射束的横截面中赋予所述辐射束；

衬底台，被配置以保持衬底；和

投影系统，用于将所述图案化的辐射束投影到所述衬底的目标部分上；

其中所述光刻设备还包括处理器，所述处理器用于配置所述照射系统以根据权利要求 1 至 11 中任一项所述的用于优化光刻过程的方法来产生优化的照射源。

13. 一种用于赋予来自光刻设备的照射系统的辐射束以图案的图案形成装置，所述光刻设备被配置成经由投影系统将该被赋予图案的辐射束投影到衬底的目标部分上，其中所述图案形成装置包括设计的优化的部分，其中所述设计的所述优化的部分被根据权利要求 1 至 11 中任一项所述的用于优化光刻过程的方法来确定。

对于全芯片源的图案选择和掩模优化

技术领域

[0001] 本发明涉及光刻设备和过程,尤其涉及优化用在光刻设备和过程中的照射源和掩模的方法。

背景技术

[0002] 可以将光刻设备用在例如集成电路(IC)的制造中。在这种情形中,掩模可以包含对应于IC的单个层的电路图案,这一图案可以被成像到已经涂覆了辐射敏感材料(抗蚀剂)层的衬底(硅晶片)的目标部分(例如包括一个或更多的管芯)上。通常,单个晶片将包含被经由投影系统连续地(一次一个地)辐射的相邻目标部分的整个网络。在一种类型的光刻投影设备中,每一目标部分通过一次将整个掩模图案曝光到目标部分上而被辐射;这样的设备通常称作为晶片步进机。在一种可替代的设备(通常称为步进扫描设备)中,通过投影束沿给定的参考方向(“扫描”方向)渐进地扫描掩模图案、同时沿与该方向平行或反向平行的方向同步扫描衬底台,来辐射每一目标部分。因为通常投影系统的放大率因子为 M (通常 < 1),衬底台被扫描的速度 V 将是掩模台被扫描的速度的 M 倍。关于在此处描述的光刻装置的更多的信息可以例如参见美国专利 No. 6, 046, 792,在此处通过参考将其并入本文中。

[0003] 在使用光刻投影设备的制造过程中,掩模图案成像到至少部分地被辐射敏感材料(抗蚀剂)层覆盖的衬底上。在这一成像步骤之前,衬底可能经历各种程序,诸如涂底、抗蚀剂涂敷以及软焙烤。在曝光之后,衬底可能经历多种工序,诸如涂底(priming)、抗蚀剂涂覆和软焙烤。在曝光后,衬底可以经历其它的工序,例如曝光后焙烤(PEB)、显影、硬焙烤以及对所成像的特征的测量/检验。这一系列的工序被用作为使器件(例如IC)的单个层形成图案的基础。这样的图案化的层之后可能经历各种过程,诸如蚀刻、离子注入(掺杂)、金属化、氧化、化学机械抛光等,所有的这些工序都是用于最终完成单个层。如果需要多个层,那么整个工序或其变形将不得不对于每一新层重复采用。最终,一系列器件将设置在衬底(晶片)上。之后通过诸如切片或锯片等技术,将这些器件彼此分开,据此独立的器件可以安装在载体上,连接至引脚等。

[0004] 为了简便起见,投影系统在本申请中可以被称为“透镜”,然而这一术语应当广义地解释成包括各种类型的投影系统,例如包括折射式光学装置、反射式光学装置以及折射反射式系统。辐射系统还可以包括根据用于引导、成形或控制投影辐射束的这些设计类型中的任一种进行操作的部件,这样的部件还可以在下文中被统称或单独称为“透镜”。另外,光刻设备可以是具有两个或更多的衬底台(和/或两个或更多的掩模台)的类型。在这样的“多台”装置中,可以并行地使用额外的台,或可以在一个或更多的台上执行预备步骤的同时,将一个或更多的其它台用于曝光。例如在美国专利 No. 5, 969, 441 中描述了双台式光刻设备,通过参考将其并入本文中。

[0005] 参考上文的光刻掩模包括对应于将被集成到硅晶片上的电路部件的几何图案。用于产生这样的掩模的图案通过使用CAD(计算机辅助设计)程序来形成,这一过程通常被称

为 EDA (电子设计自动化)。大多数 CAD 程序遵循一组预定的设计规则,以便形成功能化掩模。这些规则通过处理和设计限制来设定。例如,设计规则限制了电路器件(诸如门、电容器等)之间或互连线之间的间隔的容许度,以便确保电路器件或线不会以不期望的方式相互作用。设计规则限制典型地被称为“临界尺寸”(CD)。电路的临界尺寸可以被定义为线或孔的最小宽度或两个线或两个孔之间的最小间隔。因此,CD 确定了设计电路的整体尺寸和密度。当然,集成电路制造中的一个目标是在晶片上(经由掩模)忠实地复现原始电路设计。

[0006] 注意到,微光刻术是半导体集成电路的制造中的核心步骤,在此处在半导体晶片衬底上形成的图案限制了半导体器件的功能元件,诸如微处理器、储存芯片等。类似的光刻技术也用于形成平板显示器、微机电系统 (MEMS) 以及其它器件。

[0007] 随着半导体制造工艺不断发展,电路元件的尺寸被不断地降低,同时每一器件的功能元件(诸如晶体管)的数量在数十年来一直遵循通常称为“摩尔定律”的趋势而稳步地增涨。在现在情形的技术下,通过使用被称为扫描器的光学光刻投影系统来制造前沿器件的关键层,该扫描器使用来自深紫外激光器光源的照射将掩模图像投影到衬底上,从而产生具有充分地低于 100nm 的尺寸的独立的电路特征,即该电路特征的尺寸小于投影光波长的一半。

[0008] 印刷具有小于光学投影系统的典型的分辨率限制的尺寸的特征的过程,通常被称为低 k_1 光刻术,其基于分辨率公式 $CD = k_1 \times \lambda / NA$,其中 λ 是采用的辐射波长(当前在大多数情形中是 248nm 或 193nm),NA 是投影光学装置的数值孔径,CD 是“临界尺寸”(通常是印刷的最小特征尺寸),以及 k_1 是经验分辨率因子。通常, k_1 越小,在晶片上复现图案,像由电路设计者为获得特定的电功能和性能而设计的形状和尺寸,变得越困难。为了克服这些困难,复杂的精细调节步骤被应用于投影系统以及掩模设计。这些例如包括但不限于 NA 和光学相干性设定的优化、定制的照射方案、相移掩模的使用、在掩模布局上的光刻邻近效应校正或通常被定义成“分辨率增强技术 (RET)”的其它方法。

[0009] 作为一个重要的例子,光学邻近效应校正 (OPC,有时也称为“光学和过程校正”)解决了晶片上的印刷特征的最终尺寸和定位不仅仅是掩模上的对应特征的尺寸和定位的函数的问题。注意到,术语“掩模”和“掩模版”在此处是可以相互通用的。对于在典型的电路设计上出现的小的特征尺寸和高的特征密度,给定特征的特定边缘的位置在一定程度上将受其它邻近特征的存在或不存在的影响。这些邻近效应由于光从一个特征耦合至另一特征的微小量的光而产生。类似地,邻近效应可以由在通常在光刻曝光之后的曝光后烘烤 (PEB)、抗蚀剂显影和蚀刻期间的扩散和其它化学效应产生。

[0010] 为了确保特征根据给定的目标电路设计的需要在半导体衬底上产生,可能需要使用复杂的数值模型来预测邻近效应,和需要在成功地制造高端器件之前将校正或预变形施加至掩模设计。文章“Full-ChipLithography Simulation and Design Analysis-How OPC Is Changing ICDesign”, C. Spence, Proc. SPIE, Vol. 5751, pp 1-14 (2005) 提供了当前的“基于模型的”光学邻近效应校正过程的概述。在典型的高端设计中,几乎每一特征边缘都需要一些修改,用以实现足够接近目标设计的印刷图案。这些修改可以包括边缘位置或线宽的位移或偏置以及“辅助”特征的应用,所述“辅助”特征不是要印刷它们自己,但是将影响相关的主要特征的性质。

[0011] 假定典型地在芯片设计中设置有数百万个特征的话,则将基于模型的 OPC 应用至目标设计,需要好的过程模型和相当大量的计算资源。然而,应用 OPC 通常不是“精确的科学”,而是不会总是解决布局上的所有可能的缺点的经验性的迭代过程。因此,后 OPC 设计(即在通过 OPC 应用了所有的图案修改和任何其它的分辨率增强技术(RET)之后的掩模布局),需要通过设计检查进行验证,即,使用经过校准的数值过程模型的透彻的全芯片模拟,用以最小化设计缺陷被引入掩模组的制造中的可能性。这是由在数百万美元的范围内运行的制造高端掩模组的巨大成本驱动的,以及由如果已经制造了实际掩模而重新加工或重新修复它们对周转时间的影响所驱动。

[0012] OPC 和全芯片 RET 验证都可以基于如例如在美国专利 No. 7, 003, 758 和文章题目为“Optimized Hardware and Software For Fast, Full Chip Simulation”, by Y. Cao et al., Proc. SPIE, Vol. 5754, 405(2005) 中所描述的数值模型化系统和方法。

[0013] 除了执行致力于优化成像结果的前述的掩模调整(例如 OPC)之外,在成像过程中所使用的照射方案也可以被优化,或者与掩模优化一起进行优化或单独地进行优化,致力于改善整体的光刻保真度。自 20 世纪九十年代起,已经引入了许多离轴光源(诸如环形的、四极以及双极的),它们为 OPC 设计提供了更大的自由度,从而改善了成像结果。已知,离轴照射是一种分辨包含在掩模中的精细结构(即目标特征)的被证实可行的方式。然而,在与传统的照射器相比较时,离轴照射器通常为空间图像(AI)提供较低的光强度。因此,需要试图优化照射器,以在更精细的分辨率和降低的光强度之间获得优化的平衡。

[0014] 已知诸多的现有技术的照射优化方法。例如,在 Rosenbluth 等题目为“Optimum Mask and Source Patterns to Print A Given Shape”, Journal of Microlithography, Microfabrication, Microsystems 1(1), PP. 13-20, (2002) 的文章中,源被细分成多个区域,每一区域对应于光瞳光谱的特定区域。之后,假定源分布在每一源区域是均匀的,且对于过程窗口优化每一区域的亮度。然而,这样的假定“源分布在每一源区域是均匀的”不总是有效的,因此这一方法的有效性受到影响。在 Granik 的题目为“Source Optimization for Image Fidelity and Throughput”, Journal of Microlithography, Microfabrication, Microsystems 3(4), pp. 509-522, (2004) 的文章中阐述的另一例子中,综述了几个现有的源优化方法,提出了基于照射器像素的方法,其将源优化问题转换成一系列非负的最小二乘优化。虽然这些方法已经证实了一些成功,但是它们典型地需要多个复杂的迭代以收敛。另外,可能难以为一些额外的参数(诸如在 Granik 方法中的 γ) 确定适合的值/优化的值,其规定了在为晶片图像保真度对源进行优化和源的平滑度要求之间的折衷。

[0015] 对于低 k_1 光刻术,对源和掩模的优化(即源和掩模的优化或 SMO) 需要确保用于印刷临界图案的可行的过程窗口。现有的算法(例如 Socha et. al. Proc. SPIE vol. 5853, 2005, p. 180) 通常使得照射离散成独立的源点和使掩模离散成空间频率域中的衍射级,基于过程窗口度量(诸如曝光宽容度)单独地用公式表达成本函数,所述过程窗口度量可以通过光学成像模型由源点强度和掩模衍射级进行预测。之后标准优化技术用于最小化目标函数。

[0016] 这样的传统的 SMO 技术在计算上是很耗资源的,尤其是对于复杂的设计。因此,通常仅仅为简单的重复的设计(诸如存储器设计(闪存、DRAM 和 SRAM)) 执行源优化是实际的。同时,全芯片包括诸如逻辑和门的其它更复杂的设计。于是,因为 SMO 源优化仅基于

特定设计的有限的小区域,所以难以保证该源对于未包含在 SMO 过程中的设计将很好地工作。因此,需要对于可以在实际的运行时间量内优化用于表示全芯片中的所有复杂的设计布局的设计的多个片段的源的技术。

发明内容

[0017] 本发明涉及光刻设备和过程,尤其涉及用于优化在光刻设备和过程中使用的照射源和掩模的工具。根据特定的方面,本发明使得能够覆盖全芯片图案,同时通过从在源和掩模优化中使用的整组片段智慧地选出小组的临界设计图案来降低计算成本。优化仅在这些选出的图案上执行,以获得优化的源。优化的源之后用于优化全芯片的掩模(例如使用 OPC 和可制造性验证),且过程窗口性能结果被比较。如果所述结果与传统的全芯片 SMO 是不相上下的,那么该过程结束,否则提供各种方法用于使之以迭代的方式收敛到令人满意的结果为止。

[0018] 在这些和其它方面的改进中,提供一种用于优化光刻过程的方法,所述光刻过程用于使设计的一部分在晶片上成像,所述方法包括以下步骤:从该设计识别出全组片段;从所述全组片段选出子组片段;优化用于使所述选出的子组片段成像的光刻过程的照射源;和使用用于优化在所述光刻过程中被成像的所述全组片段的所述优化的照射源。

[0019] 在上文的和其它方面中的另外的改进中,所述方法的选出步骤包括:为所述全组片段中的每一个片段计算衍射级分布;基于所计算的衍射级分布将所述全组片段分成多个类;和

[0020] 从每一类中选出一个或更多个代表性片段作为所述子组。

附图说明

[0021] 现在参照随附的示意性附图,仅以举例的方式,描述本发明的实施例,其中,在附图中相应的附图标记表示相应的部件,且其中:

[0022] 图 1 是示出典型的光刻投影系统的示例性方块图。

[0023] 图 2 是示出光刻模拟模型的功能模块的示例性方块图。

[0024] 图 3 是示出根据本发明的实施例的示例性的 SMO 过程的流程图。

[0025] 图 4 是示出示例性的图案选择方法的流程图,其可以被包含在根据本发明的 SMO 过程的一个实施例中。

[0026] 图 5 是示出示例性的图案选择方法的流程图,其可以被包含在根据本发明的 SMO 过程的另一个实施例中。

[0027] 图 6 是示出示例性的图案选择方法的流程图,其可以被包含在根据本发明的 SMO 过程的另一个实施例中。

[0028] 图 7 是示出示例性的图案选择方法的流程图,其可以被包含在根据本发明的 SMO 过程的另一个实施例中。

[0029] 图 8 是示出示例性的图案选择方法的流程图,其可以被包含在根据本发明的 SMO 过程的另一个实施例中。

[0030] 图 9A 至图 9P 示出了根据图 8 的方法选择的片段的示例性的衍射级分布。

[0031] 图 10 是比较根据本发明的各种图案选择方法的过程窗口性能的图表。

[0032] 图 11 是比较用于根据本发明的各种图案选择方法的处理运行时间性能的图表。

[0033] 图 12 是示出计算机系统的方块图,该计算机系统可以辅助执行根据本发明的模拟方法。

[0034] 图 13 示意性地示出了适合与本发明的方法一起使用的光刻投影设备。

具体实施方式

[0035] 现在将参考附图对本发明进行详细描述,附图被提供用作本发明的说明性示例,以使得本领域的技术人员能够实施本发明。注意到,下文的图和示例不是要将本发明的范围限制于单个实施例,而是可以通过相互交换描述的或示出的元件中的一些或全部的方式来实现其它的实施例。此外,在本发明的特定元件可以通过使用已知的部件部分地或完全地实现时,仅在对于理解本发明来说是必须的这些已知部件中的这些部分才会被描述,这样的已知部件中的其它部分的详细描述将被省略,以便不混淆本发明。如本领域技术人员所清楚的,除非在此处有另外的说明,如描述的在软件中执行的实施例应当不限于此,而是可以包括在硬件中实现的实施例、或软件和硬件的组合中实现的实施例,反之亦然。在本发明的说明书中,除非另有具体说明,显示单个部件的实施例不应当认为是限制性的,相反,本发明是要包括包含多个相同部件的其它实施例,反之亦然。另外,同样地,除非被明确地阐述之外,申请人不意图使说明书或权利要求中的任何术语被指定成罕见的或特定的意思。另外,本发明包括示出的参考此处的已知部件的现在的和未来的已知等同物。

[0036] 尽管在本文中可以做出具体的参考,将本发明用于制造 IC,但应当清楚地理解本发明可以有其他的许多可能的应用。例如,它可以被用在集成光学系统、磁畴存储器的引导和检测图案、液晶显示面板、薄膜磁头等制造。本领域技术人员应该理解的是,在这种替代应用的情况下,可以将这种情形中的使用的任意术语“掩模版”、“晶片”或“管芯”分别认为成可以被更上位的术语“掩模”、“衬底”或“目标部分”替换。

[0037] 在本文中,术语“辐射”和“束”用于包括各种类型的电磁辐射,包括紫外辐射(例如具有 365、248、193、157 或 126nm 的波长)和 EUV(极紫外辐射,例如具有在 5-20nm 范围内的波长)。

[0038] 在这种情形中采用的术语“掩模”可以广义地解释成表示可以用于对应于将要在衬底的目标部分中产生的图案来赋予入射的辐射束以图案化的横截面的一般性的图案形成装置;术语“光阀”也可以用于这种情形。除了传统的掩模(透射式或反射式掩模;或二元掩模、相移掩模、混合型掩模等)之外,其它的图案形成装置的例子包括:

[0039] • 可编程反射镜阵列。这样的器件的一个例子是具有粘弹性的控制层和反射表面的矩阵寻址表面。这样的设备所依据的基本原理是(例如)反射表面的寻址区域将入射光反射成衍射光,而不寻址区域将入射光反射成非衍射光。使用适合的滤光片,可以从反射束中过滤掉所述非衍射光,从而之后仅留下衍射光;这样,所述束根据矩阵寻址表面的寻址图案而被图案化。所需要的矩阵寻址可以通过使用适合的电子装置进行。关于这样的反射镜阵列的更多的信息可以参见例如美国专利 No. 5,296,891 和 No. 5,523,193,通过参考在此处将它们并入本文中。

[0040] • 可编程 LCD 阵列。在美国专利 No. 5,229,872 中给出了这样的构造的一个例子,通过参考在此处将其并入本文中。

[0041] 在讨论本发明之前,先提供关于整个模拟和成像过程的简短讨论。图 1 示出了示例性的光刻投影系统 10。主要部件包括:光源 12,其可以是深紫外准分子激光源;照射光学装置,其限定了部分相干性(标记为 σ)且可以包括特定的源成形光学装置 14、16a 和 16b;掩模或掩模版 18;以及投影光学装置 16c,其在晶片平面 22 上产生掩模版图案的图像。光瞳面处的可调整的滤光片或孔阑 20 可以限制射到晶片平面 22 上的束角的范围,其中最大的可能的角度限定了投影光学装置的数值孔径 $NA = \sin(\Theta_{\max})$ 。

[0042] 在光刻模拟系统中,这些主要系统部件可以由分立的功能模块进行描述,例如如图 2 所示。参考图 2,功能模块包括:设计布局模块 26,其限定了目标设计;掩模布局模块 28,其限定了在成像过程中使用的掩模;掩模模型模块 30,其限定了在模拟过程期间使用的掩模布局的模型;光学模型模块 32,其限定了光刻系统的光学部件的性能;和抗蚀剂模型模块 34,其限定了在给定过程中使用的抗蚀剂的性能。已知,模拟过程的结果在结果模块 36 中产生例如预测轮廓和 CD。

[0043] 更具体地,注意到在光学模型 32 中捕获了照射和投影光学装置的性质,所述光学模型 32 包括但不限于 NA-西格玛(σ)设定以及任何特定的照射源形状(例如诸如环形、四极以及双极的离轴光源等)。涂覆到衬底上的光致抗蚀剂层的性质(如折射率、膜厚、传播和偏振效应)也可以被捕捉作为光学模型 32 的一部分。掩模模型 30 捕捉了掩模版的设计特征且还可以包括掩模的详细物理性质的表征,如例如在美国专利 No. 7, 587, 704 中所描述的。最终,抗蚀剂模型 34 描述了在抗蚀剂曝光、PEB 和显影期间发生的化学过程的作用,用于预测例如衬底晶片上形成的抗蚀剂特征的轮廓。模拟的目标是精确地预测例如边缘的定位和 CD,其之后可以与目标设计进行比较。目标设计通常被定义为预 OPC 掩模布局,且将被设置成标准的数字文件格式(诸如 GDSII 或 OASIS)。

[0044] 在典型的高端设计中,几乎每一特征边缘都需要一些修改,用以实现足够地接近目标设计的印刷图案。这些修改可以包括边缘位置或线宽的位移或偏置以及“辅助”特征的应用,所述“辅助”特征不是要印刷它们自己,而是将影响相关的主要特征的性质。另外,施加至照射源的优化技术可能对不同的边缘和特征具有不同的作用。照射源的优化可以包括光瞳的使用,以将源照射限制成光的所选择的图案。本发明提供了可以应用于源和掩模配置的优化方法。

[0045] 通常,根据本发明的实施例的执行源和掩模优化(SMO)的方法使得能够覆盖全芯片图案,同时通过智慧地从用在 SMO 中的全组片段中选择出小组的临界设计图案来降低计算成本。SMO 仅在这些被选择的图案上执行,以获得优化的源。之后,优化的源被用于针对全芯片优化掩模(例如使用 OPC 和 LMC),且所述结果被比较。如果所述结果与传统的全芯片 SMO 是不相上下的,那么该过程结束,否则提供各种方法用于使之以迭代的方式收敛到令人满意的结果。

[0046] 将关于图 3 中的流程图对根据本发明的实施例的一个示例性的 SMO 方法进行说明。

[0047] 光刻过程优化所针对的目标设计 300(典型地包括为诸如 OASIS、GDSII 等标准数字格式的布局)包括存储器、测试图案和逻辑。依据这一设计,提取全组片段 302,其表示在设计 300 中的全部的复杂的图案(典型地约 50-1000 个片段)。如本领域技术人员可以理解的,这些片段代表了需要特别关注和/或验证的设计的小部分(即电路、单元或图案)。

[0048] 如在步骤 304 中整体上显示的,从全组 302 选出小的子组 (subset) 片段 306 (例如 15-50 个片段)。如在下文更详细地说明地,优选地,对片段进行选择,使得所选择的图案的过程窗口尽可能地接近地匹配于全组临界图案的过程窗口。也通过总的运行时间 (图案选择和 SMO) 的减少,来测量选择的有效性。

[0049] 在步骤 308 中,对所选择的图案 (15 至 50 个图案) 306 执行 SMO。更具体地,对于所选择的图案 306 优化照射源。可以通过使用各种各样的已知的方法中的任意方法来执行这一优化,例如在美国专利公开出版物 No. 2004/0265707 中描述的,通过参考将其内容并入本文中。

[0050] 在步骤 310 中,用在步骤 308 中获得的源执行所选择的图案 306 的可制造性验证。更具体地,验证包括:执行所选择的图案 306 和所优化的源的空间图像模拟;和验证所述图案将跨过足够宽的过程窗口进行印刷。可以通过使用各种各样的已知的方法中的任意方法来执行这一验证,例如在美国专利 No. 7, 342, 646 中描述的,通过参考将其内容并入本文中。

[0051] 如果在步骤 310 中的验证是满意的 (如在步骤 312 中所确定的),那样,那么处理前进至步骤 314 中的全芯片优化。否则,处理返回至步骤 308,此时再次执行 SMO,但是是用不同的源或图案组。例如,如由验证工具估计的过程性能可以与特定的过程窗口参数 (诸如曝光宽容度和焦深) 的阈值进行比较。这些阈值可以由使用者预先确定或设定。

[0052] 在步骤 316 中,在所选择的图案满足如在步骤 312 中确定的光刻性能规格之后,所优化的源 314 可以用于全组片段的优化。

[0053] 在步骤 318 中,基于模型的亚分辨率辅助特征定位 (MB-SRAF) 和光学邻近效应校正 (OPC) 被对于全组片段 316 中的所有图案执行。这一过程可以通过使用各种各样的已知方法中的任意方法来执行,例如在美国专利 Nos. 5, 663, 893, 5, 821, 014, 6, 541, 167 和 6, 670, 081 中描述的。

[0054] 在步骤 320 中,使用类似于步骤 310 的过程,基于全图案模拟的可制造性验证被用如在步骤 318 中校正的优化的源 314 和全组片段 316 进行。

[0055] 在步骤 322 中,全组片段 316 的性能 (例如诸如曝光宽容度和焦深的过程窗口参数) 与子组片段 306 进行比较。在一个示例性实施例中,当对于所选择的图案 (15 至 20 个图案) 306 和全部的临界图案 (50 至 1000 个图案) 316 都获得了类似的 ($< 10\%$) 的光刻性能时,图案的选择被认为是完整的,和 / 或源对于全芯片是完全胜任的。

[0056] 另外地,在步骤 324 中,提取出热点 (hot spot),且在步骤 326 中这些热点被添加至子组 306,过程重新开始。例如,在验证 320 期间被识别的热点 (即,全组片段 316 之中的限制过程窗口性能的特征) 被用于另外的源调节或用于再次运行 SMO。当全组片段 316 的过程窗口在最后一次运行步骤 322 与最后一次运行步骤 322 之前的对步骤 322 的运转之间相同时,所述源被认为是完全收敛的。

[0057] 为了在步骤 304 中的使用开发了多种图案选择方法,在下文详细说明特定的非限制性的例子。

[0058] 在第一实施例中,针对目标设计中的 SRAM 图案来对源进行优化,之后全组片段之中的热点被识别,且被选择作为用于 SMO 的子组图案。

[0059] 例如,如图 4 所示,通过从目标设计 300 中选择出 SRAM 图案 (例如两个 SRAM 图

案) 在步骤 S402 中开始根据这一实施例的图案选择。

[0060] 在步骤 S404 中, 诸如在步骤 308 中执行的那样通过使用这两个图案来执行源的优化, 以获得对于 SRAM 图案的优化的源。

[0061] 在步骤 S406 中, 通过使用来自步骤 S404 的优化的源在全组片段 302 上执行 OPC。在这一步骤中 OPC 过程可以类似于关于图 3 中的步骤 318 在上文描述的那样执行。

[0062] 在步骤 S408 中, 对于已经在步骤 406 中进行调整的全组片段 302, 执行可制造性验证。这一验证可以类似于关于图 3 中的步骤 320 在上文描述的那样被执行。

[0063] 根据可制造性验证结果, 在步骤 410 中选择出具有最差性能的片段。例如, 步骤 S410 包括根据可制造性验证结果识别出对 SRAM 优化的源的过程窗口产生最大限制性作用的 5 至 15 个片段。

[0064] SRAM 图案和热点之后被用作图 3 的示例性的全芯片 SMO 流程中的子组 306。

[0065] 在下一实施例中, 用原始源和模型, 从全组片段中识别出热点, 这些热点被选出作为用于 SMO 的图案的子组。

[0066] 例如, 如图 5 所示, 根据这一实施例的图案选择在步骤 S502 中通过识别出用于光刻过程的原始源和模型而开始。例如, 环形照射源被用作初始源。该模型可以是在计算光刻术和空间图像模拟中使用的光刻过程的任何模型, 且可以包括传递交叉系数 (Transmission CrossCoefficients, TCCs), 如在美国专利 No. 7, 342, 646 中描述的。

[0067] 在步骤 S504 中, 通过使用源和模型以及全组片段 302 来执行可制造性验证。验证处理可以类似于关于图 3 中的步骤 310 在上文描述的那样。

[0068] 在步骤 S506 中, 通过使用对于全组片段 302 中的每一个片段的验证结果, 来计算严重度分数 (severity score), 以识别热点。在一个非限制性例子中, 严重度分数被这样计算:

[0069] 分数 = 归一化的 (+EPE) + 归一化的 (-EPE) + 2 * 归一化的 MEEF

[0070] 其中, EPE 是边缘定位误差, MEEF 是掩模误差增强因子。

[0071] 在步骤 S50g 中, 具有最高的分数的片段被识别为热点。例如, 步骤 S508 包括识别 5 至 15 个具有如上文所计算的最高的严重度分数的片段。

[0072] 这些片段之后用作为图 3 的示例性全芯片 SMO 流程中的子组 306。在实施例中, 来自目标设计 300 的两个 SRAM 图案也被包含在子组 306 中。

[0073] 在下一实施例中, 在全组片段 302 上执行分析, 且给出最佳特征和节距覆盖范围的这些片段被选作 SMO 的子组图案。

[0074] 例如, 如图 6 所示, 根据这一实施例的图案选择在步骤 S602 中通过根据特征类型对片段进行分类而开始。例如, 所述片段可以通过电路图案 (例如门或逻辑) 的类型或通过方向或复杂性等进行分类。

[0075] 在步骤 S604 中, 每一类中的片段被进一步通过节距进行挑选 (sort)。

[0076] 在步骤 S606 中, 片段中的每一个被在小的节距区域中进行采样, 以确定将对于类型和节距提供的覆盖范围。

[0077] 在步骤 S608 中, 具有最小节距和最高单元密度的片段被从在步骤 S606 中给出期望的覆盖范围的片段中选出。例如, 步骤 S608 包括识别 5 至 15 个具有最佳设计覆盖范围和节距从最小节距至 1.5 倍最小节距的片段。

[0078] 这些片段之后被用作图 3 中的示例性全芯片 SMO 流程中的子组 306。在实施例中，来自目标设计 300 的两个 SRAM 图案也被包含在子组 306 中。

[0079] 在下一实施例中，分析在全组片段上执行，根据过程的原始模型对特定过程参数具有最高敏感度的这些片段被选作 SMO 的子组图案。

[0080] 例如，如图 7 所示，根据这一实施例的图案选择在步骤 S702 中通过识别用于光刻过程的原始模型而开始。类似于步骤 S502，所述模型可以是用于计算光刻术和空间图像模拟中的光刻过程的任何模型，且可以包括传递交叉系数 (TCCs)，如例如在美国专利 No. 7, 342, 646 中描述的。

[0081] 在步骤 S704 中，将切割线设置在图案中，且位于全组片段 302 中的每一个片段的中心处。

[0082] 在步骤 S706 中，使用原始模型对每个片段计算过程参数敏感度。例如，所述过程参数可以是剂量和焦距，所述敏感度可以通过运行使用在步骤 S702 中识别的光刻过程模拟模型的空间图像模拟来计算。在各种过程条件期间的切割线处的片段的行为之后被分析，以确定它们的敏感度。

[0083] 在步骤 S708 中，对过程参数变化具有最高敏感度的片段被选择。例如，步骤 S708 包括识别 5 至 15 个对剂量和焦距变化具有最高敏感度的片段。

[0084] 这些片段之后被用作图 3 中的示例性全芯片 SMO 流程中的子组 306。在实施例中，来自目标设计 300 的两个 SRAM 图案也包含在子组 306 中。

[0085] 在下一实施例中，分析在全组片段上执行，这些提供最佳衍射级分布的片段被选择作为用于 SMO 的子组图案。图案的衍射级对本领域技术人员是已知的，且可以被确定，例如如在美国专利公开出版物 No. 2004/0265707 中描述的。

[0086] 例如，如图 8 所示，根据这一实施例的图案选择在步骤 S802 中通过对于全组片段 302 中的每一个片段计算衍射级行为而开始。诸多可能的方法可以用于计算衍射级行为，例如参见美国专利公开出版物 No. 2004/0265707。

[0087] 在步骤 S804 中，全组片段的计算的衍射级被比较，且在步骤 S806 中，片段被根据它们的衍射级分布而进行分类。例如，可以计算片段中的每一个片段之间的几何相关度，可以执行分类方法，以将大多数类似的片段一起分到一类。

[0088] 在步骤 S808 中，从每一类 (group) 中选出一个片段。例如，步骤 S806 包括形成 5 至 15 类片段，随机地从每一类中选出一个片段。图 9A 至图 9P 示出了已经根据一组全片段计算出的 15 个独立的片段的示例性衍射级分布 902。

[0089] 这些片段之后被用作图 3 中的示例性的全芯片 SMO 的流程中的子组 306。在实施例中，来自目标设计 300 的两个 SRAM 图案也被包含在子组 306 中。

[0090] 关于图 8 描述的基于衍射级的图案选择方法与其它方法相比的一些优点在于，不需要开始条件 (例如开启照射源)，不需要抗蚀剂模型，和不需要模型。它仅需要目标图案，因此它是过程依赖的。

[0091] 图 10 是比较上文描述的各种图案选择方法与传统的全芯片 SMO 方法的过程窗口性能的图表。如所示的，所有的方法对原始的过程窗口都进行了改善，且衍射级方法给出了最接近于全芯片 SMO 的性能。

[0092] 图 11 是比较上文描述的各种图案选择方法与传统的全芯片 SMO 方法的处理运行

时间性能的图表。如所示的,所有的方法都改善了传统的运行时间,且衍射级方法给出了最佳的改进。

[0093] 图 12 是显示计算机系统 100 的方块图,该计算机系统可以辅助执行此处公开的优化方法和流程。计算机系统 100 包括:总线 102 或其它用于信息通信的通信机制;和与总线 102 耦接的用于处理信息的处理器 104。计算机系统 100 还包括主存储器 106(诸如随机存取存储器(RAM)或其它动态储存装置),所述主存储器 106 耦接至总线 102 用于储存被处理器 104 执行的信息和指令。主存储器 106 还可以用于在由处理器 104 执行的指令的执行期间储存临时变量或其它中间信息。计算机系统 100 还包括被耦接至总线 102 的只读存储器(ROM) 108 或其它静态储存装置,其用于存储用于处理器 104 的静态信息和指令。存储装置 110(诸如磁盘或光盘)设置和耦接至总线 102,用于存储信息和指令。

[0094] 计算机系统 100 可以经由总线 102 耦接至显示器 112(诸如阴极射线管(CRT)或平板或触摸面板显示器),用于给计算机使用者显示信息。输入装置 114(包括字母数字键和其它键)耦接至用于将信息和命令选择与处理器 104 通信的总线 102。另一类型的使用者输入装置是光标控制器 116(诸如鼠标、轨迹球、或光标方向键),用于将方向信息和命令选择与处理器 104 通信和用于控制显示器 112 上的光标移动。这一输入装置典型地在两个轴线(第一轴线(例如 x)和第二轴线(例如 y))上具有两个自由度,这允许装置指定平面中的位置。触摸面板(屏)显示器也可以用作输入装置。

[0095] 根据本发明的一个实施例,优化过程的部分可以通过计算机系统 100 响应于执行包含在主存储器 106 中的一个或更多的指令的一个或更多的序列的处理器 104 而被执行。这样的指令可以被从另一计算机可读介质(诸如储存装置 110)读取到主存储器 106 中。包含在主存储器 106 中的指令的序列的执行使得处理器 104 执行此处描述的过程步骤。在多个处理布置中的一个或更多的处理器也可以被用于执行包含在主存储器 106 中的指令的序列。在可替代的实施例中,硬接线电路可以用于替代软件指令或与软件指令结合,以实施本发明。因此,本发明的实施例不限于任何特定的硬件电路和软件的组合。

[0096] 如此处使用的术语“计算机可读介质”表示参与为了执行而提供指令至处理器 104 的任何介质。这样的介质可以采用许多形式,包括但不限于非易失性介质、易失性介质和传输介质。非易失性介质包括例如光盘或磁盘,诸如储存装置 110。易失性介质包括动态存储器,诸如主存储器 106。传输介质包括同轴电缆、铜导线和光纤,包含包括总线 102 的导线。传输介质还可以采用声波或光波的形式,诸如在射频(RF)和红外(IR)数据通信期间产生的这些声波或光波。计算机可读介质的通常形式包括例如软盘、软碟(flexible disk)、硬盘、磁带、任何其它磁介质、CD-ROM、DVD、任何其它光学介质、穿孔卡、纸带、任何具有孔图案的其它物理介质、RAM、PROM 和 EPROM、FLASH-EPROM、任何其它存储器芯片或卡盒、如下文描述的载波或计算机可以读取的任何其它介质。

[0097] 各种形式的计算机可读介质可能涉及将一个或更多的指令中的一个或更多的序列传送至处理器 104,用于执行。例如,指令可以最初出现在远程计算机的磁盘上。远程计算机可以加载指令到其动态存储器中且使用调制解调器在电话线上发送所述指令。在计算机系统 100 本地的调制解调器可以接收电话线上的数据,且使用红外发送器将数据转换成红外信号。耦接至总线 102 的红外探测器可以接收在红外信号中携带的数据和将数据放置到总线 102 上。总线 102 将数据传送至主存储器 106,处理器 104 从主存储器重新获得和执

行指令。由主存储器 106 接收的指令可以可选择地在处理器 104 的执行之前或之后被储存在储存装置 110 上。

[0098] 计算机系统 100 还优选地包括耦接至总线 102 的通信接口 118。通信接口 118 提供耦接至网络链路 120 的双向数据通信,该网络链路 120 连接至本地网络 122。例如,通信接口 118 可以是综合业务数字网 (ISDN) 卡或调制解调器,用于提供数据通信连接至对应类型的电话线。作为另一例子,通信接口 118 可以是局域网 (LAN) 卡,以提供数据通信连接至兼容的 LAN。无线链路也可以被实现。在任何这样的实施方式中,通信接口 118 发送和接收电、电磁或光信号,其携带表示各种类型的信息的数字数据流。

[0099] 典型地,网络链路 120 通过一个或更多的网络将数据通信提供至其它数据装置。例如,网络链路 120 可以通过本地网络 122 提供连接至主机 124 或由网络服务商 (ISP) 126 操作的数据设备。ISP126 又通过全球分组数据通信网络 (现在被通常称为“互联网”) 128 提供数据服务。本地网络 122 和互联网 128 都使用携带数字数据流的电、电磁或光信号。通过各种网络的信号和网络链路 120 上和通过通信接口 118 的信号将数字数据传送至计算机系统 100 和从计算机系统 100 传送回,其是运送信息的载波的示例性形式。

[0100] 计算机系统 100 可以通过网络、网络链路 120 和通信接口 118 发送信息和接收数据,包括程序码。在互联网的例子中,服务器 130 可以通过互联网 128、ISP126、局域网 122 和通信接口 118 为应用程序发送请求码。根据本发明,一个这样的被下载的应用程序提供用于例如实施例的照射优化。在它在储存装置 110 或其它用于之后的执行的非易失性存储器中被接收和 / 或储存时,接收码可以被处理器 104 执行。如此,计算机系统 100 可以获得成载波形式的应用码。

[0101] 图 13 示意性地显示示例性的光刻投影设备,其照射源可以通过使用本发明的过程而被优化。所述设备包括:

[0102] 辐射系统 Ex、IL,用于供给投影辐射束 PB。在这一特定的情形中,辐射系统还包括辐射源 LA;

[0103] 第一载物台 (掩模台) MT,设置有用于保持掩模 MA (例如掩模版) 的掩模保持器并连接至第一定位装置,所述第一定位装置用于精确地相对于对象 PL 定位掩模;

[0104] 第二载物台 (衬底台) WT,设置有用于保持衬底 W (例如涂覆抗蚀剂的硅晶片) 的衬底保持器和连接至第二定位装置,所述第二定位装置用于相对于对象 PL 精确地定位衬底;

[0105] 投影系统 (“透镜”) PL (例如折射式、反射式或折射反射式的光学系统),用于将掩模 MA 的受辐射部分成像到衬底 W 的目标部分 C (例如包括一个或更多的管芯)。

[0106] 如此处显示的,所述设备是透射式 (即具有透射式掩模)。然而,通常它还可以是反射式的,例如 (具有反射式掩模)。可替代地,所述设备可以采用另一类型的图案形成装置来作为替代掩模使用;例子包括可编程反射镜阵列或 LCD 矩阵。

[0107] 源 LA (例如汞灯或准分子激光器) 产生辐射束。例如,这一辐射束被直接地供给到照射系统 (照射器) IL 中,或在穿过调节装置 (诸如扩束器 Ex) 之后供给到照射系统 IL 中。照射器 IL 可以包括调整装置 AM,所述调整装置 AM 用于设定在束中的强度分布的外部 / 或内部径向范围 (一般分别称为 σ -外部和 σ -内部)。另外,它通常包括各种其它部件,诸如积分器 IN 和聚光器 CO。这样,照射到掩模 MA 上的束 PB 在其横截面中具有期望的

均匀性和强度分布。

[0108] 关于图 13 应当注意的是,源 LA 可以位于光刻投影设备的壳体内(当源 LA 是例如汞灯时经常是这样的情形),但是它还可以远离光刻投影设备,其产生的辐射束被引导到所述设备中(例如在适合的定向反射镜的帮助下);所述后一种情况通常是当源 LA 是准分子激光器(例如是基于 KrF, ArF 或 F₂ 激光的准分子激光器)的情形。本发明包括这些情况中的至少两个。

[0109] 辐射束 PB 随后被保持在掩模台 MT 上的掩模 MA 所拦截。已经穿过掩模 MA 之后,所述束 PB 穿过透镜 PL,其将束 PB 聚焦到衬底 W 的目标部分 C 上。在第二定位装置(和干涉仪测量装置 IF)的辅助下,衬底台 WT 可以精确地移动,例如以便在束 PB 的路径上定位不同的目标部分 C。类似地,例如在从掩模库机械获取掩模 MA 之后或在扫描期间,第一定位装置可以用于相对于束 PB 的路径定位掩模 MA。通常,在长行程模块(粗定位)和短行程模块(精定位)(未在图 13 中明确地示出)的帮助下,实现载物台 MT、WT 的移动。然而,在晶片步进机的情形中(与步进扫描工具相反),掩模台 MT 可以仅仅连接至短行程致动器或可以是固定的。

[0110] 所示出的工具可以在两种不同的模式中使用:

[0111] 在步进模式中,掩模台 MT 可以保持为基本静止,且一次(即单个“闪光”)将整个掩模图像投影到目标部分 C 上。衬底台 WT 之后在 x 和 / 或 y 方向上被移动,使得可以通过束 PB 来辐射不同的目标部分 C。

[0112] 在扫描模式中,除了给定的目标部分 C 不在单个“闪光”中曝光之外,实质上应用了相同的方式。相反,掩模台 MT 可以沿给定方向(所谓“扫描方向”,例如 y 方向)以速度 v 移动,使得投影束 PB 在掩模图像上扫描;同时,衬底台 WT 沿同一或相反的反向以速度 $V = Mv$ 同时地移动,其中 M 是透镜 PL 的放大率(典型地 $M = 1/4$ 或 $1/5$)。这样,可以曝光相对大的目标部分 C,而不对分辨率进行折衷。

[0113] 此处公开的概念可以模拟或在数学上对用于使亚波长特征成像的任何一般性成像系统进行建模,且可能随着能够产生尺寸不断变小的波长的成像技术的出现是特别有用的。已经使用的现有的技术包括 EUV(极紫外线)光刻术,其能够用 ArF 激光器产生 193nm 波长,甚至可以用氟激光器产生 157nm 的波长。此外,EUV 光刻术能够通过使用同步加速器或通过用高能电子撞击材料(固体或等离子体)来产生在 20-5nm 范围内的波长,用于产生在这一范围内的光子。因为大多数材料在这一范围内是吸收性的,所以通过具有钼和硅的多个叠层的反射镜来产生照射。所述多个叠层的反射镜具有 40 层对(layer paris)的钼和硅,此时每一层的厚度是 1/4 波长。可以用 X 射线光刻术来产生甚至更小的波长。典型地,同步加速器用于产生 X 射线波长。因为大多数材料在 x 射线波长处是吸收性的,所以吸收材料的薄片限定了特征将在何处印刷(正抗蚀剂)或在何处不印刷(负抗蚀剂)。

[0114] 虽然此处公开的概念可以用于在诸如硅晶片的衬底上成像,但是应当理解,所公开的概念可以与任何类型的光刻成像系统一起使用,例如用于在除了硅晶片之外的衬底上成像的那些光刻成像系统。

[0115] 上文描述是说明性的,而不是限制性的。因此,本领域技术人员应当清楚可以在不背离所附的权利要求的范围的情况下对本发明做出修改。

[0116] 可以通过使用下述的方面来进一步描述本发明;

[0117] 1. 一种用于优化光刻过程的方法,所述光刻过程用于使设计的一部分在衬底上成像,所述方法包括以下步骤:

[0118] 从所述设计识别出全组片段;

[0119] 从所述全组片段选出子组片段;

[0120] 优化用于使所述选出的子组片段成像的光刻过程的照射源;和

[0121] 使用所述优化的照射源来优化在所述光刻过程中被成像的所述全组片段。

[0122] 2. 根据方面 1 所述的方法,其中所述选出子组片段的步骤包括:

[0123] 为所述全组片段中的每一个片段计算衍射级分布;

[0124] 基于所计算的衍射级分布将所述全组片段分成多个类;和

[0125] 从每一类中选出一个或更多个代表性片段作为所述子组。

[0126] 3. 根据方面 1 所述的方法,其中所述选出子组片段的步骤包括:

[0127] 在所述全组片段中识别出一个或更多个存储器图案;

[0128] 针对所述一个或更多个存储器图案,预先优化所述照射源;

[0129] 使用所述预先优化的照射源来确定在所述全组片段中的可能的热点;和

[0130] 基于所确定的可能的热点选出所述子组。

[0131] 4. 根据方面 1 所述的方法,其中所述选出子组片段的步骤包括:

[0132] 识别出用于所述光刻过程的原始照射源;

[0133] 使用所述原始照射源来确定所述全组片段中的可能的热点;和

[0134] 基于所确定的可能的热点选出所述子组。

[0135] 5. 根据方面 1 所述的方法,其中所述选出子组片段的步骤包括:

[0136] 通过设计类型将所述全组片段中的图案分成多个类;

[0137] 通过节距和特征类型对每类中的图案进行挑选,以确定每类中的优化图案;和

[0138] 选择出每类中的所述优化图案作为所述子组。

[0139] 6. 根据方面 1 所述的方法,其中所述选出子组片段的步骤包括:

[0140] 识别所述光刻过程的模拟模型;

[0141] 使用所述模型来针对所述全组片段中的每一个片段估计过程参数敏感度;和

[0142] 基于所估计出的过程参数敏感度选出所述子组。

[0143] 7. 一种在其上记录有指令的计算机可读介质,所述计算机可读介质在被计算机读取时,使所述计算机执行用于优化使设计的一部分在衬底上成像的光刻过程的方法,所述方法包括步骤:

[0144] 从所述设计的所述部分选出子组图案;

[0145] 优化用于使所选出的子组图案成像的光刻过程的照射源;和

[0146] 使用所述优化的照射源来优化在所述光刻过程中被成像的所述设计的所述部分。

[0147] 8. 根据方面 7 所述的计算机可读介质,其中所述设计的所述部分包括片段,其中所述选出子组图案的步骤包括以下步骤:

[0148] 从所述设计识别出全组片段;

[0149] 从所述全组片段选出子组片段;

[0150] 其中所述优化照射源的步骤包括:优化使所述选出的子组片段成像的光刻过程的照射源;和

[0151] 其中所述使用优化的照射源的步骤包括：使用所述优化的照射源来优化在光刻过程中成像的所述全组片段。

[0152] 9. 根据方面 7 或 8 所述的计算机可读介质，其中所述选出步骤包括：

[0153] 为所述设计的所述部分中的图案计算衍射级分布；

[0154] 基于所计算的衍射级分布将所述图案分成多个类；和

[0155] 从每一类中选出一个或更个的代表性图案作为所述子组图案。

[0156] 10. 根据方面 7 或 8 所述的计算机可读介质，其中所述选出步骤包括：

[0157] 在所述设计的所述部分中识别出一个或更多个存储器图案；

[0158] 针对所述一个或更多个存储器图案预先优化所述照射源；

[0159] 使用所述预先优化的照射源来确定在所述设计的所述部分中的可能的热点；和

[0160] 基于所确定的可能的热点选出所述子组图案。

[0161] 11. 根据方面 7 或 8 所述的计算机可读介质，其中所述选出步骤包括：

[0162] 识别出用于所述光刻过程的原始照射源；

[0163] 使用所述原始照射源来确定所述设计的所述部分中的可能的热点；和

[0164] 基于所确定的可能的热点选出所述子组图案。

[0165] 12. 根据方面 10 或 11 所述的方法，其中所述方法还包括以下步骤：

[0166] 为所述热点计算严重度分数；和

[0167] 选出具有预定的严重度分数的热点或具有预定严重度分数范围的热点。

[0168] 13. 根据方面 7 或 8 所述的计算机可读介质，其中所述选出步骤包括：

[0169] 通过设计类型将所述设计中的所述部分内的图案分成多个类；

[0170] 通过节距和特征类型对每一类中的图案进行挑选，以确定每一类中的优化图案；
和

[0171] 选择出每一类中的所述优化图案作为所述子组图案。

[0172] 14. 根据方面 7 或 8 所述的计算机可读介质，其中所述选出步骤包括：

[0173] 识别所述光刻过程的模拟模型；

[0174] 使用所述模型来针对所述设计的所述部分中的图案估计过程参数敏感度；和

[0175] 基于所估计出的过程参数敏感度选出所述子组图案。

[0176] 15. 根据方面 7 至 15 中任一方面所述的计算机可读介质，还包括：

[0177] 确定对于所述优化的子组图案的光刻过程性能度量是否是可接受的；和

[0178] 如果所确定的度量是不可接受的，那么增加具有可能的热点的片段至所述子组且重复所述优化步骤。

[0179] 16. 根据方面 7 至 15 中任一方面所述的计算机可读介质，其中所述优化所述照射源的步骤包括：使用所述光刻过程的模型、所述照射源和所述子组图案来模拟光刻过程性能，以确定所述性能是否是可接受的。

[0180] 17. 根据方面 7 至 16 中任一方面所述的计算机可读介质，其中所述优化所述设计的所述部分的步骤包括：基于所述优化的照射源在所述特定的图案上执行光学邻近效应校正。

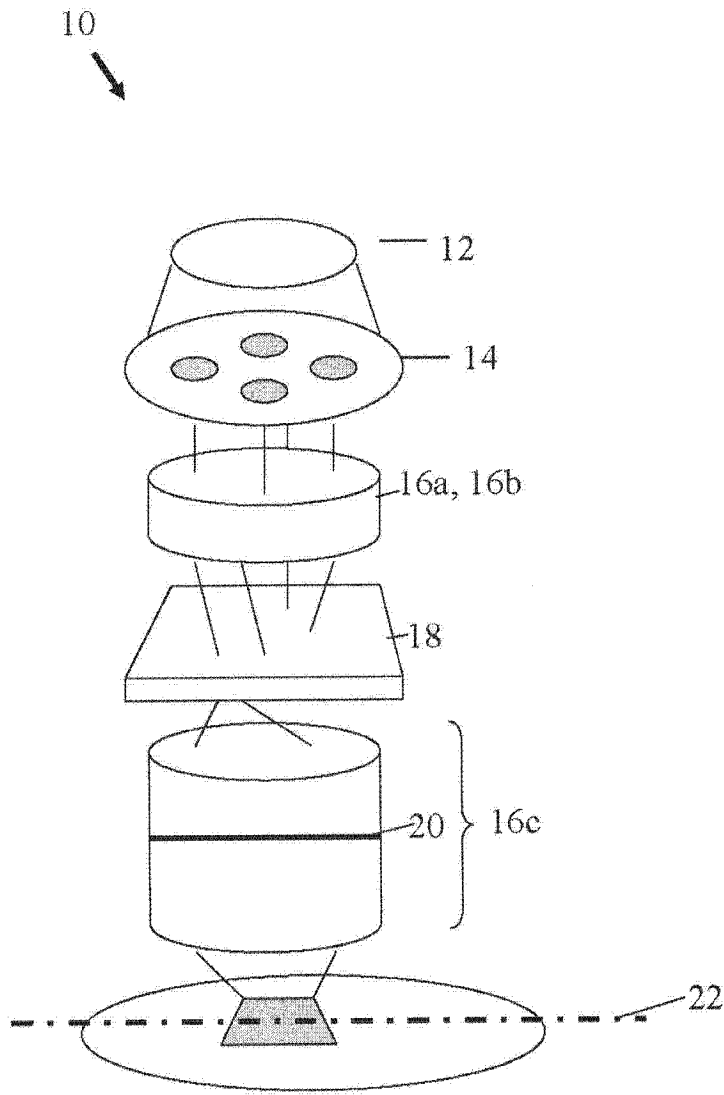


图 1

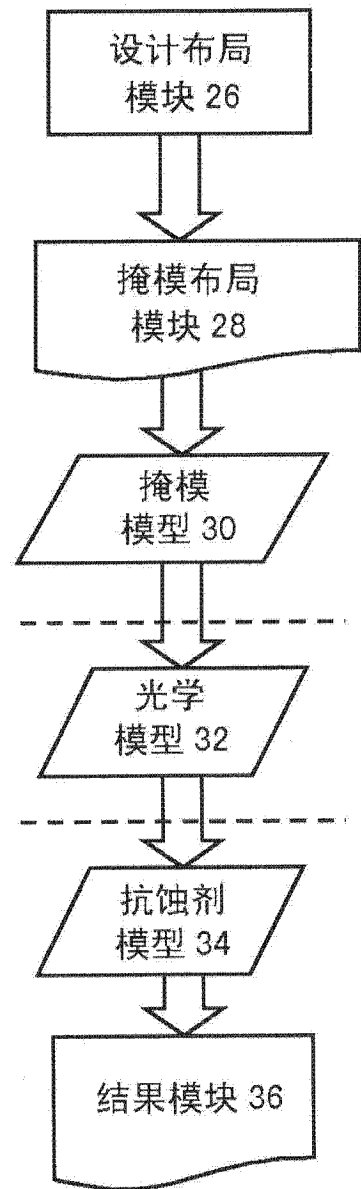


图 2

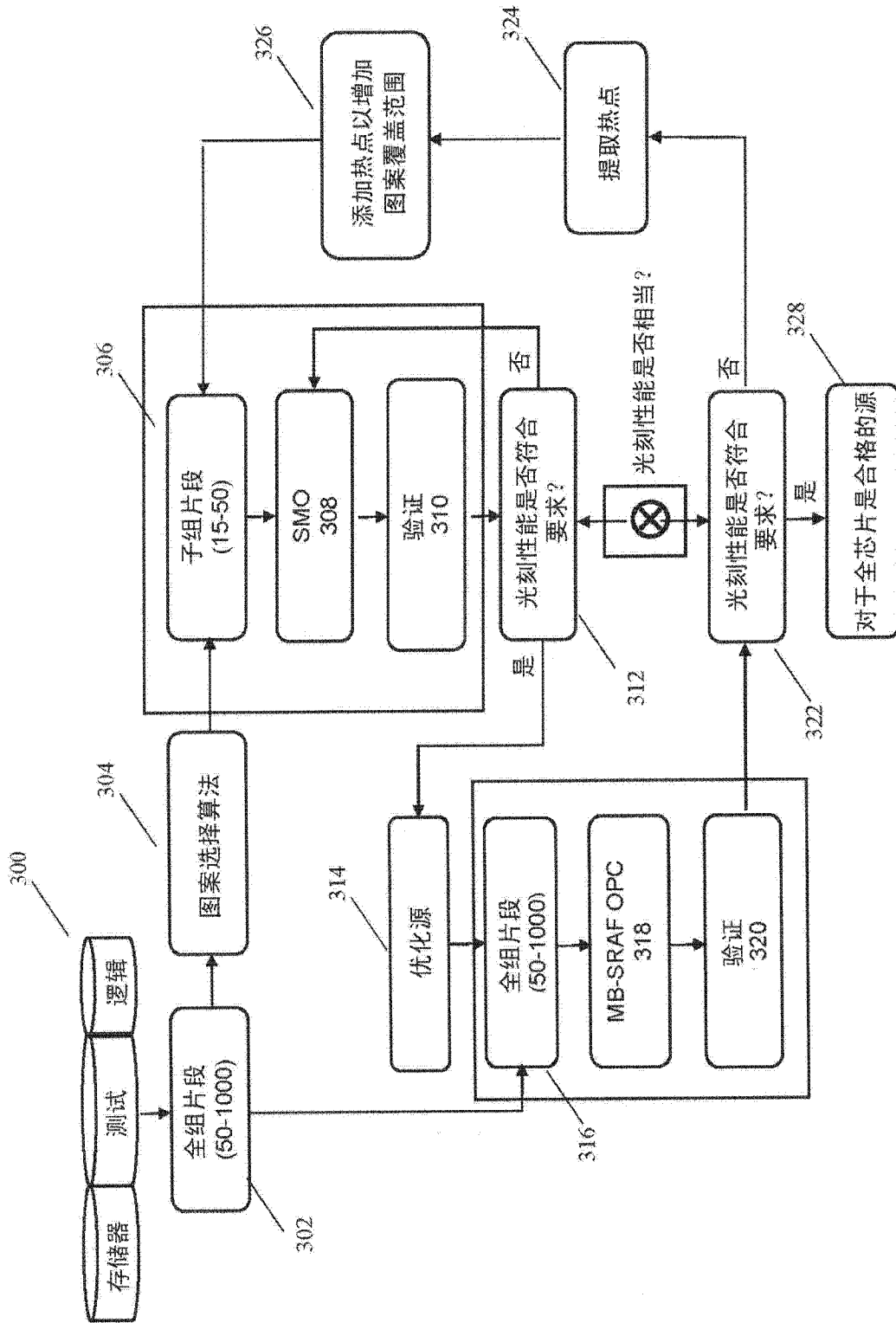


图 3

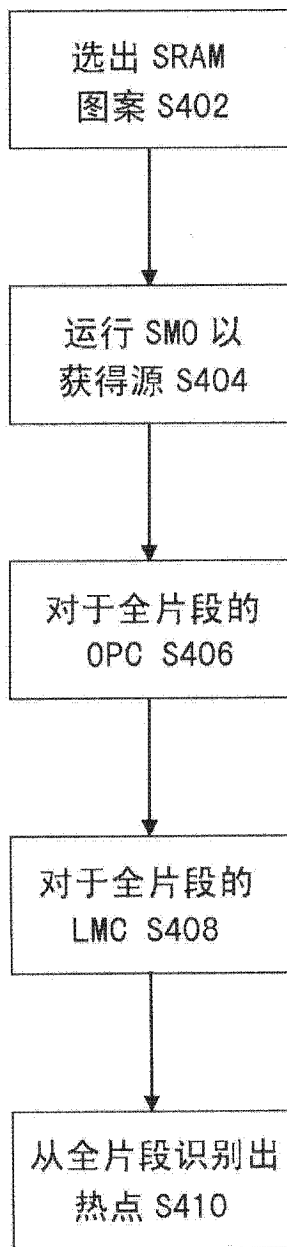


图 4

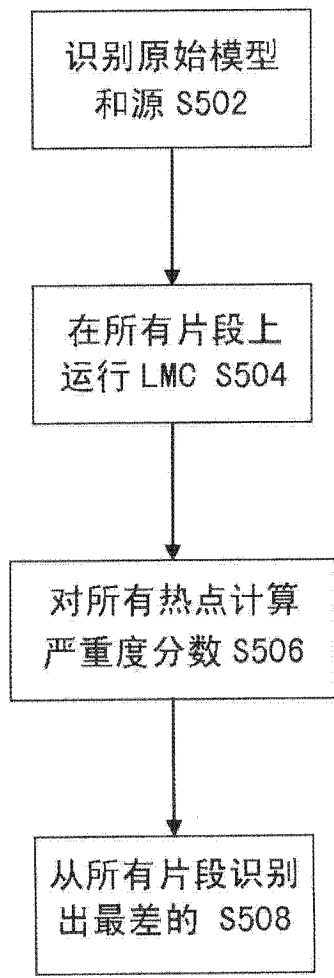


图 5

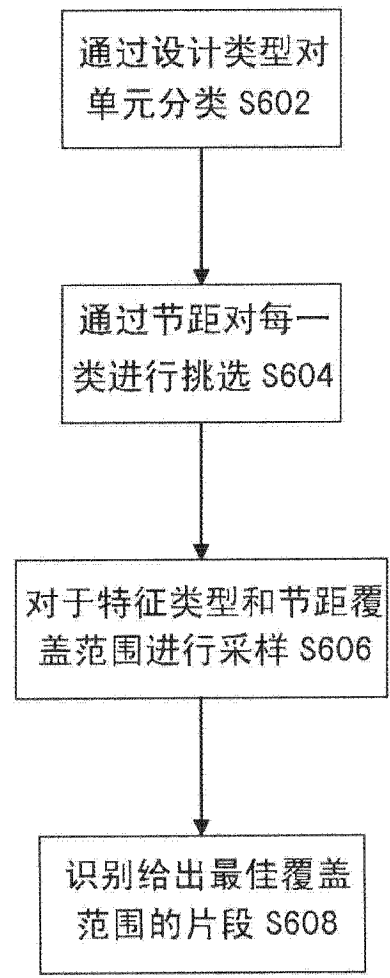


图 6

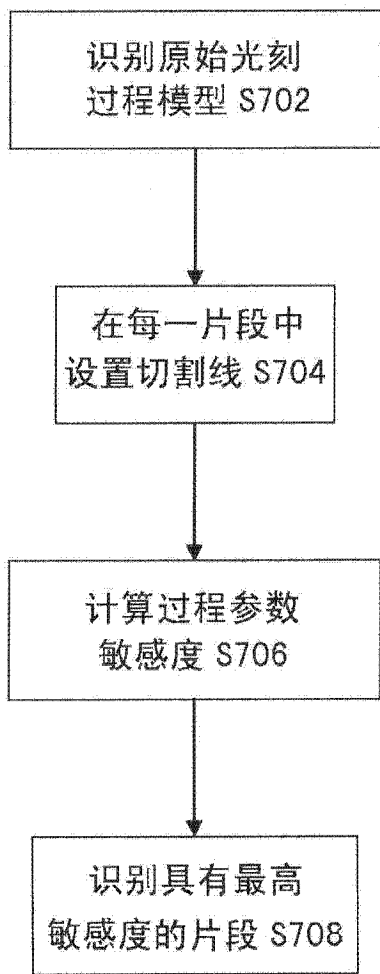


图 7

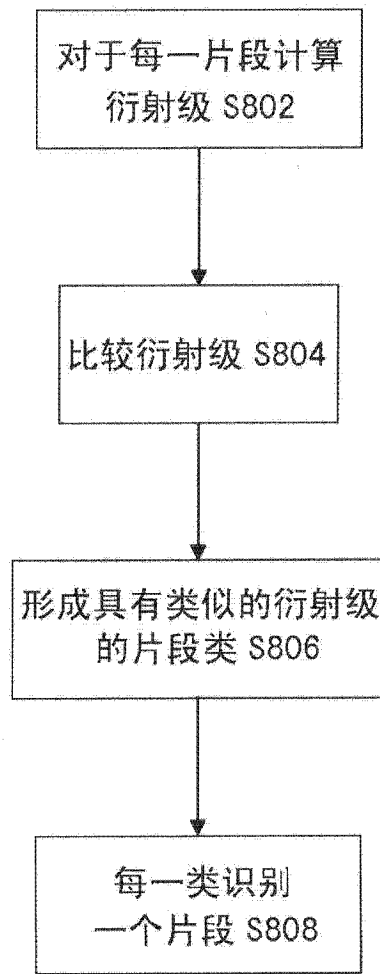


图 8

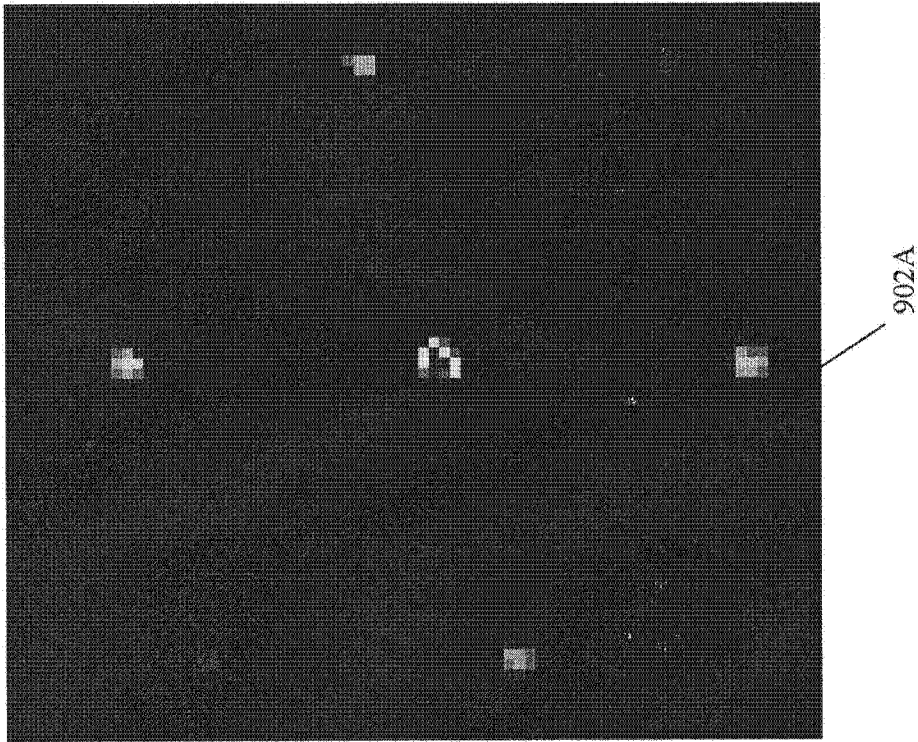


图 9A

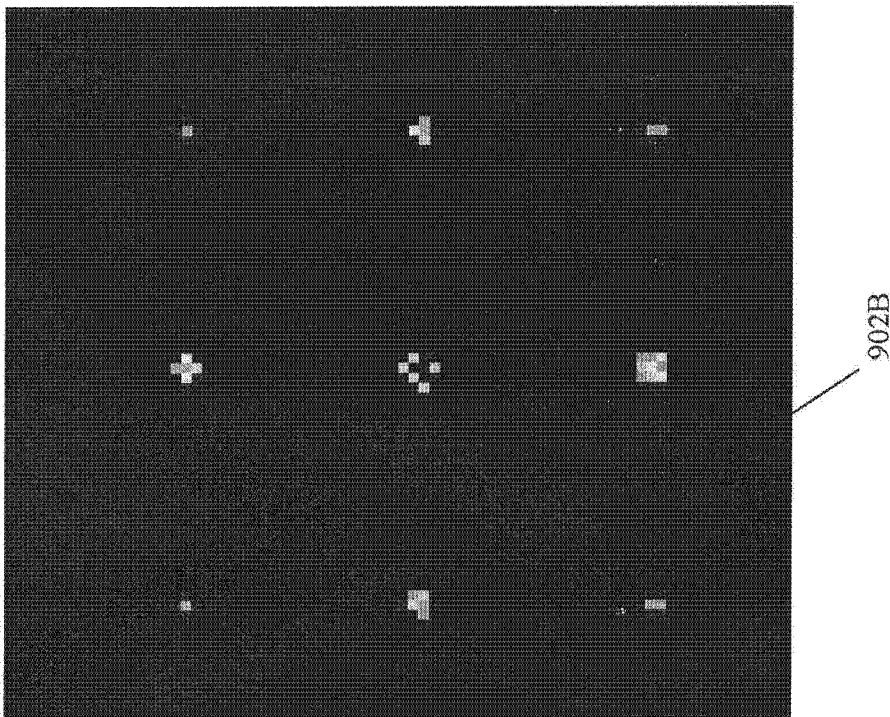


图 9B

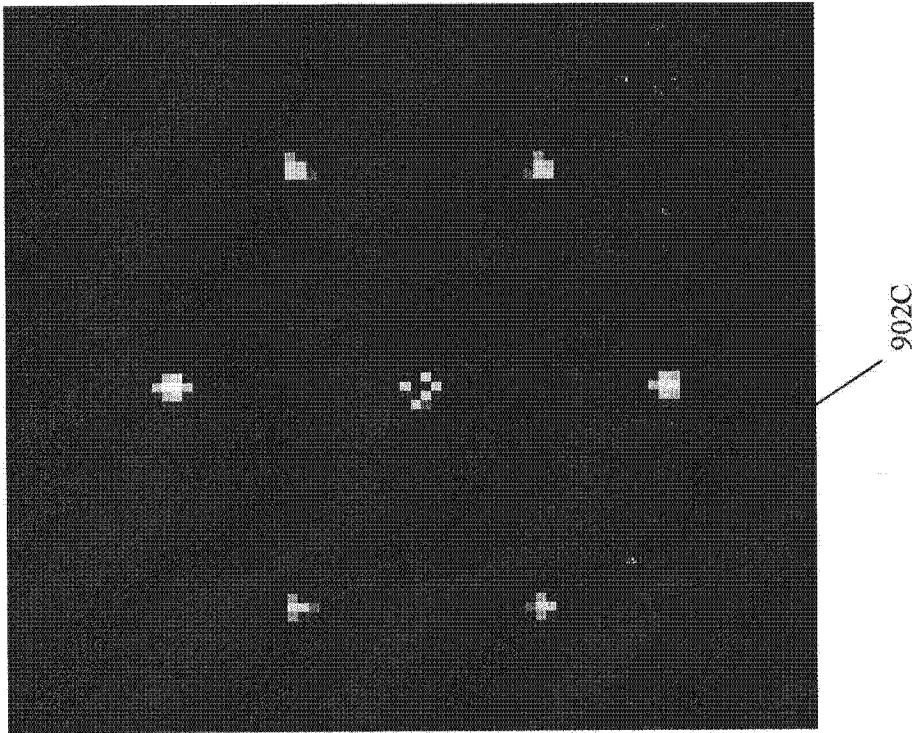


图 9C

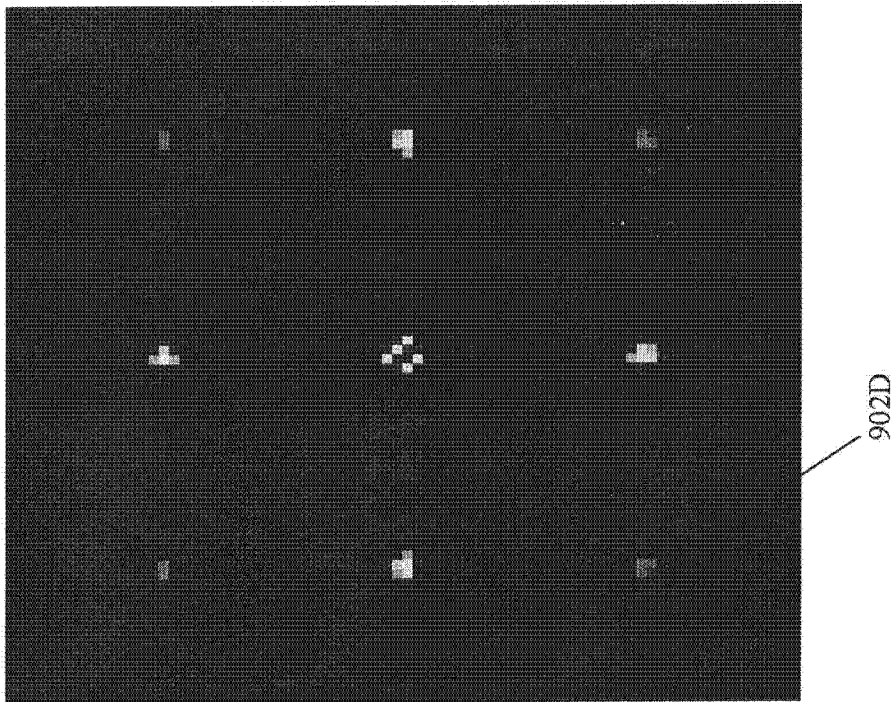


图 9D

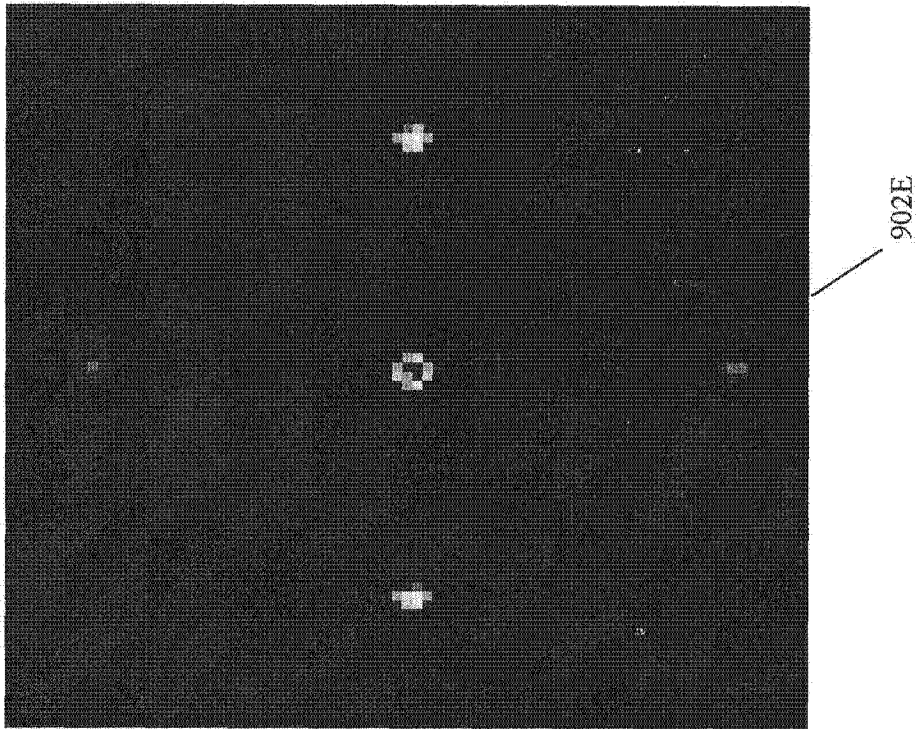


图 9E

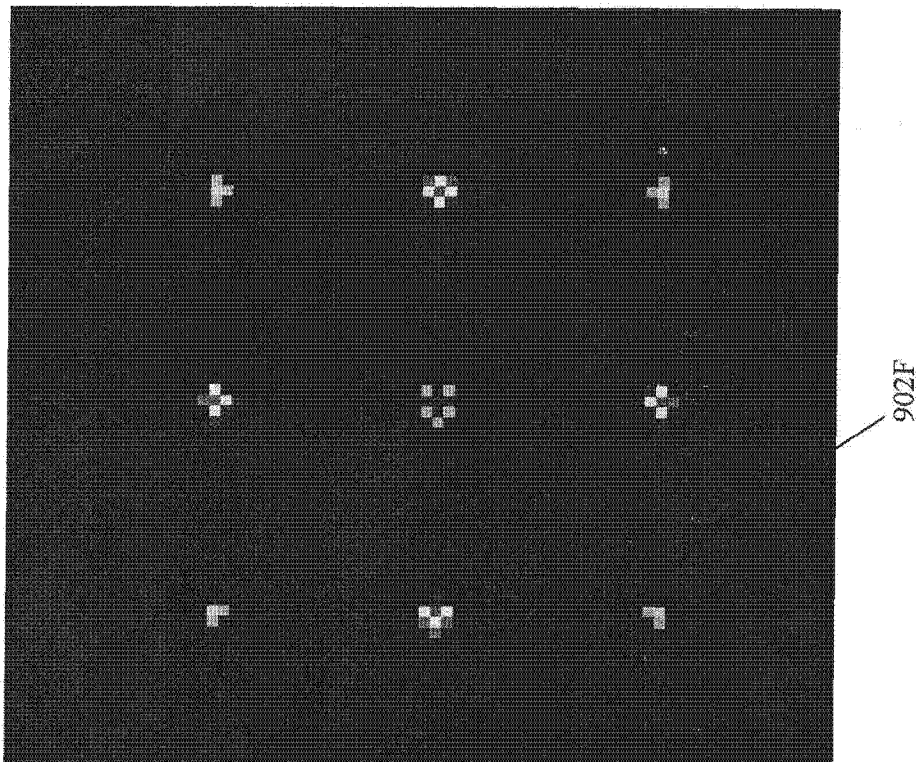


图 9F

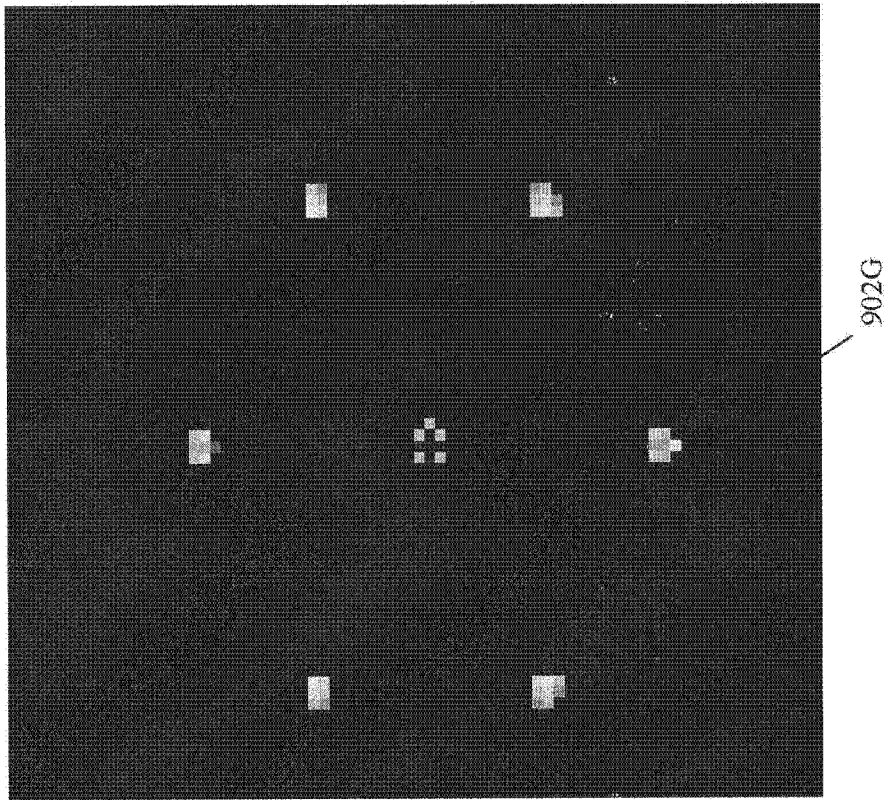


图 9G

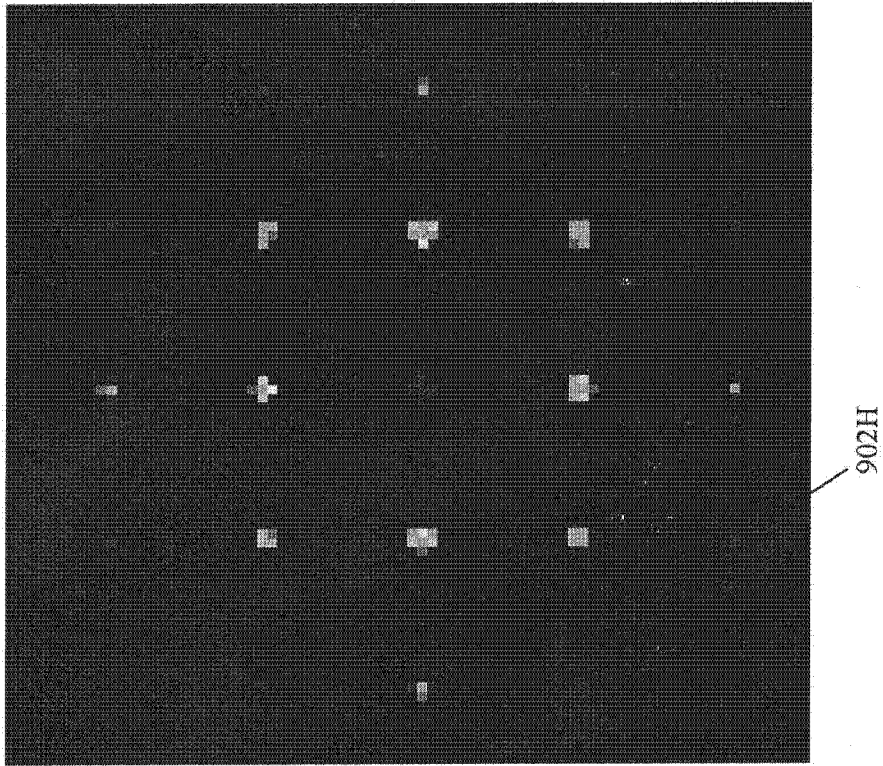


图 9H

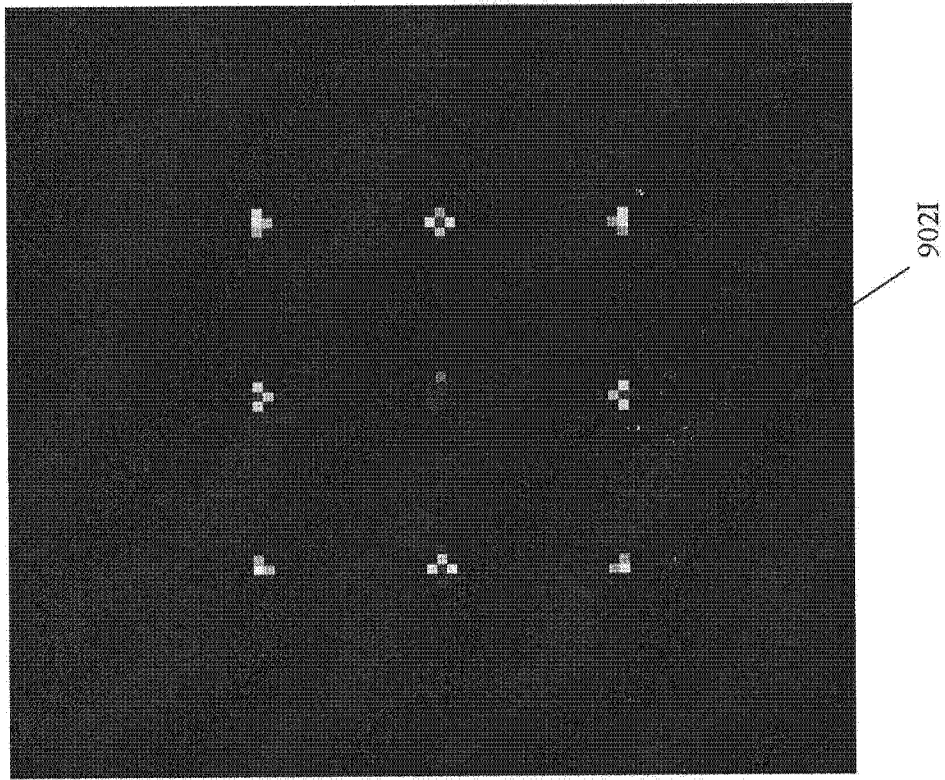


图 9I

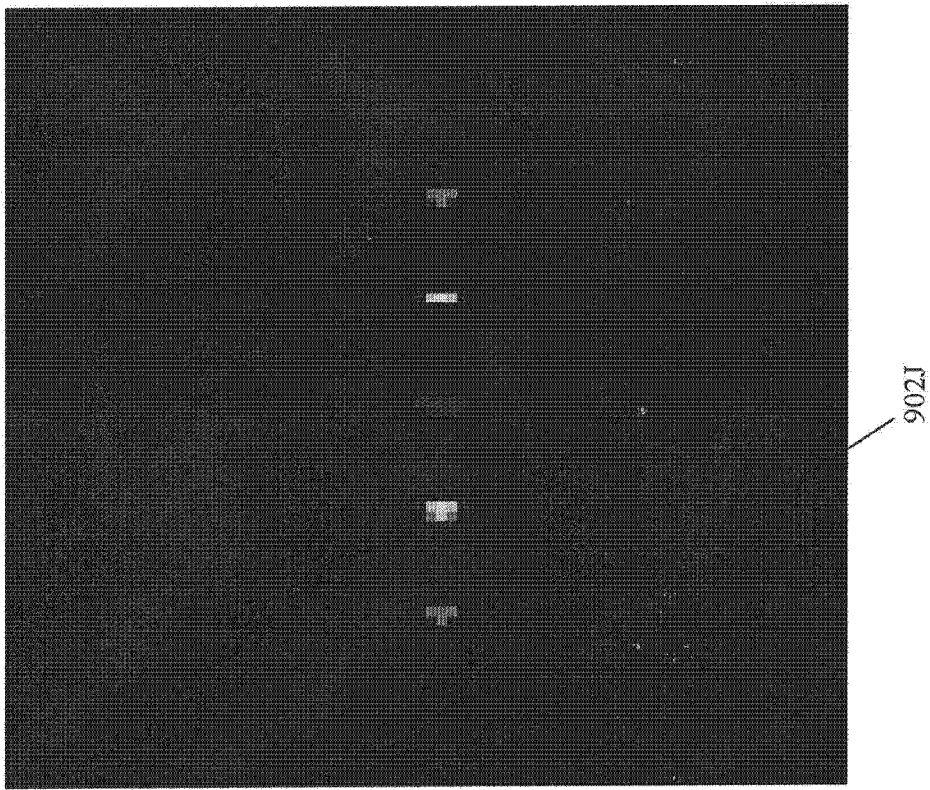


图 9J

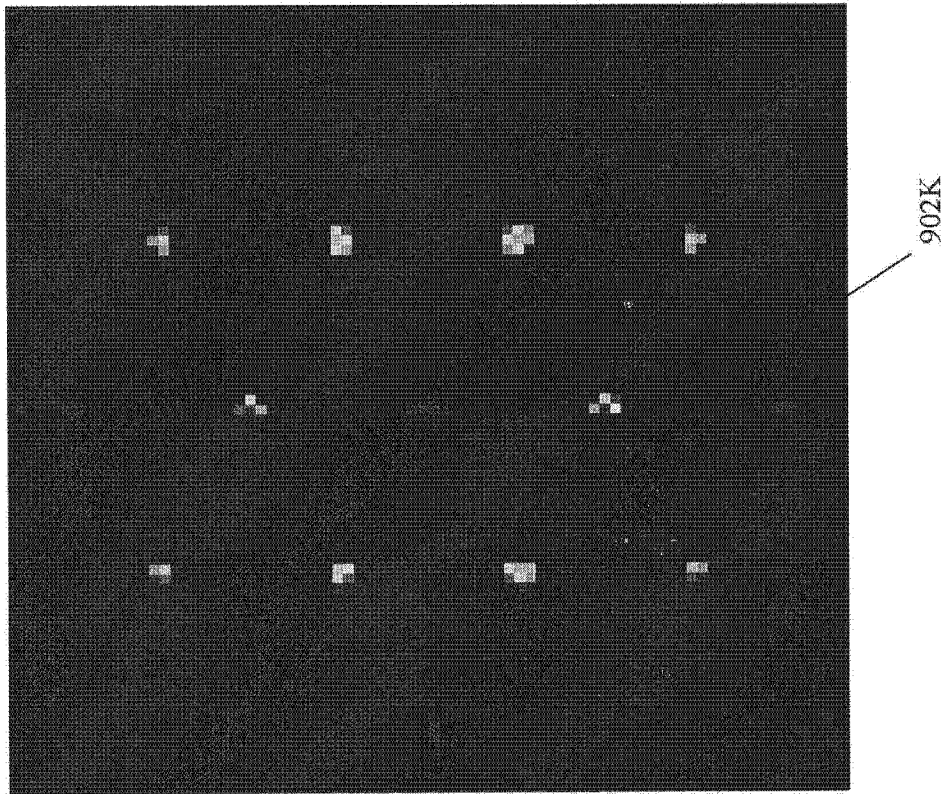


图 9K

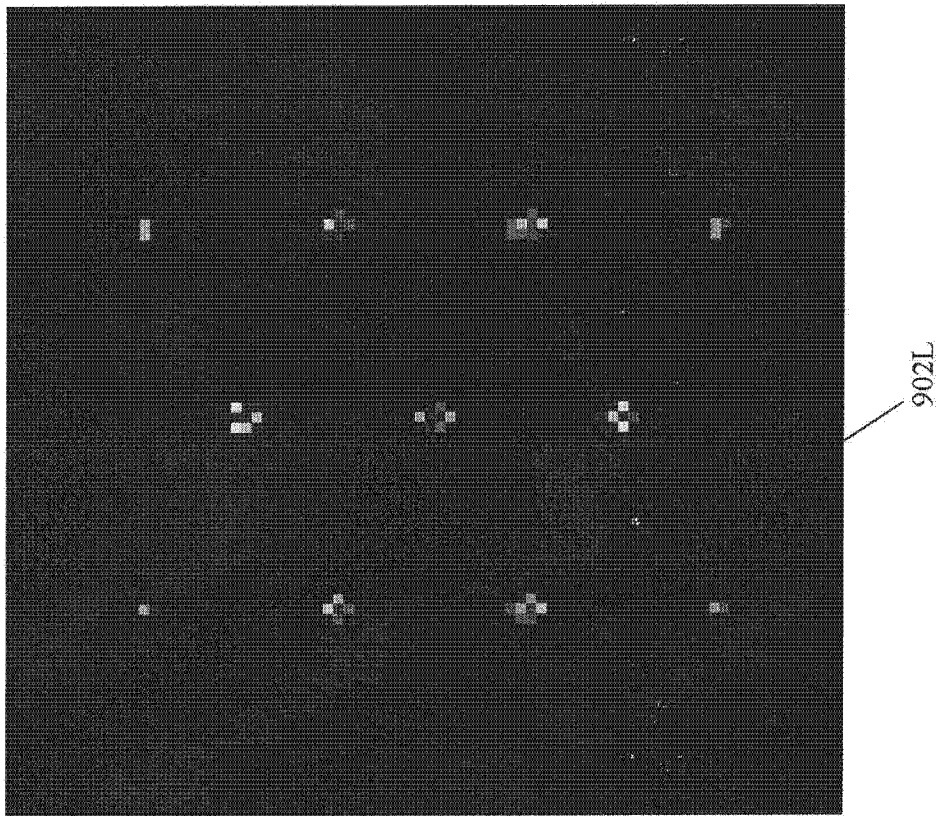


图 9L

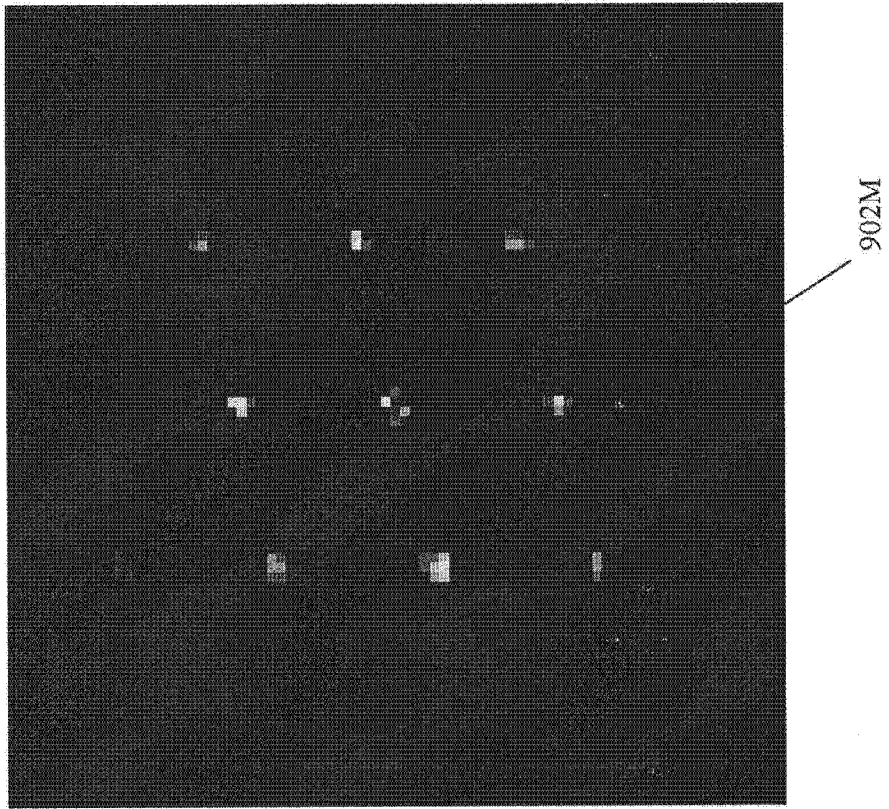


图 9M

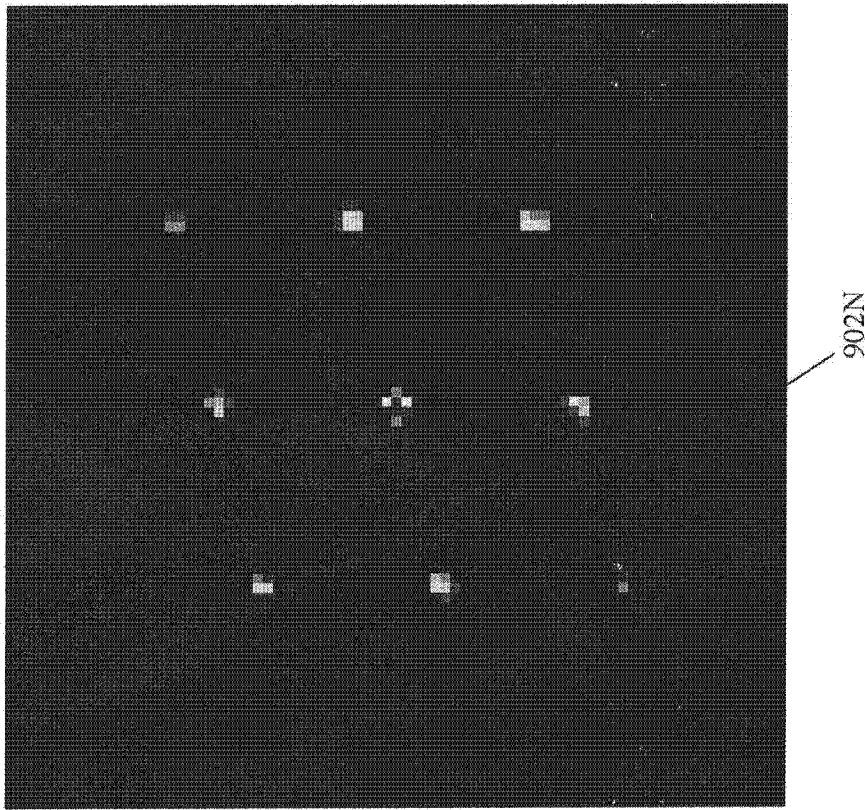


图 9N

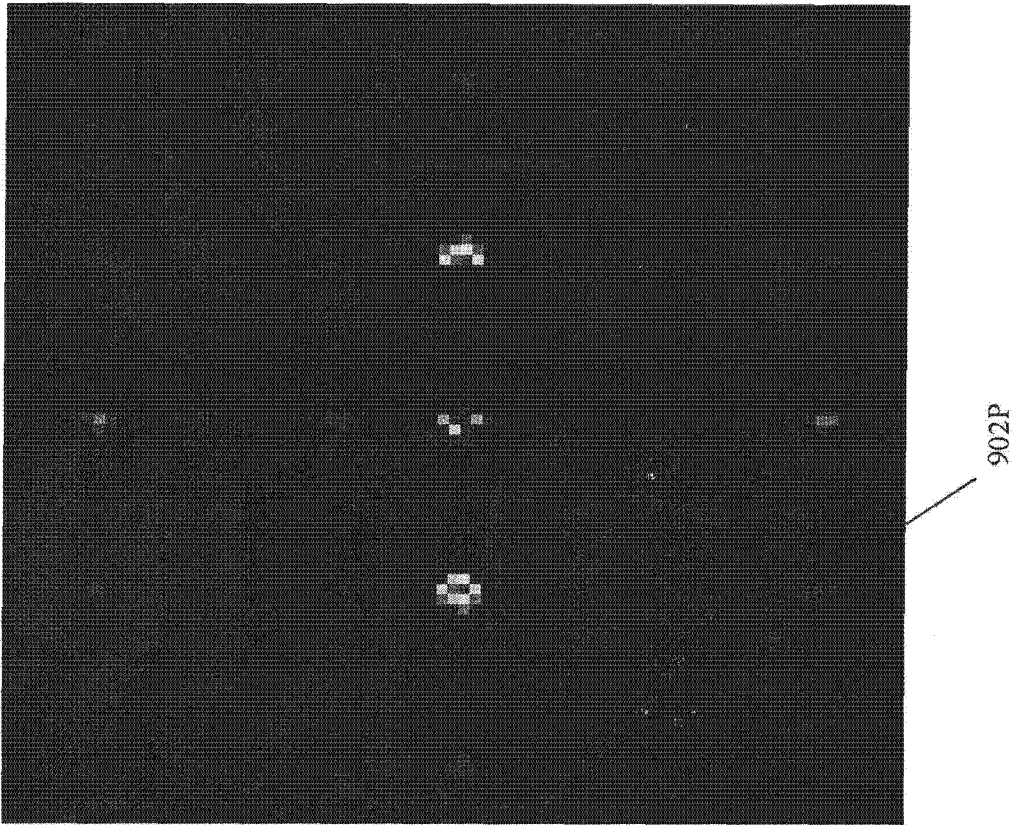


图 9P

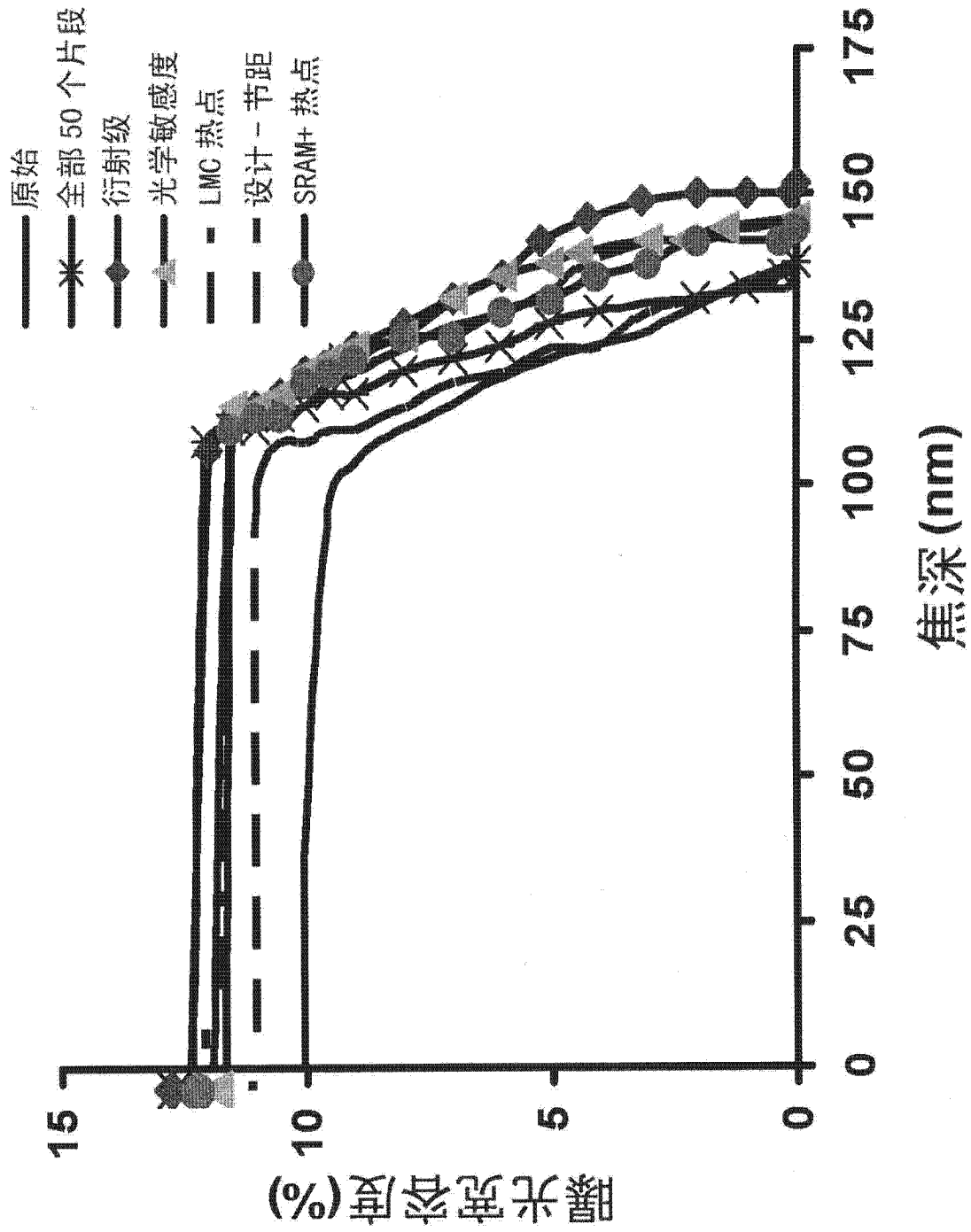
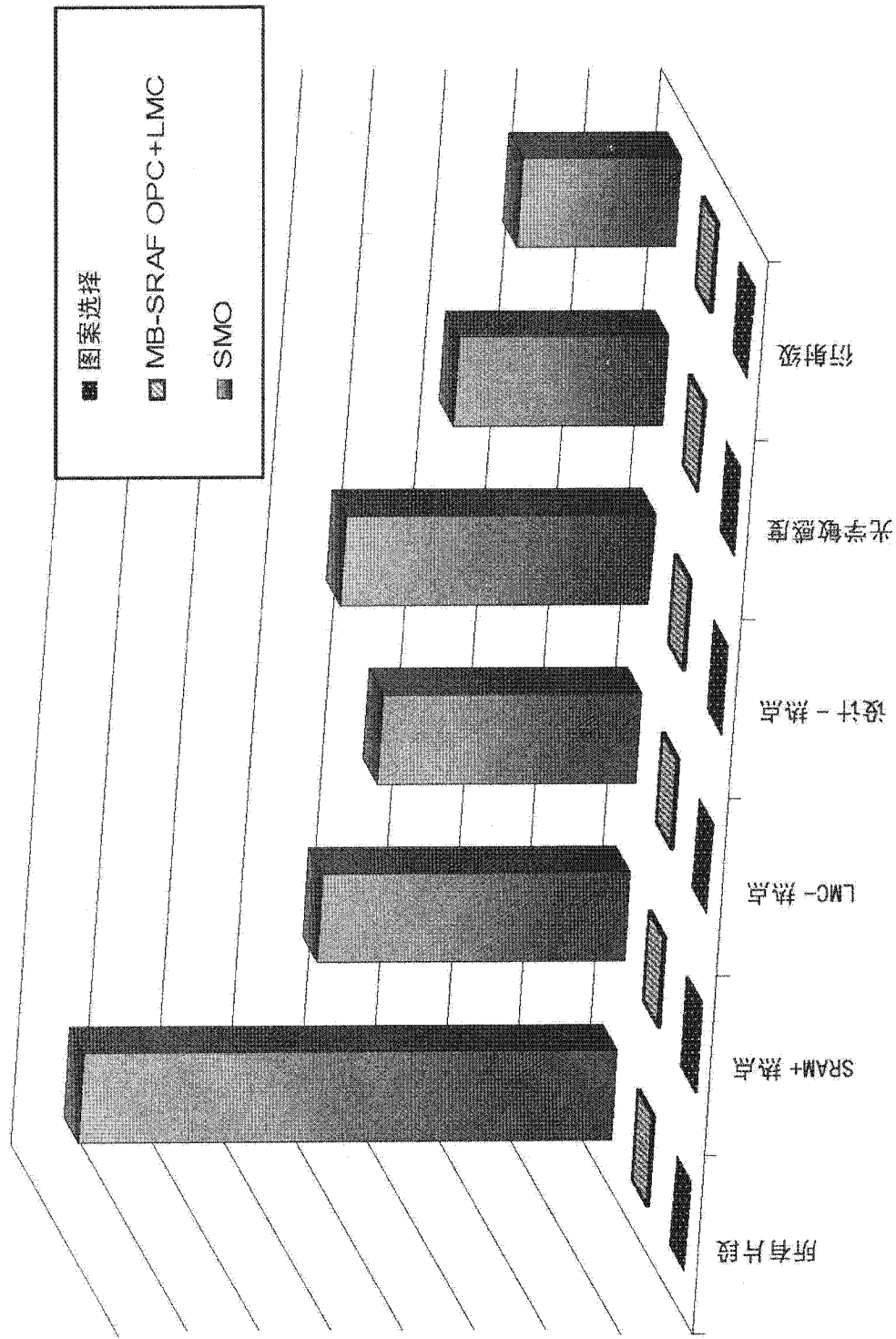


图 10



运行时间（相对单位）

图 11

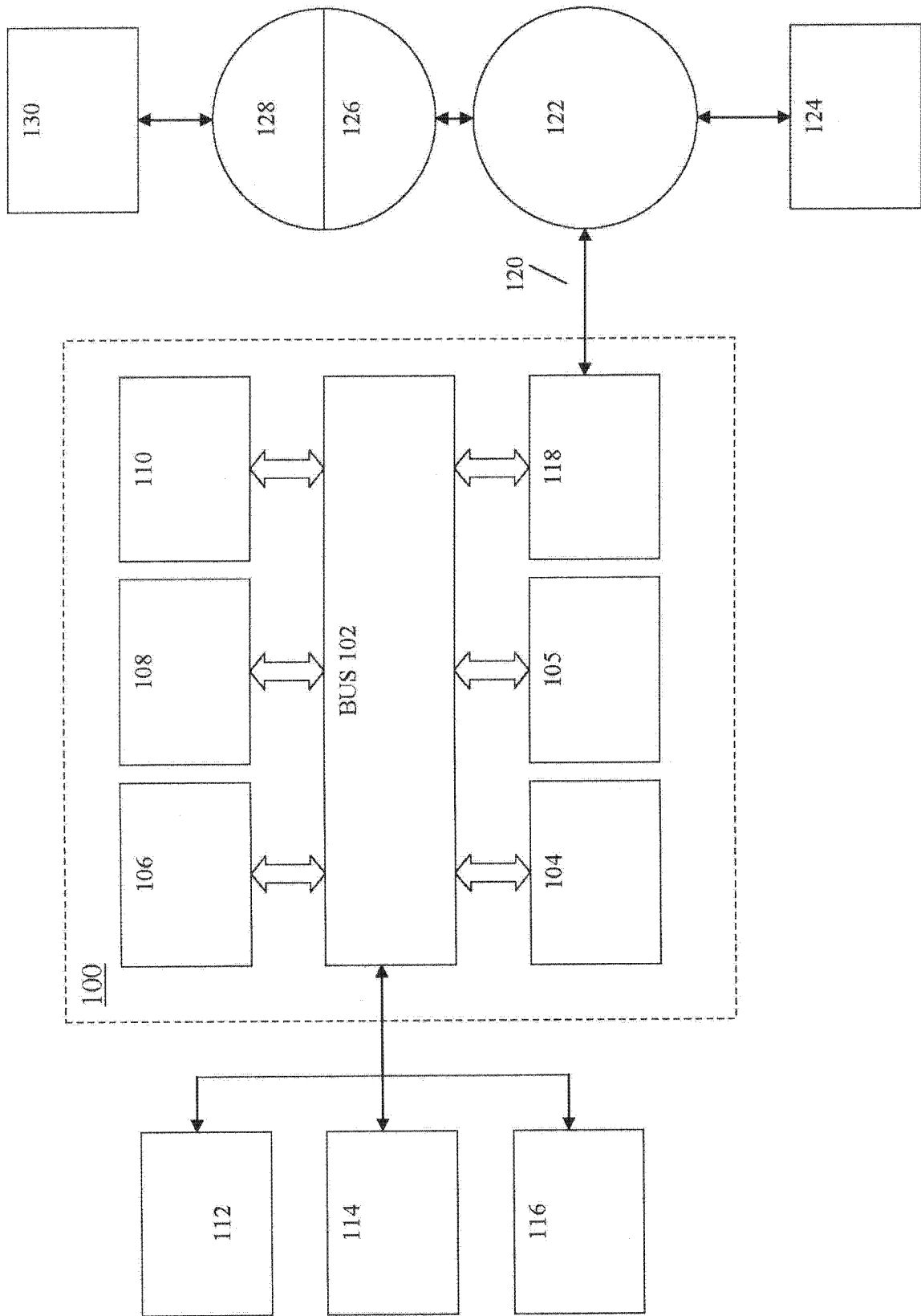


图 12

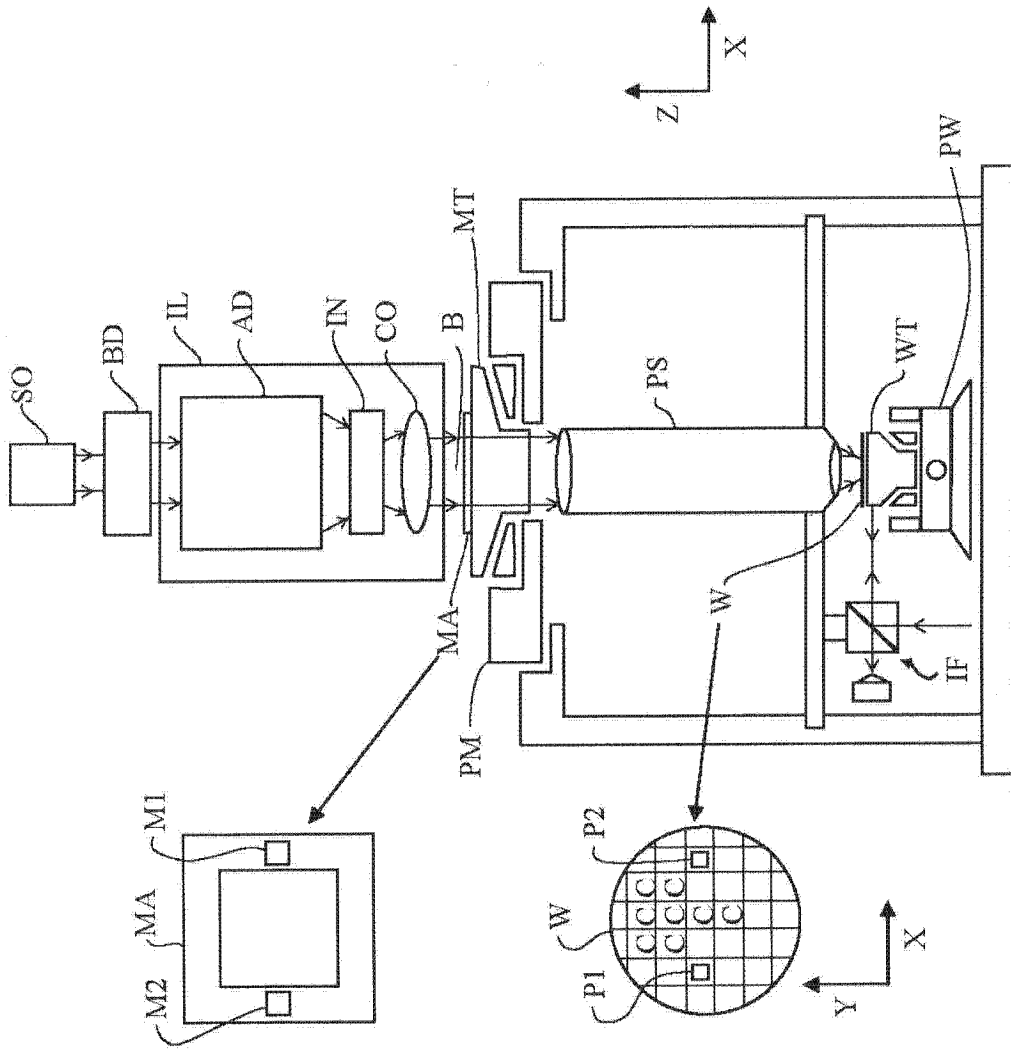


图 13