

**(12) NACH DEM VERTRÄG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG**

## **(19) Weltorganisation für geistiges Eigentum Internationales Büro**



**(43) Internationales Veröffentlichungsdatum  
8. Juli 2010 (08.07.2010)**

(10) Internationale Veröffentlichungsnummer  
**WO 2010/075831 A1**

- (51) **Internationale Patentklassifikation:**  
*H01L 25/16* (2006.01)      *H01L 21/48* (2006.01)  
*H01L 33/48* (2010.01)      *H01L 23/373* (2006.01)  
*H05K 1/02* (2006.01)      *H01L 33/64* (2010.01)

(21) **Internationales Aktenzeichen:** PCT/DE2009/001693

(22) **Internationales Anmeldedatum:**  
27. November 2009 (27.11.2009)

(25) **Einreichungssprache:** Deutsch

(26) **Veröffentlichungssprache:** Deutsch

(30) **Angaben zur Priorität:**  
10 2008 063 325.9  
30. Dezember 2008 (30.12.2008) DE

(71) **Anmelder** (*für alle Bestimmungsstaaten mit Ausnahme von US*): **OSRAM OPTO SEMICONDUCTORS GMBH** [DE/DE]; Leibnizstraße 4, 93055 Regensburg (DE).

(72) **Erfinder; und**

(75) **Erfinder/Anmelder** (*nur für US*): **GRÖTSCH, Stefan** [DE/DE]; Waldstraße 6, 93077 Lengfeld - Bad Abbach (DE). **MÜLLER, Klaus** [DE/DE]; Gartenstraße 6a, 93186 Pettendorf (DE).

(74) **Anwalt:** **EPPING HERMANN FISCHER PATENTANWALTSGESELLSCHAFT MBH**; Postfach 200734, 80007 München (DE).

(81) **Bestimmungsstaaten** (*soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart*): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

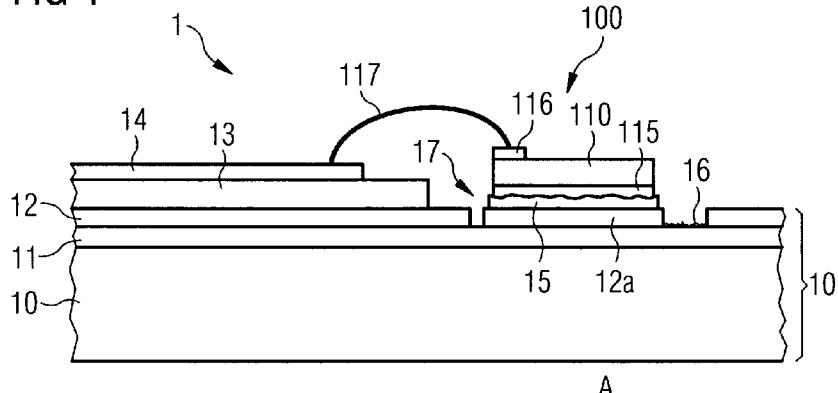
(84) **Bestimmungsstaaten** (*soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart*): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[Fortsetzung auf der nächsten Seite]

**(54) Title:** METHOD FOR PRODUCING LAMPS

**(54) Bezeichnung : VERFAHREN ZUR FERTIGUNG VON LEUCHTMITTELN**

FIG 1



**(57) Abstract:** A method for producing lamps proposes the provision of a carrier serving as a heat sink, comprising a planar chip assembly region. The planar chip assembly region is structured so as to create a first partial region and at least one second partial region. To this end, the first partial region has a solder-repelling property after structuring. Thereafter, a solder is applied onto the planar chip assembly region, so that it moistens the at least one second partial region. At least one optoelectronic body is attached in the at least one second partial region to the carrier by way of the solder. Finally, contacts are formed on the optoelectronic luminescent element for supplying electric energy.

**(57) Zusammenfassung:** Ein Verfahren zur Fertigung von Leuchtmitteln schlägt ein Bereitstellen eines als Wärmesenke dienenden Trägers vor, der einen flächigen Chipmontagebereich umfasst. Der flächige Chipmontagebereich wird zur Erzeugung eines ersten Teilbereichs und wenigstens eines zweiten

[Fortsetzung auf der nächsten Seite]



**Veröffentlicht:**

- mit internationalem Recherchenbericht (Artikel 21 Absatz 3)
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eingehen (Regel 48 Absatz 2 Buchstabe h)

---

Teilbereichs strukturiert. Hierbei weist der erste Teilbereich nach dem Strukturieren eine lotabweisende Eigenschaft auf. Anschließend wird ein Lot auf den flächigen Chipmontagebereich aufgebracht, sodass dieses den wenigstens einen zweiten Teilbereich benetzt. Wenigstens ein optoelektronischer Körper wird in den wenigstens einen zweiten Teilbereich mit dem Lot am Träger befestigt. Schließlich werden zur Zuführung elektrischer Energie an den optoelektronischen Leuchtkörper Kontaktierungen ausgebildet.

## Beschreibung

### Verfahren zur Fertigung von Leuchtmitteln

5 Diese Patentanmeldung beansprucht die Priorität der deutschen Patentanmeldung 102008063325.9, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

10 Die Erfundung betrifft ein Verfahren zur Fertigung von Leuchtmitteln und insbesondere ein Verfahren zur Fertigung von Baugruppen mit optoelektronischen Bauelementen.

Anwendungen mit optoelektronischen Bauelementen gewinnen zunehmend an Bedeutung. Hierzu gehören neben einfachen Leuchtmitteln wie Lampen auch Hintergrundbeleuchtungen, beispielsweise für LCD-Bildschirme oder Monitore. Dabei bezeichnet der Begriff optoelektronischen Bauelement ein Element, das in einem Betrieb bei einer Versorgung mit elektrischer Energie Licht emittiert. Hierzu gehören neben Leuchtdioden auf Halbleiterbasis auch organische Leuchtdioden, Kombinationen aus organischen und anorganischen zur Lichtemission geeignete Verbindungen und andere lichtemittierende Bauelemente.

25 In einigen Anwendungen sind sehr hohe Lichtleistungen erforderlich, beispielsweise für Projektoren. Hierbei werden vor allen Dingen Leuchtkörper eingesetzt, die in unterschiedlichen Farben Licht emittieren, sodass sich eine weiße Mischfarbe ergibt.

30 Um möglichst hohe Leuchtdichten zu erreichen, werden häufig verschiedene optoelektronische Bauelemente auf einem gemeinsamen Chip platziert und anschließend durch entsprechende Zu- leitungen angesteuert und mit Energie versorgt. Die Untertei-

lung in verschiedene einzelne Chips hat den Vorteil, dass sich einerseits Leuchtkraft und Farbe besser regulieren lassen und andererseits die Ausfallwahrscheinlichkeit verringert bzw. die Reparaturmöglichkeiten verbessert werden. Demgegenüber kann sich aufgrund einer ungenauen Platzierung eine ungleichmäßige Lichtverteilung und Leuchtdichte ergeben, was sich störend bemerkbar machen kann  
5

Daher besteht das Bedürfnis, bei der Fertigung derartiger Leuchtmittel ein Verfahren vorzusehen, bei dem eine höhere und gleichmäßigere Leuchtdichte erreichbar ist.  
10

Diese Aufgabe wird mit dem Gegenstand des unabhängigen Verfahrensanspruchs gelöst.

15 Weiterbildungen und Ausgestaltungsformen der Erfindung sind Gegenstand der Unteransprüche.

Nach dem vorgeschlagenen Prinzip kann die Leuchtdichte und  
20 die Gleichmäßigkeit, vereinfacht auch als Etendue bezeichnet durch eine geeignete Strukturierung eines flächigen Chipmontagebereichs, auf dem die einzelnen Leuchtkörper aufgebracht sind, verbessert werden.

25 Zu diesem Zweck wird in einer Ausgestaltung ein als Wärmesenge dienender Träger bereitgestellt, der einen flächigen Chipmontagebereich umfasst. Der Träger kann einen Metallkern, ein Metallsubstrat mit einem derartigen flächigen Chipmontagebereich aufweisen. Ebenso kann als Träger ein Keramiksubstrat mit einem metallisierten Chipmontagebereich, ein PCB (Printed Circuit Board) mit einem flächigen ggf. metallisierten Chipmontagebereich oder auch ein Leadframe mit einem derartigen Bereich vorgesehen sein. Abhängig von dem jeweiligen Träger  
30

wird der spätere Chipmontagebereich vorbehandelt, beispielsweise metallisiert. Als Träger ist jedes SMT-fähiges Substrat geeignet, dass in Teilbereichen metallisiert werden kann, um einen flächigen Chipmontagebereich zu bilden

5

- Der flächige Chipmontagebereich wird zur Erzeugung eines ersten Teilbereichs und wenigstens eines zweiten Teilbereichs strukturiert. Die Strukturierung erfolgt derart, dass der erste Teilbereich nach dem Strukturieren eine lotabweisende Eigenschaft aufweist. Alternativ wird durch die Strukturierung des Chipmontagebereichs der erste Teilbereich lotabweisend, so dass der Chipmontagebereich im ersten Teilbereich lotabweisend und im zweiten Teilbereich lotanziehend ist.
- 10 Unter den Begriffen "lotabweisend" oder "lotabweisende Eigenschaft" wird eine Eigenschaft des ersten Teilbereichs verstanden, die dazu führt, dass bei einem späteren Aufbringen eines Lotes oder Lotmittels diese den ersten Teilbereich nicht oder kaum benetzen. Folglich konzentriert sich nach dem Aufbringen eines Lots auf dem flächigen Chipmontagebereich das Lot vor allem im zweiten Teilbereich und benetzt diesen.
- 15

Anschließend wird wenigstens ein optoelektronischer Körper, vorzugsweise ein optoelektronisches Halbleiterbauelement auf das Lot in dem wenigsten einen zweiten Teilbereich aufgebracht und mit dem Träger fest verbunden. Durch die Strukturierung und die Erzeugung des lotabweisenden ersten Teilbereichs wird der auf dem Lot aufgebrachte optoelektronische Körper somit im zweiten Teilbereich fixiert. Während der Fertigung im flüssigen Zustand des Lots "folgt" der auf dem Lot schwimmende optoelektronische Körper dem Lot in den zweiten Teilbereich, da nur in diesem Teilbereich das Lot den Chipmontagebereich benetzt.

Die Strukturierung des flächigen Chipmontagebereichs in Teilbereiche mit lotabweisender und lotanziehender oder benetzungsfähiger Eigenschaft erlaubt somit Teilbereiche auszubilden, in  
5 denen ein oder mehrere optoelektronische Körper fixiert und durch ein vorher aufgebrachtes Lot mit dem Chipmontagebereich verbunden werden.

Anschließend kann eine elektrische Kontaktierung, geeignet  
10 zur Zuführung elektrischer Energie an den optoelektronischen Leuchtkörper, ausgebildet werden.

In einer Ausgestaltung ist es diesbezüglich zweckmäßig, den als Wärmesenke dienenden Träger bereits als Elektrode bzw.  
15 den flächigen Chipmontagebereich als Elektrode auszubilden. In diesem Fall dient der flächige Chipmontagebereich nicht nur als Teil der Wärmesenke, sondern auch als elektrischer Kontakt an das optoelektronische Bauelement.

20 In einer Ausgestaltung umfasst der flächige Chipmontagebereich in dem zweiten Teilbereich wenigstens eine metallische, durch das Lot zumindest teilweise benetzbare Teilschicht. Die Teilschicht kann beispielsweise Gold, Silber oder ein anderes nicht oxidierendes Material umfassen. In einer Ausführungsform umfasst der flächige Montagebereich verschiedene übereinander angeordnete Teilschichten aus unterschiedlichen Metallen. Diese Metalle können beispielsweise Nickel, Kupfer, Aluminium, Silber, Gold, Titan oder Wolfram umfassen. Dabei kann eine Goldschicht über einer Nickelschicht aufgebracht  
25 sein, um eine Diffusion von Gold in darunter liegende Teilschichten, beispielsweise aus Kupfer, zu verhindern.  
30

In einer Ausgestaltungsform des Verfahrens wird vorgeschlagen, zur Strukturierung des Chipmontagebereiches und Erzeugung des ersten Teilbereichs Teile der Goldschicht innerhalb des Chipmontagebereichs zu entfernen und die darunter liegenden Nickelbeschichtungen zu oxidieren. Durch die Oxidation der darunter liegenden Schicht, insbesondere einer Nickelbeschichtung, wird ein erster Teilbereich geschaffen, der eine lotabweisende Eigenschaft aufweist, sodass das darauf aufgebrachte Lot diesen Teilbereich nicht oder nur sehr gering benetzt.

10

In einer Ausgestaltung wird eine derartige Strukturierung erreicht, indem eine optische Lichtquelle, vorzugsweise ein Laser, bereitgestellt wird. Anschließend wird zur Erzeugung der Strukturierung des flächigen Chipmontagebereichs der erste Teilbereich des flächigen Chipmontagebereichs mit der optischen Lichtquelle bestrahlt und so wenigstens eine der metallischen Teilschichten oxidiert. In einem Ausführungsbeispiel wird durch die Bestrahlung ein Oberflächenmaterial des ersten Teilbereichs geschmolzen oder verdampft und ein darunter liegendes freigelegtes Material oxidiert. Dieses darunter liegende oxidierte Material weist die lotabweisenden Eigenschaften auf. Beispielsweise kann das Oberflächenmaterial Gold, Aluminium oder Silber sein, welches durch die Bestrahlung vorzugsweise mittels eines Lasers verdampft wird. Ein weitere Teilschicht bildendes darunter liegendes Material wird freigelegt. Dieses kann beispielsweise Nickel umfassen. Das freigelegte Material wird dann oxidiert, beispielsweise mit Hilfe der optischen Strahlungsquelle, aber auch durch andere physikalische oder chemische Verfahren.

20  
25  
30

Im Fall einer freigelegten Nickelbeschichtung wird diese durch den Laserstrahl oxidiert und das so oxidierte Nickel ist lotabweisend.

Allgemein kann zur Erzeugung eines Materials mit einer lotabweisenden Eigenschaft ein Oberflächenmaterial des flächigen Chipmontagebereichs durch physikalische oder chemische Verfahren chemisch verändert werden und eine Verbindung eingehen.

In einer anderen Ausgestaltung wird der flächige Chipmontagebereich strukturiert, indem eine Lötstoppschicht auf dem flächigen Chipmontagebereich aufgebracht wird. Diese Lötstoppschicht ist ebenfalls lotabweisend. Anschließend wird die Lötstoppschicht zur Erzeugung des ersten und zweiten Teilbereichs strukturiert und dann im zweiten Teilbereich entfernt, sodass die darunter liegende Oberfläche des zweiten Teilbereichs des Chipmontagebereichs wieder freigelegt wird. Eine Strukturierung der Lötstoppschicht kann beispielsweise durch geeignete Maskenverfahren und Belichtung erfolgen. Die übrige Lötstoppschicht verbleibt unter Bildung des ersten Teilbereichs auf dem Chipmontagebereich.

In einer weiteren Ausgestaltung wird eine Lötstoppschicht auf den flächigen Chipmontagebereich direkt selektiv aufgebracht und so der erste Teilbereich definiert. Auch hierbei ist die Lötstoppschicht lotabweisend. Ein derartiges Aufbringen kann beispielsweise über ein Schablonenverfahren oder ein Lotdispensverfahren erfolgen. Sofern notwendig, lassen sich anschließend durch Freilegen und/oder Bearbeiten von Abschnitten des zweiten Teilbereichs diese von einer ungewünscht aufgebrachten Lötstoppschicht reinigen, sodass der zweite Teilbereich wieder die durch Lot benetzbare Oberfläche umfasst.

Zum Aufbringen eines Lots auf den flächigen Chipmontagebereichs innerhalb des zweiten Teilbereichs bietet sich ein

Lotdispensverfahren an. Dies ist insbesondere von Vorteil, wenn der Chipmontagebereich innerhalb des Trägers tiefer gelegt ist als der ihn umgebende Bereich, der beispielsweise die Zuleitung oder andere elektrische Kontakte enthalten kann.

5

In einer anderen Ausgestaltung wird ein als Wärmesenke dienender Träger mit einem flächigen Chipmontagebereich bereitgestellt und auf diesem eine Kontaktierungsschicht aufgebracht. Der Träger kann ein PCB, ein Keramiksubstrat, ein Metallkern, ein Kunststoff oder auch eine Kombination aus diesen Trägermaterialien sein.

10

Außerhalb des Chipmontagebereichs wird eine dielektrische Schicht flächig auf den Träger aufgebracht, um einen Kurzschluss mit dem Chipmontagebereich zu vermeiden. Auf der dielektrischen Schicht werden nun Leiterbahnen und Kontaktspuren sowie andere notwendige Elemente aufgedampft, abgeschieden oder anderweitig aufgebracht. Der Chipmontagebereich wird weiterhin zur Erzeugung des ersten bzw. zweiten Teilbereichs entsprechend strukturiert und anschließend ein Lotmaterial, beispielsweise mittels Lotdispensverfahrens, auf den wenigstens einen zweiten Teilbereich abgeschieden. Durch die Strukturierung des flächigen Chipmontagebereichs wird das Lot in den wenigstens einen zweiten Teilbereich gezwungen und benetzt diesen. Anschließend können verschiedene optoelektronische Bauelemente auf dem Lot in dem wenigstens einen zweiten Teilbereich aufgesetzt und durch Erhitzen des Lots innig mit dem Chipmontagebereich verbunden werden. In einem letzten Schritt wird eine elektrische Kontaktierung zur Zuführung elektrischer Energie vorgenommen.

20

25

30

Die elektrische Kontaktierung kann beispielsweise über Wirebonden erfolgen, bei dem Bonddrähte einerseits mit den optoelektronischen Leuchtkörpern und andererseits mit Kontaktpads außerhalb des Chipmontagebereichs verbunden werden.

5

In einer weiteren Ausgestaltung der Erfindung wird der Chipmontagebereich in verschiedene zweite Teilbereiche unterteilt, von denen jeweils zwei benachbarte durch einen Abschnitt des ersten Teilbereichs getrennt sind. Auf diese Weise lassen sich mehrere optoelektronische Leuchtkörper in räumlich leicht getrennten, jedoch sehr eng beabstandeten Bereichen auf dem Chipmontagebereich befestigen. Beispielsweise ist es möglich, optoelektronische Leuchtkörper, ausgeführt zur Emission von Licht unterschiedlicher Wellenlänge auf dem Chipmontagebereich so anzuordnen, dass sich ein gewünschtes Gesamtleuchtmuster ergibt. Insbesondere Mischfarben, beispielsweise die Farbe weiß, lassen sich durch Anordnen verschiedener Leuchtkörper auf dem Chipmontagebereich realisieren. Dabei kann durch eine geeignet dünne Strukturierung des ersten Teilbereichs zwischen zwei Teilbereichen ein im Wesentlichen lückenloses Aneinanderfügen der verschiedenen optoelektronischen Leuchtkörper erreicht werden.

Im Folgenden wird die Erfindung anhand mehrerer Ausführungsbeispiele unter Bezugnahme auf die Zeichnungen im Detail näher erläutert. Es zeigen:

Figur 1 eine Querschnittsdarstellung eines Leuchtmittels, hergestellt nach dem vorgeschlagenen Prinzip,

30

Figur 2 eine Draufsicht über einen flächigen Chipmontagebereich eines Leuchtmittels nach dem vorgeschlagenen Prinzip,

Figur 3 eine Draufsicht über einen Chipmontagebereich in einer alternative Ausführung,

5 Figuren 4A bis 4E Querschnittsdarstellungen sowie Draufsichten zur Erläuterung eines Ausführungsbeispiels des Verfahrens,

10 Figuren 5A bis 5D ein weiteres Ausführungsbeispiel des Verfahrens zur Fertigung von Leuchtmitteln in Draufsicht.

15 In den folgenden Ausführungsbeispielen und Figuren können gleiche oder gleich wirkende Bestandteile mit gleichen Bezugssymbolen versehen sein. Die Figuren und die Größenverhältnisse, insbesondere auch die Größenverhältnisse einzelner Teilbereiche und Schichten zueinander, sind grundsätzlich nicht als maßstabsgerecht zu betrachten. Vielmehr dienen sie zur Verdeutlichung einzelner Aspekte der Erfindung. Zum besseren Verständnis oder besseren Darstellbarkeit können diese 20 übertrieben groß bzw. dick dargestellt sein.

Figur 1 zeigt in Querschnittsdarstellung einen Ausschnitt eines Leuchtmittels, wie er nach einem Verfahren gemäß dem vorgeschlagenen Prinzip hergestellt wurde. Das Leuchtmittel 1 ist hierzu auf einem als Wärmesenke dienenden Träger 10a aufgebracht. Dieser Träger umfasst einen durchgehenden Kupferkern 10, der eine ausreichende Stabilität aufweist und dessen Wärmekapazität ausreichend groß ist, um die im Betrieb durch 25 den Leuchtkörper 100 entstandene Wärme abzuführen. Der Kupferkern 10 hat darüber hinaus den Vorteil, dass er als rückseitige Elektrode für den Leuchtkörper 100 dienen kann.

Alternativ kann auch ein Keramiksubstrat als Träger mit einem metallisierten Chipmontagebereich verwendet werden.

- Auf dem Kupferkern 10 sind zur besseren Befestigung von optoelektronischen Bauelementen 100 zusätzliche Teilschichten 11 und 12 aufgebracht. Diese ermöglichen eine gute Benetzung eines später aufgebrachten Lots, auf dem der Leuchtkörper 100 befestigt wird. Die einzelnen Teilschichten umfassen im vorliegenden Ausführungsbeispiel eine Teilschicht aus Nickel 11 sowie eine darauf dünn aufgebrachte Goldschicht 12. Die Goldschicht 12 verhindert eine ungewünschte Oxidation der darunter befindlichen Schichten und verlängert somit die Lebensdauer.
- Auf der Goldschicht 12, die über die Nickelteilschicht 11 mit dem Kupferkern 10 in elektrisch leitendem Kontakt steht, ist in Teilbereichen eine dielektrische Schicht 13 aufgebracht. Auf dieser sind Kontaktfahnen 14 aufgedampft, die später über Bonddrähte 117 die Kontaktierung an den Leuchtkörper 100 ermöglichen.

Im Chipmontagebereich A sind die Teilschichten 11 und 12 in einzelnen Teilbereichen 17 strukturiert, um eine Fixierung des Leuchtkörpers 100 auf einem Lot 15 zu gewährleisten. Dieses Lot 15 ist in einem zweiten Teilbereich 12a aufgebracht, der von den strukturierten Teilbereichen 17 umgeben ist. Wie zu erkennen, benetzt das Lot die strukturierten Teilbereiche 17 nicht, sondern lediglich den zweiten Teilbereich 12a des Chipmontagebereichs. Das auf dem Lot aufgebracht und befestigte optoelektronische Bauelement wird so in dem zweiten Teilbereich 12a fixiert. Der Leuchtkörper 100, beispielsweise in Form einer Leuchtdiode umfasst eine rückseitig angeordnete Spiegelschicht 115 zur Verbesserung der Lichtauskopplung.

Weiterhin enthält er eine oder mehrere Teilschichten 42, wobei wenigstens eine der Teilschichten eine zur Lichtemission geeignete Schicht aufweist. In einer Ausführungsform kann der Leuchtkörper als Dünnfilmleuchtdiode ausgebildet sein. Entsprechende Herstellungsarten derartige Leuchtkörper sind dem Fachmann bekannt, sodass von einer erneuten Erläuterung abgesehen wird.

In diesem Ausführungsbeispiel besitzt der Leuchtkörper 100 auf seiner Oberfläche einen Kontakt 116, der über einen Bonddraht 117 mit einem entsprechenden Kontaktpad und einer Kontaktfahne 14 auf der Oberfläche des Leuchtmittels und der dielektrischen Schicht 13 befestigt ist.

Die strukturierten ersten Teilbereiche 17 sind mit einer dünnen Nickeloxidschicht 16 bedeckt. Diese Nickeloxidschicht, die durch das Entfernen der Goldschicht und anschließende Oxidation erzeugt wird, ist lotabweisend, sodass beim Auftragen von Lotmaterial auf den Chipmontagebereich diese Teilbereiche nicht benetzt werden. Verschiedene Adhäsionskräfte ziehen anschließend einen auf dem Lot aufgebrachten Leuchtkörper in die Teilbereiche mit dem meisten Lot. Dadurch lässt sich durch Strukturieren des Chipmontagebereichs in Teilbereiche 17 und 12a die Position eines Leuchtkörpers innerhalb des Chipmontagebereichs genau festlegen.

Zur Herstellung eines derartigen Leuchtmittels wird in diesem Ausführungsbeispiel die Goldschicht 12a durch einen Laser entfernt. Hierzu wird ein Laserstrahl auf den Chipmontagebereich gerichtet und entlang geführt, sodass die Teilschicht 12 an den Stellen, die der Laserstrahl überstreicht, verdampft und so die Teilbereiche 17 definiert. Die zusätzlich eingebrachte Energie durch den Laserstrahl oxidiert mit Sau-

erstoff gleichzeitig die darunter liegende Nickelschicht 11, welche dann die lotabweisenden Eigenschaften aufweist. Bei einem späteren Aufbringen des Lots ist darauf zu achten, dass ein verwendetes Flussmittel die Nickeloxidschicht 16 in den 5 strukturierten Teilbereichen 17 nicht erneut reduziert und so die Strukturierung wieder aufhebt.

Nach der Strukturierung wird das Lot aufgebracht, beispielsweise durch ein Lotdispensverfahren. Die aufgebrachten 10 Leuchtkörper 100 werden durch das Lot auf den zweiten Teilbereichen 12a fixiert und daran befestigt. Anschließend kann durch ein Wire-Bond-Verfahren die elektrische Kontaktierung mit Kontaktdrähten 117 an den Leuchtkörper bzw. das optoelektronische Bauelement 100 erfolgen.

Figur 2 zeigt eine Draufsicht zur Erläuterung der unterschiedlichen Strukturierungsmöglichkeiten. Die Darstellung zeigt eine Draufsicht auf einen Chipmontagebereich, der einen Teil eines größeren Trägers bilden kann. Der Chipmontagebereich umfasst zwei Hauptbereiche, die jeweils für sich genommen wiederum in erste und zweite Teilbereiche strukturiert sind. In einem ersten Hauptbereich ist der Chipmontagebereich durch einen umlaufenden Teilbereich 24 strukturiert, sodass eine darin freiliegende Fläche 23 vorhanden ist. Diese bildet 20 den zweiten Teilbereich. Auf der Fläche kann über ein Dispens-, ein Abscheide- oder ein Druckverfahren Lotmaterial aufgebracht werden. Der umlaufende Teilbereich 24 weist hingegen lotabweisende Eigenschaften auf, sodass sich das Lotmaterial im Wesentlichen im Bereich 23 konzentriert.

Ein zweiter Hauptbereich des strukturierten Chipmontagebereichs ist in zwei zweite Teilbereiche 22a und 22b unterteilt, die jeweils durch einen strukturierten Steg 21b von-

einander getrennt sind. Auch hier sind die Teilbereiche 22a und 22b vollständig von einem lotabweisenden ersten Teilbereich 21a umgeben. Lotmaterial, was in den zwei zweiten Teilbereichen 22a und 22b abgeschieden wird, bleibt durch den strukturierten Steg 21b getrennt, sodass sich in dieser Ausführungsform beispielsweise zwei getrennte optoelektronische Bauelemente auf den einzelnen Teilbereichen 22a und 22b platzieren lassen.

10 Die Oberflächen der Teilbereiche 23 sowie 22a und 22b sind metallisch, sodass das aufgebrachte Lotmaterial einerseits zur Wärmeabfuhr in einem Betrieb des optoelektronischen Bauelements dient und andererseits gleichzeitig einen rückwärtigen elektrischen Kontakt bilden kann.

15 Die vorgeschlagene Strukturierung des Chipmontagebereichs erlaubt es, unterschiedlich geometrisch angeordnete Teilbereiche vorzusehen, in denen positionsgenau optoelektronische Bauelemente platziert werden können. Dadurch lassen sich insgesamt das Etendue und die Gleichmäßigkeit der Lichtabstrahlung verbessern.

20 Figur 3 zeigt diesbezüglich einen Ausschnitt eines komplexeren Chipmontagebereichs, bei dem rechteckförmige Teilbereiche 31 strukturiert sind. Diese sind um einen gemeinsamen Mittelpunkt im Wesentlich kreisförmig angeordnet. Durch eine geeignete Beschaltung auf dem Träger lassen sich die optoelektronischen Bauelemente einzeln ansteuern und somit verschiedene Lichtapplikationen realisieren.

25 30 Unterschiedliche Größe und Form der Teilbereiche erlauben es, verschiedene optoelektronische Bauelemente vorzusehen und gleichzeitig deren unterschiedliche Abstrahlcharakteristiken zu berücksichtigen. Beispielsweise sind so auch Mischfarben

erzeugbar, indem zur Lichtemission mit unterschiedlichen Wellenlängen geeignete Bauelemente benachbart zueinander angeordnet werden. Da der erste Teilbereich des Chipmontagebereichs, der nach dem Strukturieren die lotabweisende Eigenchaft aufweist, sehr geringe Strichdicken umfassen kann, lassen sich auch Bauelemente ausreichend nah nebeneinander platzieren, ohne dass es im Betrieb zu einer Verminderung der Lichtleistung oder der Abstrahlqualität kommt. Dabei ist es sogar möglich, durch geeignete Wahl der Dicke des lotabweisenden ersten Teilbereichs, der zwei benachbarte zweite Teilbereiche trennt, optoelektronische Bauelemente direkt nebeneinander mit einem Abstand kleiner als die Dicke des ersten Teilbereichs anzuordnen und zu befestigen.

Gleichzeitig wird es möglich, verschiedene optoelektronische Bauelemente einzeln anzusteuern, um so auch unterschiedliche Applikationen zu realisieren. Die Strukturierung des Chipmontagebereichs erlaubt die Verwendung kleinerer optoelektronischer Bauelemente, die gerade in der Fertigung fehlertoleranter und weniger ausfallträchtig als entsprechend großflächige Bauelemente sind.

Figuren 4A bis 4E zeigen ein Ausführungsbeispiel eines Verfahrens zur Fertigung von Baugruppen mit optoelektronischen Bauelementen.

25

In einem ersten Schritt gemäß Figur 4A wird ein als Wärmesenke dienender Träger 4 bereitgestellt. Dieser umfasst hier einen Kupferkern 40, der hauptsächlich als Wärmesenke dient, kann jedoch auch andere Materialien beinhalten. Auf dem Kupferkern 40 ist eine isolierende dielektrische Schicht 41 aufgebracht, welche einen Kurzschluss zwischen dem Kupferkern 40 und einer darüber befindlichen elektrisch leitfähigen Schicht

42 verhindern soll. Die dielektrische Schicht 41 weist hier ebenfalls eine ausreichende Wärmeleitfähigkeit auf.

Die Schicht 42 umfasst mehrere Metallisierungsschichten, welche hier aus Übersichtsgründen nicht näher dargestellt sind.  
5 Beispielsweise wird auf der dielektrischen Schicht 41 erst eine Metallisierung aus Kupfer aufgebracht. Auf diese wird anschließend Nickel aufgedampft und hierauf wiederum zur Verhinderung von Oxidation eine dünne Goldschicht aufgebracht.  
10 Die zwischen Kupfer und Gold angeordnete Nickelschicht ist notwendig, um eine Diffusion des Goldes in die Kupferschicht und eine anschließende Oxidation der Kupferschicht zu vermeiden. Anstelle der hier vorgeschlagenen Kupfer-Nickel-Gold-Beschichtung können auch andere Materialien verwendet werden.  
15 Beispielsweise eignen sich auch Teilschichten aus Kupfer und Silber bzw. Nickel und Silber für eine Befestigung später aufgebrachter Leuchtkörper.

Die dielektrische Schicht 41 ist wenige Mikrometer dicht, die  
20 darüber befindliche Kupfermetallisierungsschicht kann eine Dicke von  $35\mu\text{m}$  bis  $70\mu\text{m}$  oder mehr aufweisen, die Nickelschicht ca.  $10\mu\text{m}$  bis  $20\mu\text{m}$  betragen.  
Zur Strukturierung des Chipmontagebereichs und einer Unterteilung in erste und zweite Teilbereiche, wobei der erste  
25 Teilbereich lotabweisend wirken soll, wird nun großflächig eine Lötstoppschicht auf der Teilschicht 42 abgeschieden. Das Ergebnis ist in Figur 4B dargestellt. Anschließend wird mittels Fotomaskenverfahren die Lötstoppschicht strukturiert und in einzelne erste Teilbereiche 43a, 43b und 43c unterteilt.  
30 Als Lötstoppschicht eignet sich beispielsweise auch ein besonders unempfindlicher Fotolack, oder eine andere organische Schicht. Diese sollte zumindest solange beständig sein, bis die Fertigung des Bauelementes abgeschlossen ist.

Zwischen den einzelnen Teilbereichen 43a, 43b und 43c wird der nun nicht belichtete Teil der als Lötstoppschicht wirkenden Fotolackschicht entfernt und somit zweite Teilbereiche 44 5 definiert. Nach dem Entfernen der nicht belichteten Bereiche liegt die Oberfläche der Metallisierungsschicht 42 wieder frei.

Figur 4D zeigt einen Ausschnitt eines Trägers in Draufsicht 10 zur Darstellung der einzelnen strukturierten ersten und zweiten Teilbereiche 43a, 43b, 43c und 44. Der Schnitt entlang der Achse I'-I entspricht der Querschnittsdarstellung gemäß Figur 4C. In den zweiten Teilbereichen 44 liegt die metallische Oberfläche frei.

15

In einem unteren Bereich der Draufsicht sind zusätzlich Kontaktpads 45 freigelegt, die von einer dielektrischen Schutzschicht 46 umgeben sind. Die Querschnittsdarstellung entlang der Linie II'-II ist in Figur 4E dargestellt. Auf der Metallisierungsschicht 42 ist zur elektrischen Isolation eine weitere dielektrische Schicht 47 aufgebracht. Alternativ kann diese Schicht 47 auch durch die Lötstoppschicht gebildet werden, sofern diese elektrisch isolierend wirkt. Auf der dielektrischen Schicht 47 sind die Kontaktlemente 45 als Kontaktfahnen und Kontaktpads abgeschieden. Zur Verhinderung einer Oxidation der Kontaktpads und Reduzierung einer Kurzschlusswahrscheinlichkeit sind diese von einer weiteren dielektrischen Schutzschicht 46 umgeben. Die Kontaktfahnen zur Zuführung elektrischer Energie an die Kontaktpads 45 sind im 20 dargestellten Ausführungsbeispiel von der Schutzschicht 46 bedeckt. 25 30

Folglich liegen lediglich die Kontaktpads 45 frei, die beispielsweise über eine Bonddrahtverbindung mit den optoelektronischen Bauelementen in den Teilbereichen 44 verbunden sind. In einem hier nicht dargestellten Abschnitt des Trägers 5 sind in der dielektrischen Schicht 47 Kontaktlöcher vorgesehen, welche einen elektrischen Kontakt zur metallischen Schicht 42 und damit den optoelektronischen Bauelementen in den Teilbereichen 44 ermöglichen.

Die Figuren 5A bis 5D zeigen ein weiteres Ausführungsbeispiel eines Verfahrens zur Fertigung von Leuchtmitteln. Bei diesem Verfahren wird ein als Wärmesenke dienender Träger 50, beispielsweise ein Kupferkern, ein Keramikkern, ein PCB, ein Leadframe oder ein ähnlicher Träger mit hoher Wärmeleitfähigkeit in einem Chipmontagebereich 51 sowie in einem Wire-Bond-Bereich 52 mit metallisch elektrisch leitfähigen Schichten bedeckt. Hierbei steht der Wire-Bond-Bereich 52 und der Chipmontagebereich 51 in einem elektrischen leitenden Kontakt. Die weiteren vorhandenen Aussparungen auf dem als Wärmesenke dienenden Träger stellen Befestigungselemente dar, mit denen das später hergestellte Bauelement an weiteren Elementen befestigt werden kann.

Figur 5B zeigt eine Dünn-Leiterplatte für den modularen Aufbau mit den entsprechenden Aussparungen in Laminattechnik. Die Dünn-Leiterplatte 50a umfasst einen Kunststoff, in den in einer oder mehreren Lagen verschiedene Kontaktleitungen 55 bzw. 58 eingearbeitet sind. Auf der Oberfläche der Dünn-Leiterplatte sind Kontaktelemente 54, 54a, 56, 56a und 57 angeordnet. Diese liegen frei, während die Kontaktleitungen 55 mit einer dünnen Schutzschicht zum Schutz vor Beschädigung überzogen sein können. Die Kontaktelemente umfassen beispielsweise eine Kupferschicht bzw. eine dünne Kupfer-Nickel-

Gold-Metallisierungsschicht. Einige der Kontaktfahnen 57 sind über Zuleitungen 55 mit den Kontaktfahnen 54 verbunden. Zudem ist eine zentrale Aussparung 53 vorgesehen, die einen späteren Zugriff auf den strukturierten Chipmontagebereich 51 und 5 den strukturierten Wire-Bond-Bereich 52 gemäß Figur 5A ermöglicht. Die weiteren Kontaktelemente 56a, 56 und 57 können mit verschiedenen Bauelementen in SMD-Technik bestückt werden.

In einem nächsten Schritt wird die Dünn-Leiterplatte auf dem 10 als Wärmesenke dienenden Träger 50 befestigt, beispielsweise auflaminiert. Hierzu kann es zweckmäßig sein, vor dem Laminieren eine dünne Lackschicht auf dem Träger 50 unter Aussparung des Chipmontagebereichs 51 und des Wire-Bond-Bereichs 52 aufzubringen. Durch die Laminierung der Leiterplatte auf dem 15 Träger wird eine innige Verbindung der Dünn-Leiterplatte mit dem Träger realisiert. Gleichzeitig wirkt der Träger weiterhin als Wärmesenke.

Die Kontaktelemente 54 sind nun benachbart zu der Aussparung 20 und dem strukturierten Chipmontagebereich 51 angeordnet. Eine weitere Kontaktierung 54a befindet sich benachbart zu dem strukturierten Wire-Bond-Bereich 52 des Trägers 50.

In einem weiteren Schritt, dargestellt in Figur 5D, wird nun 25 Lotpaste mittels Lotdispensverfahren auf den strukturierten Chipmontagebereich 51 aufgebracht. Ein Zerfließen des Lots wird durch die Strukturierung des Chipmontagebereichs und die Unterteilung in erste und zweite Teilbereiche verhindert, wobei die ersten Teilbereiche des Chipmontagebereichs lotabwiesende Eigenschaften aufweisen. Dadurch benetzt das aufgebrachte Lotmaterial lediglich die zweiten Teilbereiche. Anschließend werden die Halbleiterbauelemente 60 auf dem Chipmontagebereich angeordnet. Durch Adhäsionskräfte zwingt die 30

Lotpaste die einzelnen optoelektronischen Bauelemente in die jeweiligen zweite Teilbereiche, wodurch sich die in der Figur 5D dargestellte regelmäßige Anordnung ergibt.

- 5 In diesem Ausführungsbeispiel erfolgte die Laminierung der Dünnfilmplatte vor dem aufbringen des Lotes und der optoelektronischen Bauelemente. Dies ist jedoch nicht zwingend. Ebenso ist es möglich, erst mittels verschiedener Verfahren, z.B. Lotdispensverfahren oder Druckverfahren Lotmaterial auf 10 den Chipmontagebereich aufzubringen und damit die optoelektronischen Bauelemente zu befestigen. Anschließend wird dann die Dünneleiterplatte an dem Träger befestigt.

In dem Ausführungsbeispiel in den Figuren 5A bis 5D werden 15 sechs einzelne optoelektronische Bauelemente in "2\*3"-Form im Chipmontagebereich befestigt. Entsprechend ist der Chipmontagebereich in sechs rechteckförmige zweite Teilbereiche unterteilt. Die einzelnen Kontaktpads 54 werden über Bond-Wires mit den Kontaktpads auf den optoelektronischen Bauelementen 20 60 verbunden. Der strukturierte Wire-Bond-Bereich 52 wird über Kontaktfäden an das Kontaktpad 54a auf dem Laminatträger angeschlossen.

Anschließend kann mittels Lotdispensverfahrens auf den weiteren Kontaktpads Lotmaterial abgeschieden und später SMD-Bauelemente 59c, 59b bzw. Chipbausteine 59a befestigt werden. Ein aufgebrachter Schutzring 61 umgibt die Kontaktpads 54, 54a und den ausgesparten Bereich mit dem Chipmontagebereich und die Wire-Bond-Bereiche 51 bzw. 52. Durch den Schutzring 30 61 ist es auch möglich, das Lot für die Kontaktpads 56, 57 und 56a anstatt mit Lotdispensverfahren auch anderweitig, beispielsweise Siebdruck oder Schablonendruck, aufzubringen.

Durch die Strukturierung eines Chipmontagebereichs zur Unterteilung in erste und zweite Teilbereiche lassen sich optoelektronische Bauelemente und im Allgemeinen Leuchtkörper an vorher gut definierten Positionen mittels eines Lotmaterials  
5 befestigen. Dadurch wird eine Positionierung einzelner Baulemente innerhalb eines großflächigen Chipmontagebereichs verbessert.

Zu diesem Zweck ist der erste Teilbereich nach dem Strukturieren lotabweisend, d. h. ein aufgebrachtes Lotmaterial benetzt diesen Teilbereich nicht. Entsprechend werden bei einem Anordnen optoelektronischer Bauelemente auf dem Lotmaterial diese durch das Lotmaterial in den zweiten Teilbereich gezogen und dort fixiert. Eine Strukturierung kann beispielsweise  
10 durch entsprechendes Aufbringen von Lötstoppschichten erfolgen. Alternativ ist es auch möglich, bereits auf dem als Wärmequelle dienenden Träger im Chipmontagebereich befindliche Metallschichten zu entfernen bzw. zu oxidieren, sodass diese  
15 lotabweisende Eigenschaften aufweisen. Gerade Letztere ermöglicht unter Verwendung von Laserstrukturierungsverfahren besonders feine und schmale Strukturen.  
20

## Patentansprüche

1. Verfahren zur Fertigung von Leuchtmitteln, umfassend:

- Bereitstellen eines als Wärmesenken dienenden Trägers (10a, 4, 50), der einen flächigen Chipmontagebereich (20, 51) umfasst;
- Strukturieren des flächigen Chipmontagebereichs (51, 20) zur Erzeugung eines ersten Teilbereichs (17, 24, 21a, 43) und wenigstens einen zweiten Teilbereichs (12a, 22a, 22b, 10 23, 44), wobei der erste Teilbereich (17, 24, 21a, 43) nach dem Strukturieren lotabweisend ist;
- Aufbringen eines Lotes auf den flächigen Chipmontagebereich (51, 20), so dass dieses den wenigstens einen zweiten Teilbereich (12a, 22a, 22b, 23, 44) benetzt;
- Aufbringen wenigstens eines optoelektronischen Bauelementes (100, 60) auf das Lot in dem wenigstens einen zweiten Teilbereich (12a, 22a, 22b, 23, 44);
- Ausbilden einer elektrischen Kontaktierung geeignet zur Zuführung elektrischer Energie an das optoelektronischen Bauelement (100, 60).

2. Verfahren nach Anspruch 1, wobei der flächige Chipmontagebereich (51, 20) in dem zweiten Teilbereich (12a, 22a, 22b, 23, 44) wenigstens eine metallische durch das Lot zu-

25 mindest teilweise benetzbare Teilschicht (12, 42) umfasst.

3. Verfahren nach einem der Ansprüche 1 bis 2, bei dem das Strukturieren des flächigen Chipmontagebereichs umfasst:

- Aufbringen einer Lötstopsschicht (43) auf dem flächigen Chipmontagebereich (51, 20), wobei die Lötstopsschicht lot-abweisend ist;
- Strukturieren der Lötstopsschicht zur Erzeugung des ersten und des zweiten Teilbereich (44);

- Entfernen der Lötstopschicht im zweiten Teilbereich (44).

4. Verfahren nach einem der Ansprüche 1 bis 2, bei dem das Strukturieren des flächigen Chipmontagebereichs umfasst:

- 5 - Aufbringen einer Lötstopschicht auf dem ersten Teilbereich des flächigen Chipmontagebereichs, wobei die Lötstop-  
schicht lotabweisend ist;
- eventuelles Freilegen und/oder Bearbeiten von Abschnitten des zweiten Teilbereichs, so dass dieser eine durch Lot  
10 benetzbare Oberfläche aufweist.

5. Verfahren nach einem der Ansprüche 1 bis 2, bei dem das Strukturieren des flächigen Chipmontagebereichs umfasst:

- 15 - Bereitstellen einer optischen Lichtquelle, vorzugsweise eines Lasers;
- Strukturieren des flächigen Chipmontagebereichs zur Erzeu-  
gung des zweiten Teilbereichs (12a) durch Bestrahlen des ersten Teilbereichs (17) des flächigen Chipmontagebe-  
reichs.

20

6. Verfahren nach Anspruch 5, bei dem durch das Bestrahlen des ersten Teilbereichs ein Oberflächenmaterial des ersten Teilbereichs geschmolzen oder verdampft wird und ein so freigelegtes darunter liegendes Material oxidiert wird,  
25 wobei das oxidierte Material die lotabweisende Eigenschaf-  
ten aufweist.

7. Verfahren nach einem der Ansprüche 1 bis 6, bei dem das Bereitstellen eines als Wärmesenken dienenden Trägers (50) ein Bereitstellen eines Trägers mit einem Chipmontagebe-  
reich umfasst, der eine Schichtenfolge (11, 12) aus zumin-  
dest zwei die Teilschichten umfasst, von denen zummindest eine wenigstens eines der folgenden Materialien umfasst:

- Nickel;
  - Kupfer
  - Aluminium
  - Silber
- 5
  - Gold
  - Titan
  - Wolfram.

- 10          8. Verfahren nach einem der Ansprüche 1 bis 7, bei dem der erste Teilbereich zumindest entlang den Rändern des Chipmontagebereichs verläuft.
- 15          9. Verfahren nach einem der Ansprüche 1 bis 8, weiter umfassend:
  - Aufbringen einer dielektrischen Schicht (13, 50a) auf dem Träger außerhalb des Chipmontagebereichs;
  - Ausbilden metallischer Kontaktbahnen (14, 55) auf der dielektrischen Schicht;
  - Aufbringen wenigstens eines Bauelementes (59a) auf dem Träger und elektrisches Kontaktieren mit den Kontaktbahnen.
- 20          10. Verfahren nach einem der Ansprüche 1 bis 8, weiter umfassend:
  - Ausbilden einer Dünnsleiterplatte (50a) mit einer Aussparung, wenigstens einer metallischen Leitungsbahn (55) und wenigstens einem Kontaktbereich (54);
  - Aufbringen der Dünnsleiterplatte (50a) auf den Träger derart, dass die Aussparung über dem Chipmontagebereich zu liegen kommt, wobei das Aufbringen des wenigstens eine optoelektronischen Körpers (60) vor oder nach dem Aufbringen der Dünnsleiterplatte erfolgt.

11. Verfahren nach einem der Ansprüche 1 bis 10, bei dem wenigstens zwei benachbarte zweite Teilbereiche durch einen ersten Teilbereich getrennt sind.

5       12. Verfahren nach einem der Ansprüche 1 bis 11, bei dem das Ausbilden einer elektrischen Kontaktierung umfasst:

- Bonden eines Kontaktdrahtes an ein außerhalb des Chipmontagebereichs befindliches Kontaktpad;
- Bonden des Kontaktdrahtes an ein Kontaktpad auf dem optoelektronischen Bauelement, wobei das Kontaktpad eine Teilschicht einer zur Lichtemission geeigneten Schichtenfolge elektrisch kontaktiert.

15       13. Verfahren nach einem der Ansprüche 1 bis 12, bei dem das optoelektronische Bauelement an seiner dem Lot zugewandten Seite eine reflektierende Schicht umfasst.

20       14. Verfahren nach einem der Ansprüche 1 bis 13 bei dem das optoelektronische Bauelement an seiner dem Lot abgewandten Seite ein Kontaktpad umfasst.

1/5

FIG 1

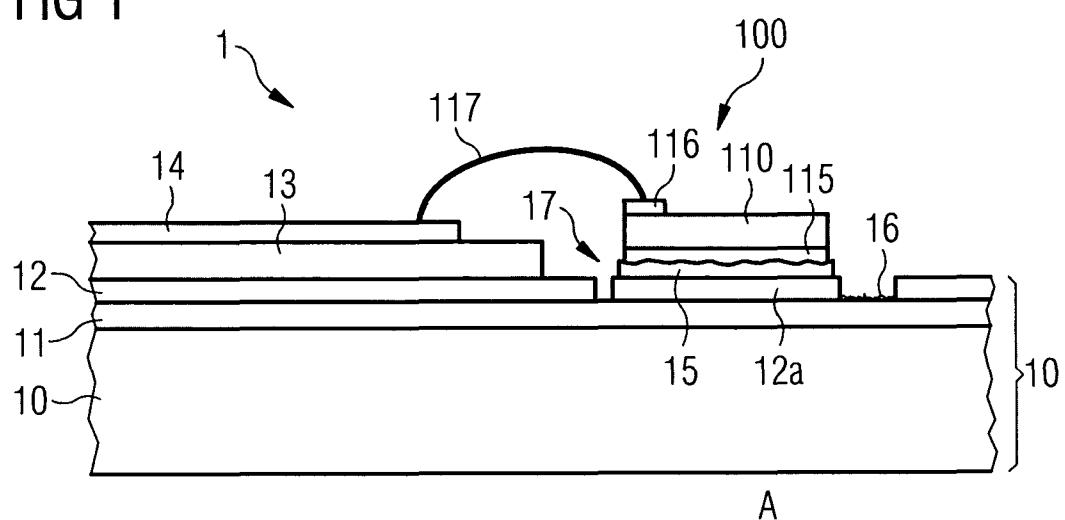
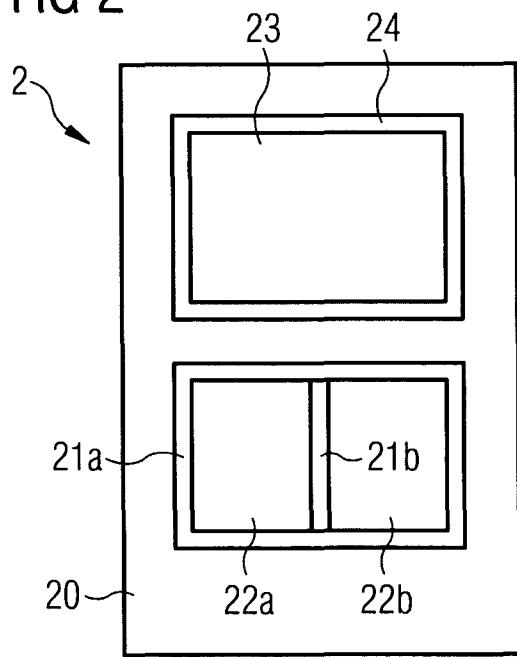


FIG 2



2/5

FIG 3

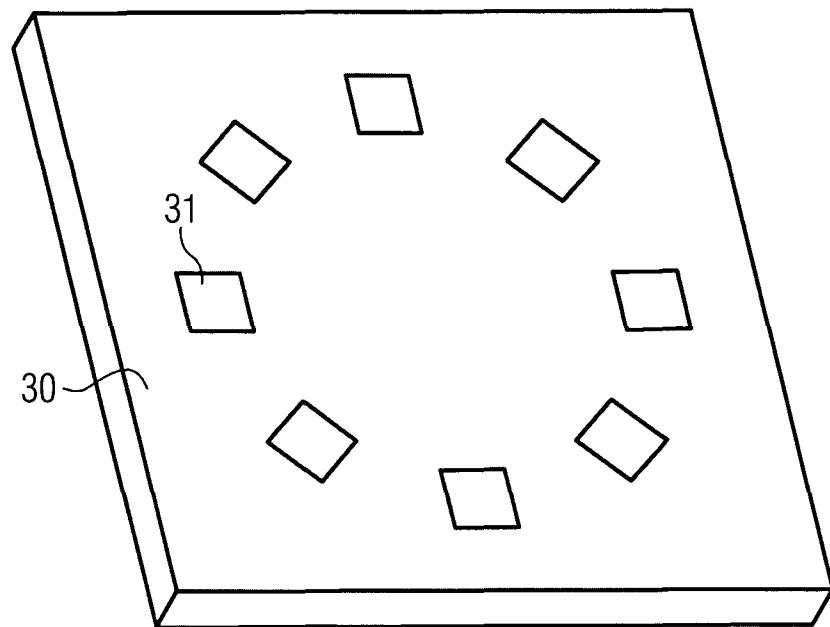


FIG 4A

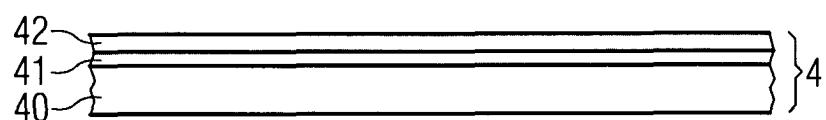
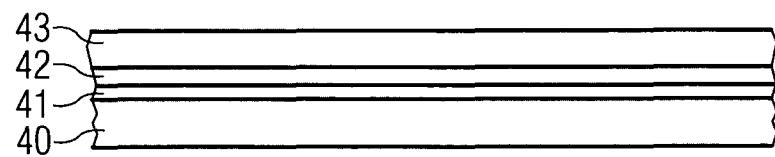


FIG 4B



3/5

FIG 4C

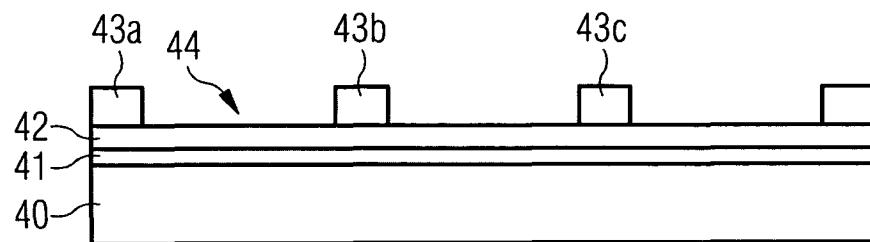


FIG 4D

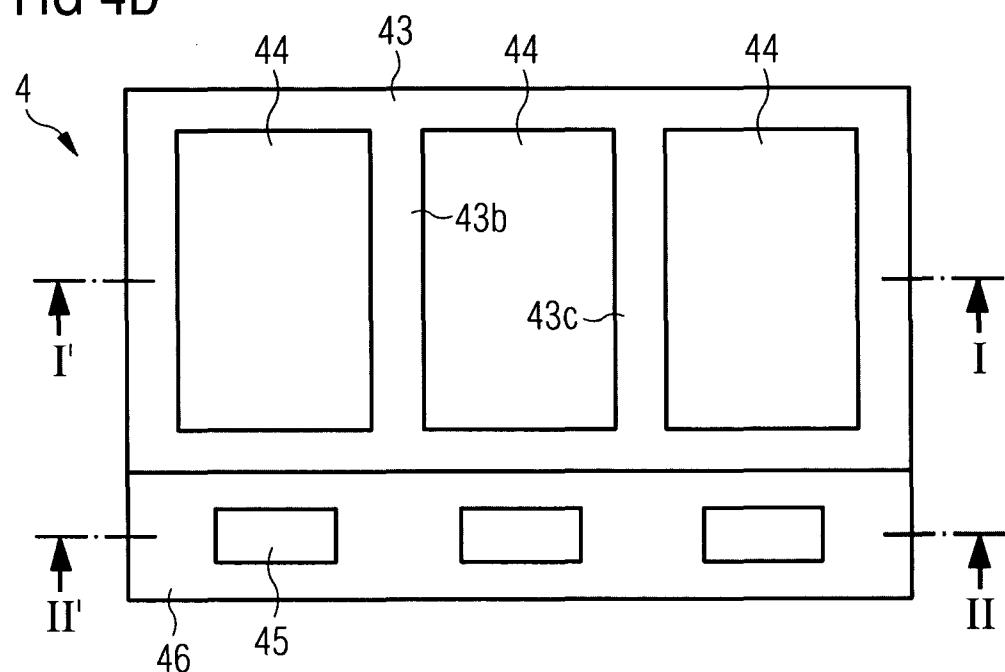
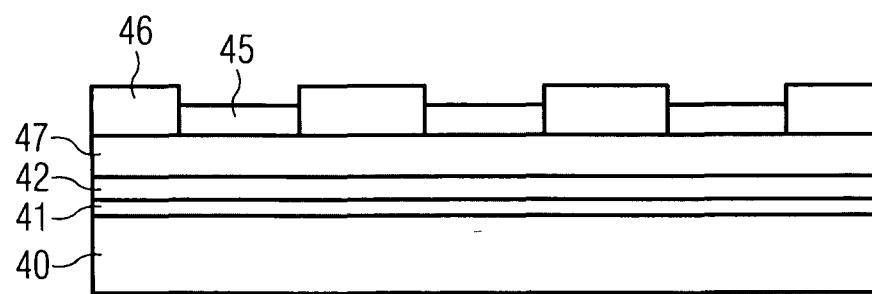


FIG 4E



4/5

FIG 5A

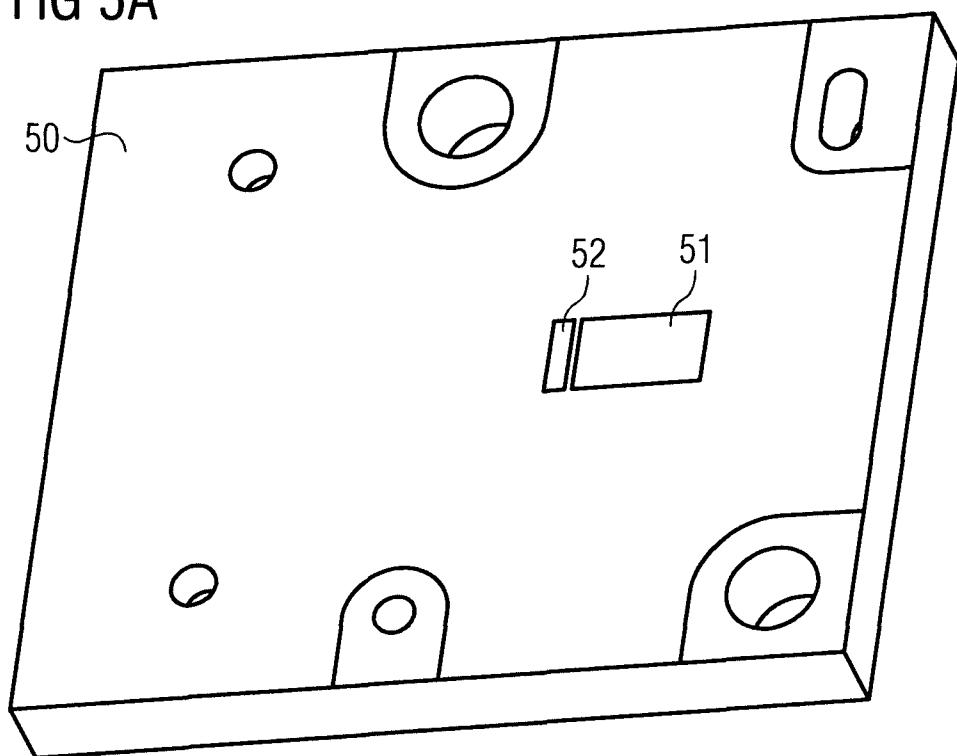
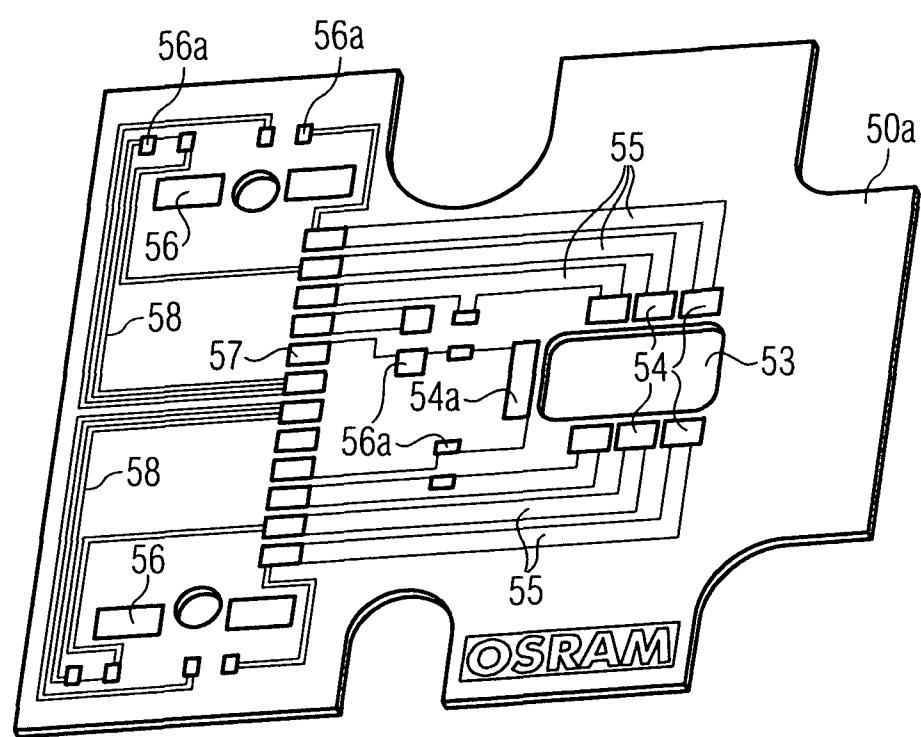


FIG 5B



5/5

FIG 5C

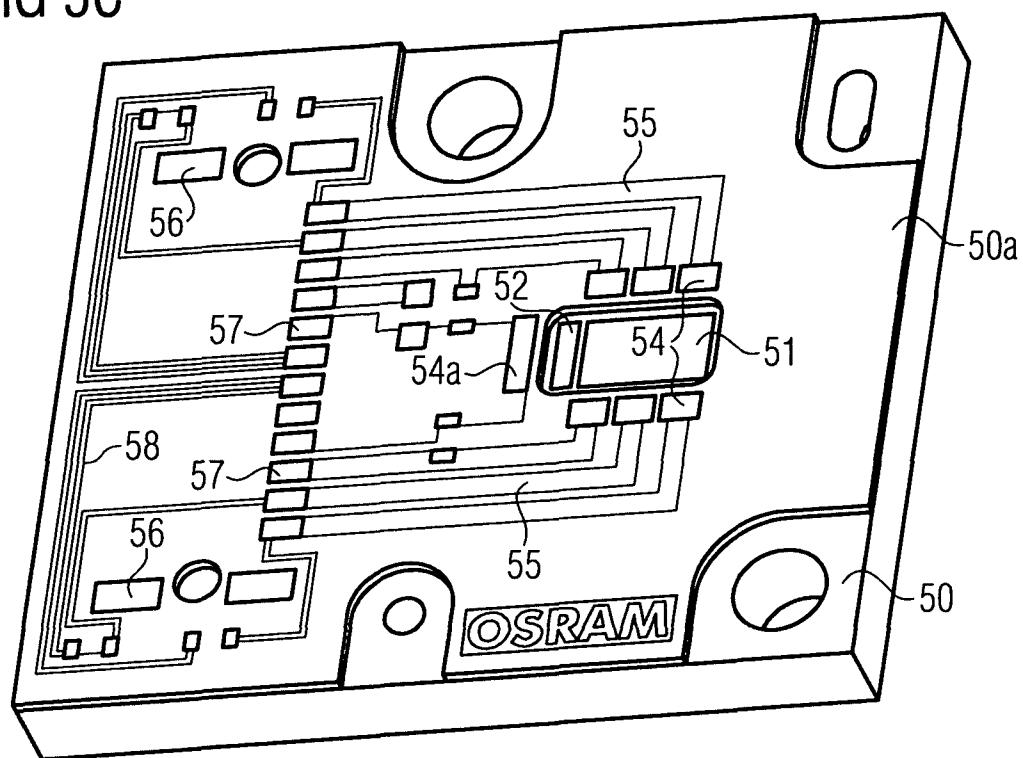
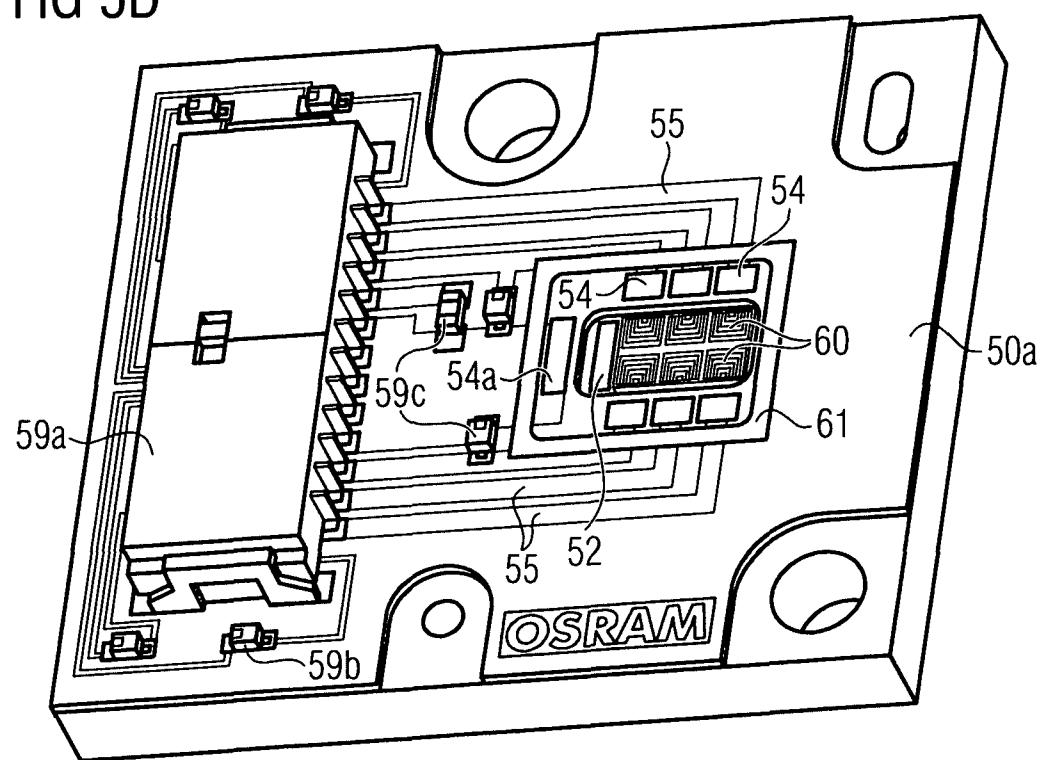


FIG 5D



# INTERNATIONAL SEARCH REPORT

International application No
PCT/DE2009/001693

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
INV. H01L25/16 H01L33/48 H05K1/02 H01L21/48 H01L23/373 ADD. H01L33/64		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) <b>H01L H05K</b>		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) <b>EPO-Internal</b>		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2006/289887 A1 (BUI THONG [US] ET AL) 28 December 2006 (2006-12-28) paragraphs [0015] - [0018], [0025]; figure 8 -----	1-2,7-8, 11-12,14
X	DE 10 2008 001221 A1 (CERAMTEC AG [DE]) 30 October 2008 (2008-10-30) paragraphs [0018], [0020]; figures -----	1
X	WO 2008/040307 A2 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]; SEWALD RAINER [DE]; KIRSCH MARKUS) 10 April 2008 (2008-04-10) page 5, line 5 - page 6, line 7 page 16, line 30 - page 18, line 23; figures 3a-3d ----- -/-	1-4,7-8, 14
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
<p>* Special categories of cited documents :</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.</p> <p>"&amp;" document member of the same patent family</p>		
Date of the actual completion of the international search		Date of mailing of the international search report
18 März 2010		02/06/2010
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer  Ott, André

**INTERNATIONAL SEARCH REPORT**International application No  
PCT/DE2009/001693**C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	DE 25 28 000 A1 (LICENTIA GMBH) 20 January 1977 (1977-01-20) claim 1; figure 6 -----	11
A	DE 10 2005 031336 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 16 November 2006 (2006-11-16) paragraph [0169]; figure 31 -----	1-4,7-14
A	EP 1 575 084 A2 (IMEC INTER UNI MICRO ELECTR [BE]) 14 September 2005 (2005-09-14) claim 5 -----	1-4,7-14

**INTERNATIONAL SEARCH REPORT**International application No.  
**PCT/DE2009/001693****Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1.  Claims Nos.: because they relate to subject matter not required to be searched by this Authority, namely:
  
2.  Claims Nos.: because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3.  Claims Nos.: because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

**see additional sheet**

1.  As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2.  As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3.  As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4.  No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

**3-4 (completely) 1-2, 7-14 (in part)****Remark on Protest**

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

**INTERNATIONAL SEARCH REPORT**

International application No.  
**PCT/DE2009/001693**

**Box No. IV Text of the abstract (Continuation of item 5 of the first sheet)**

**The International Searching Authority has found that the international application contains multiple (groups of) inventions, as follows:**

**1. Claims 3-4 (in full); 1-2, 7-14 (in part)**

**Applying a solder-repelling solder stop layer and removing the solder stop layer in the second partial region.**

**2. Claims 5-6 (in full); 1-2, 7-14 (in part)**

**Structuring the planar chip assembly region for producing the second partial region by irradiating the first partial region with an optical light source, preferably a laser.**

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No

PCT/DE2009/001693

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
US 2006289887 A1	28-12-2006	WO	2007002193 A1	04-01-2007
DE 102008001221 A1	30-10-2008	CN	101687718 A	31-03-2010
		EP	2142489 A1	13-01-2010
		WO	2008128945 A1	30-10-2008
		KR	20100017331 A	16-02-2010
		US	2010089625 A1	15-04-2010
WO 2008040307 A2	10-04-2008	NONE		
DE 2528000 A1	20-01-1977	NONE		
DE 102005031336 A1	16-11-2006	WO	2006119723 A1	16-11-2006
		JP	2008545997 T	18-12-2008
		KR	20080012964 A	12-02-2008
		US	2008192153 A1	14-08-2008
EP 1575084 A2	14-09-2005	NONE		

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE2009/001693

<b>A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES</b>				
INV. H01L25/16	H01L33/48	H05K1/02	H01L21/48	H01L23/373
ADD. H01L33/64				
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC				
<b>B. RECHERCHIERTE GEBIETE</b>				
Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole )				
H01L H05K				
Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen				
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)				
EPO-Internal				
C. ALS WESENTLICH ANGESEHENDE UNTERLAGEN				
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile			Betr. Anspruch Nr.
X	US 2006/289887 A1 (BUI THONG [US] ET AL) 28. Dezember 2006 (2006-12-28) Absätze [0015] – [0018], [0025]; Abbildung 8 -----			1-2,7-8, 11-12,14
X	DE 10 2008 001221 A1 (CERAMTEC AG [DE]) 30. Oktober 2008 (2008-10-30) Absätze [0018], [0020]; Abbildungen -----			1
X	WO 2008/040307 A2 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]; SEWALD RAINER [DE]; KIRSCH MARKUS) 10. April 2008 (2008-04-10) Seite 5, Zeile 5 – Seite 6, Zeile 7 Seite 16, Zeile 30 – Seite 18, Zeile 23; Abbildungen 3a-3d ----- -/-			1-4,7-8, 14
<input checked="" type="checkbox"/> Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen <input checked="" type="checkbox"/> Siehe Anhang Patentfamilie				
* Besondere Kategorien von angegebenen Veröffentlichungen "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist				
"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist				
Datum des Abschlusses der internationalen Recherche		Absendedatum des internationalen Recherchenberichts		
18. März 2010		02/06/2010		
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL – 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter Ott, André		

**INTERNATIONALER RECHERCHENBERICHT**

Internationales Aktenzeichen

PCT/DE2009/001693

**C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN**

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	DE 25 28 000 A1 (LICENTIA GMBH) 20. Januar 1977 (1977-01-20) Anspruch 1; Abbildung 6 -----	11
A	DE 10 2005 031336 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 16. November 2006 (2006-11-16) Absatz [0169]; Abbildung 31 -----	1-4,7-14
A	EP 1 575 084 A2 (IMEC INTER UNI MICRO ELECTR [BE]) 14. September 2005 (2005-09-14) Anspruch 5 -----	1-4,7-14

**INTERNATIONALER RECHERCHENBERICHT**Internationales Aktenzeichen  
PCT/DE2009/001693**Feld Nr. II Bemerkungen zu den Ansprüchen, die sich als nicht recherchierbar erwiesen haben (Fortsetzung von Punkt 2 auf Blatt 1)**

Gemäß Artikel 17(2)a) wurde aus folgenden Gründen für bestimmte Ansprüche kein internationaler Recherchenbericht erstellt:

1.  Ansprüche Nr.  
weil sie sich auf Gegenstände beziehen, zu deren Recherche diese Behörde nicht verpflichtet ist, nämlich
  
2.  Ansprüche Nr.  
weil sie sich auf Teile der internationalen Anmeldung beziehen, die den vorgeschriebenen Anforderungen so wenig entsprechen, dass eine sinnvolle internationale Recherche nicht durchgeführt werden kann, nämlich
  
3.  Ansprüche Nr.  
weil es sich dabei um abhängige Ansprüche handelt, die nicht entsprechend Satz 2 und 3 der Regel 6.4 a) abgefasst sind.

**Feld Nr. III Bemerkungen bei mangelnder Einheitlichkeit der Erfindung (Fortsetzung von Punkt 3 auf Blatt 1)**

Diese Internationale Recherchenbehörde hat festgestellt, dass diese internationale Anmeldung mehrere Erfindungen enthält:

siehe Zusatzblatt

1.  Da der Anmelder alle erforderlichen zusätzlichen Recherchengebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht auf alle recherchierbaren Ansprüche.
  
2.  Da für alle recherchierbaren Ansprüche die Recherche ohne einen Arbeitsaufwand durchgeführt werden konnte, der zusätzliche Recherchengebühr gerechtfertigt hätte, hat die Behörde nicht zur Zahlung solcher Gebühren aufgefordert.
  
3.  Da der Anmelder nur einige der erforderlichen zusätzlichen Recherchengebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht nur auf die Ansprüche, für die Gebühren entrichtet worden sind, nämlich auf die Ansprüche Nr.
  
4.  Der Anmelder hat die erforderlichen zusätzlichen Recherchengebühren nicht rechtzeitig entrichtet. Dieser internationale Recherchenbericht beschränkt sich daher auf die in den Ansprüchen zuerst erwähnte Erfindung; diese ist in folgenden Ansprüchen erfasst:  
**3-4(vollständig); 1-2, 7-14(teilweise)**

**Bemerkungen hinsichtlich  
eines Widerspruchs**

- Der Anmelder hat die zusätzlichen Recherchengebühren unter Widerspruch entrichtet und die gegebenenfalls erforderliche Widerspruchsgebühr gezahlt.
- Die zusätzlichen Recherchengebühren wurden vom Anmelder unter Widerspruch gezahlt, jedoch wurde die entsprechende Widerspruchsgebühr nicht innerhalb der in der Aufforderung angegebenen Frist entrichtet.
- Die Zahlung der zusätzlichen Recherchengebühren erfolgte ohne Widerspruch.

WEITERE ANGABEN	PCT/ISA/ 210
<p>Die internationale Recherchenbehörde hat festgestellt, dass diese internationale Anmeldung mehrere (Gruppen von) Erfindungen enthält, nämlich:</p> <p>1. Ansprüche: 3-4(vollständig); 1-2, 7-14(teilweise)</p> <p>Aufbringen einer lotabweisenden Löstopsschicht und entfernen der Löstopsschicht im zweiten Teilbereich ---</p> <p>2. Ansprüche: 5-6(vollständig); 1-2, 7-14(teilweise)</p> <p>Strukturieren des flächigen Chipmontagebereichs zur Erzeugung des zweiten Teilbereichs durch Bestrahlen des ersten Teilbereichs mit einer optischen Lichtquelle, vorzugsweise eines Lasers. ---</p>	

**INTERNATIONALER RECHERCHENBERICHT**

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

**PCT/DE2009/001693**

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung		Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 2006289887	A1	28-12-2006	WO	2007002193 A1		04-01-2007
DE 102008001221	A1	30-10-2008	CN	101687718 A		31-03-2010
			EP	2142489 A1		13-01-2010
			WO	2008128945 A1		30-10-2008
			KR	20100017331 A		16-02-2010
			US	2010089625 A1		15-04-2010
WO 2008040307	A2	10-04-2008		KEINE		
DE 2528000	A1	20-01-1977		KEINE		
DE 102005031336	A1	16-11-2006	WO	2006119723 A1		16-11-2006
			JP	2008545997 T		18-12-2008
			KR	20080012964 A		12-02-2008
			US	2008192153 A1		14-08-2008
EP 1575084	A2	14-09-2005		KEINE		