

(21)申請案號：099138663

(22)申請日：中華民國 99 (2010) 年 11 月 10 日

(51)Int. Cl. : **G02F1/1362 (2006.01)**

(71)申請人：中華映管股份有限公司 (中華民國) CHUNGHW PICTURE TUBES, LTD. (TW)

桃園縣八德市和平路 1127 號

(72)發明人：邱維彥 CHIU, WEI YEN (TW)；黃金海 HUANG, CHIN HAI (TW)

(74)代理人：康清敬

申請實體審查：有 申請專利範圍項數：13 項 圖式數：4 共 33 頁

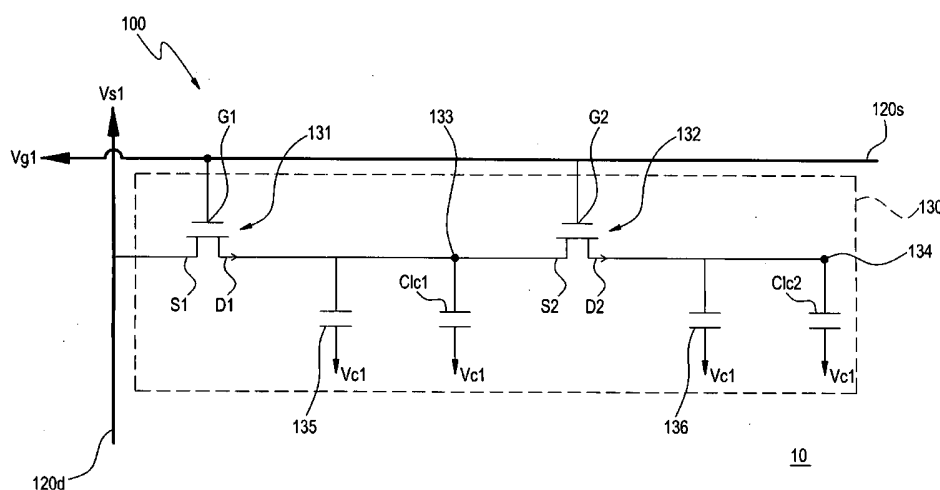
(54)名稱

電晶體陣列基板

TRANSISTOR ARRAY SUBSTRATE

(57)摘要

一種電晶體陣列基板，其包括一基板、多條掃描線、多條資料線以及多個畫素單元。這些掃描線、這些資料線以及這些畫素單元皆配置於基板上。各個畫素單元包括一第一電晶體、一第二電晶體、一第一畫素電極、一第二畫素電極、一第一儲存電容以及一第二儲存電容。第二電晶體與第一電晶體電性連接同一條掃描線與同一條資料線，且第二電晶體與第一電晶體串聯。第一畫素電極電性連接第一電晶體，而第二畫素電極電性連接第二電晶體。第一儲存電容電性連接第一電晶體與第二電晶體，而第二儲存電容電性連接第二電晶體。



10：液晶顯示面板

100：電晶體陣列基板

120d：資料線

120s：掃描線

130：畫素單元

131：第一電晶體

132：第二電晶體

133：第一畫素電極

134：第二畫素電極

135：第一儲存電容

136：第二儲存電容

Clc1：液晶電容

Clc2：液晶電容

D1：第一汲極

D2：第二汲極

G1：第一閘極

G2：第二閘極

S1：第一源極

S2：第二源極

Vc1：共通電極訊號

Vg1：閘極電源

Vs1：源極電源

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種主動元件陣列基板（active component array substrate），且特別是有關於一種電晶體陣列基板。

【先前技術】

在現今的廣視角液晶顯示器（Liquid Crystal Display, LCD）技術中，如何解決色偏是一個很重要的課題。詳細而言，所謂的色偏是指液晶顯示器的畫面之色彩隨著視角的改變而變化，造成顯示畫面在視角增加時會出現畫面偏白的情形。為了解決此色偏問題，目前已提出二種改善色偏的方法。

一種方法是在單一畫素單元內多製作一個耦合電容。此耦合電容利用電壓耦合的效果，使單一畫素單元內的畫素電極（pixel electrode）能提供不同大小的電場。藉此，產生不同的液晶分子排列，促使畫素單元顯示不同的灰階，以改善色偏問題。然而，這種耦合電容容易因製程參數的改變而受到影響，以至無法精確控制畫素電極的電場，進而對液晶顯示器的畫面品質造成不良的影響。

另一種方法是在單一畫素單元內增加一個電晶體，即單一畫素單元內會存在兩個電晶體。藉由這兩個電晶體，

讓單一畫素單元中的畫素電極提供不同大小的電場，以達到改善色偏的功效。然而，這種作法需要製作大量的掃描線（scan line），且各條掃描線必須輸入獨立波形的訊號，所以製作過程十分複雜，而且必須配合客製化的驅動電路（driver IC），從而大幅增加製作成本。

【發明內容】

本發明提供一種電晶體陣列基板，以解決上述色偏問題，進而提升液晶顯示器的顯示品質。

為了達到上述目的，本發明提出一種電晶體陣列基板，其包括一基板、多條掃描線、多條資料線（data line）以及多個畫素單元。這些掃描線、這些資料線以及這些畫素單元皆配置於基板上。各個畫素單元包括一第一電晶體、一第二電晶體、一第一畫素電極、一第二畫素電極、一第一儲存電容（first storage capacitor）以及一第二儲存電容。第二電晶體與第一電晶體電性連接同一條掃描線與同一條資料線，且第二電晶體與第一電晶體串聯。第一畫素電極電性連接第一電晶體，而第二畫素電極電性連接第二電晶體。第一儲存電容電性連接第一電晶體與第二電晶體，而第二儲存電容電性連接第二電晶體。

在本發明一實施例中，各個第一電晶體包括一第一閘極（first gate）、一第一源極（first source）以及一第一汲極（first drain），而各個第二電晶體包括一第二閘極、一第二源極以及一第二汲極。在各個畫素單元中，第一閘極與

第二閘極電性連接同一條掃描線，第一源極電性連接資料線，第一汲極電性連接第二源極、第一儲存電容與第一畫素電極，而第二汲極電性連接第二儲存電容與第二畫素電極。

在本發明一實施例中，上述電晶體陣列基板更包括多條共通線 (common line)，其中這些共通線電性連接這些第一儲存電容與這些第二儲存電容，而這些第一儲存電容與這些第二儲存電容皆為架構於這些共通線上之多個儲存電容 (Cst on common)。

在本發明一實施例中，其中一條掃描線位於相鄰二條共通線之間。其中一條共通線電性連接第一儲存電容，而另一條共通線電性連接第二儲存電容。

在本發明一實施例中，同一畫素單元中的第一儲存電容與第二儲存電容電性連接同一條共通線。

在本發明一實施例中，各個畫素單元內的第一畫素電極與第二畫素電極沿著資料線排成一行。

在本發明一實施例中，各個畫素單元內的第一畫素電極與第二畫素電極沿著掃描線排成一行。

在本發明一實施例中，各個第一電晶體的通道寬長比不同於各個第二電晶體的通道寬長比。

在本發明一實施例中，各個第一電晶體的通道寬長比大於各個第二電晶體的通道寬長比。

在本發明一實施例中，各個第一畫素電極的面積不同

於各個第二畫素電極的面積。

在本發明一實施例中，各個第一畫素電極的面積小於各個第二畫素電極的面積。

在本發明一實施例中，各個第一儲存電容的電容值不同於各個第二儲存電容的電容值。

在本發明一實施例中，各個第一儲存電容的電容值小於各個第二儲存電容的電容值。

基於上述，藉由各個畫素單元的第一電晶體與第二電晶體，本發明可以利用電容分壓原理，讓第一畫素電極與第二畫素電極所各自對應的液晶電容（liquid crystal capacitor）產生不同的饋通電壓（feed-through voltage），進而達到消除色偏的功效。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

本發明的實施手段主要是在單一個畫素單元內設計二個畫素電極，並且利用電容分壓原理，讓這二個畫素電極所各自對應的液晶電容產生不同的饋通電壓，進而消除色偏。詳言之，畫素電極會先接收源極輸入訊號，以對液晶電容進行充電。接著，源極輸入訊號暫停輸出，讓液晶電容開始放電。此時，畫素電極的電壓會先驟降，之後才會緩緩下降，而上述這段驟降的壓差稱為饋通電壓。

承上述，在源極輸入訊號停止輸出，且畫素電極的電

壓驟降之後，此時這些畫素電極會提供用於改變液晶分子排列的畫素電壓，其中此畫素電壓基本上約等於源極輸入訊號的電壓扣掉饋通電壓之後的電壓。由於這些液晶電容所產生的饋通電壓並不相同，所以同一個畫素單元內的這些畫素電極會各自產生不同的畫素電壓，以促使單一個畫素單元顯示二種不同的灰階，進而解決色偏問題。

具體而言，請參閱圖 1A，其為本發明第一實施例之電晶體陣列基板的俯視示意圖。第一實施例的電晶體陣列基板 100 能與一彩色濾光基板 (color filter substrate, 未繪示) 組裝，並且在電晶體陣列基板 100 與彩色濾光基板之間填入液晶材料，以形成一液晶顯示面板 (LCD Panel, 未繪示)。電晶體陣列基板 100 包括一基板 110、多條掃描線 120s、多條資料線 120d、多條共通線 120c 與多個畫素單元 130。

承上述，這些掃描線 120s、資料線 120d、共通線 120c 與畫素單元 130 皆配置於基板 110 上，而各個畫素單元 130 包括一第一電晶體 131、一第二電晶體 132、一第一畫素電極 133、一第二畫素電極 134、一第一儲存電容 135 與一第二儲存電容 136，其中各個畫素單元 130 內的第一畫素電極 133 與第二畫素電極 134 會沿著資料線 120d 排成一列，如圖 1A 所示。

同一畫素單元 130 中的第一電晶體 131 與第二電晶體 132 皆電性連接同一條掃描線 120s 與同一條資料線 120d。

詳細而言，這些第一電晶體 131 與第二電晶體 132 皆為場效電晶體（Field-Effect Transistor, FET），所以各個第一電晶體 131 包括一第一閘極 G1、一第一源極 S1 以及一第一汲極 D1，而各個第二電晶體 132 包括一第二閘極 G2、一第二源極 S2 以及一第二汲極 D2。

圖 1B 是一種具有圖 1A 中的電晶體陣列基板之液晶顯示面板的電路示意圖。請參閱圖 1A 與圖 1B，液晶顯示面板 10 包括電晶體陣列基板 100，而掃描線 120s 電性連接一閘極電源 Vg1，並傳輸由閘極電源 Vg1 所提供的閘極輸入訊號，其中閘極電源 Vg1 例如是閘極驅動積體電路（Gate IC）。在各個畫素單元 130 中，第一閘極 G1 與第二閘極 G2 電性連接同一條掃描線 120s，所以第一電晶體 131 與第二電晶體 132 二者會使用同一組閘極輸入訊號。因此，同一個畫素單元 130 內的第一電晶體 131 與第二電晶體 132 基本上能被一條掃描線 120s 同時開啟及關閉。

資料線 120d 電性連接一源極電源 Vs1，並傳輸由源極電源 Vs1 所提供的源極輸入訊號，其中源極電源 Vs1 例如是源極驅動積體電路（Source IC）。在各個第一電晶體 131 中，第一源極 S1 電性連接資料線 120d，而第一汲極 D1 電性連接第二源極 S2，所以第一電晶體 131 與第二電晶體 132 串聯。因此，各個畫素單元 130 中的第一電晶體 131 與第二電晶體 132 二者會使用同一組源極輸入訊號。

此外，第一汲極 D1 更電性連接第一儲存電容 135 與

第一畫素電極 133，而第二汲極 D2 更電性連接第二儲存電容 136 與第二畫素電極 134，所以第一畫素電極 133 與第一儲存電容 135 電性連接第一電晶體 131，而第二畫素電極 134 與第二儲存電容 136 電性連接第二電晶體 132。此外，第二源極 S2 還電性連接第一畫素電極 133，因此第一畫素電極 133 與第二畫素電極 134 是以第二電晶體 132 互相電性連接。

由於第一汲極 D1 電性連接第一儲存電容 135、第一畫素電極 133 與第二汲極 D2，第二汲極 D2 電性連接第二儲存電容 136 與第二畫素電極 134，加上第一電晶體 131 與第二電晶體 132 使用同一組閘極輸入訊號與源極輸入訊號，因此從資料線 120d 而來的源極輸入訊號能傳遞至第一畫素電極 133 與第二畫素電極 134，並且對液晶電容 Clc1、Clc2、第一儲存電容 135 以及第二儲存電容 136 進行充電。

這些共通線 120c 電性連接這些第一儲存電容 135 與第二儲存電容 136，且第一儲存電容 135 與第二儲存電容 136 皆為架構於這些共通線 120c 上之多個儲存電容。各個畫素單元 130 可以電性連接二條共通線 120c，其中一條共通線 120c 電性連接第一儲存電容 135，而另一條共通線 120c 電性連接第二儲存電容 136。如此，這些共通線 120c 能傳遞共通電極訊號 Vc1 至液晶電容 Clc1、Clc2、第一儲存電容 135 以及第二儲存電容 136。此外，其中一條掃描線 120s 會位於相鄰二條共通線 120c 之間。

在液晶顯示面板 10 的運作過程中，當從掃描線 120s 而來的閘極輸入訊號開啟第一電晶體 131 與第二電晶體 132 時，來自資料線 120d 的源極輸入訊號會傳遞至第一畫素電極 133 與第二畫素電極 134，並且對液晶電容 Clc1、Clc2、第一儲存電容 135 以及第二儲存電容 136 進行充電。當從掃描線 120s 而來的閘極輸入訊號關閉第一電晶體 131 與第二電晶體 132 時，液晶電容 Clc1、Clc2 利用電容分壓原理分別產生不同的饋通電壓。

詳細而言，在習知液晶顯示器的技術中，饋通電壓滿足以下公式 (1)：

$$\Delta V_p = (V_{gh} - V_{gl}) \times [C_{gd} / (C_{gd} + C_{lc} + C_s)] \dots\dots\dots (1)$$

其中 ΔV_p 為饋通電壓， C_{gd} 為畫素單元內之電晶體的閘極與汲極之間的電容值， C_{lc} 為液晶電容的電容值，而 C_s 為儲存電容的電容值。 V_{gh} 與 V_{gl} 分別代表閘極輸入訊號的高電壓與低電壓，其中 V_{gh} 是閘極輸入訊號在開啟電晶體時的電壓值，而 V_{gl} 是指閘極輸入訊號在關閉電晶體時的電壓值。

從圖 1B 來看，單就第一畫素電極 133 而言，由於與掃描線 120s 所連接的電容為第一電晶體 131 中第一閘極 G1 與第一汲極 D1 之間的電容，以及第二電晶體 132 中第二閘極 G2 與第二源極 S2 之間的電容，因此根據公式 (1)，液晶電容 Clc1 所產生的饋通電壓 ΔV_{p1} 滿足以下公式(2)：

$$\Delta V_{p1} = (V_{gh} - V_{gl}) \times [(C_{gd1} + C_{gs2}) / (C_{gd1} + C_{gs2} + C_{lc1} + C_{s1})]$$

..... (2)

其中 C_{gd1} 為第一電晶體 131 中第一閘極 G1 與第一汲極 D1 之間的電容值， C_{gs2} 為第二電晶體 132 中第二閘極 G2 與第二源極 S2 之間的電容值， C_{lc1} 為液晶電容 C_{lc1} 的電容值，而 C_{s1} 為第一儲存電容 135 的電容值。 V_{gh} 是閘極輸入訊號在開啟第一電晶體 131 與第二電晶體 132 時的電壓值，而 V_{gl} 是閘極輸入訊號在關閉第一電晶體 131 與第二電晶體 132 時的電壓值。從公式 (2) 來看，可以發現原來公式 (1) 中的 C_{gd} 已換成 $(C_{gd1} + C_{gs2})$ 。

同理，單就第二畫素電極 134 而言，由於與掃描線 120s 所連接的電容僅為第二電晶體 132 中第二閘極 G2 與第二汲極 D2 之間的電容，因此根據公式 (1)，液晶電容 C_{lc2} 所產生的饋通電壓 ΔV_{p2} 滿足以下公式 (3)：

$$\Delta V_{p2} = (V_{gh} - V_{gl}) \times [(C_{gd2}) / (C_{gd2} + C_{lc2} + C_{s2})] \dots (3)$$

其中 C_{gd2} 為第二電晶體 132 中第二閘極 G2 與第二汲極 D2 之間的電容值， C_{lc2} 為液晶電容 C_{lc2} 的電容值，而 C_{s2} 為第二儲存電容 136 的電容值。從公式 (3) 來看，可以發現原來公式 (1) 中的 C_{gd} 已換成 C_{gd2} 。

由公式 (2) 和公式 (3) 得知，藉由調整第一閘極 G1 與第一汲極 D1 之間的電容值、第二閘極 G2 與第二源極 S2 之間的電容值、第二閘極 G2 與第二汲極 D2 之間的電容值、第一儲存電容 135 的電容值、第二儲存電容 136 的

電容值以及液晶電容 C_{lc1} 、 C_{lc2} 的電容值，可以使液晶電容 C_{lc1} 、 C_{lc2} 分別產生不同的饋通電壓 ΔV_{p1} 與 ΔV_{p2} 。如此，各個畫素單元 130 能顯現出兩種不同的灰階，以解決色偏問題。

關於利用上述電容值來產生不同饋通電壓 ΔV_{p1} 、 ΔV_{p2} 的方法，本發明有多種實施手段，例如第一實施例是透過調整第一閘極 G1 與第一汲極 D1 之間的電容值、第二閘極 G2 與第二源極 S2 之間的電容值以及第二閘極 G2 與第二汲極 D2 之間的電容值來控制饋通電壓 ΔV_{p1} 與 ΔV_{p2} 。

請參閱圖 1A，各個第一電晶體 131 的通道寬長比不同於各個第二電晶體 132 的通道寬長比，其中通道寬長比為通道寬度與通道長度的比值。舉例而言，從圖 1A 來看，第一電晶體 131 的通道長度與第二電晶體 132 的通道長度大致相同，但是第一電晶體 131 的通道寬度卻大於第二電晶體 132 的通道寬度，因此各個第一電晶體 131 的通道寬長比會大於各個第二電晶體 132 的通道寬長比，以至於第二閘極 G2 與第二汲極 D2 之間的電容值，以及第二閘極 G2 與第二源極 S2 之間的電容值皆小於第一閘極 G1 與第一汲極 D1 之間的電容值。

承上述，根據公式(2)與公式(3)，在液晶電容 C_{lc1} 、 C_{lc2} 二者電容值相同，以及第一儲存電容 135 與第二儲存電容 136 二者電容值相同的前提下，饋通電壓 ΔV_{p1} 會大

於饋通電壓 ΔV_{p2} 。如此，畫素單元 130 能顯現出兩種不同的灰階，以消除色偏。

另外，須說明的是，雖然在第一實施例中，第一電晶體 131 的通道寬長比大於第二電晶體 132 的通道寬長比，但在其他實施例中，即使第一電晶體 131 的通道寬長比小於第二電晶體 132 的通道寬長比，畫素單元 130 仍可以顯現出兩種不同的灰階，以達消除色偏之功效。因此，圖 1A 所示的第一電晶體 131 與第二電晶體 132 僅為舉例說明，並非限定本發明。

除了調整第一電晶體 131 以及第二電晶體 132 二者通道寬長比之外，本發明也可以透過調整液晶電容 C_{lc1} 、 C_{lc2} 二者電容值來控制饋通電壓 ΔV_{p1} 與 ΔV_{p2} 。詳細而言，請參閱圖 2，其為本發明第二實施例之電晶體陣列基板的俯視示意圖，其中第二實施例的電晶體陣列基板 200 與第一實施例的電晶體陣列基板 100 相似，例如電晶體陣列基板 200 也能藉由與彩色濾光基板（未繪示）的組裝以及液晶材料的填入，形成液晶顯示面板（未繪示）。因此，第一實施例與第二實施例二者相同之處不再重複敘述，以下僅介紹二者的差異。

在第二實施例中，各個第一畫素電極 233 的面積不同於各個第二畫素電極 234 的面積。詳細而言，從圖 2 來看，可以得知，各個第一畫素電極 233 的面積小於各個第二畫素電極 234 的面積。在形成一具有電晶體陣列基板 200 的

液晶顯示面板之後，由於第一畫素電極 233 的面積小於第二畫素電極 234 的面積，因此第一畫素電極 233 所對應的液晶電容也會小於第二畫素電極 234 所對應的液晶電容。

在圖 2 中，第一儲存電容 135 與第二儲存電容 136 二者電容值相同，且第一電晶體 231 與第一實施例的第一電晶體 131 相似，惟第一電晶體 231 與第二電晶體 132 二者通道寬長比相同，因此根據公式 (2) 與公式 (3)，基於第一畫素電極 233 所對應的液晶電容小於第二畫素電極 234 所對應的液晶電容，第一畫素電極 233 的饋通電壓會大於第二畫素電極 234 的饋通電壓。如此，電晶體陣列基板 200 的各個畫素單元 230 也能顯現出兩種不同的灰階，進而達到消除色偏的功效。

另外，須說明的是，雖然在第二實施例中，第一畫素電極 233 的面積小於第二畫素電極 234 的面積，但在其他實施例中，即使第一畫素電極 233 的面積大於第二畫素電極 234 的面積，畫素單元 230 仍然可以顯現出兩種不同的灰階。因此，圖 2 所示的第一畫素電極 233 與第二畫素電極 234 二者面積的大小僅為舉例說明，並非限定本發明。

除了以上第一、二實施例所述之控制饋通電壓 ΔV_{p1} 與 ΔV_{p2} 的方式之外，本發明也可以透過調整第一儲存電容與第二儲存電容二者電容值 C_{s1} 、 C_{s2} 來控制饋通電壓 ΔV_{p1} 與 ΔV_{p2} 。詳細而言，請參閱圖 3，其為本發明第三實施例之電晶體陣列基板的俯視示意圖，其中第三實施例

的電晶體陣列基板 300 與前述實施例的電晶體陣列基板 100、200 相似，所以電晶體陣列基板 300 也能藉由與彩色濾光基板（未繪示）的組裝以及液晶材料的填入，形成液晶顯示面板（未繪示）。因此，第三實施例與前述實施例相同之處不再重複敘述，以下僅介紹第三實施例與前述實施例之間的差異。

在第三實施例中，各個第一儲存電容 135 的電容值不同於各個第二儲存電容 336 的電容值。詳細而言，從圖 3 來看，可以得知，各個第一儲存電容 135 在基板 110 上所佔據的面積小於各個第二儲存電容 336 在基板 110 上所佔據的面積，以至於各個第一儲存電容 135 的電容值會小於各個第二儲存電容 336 的電容值。

承上述，根據公式（2）與公式（3），在圖 3 中的第一畫素電極 133 與第二畫素電極 134 二者面積相同，以及第一電晶體 231 與第二電晶體 132 二者通道寬長比相同的前提下，第一畫素電極 133 的饋通電壓會大於第二畫素電極 134 的饋通電壓。如此，電晶體陣列基板 300 的各個畫素單元 330 也能顯現出兩種不同的灰階，進而消除色偏。

另外，須說明的是，雖然在第三實施例中，第一儲存電容 135 的電容值小於第二儲存電容 336 的電容值，但在其他實施例中，即使第一儲存電容 135 的電容值大於第二儲存電容 336 的電容值，畫素單元 330 仍可以顯現出兩種不同的灰階。因此，圖 3 所示的第一儲存電容 135 與第二

儲存電容 336 僅為舉例說明，並非限定本發明。

圖 4 是本發明第四實施例之電晶體陣列基板的俯視示意圖。請參閱圖 4，第四實施例的電晶體陣列基板 400 與第一實施例的電晶體陣列基板 100 相似，且二者電路結構相同。詳細而言，電晶體陣列基板 400 包括一基板 110、多條掃描線 120s、多條資料線 120d、多條共通線 120c 與多個畫素單元 430，而各個畫素單元 430 包括一第一電晶體 431、一第二電晶體 432、一第一畫素電極 433、一第二畫素電極 434、一第一儲存電容 435 與一第二儲存電容 436，其中掃描線 120s、資料線 120d、共通線 120c 與畫素單元 430 皆配置於基板 110 上。

第一電晶體 431 與第二電晶體 432 皆為場效電晶體，所以各個第一電晶體 431 包括一第一閘極 G3、一第一源極 S3 與一第一汲極 D3，而各個第二電晶體 432 包括一第二閘極 G4、一第二源極 S4 與一第二汲極 D4。畫素單元 430 電性連接掃描線 120s 與資料線 120d，其中三者之間電性連接方式與第一實施例相同。

詳言之，在各個畫素單元 430 中，第一閘極 G3 與第二閘極 G4 電性連接同一條掃描線 120s，而第一源極 S3 電性連接資料線 120d。第一汲極 D3 電性連接第二源極 S4、第一儲存電容 435 與第一畫素電極 433，而第二汲極 D4 電性連接第二儲存電容 436 與第二畫素電極 434。此外，電晶體陣列基板 400 消除色偏的手段與前述實施例相同，因

此有關電晶體陣列基板 400 如何消除色偏的手段，以下不再重複敘述。

然而，電晶體陣列基板 400 與 100 二者之間仍存有差異，其主要在於：二者畫素單元的排列不同。詳細而言，在第四實施例中，各個畫素單元 430 內的第一畫素電極 433 與第二畫素電極 434 沿著資料線 120d 排成一行。有別於第一實施例中第一畫素電極 133 與第二畫素電極 134 所呈現的縱向排列，本實施例的第一畫素電極 433 與第二畫素電極 434 是呈現橫向排列。另外，在同一個畫素單元 430 中，第一儲存電容 435 與第二儲存電容 436 會電性連接同一條共通線 120c，如圖 4 所示。

綜上所述，本發明利用電容分壓原理，並且透過調整第一閘極與第一汲極之間的電容值、第二閘極與第二源極之間的電容值、第二閘極與第二汲極之間的電容值、第一儲存電容的電容值、第二儲存電容的電容值、以及第一畫素電極與第二畫素電極二者各自對應的液晶電容之電容值，能分別於第一畫素電極及第二畫素電極產生不同的饋通電壓。如此，各個畫素單元可以顯現出兩種不同的灰階，進而解決色偏問題。

相較於先前技術，本發明不易受到製程參數的影響，因而具有較佳的電壓準確性，而能較為精確地控制畫素電極的電場，避免對液晶顯示器的畫面品質產生不良的影響。其次，本發明雖然在單一個畫素單元中採用二個電晶

體（即第一、第二電晶體），但卻不需要像先前技術般，增加多條掃描線，且也不需要輸入獨立波形的訊號，所以不須搭配客製化的驅動電路。由此可知，本發明的電晶體陣列基板具有製作過程簡單以及降低製作成本的優點。

此外，本發明的電晶體陣列基板大體上可以採用現有的液晶顯示面板製程來製造，且本發明的電晶體陣列基板製程與目前電晶體陣列基板的製程相似，因此本發明的電晶體陣列基板在製造上，不需要大幅變更現有電晶體陣列基板的製造設備與製造流程。如此，本發明的電晶體陣列基板可以沿用現有的製造設備與製造流程來製造，節省額外添購設備的費用。

雖然本發明以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習相像技藝者，在不脫離本發明之精神和範圍內，所作更動與潤飾之等效替換，仍為本發明之專利保護範圍內。

【圖式簡單說明】

圖 1A 為本發明第一實施例之電晶體陣列基板的俯視示意圖。

圖 1B 是一種具有圖 1A 中的電晶體陣列基板之液晶顯示面板的電路示意圖。

圖 2 為本發明第二實施例之電晶體陣列基板的俯視示意圖。

圖 3 為本發明第三實施例之電晶體陣列基板的俯視示意圖。

圖 4 是本發明第四實施例之電晶體陣列基板的俯視示意圖。

【主要元件符號說明】

10	液晶顯示面板
100、200、300、400	電晶體陣列基板
110	基板
120c	共通線
120d	資料線
120s	掃描線
130、230、330、430	畫素單元
131、231、431	第一電晶體
132、432	第二電晶體
133、233、433	第一畫素電極
134、234、434	第二畫素電極
135、435	第一儲存電容
136、336、436	第二儲存電容
D1、D3	第一汲極
D2、D4	第二汲極
G1、G3	第一閘極
G2、G4	第二閘極
S1、S3	第一源極
S2、S4	第二源極
Clc1、Clc2	液晶電容
Vc1	共通電極訊號
Vg1	閘極電源

201219944

Vs1

源極電源

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： *pp 13 8663*

※ 申請日： **99. 11. 10** ※IPC 分類：*G02F 1/1362 (2006.01)*

一、發明名稱：(中文/英文)

電晶體陣列基板 / TRANSISTOR ARRAY SUBSTRATE

二、中文發明摘要：

一種電晶體陣列基板，其包括一基板、多條掃描線、多條資料線以及多個畫素單元。這些掃描線、這些資料線以及這些畫素單元皆配置於基板上。各個畫素單元包括一第一電晶體、一第二電晶體、一第一畫素電極、一第二畫素電極、一第一儲存電容以及一第二儲存電容。第二電晶體與第一電晶體電性連接同一條掃描線與同一條資料線，且第二電晶體與第一電晶體串聯。第一畫素電極電性連接第一電晶體，而第二畫素電極電性連接第二電晶體。第一儲存電容電性連接第一電晶體與第二電晶體，而第二儲存電容電性連接第二電晶體。

三、英文發明摘要：

A transistor array substrate including a substrate, a plurality of scan lines, a plurality of data lines, and a plurality of pixel units is providing. The scan lines, the data lines, and the pixel units are all disposed on the substrate. Each of pixel units includes a first transistor, a

second transistor, a first pixel electrode, a second pixel electrode, a first storage capacitor, and a second storage capacitor. The second transistor and the first transistor are electrically connected to the same scan line and the same data line, and the second transistor is electrically connected to the first transistor in series. The first pixel electrode is electrically connected to the first transistor. The second pixel electrode is electrically connected to the second transistor. The first storage capacitor is electrically connected to the first transistor and the second transistor. The second storage capacitor is electrically connected to the second transistor.

七、申請專利範圍：

1. 一種電晶體陣列基板，包括：

一基板；

多條掃描線，配置於該基板上；

多條資料線，配置於該基板上；

多個畫素單元，配置於該基板上，而各該畫素單元包括：

一第一電晶體；

一第二電晶體，與該第一電晶體電性連接同一條掃描線與同一條資料線，且該第二電晶體與該第一電晶體串聯；

一第一畫素電極，電性連接該第一電晶體；

一第二畫素電極，電性連接該第二電晶體；

一第一儲存電容，電性連接該第一電晶體與該第二電晶體；以及

一第二儲存電容，電性連接該第二電晶體。

2. 如申請專利範圍第 1 項所述之電晶體陣列基板，其中各該第一電晶體包括一第一閘極、一第一源極以及一第一汲極，而各該第二電晶體包括一第二閘極、一第二源極以及一第二汲極，在各該畫素單元中，該第一閘極與該第二閘極電性連接同一條掃描線，該第一源極電性連接該資料線，該第一汲極電性連接該第二源極、該第一儲存電容與該第一畫素電極，而該第二汲

極電性連接該第二儲存電容與該第二畫素電極。

3. 如申請專利範圍第 1 項所述之電晶體陣列基板，更包括多條共通線，其中該些共通線電性連接該些第一儲存電容與該些第二儲存電容，而該些第一儲存電容與該些第二儲存電容皆為架構於該些共通線上之多個儲存電容。
4. 如申請專利範圍第 3 項所述之電晶體陣列基板，其中一條掃描線位於相鄰二條共通線之間，且其中一條共通線電性連接該第一儲存電容，另一條共通線電性連接該第二儲存電容。
5. 如申請專利範圍第 3 項所述之電晶體陣列基板，其中同一畫素單元中的該第一儲存電容與該第二儲存電容電性連接同一條共通線。
6. 如申請專利範圍第 1 項所述之電晶體陣列基板，其中各該畫素單元內的該第一畫素電極與該第二畫素電極沿著該資料線排成一行。
7. 如申請專利範圍第 1 項所述之電晶體陣列基板，其中各該畫素單元內的該第一畫素電極與該第二畫素電極沿著該掃描線排成一行。
8. 如申請專利範圍第 1 項所述之電晶體陣列基板，其中各該第一電晶體的通道寬長比不同於各該第二電晶體的通道寬長比。
9. 如申請專利範圍第 8 項所述之電晶體陣列基板，其中

各該第一電晶體的通道寬長比大於各該第二電晶體的通道寬長比。

10. 如申請專利範圍第 1 項所述之電晶體陣列基板，其中各該第一畫素電極的面積不同於各該第二畫素電極的面積。
11. 如申請專利範圍第 10 項所述之電晶體陣列基板，其中各該第一畫素電極的面積小於各該第二畫素電極的面積。
12. 如申請專利範圍第 1 項所述之電晶體陣列基板，其中各該第一儲存電容的電容值不同於各該第二儲存電容的電容值。
13. 如申請專利範圍第 12 項所述之電晶體陣列基板，其中各該第一儲存電容的電容值小於各該第二儲存電容的電容值。

八、圖式：

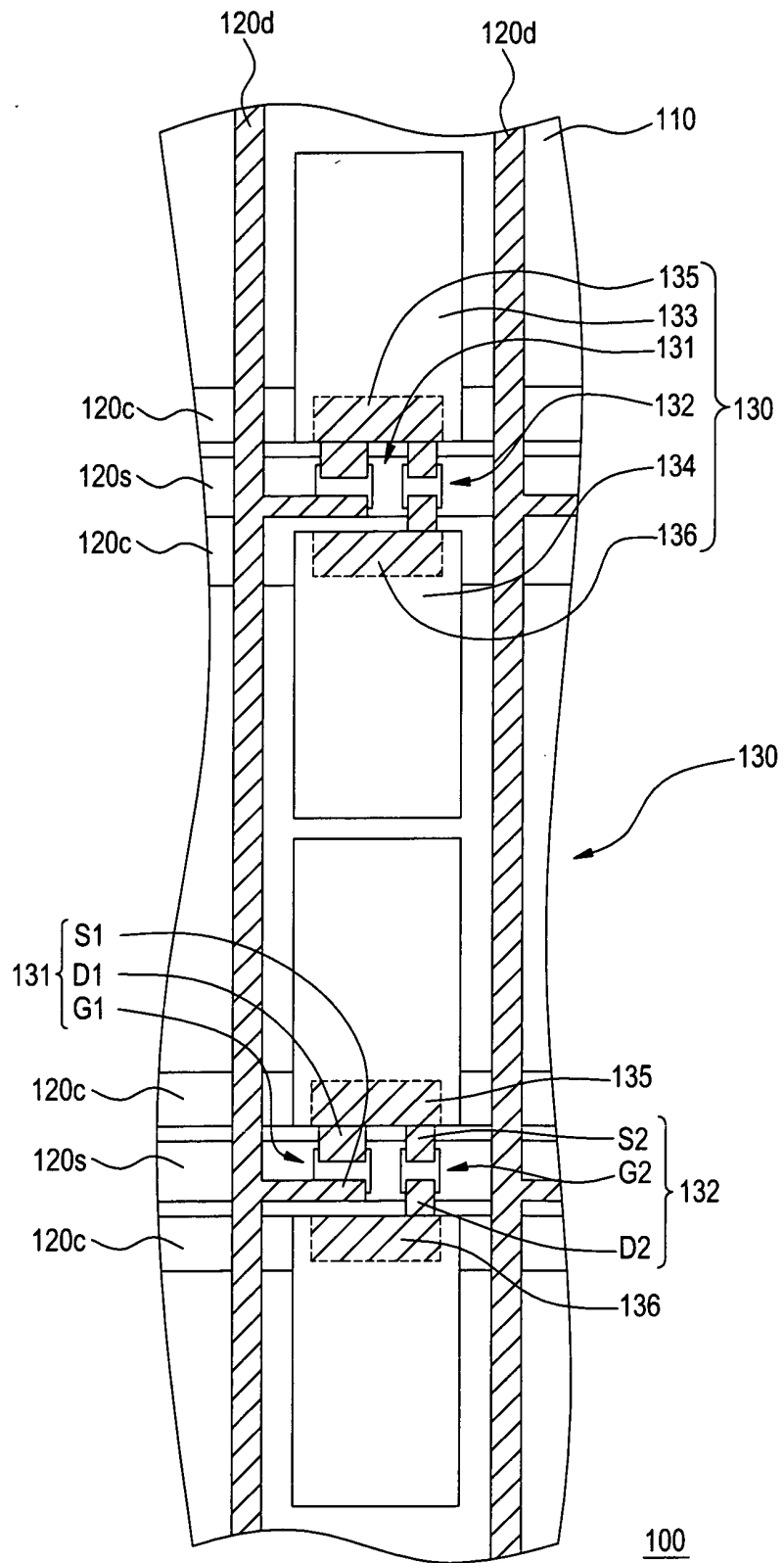
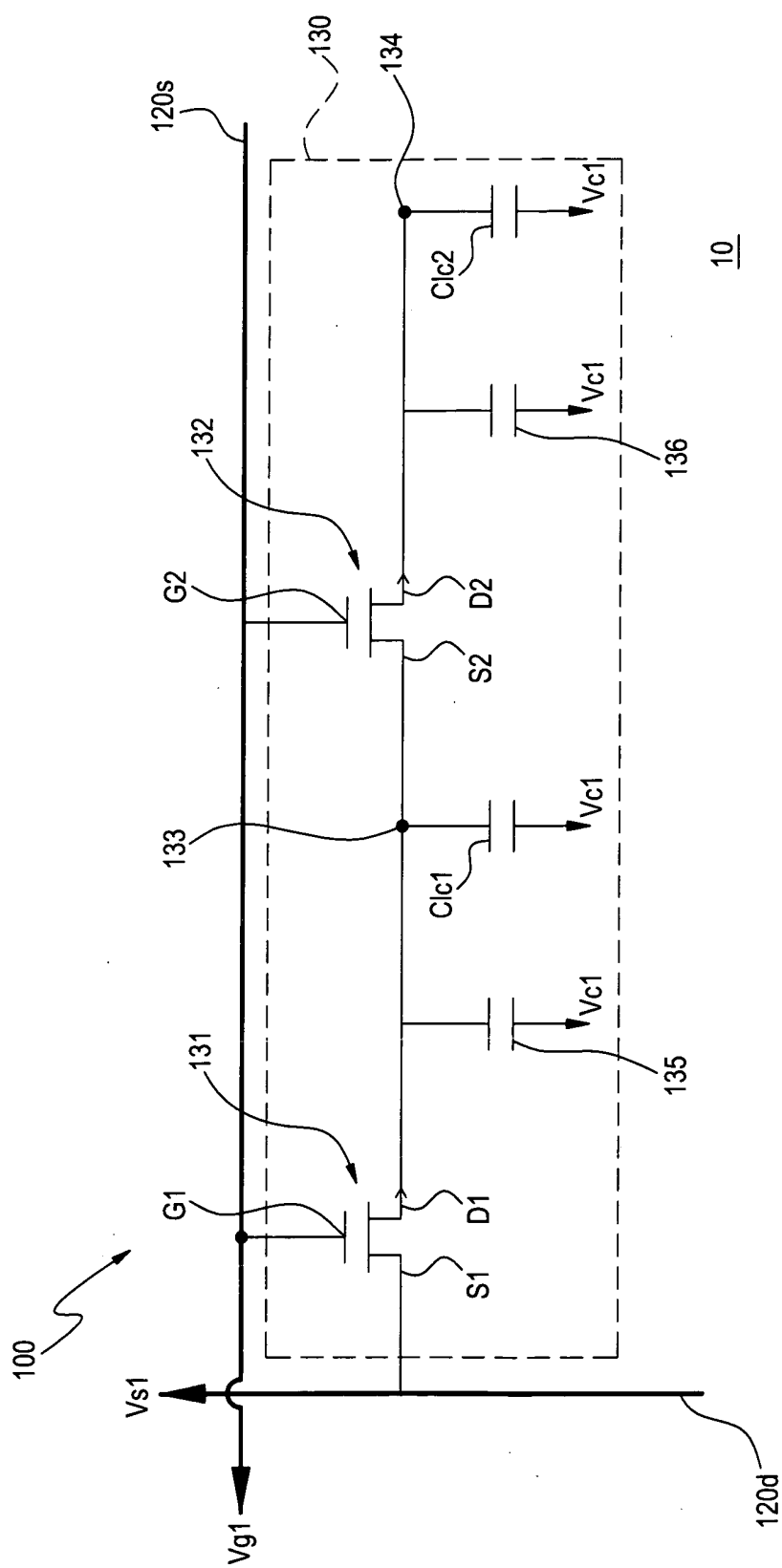


圖 1A



1B 11

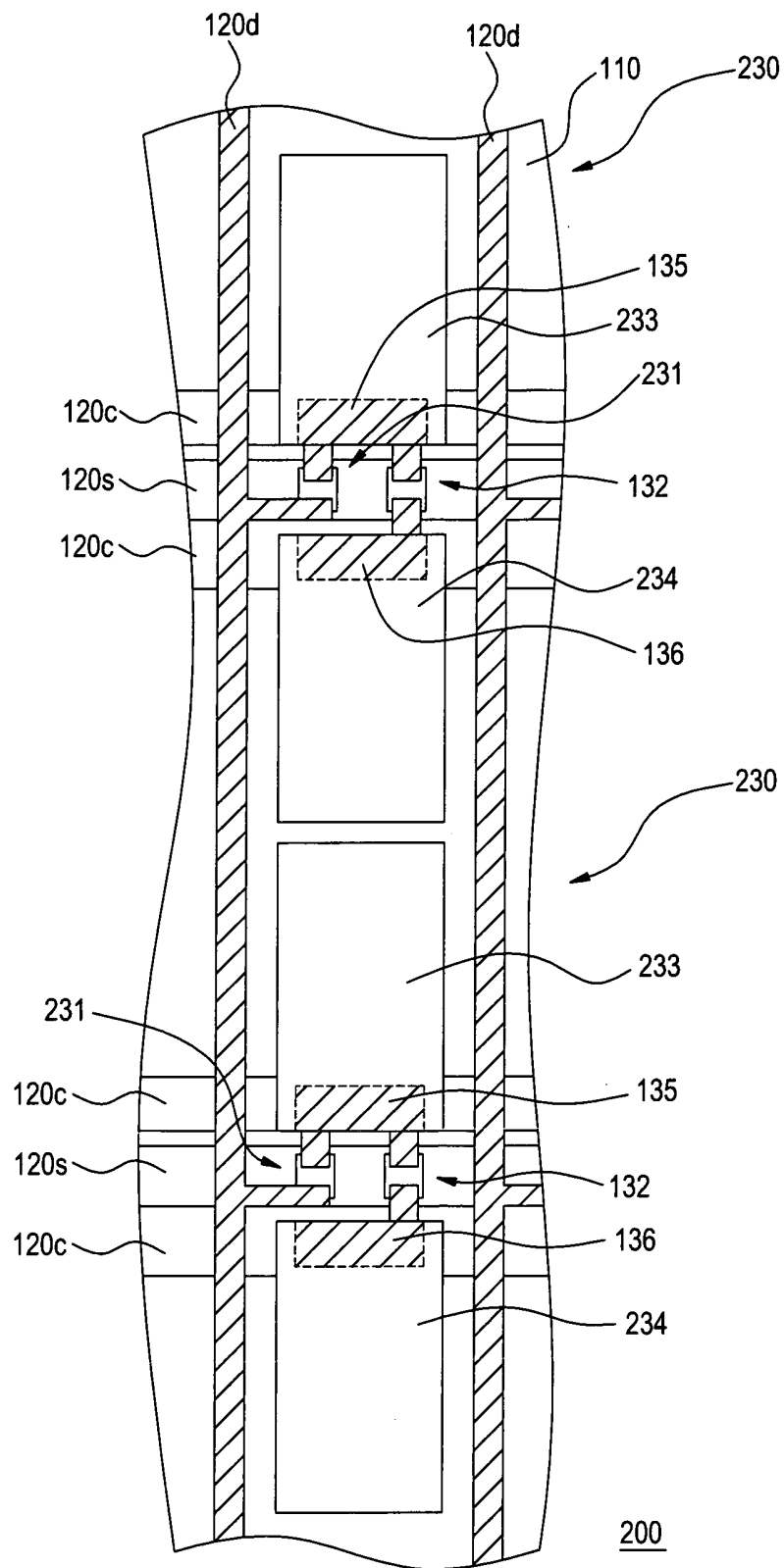


圖 2

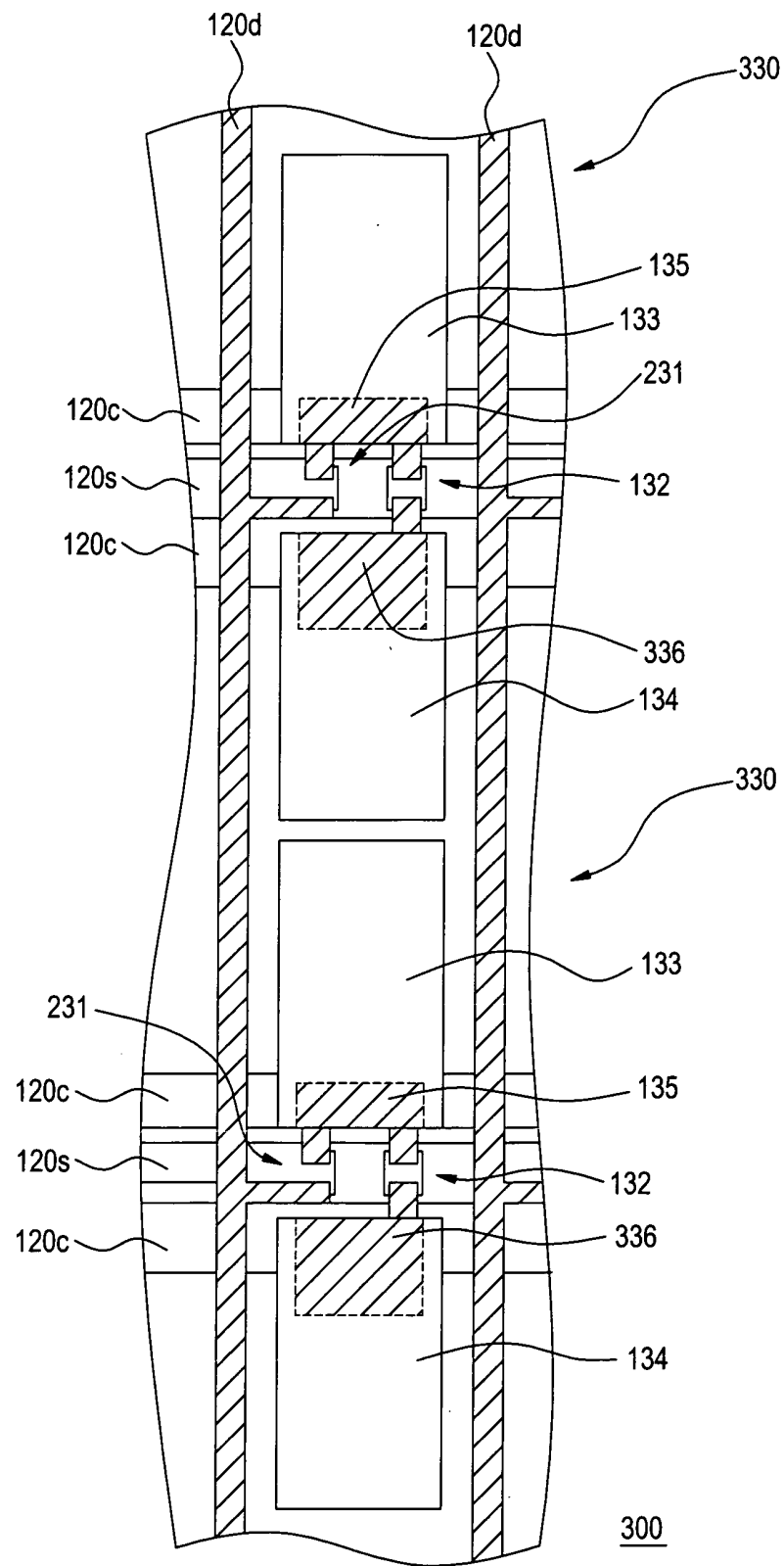


圖 3

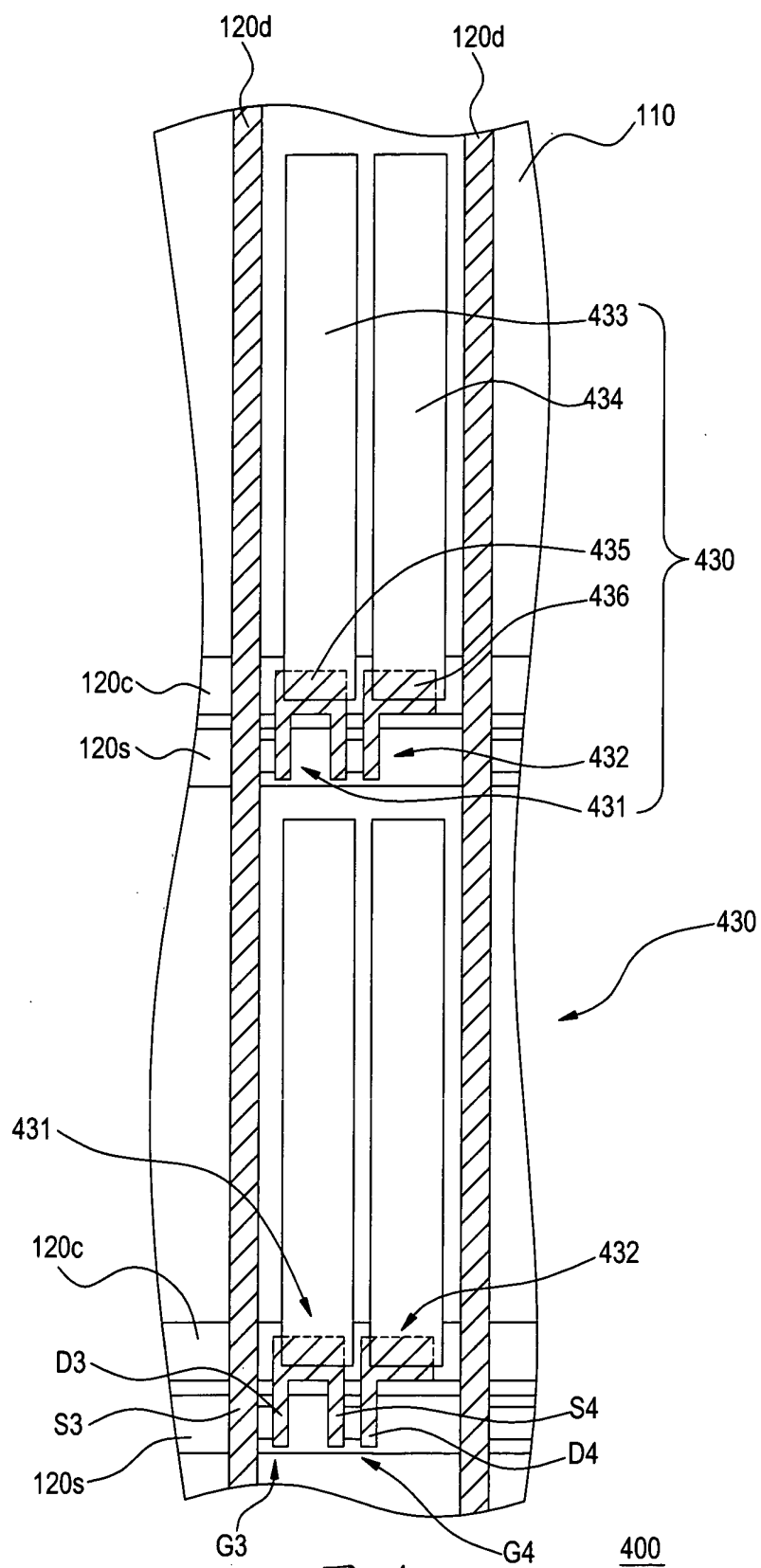


圖 4

四、指定代表圖：

(一)本案指定代表圖為：圖 1B。

(二)本代表圖之元件符號簡單說明：

10	液晶顯示面板
100	電晶體陣列基板
120d	資料線
120s	掃描線
130	畫素單元
131	第一電晶體
132	第二電晶體
133	第一畫素電極
134	第二畫素電極
135	第一儲存電容
136	第二儲存電容
D1	第一汲極
D2	第二汲極
G1	第一閘極
G2	第二閘極
S1	第一源極
S2	第二源極
Clc1、Clc2	液晶電容
Vc1	共通電極訊號
Vg1	閘極電源

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無