(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년05월13일
(11) 등록번호 10-2805550
(24) 등록일자 2025년05월07일

(51) 국제특허분류(Int. Cl.)
H10F 39/12 (2025.01) *H04N 25/77* (2023.01)
(52) CPC특허분류
H10F 39/811 (2025.01)
H04N 25/772 (2023.01)
(21) 출원번호 10-2021-7038792
(22) 출원일자(국제) 2020년06월26일
심사청구일자 2023년05월12일
(85) 번역문제출일자 2021년11월26일
(65) 공개번호 10-2022-0023760
(43) 공개일자 2022년03월02일
(86) 국제출원번호 PCT/JP2020/025285
(87) 국제공개번호 WO 2020/262629
국제공개일자 2020년12월30일
(30) 우선권주장
JP-P-2019-119099 2019년06월26일 일본(JP)
(56) 선행기술조사문헌
JP2016181884 A*
JP2018148567 A*
KR1020110050670 A*
US20180240834 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
소니 세미컨덕터 솔루션즈 가부시키가이샤
일본국 가나가와켄 아츠기시 아사히쵸 4-14-1
(72) 발명자
코모토 타케요시
일본국 가나가와켄 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 내
나카미조 마사히코
일본국 가나가와켄 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 내
(뒷면에 계속)
(74) 대리인
최달용

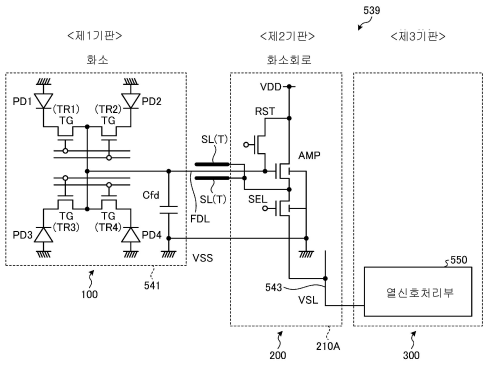
전체 청구항 수 : 총 10 항 심사관 : 심병로

(54) 발명의 명칭 **촬상 장치**

(57) 요 약

실시 형태의 촬상 장치는, 제1 기판과, 제2 기판과, 배선과, 트렌치를 가진다. 제1 기판은, 포토 다이오드와, 포토 다이오드에서 변환된 전하를 유지하는 플로팅 디퓨전을 갖는 화소를 가진다. 제2 기판은, 화소 내의 플로팅 디퓨전에 유지된 전하에 의거하는 화소 신호를 판독하는 화소 회로를 가지고, 제1 기판에 적층되어 있다. 배선은, 제1 기판과 제2 기판을 적층 방향으로 관통하여, 제1 기판 내의 플로팅 디퓨전과 제2 기판의 화소 회로 내의 증폭 트랜지스터 사이를 전기적으로 접속한다. 트렌치는, 적어도 제2 기판에 형성되어, 배선과 병주(竝走)하고, 제2 기판 내의 반도체층의 두께 이상의 깊이이다.

대 표 도



(52) CPC특허분류
H10F 39/18 (2025.01)
H10F 39/805 (2025.01)
(72) 발명자
오노 토시아키
일본국 가나가와켄 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 내
야마시타 토모노리
일본국 가나가와켄 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 내

명 세 서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

포토 다이오드와, 상기 포토 다이오드에서 변환된 전하를 유지하는 플로팅 디퓨전을 갖는 화소를 갖는 제1 기판과,

상기 화소 내의 상기 플로팅 디퓨전에 유지된 상기 전하에 의거하는 화소 신호를 판독하는 화소 회로와 증폭 트랜지스터를 가지고, 상기 제1 기판에 적층된 제2 기판과,

상기 제1 기판 내의 플로팅 디퓨전과 상기 제2 기판의 상기 화소 회로 내의 증폭 트랜지스터 사이를 전기적으로 접속하는, 상기 제1 기판 및 상기 제2 기판에 형성된 배선과,

상기 증폭 트랜지스터의 게이트와 당해 증폭 트랜지스터의 소스 사이를 전기적으로 접속하고, 상기 배선과 병주하면서, 당해 배선을 실드하는 실드 배선을 갖고,

상기 제2 기판은 상기 화소 회로의 웰층과 상기 증폭 트랜지스터의 웰층 사이를 전기적으로 분리하는 풀 트렌치를 갖고,

상기 실드 배선은 평면에서 볼 때 상기 배선의 주위를 덮도록 배치되는 것을 특징으로 하는 촬상 장치.

청구항 10

제9항에 있어서,

상기 실드 배선은,

상기 제2 기판 내의 증폭 트랜지스터와 상기 제1 기판 내의 플로팅 디퓨전 사이를 접속하는 상기 배선 중, 적어

도 상기 제2 기판 내를 통과하는 배선 부분을 실드하는 것을 특징으로 하는 촬상 장치.

청구항 11

제9항에 있어서,

상기 실드 배선은,

상기 제2 기판 내의 증폭 트랜지스터와 상기 제1 기판 내의 플로팅 디퓨전 사이를 접속하는 상기 배선 중, 상기 제2 기판 및 상기 제1 기판을 통과하는 배선 부분을 실드하는 것을 특징으로 하는 촬상 장치.

청구항 12

제9항에 있어서,

상기 실드 배선의 적어도 일부는, 다른 배선에 비교하여 상기 배선과의 간격이 짧게 한 것을 특징으로 하는 촬상 장치.

청구항 13

제9항에 있어서,

상기 배선과 상기 실드 배선 사이의 커플링 용량이, 상기 배선과 다른 배선 사이의 커플링 용량에 비교하여 큰 것을 특징으로 하는 촬상 장치.

청구항 14

제9항에 있어서,

복수의 상기 화소 회로와 복수의 수직 신호선을 통하여 접속되는 열 신호 처리부를 가지고,

상기 열 신호 처리부는, 기준 신호에 의거하여 AD 변환을 행하는 AD 변환기와, 부하 회로를 구비하고, 수직 신호선의 전압에 응한 화소 데이터를 출력하는 것을 특징으로 하는 촬상 장치.

청구항 15

제9항에 있어서,

복수의 상기 화소 회로와 복수의 수직 신호선을 통하여 접속되는 열 신호 처리부를 가지고,

상기 열 신호 처리부는, RAMP 파형을 생성하여 출력하는 RAMP 발생 회로와,

상기 수직 신호선을 통하여 판독된 화소 신호의 전압과 RAMP 파형의 전압을 비교하는 비교기와,

상기 비교기의 비교 결과 신호에 의거하여 카운트를 행하는 카운터와,

상기 카운터의 카운트 값에 의거하여 화소 데이터를 출력하는 래치를 구비한 것을 특징으로 하는 촬상 장치.

청구항 16

제15항에 있어서,

상기 비교기는, 싱글 슬로프형의 ADC로서 구성되어 있는 것을 특징으로 하는 촬상 장치.

청구항 17

제15항에 있어서,

상기 비교기는, 상기 수직 신호선을 통하여 판독된 화소 신호가 소스 단자에 인가되고, 상기 RAMP 파형이 게이트 단자에 인가되고, 게이트-소스간 전압에 의거하는 비교 결과 신호를 출력하는 트랜지스터를 구비하는 것을 특징으로 하는 촬상 장치.

청구항 18

제9항에 있어서,

복수의 상기 화소 회로와 복수의 수직 신호선을 통하여 접속되는 열 신호 처리부를 가지고,

상기 열 신호 처리부는, 부하 회로와,

상기 부하 회로에 기인하여 발생하는 전류를 상기 수직 신호선에 접속되고, 전류 리유즈 칼럼 앰프로서 구성된 전치 회로와,

소정의 기준 신호에 의거하여 AD 변환을 행하는 AD 변환기를 구비하고 상기 수직 신호선의 전압에 응한 화소 데이터를 출력하는 것을 특징으로 하는 촬상 장치.

발명의 설명

기 술 분 야

[0001] 본 개시는, 촬상 장치에 관한 것이다.

배 경 기 술

[0002] 종래, 2차원 구조의 촬상 장치의 1화소당의 면적의 미세화는, 미세 프로세스의 도입과 실장 밀도의 향상에 의해 실현되어 왔다. 근래, 촬상 장치의 더한층의 소형화 및 화소의 고밀도화를 실현하기 위해, 3차원 구조의 촬상 장치가 개발되어 있다. 3차원 구조의 촬상 장치에서는, 예를 들면, 복수의 센서 화소를 갖는 반도체 기판과, 각 센서 화소에서 얻어진 신호를 처리하는 신호 처리 회로를 갖는 반도체 기판이 서로 적층되어 있다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 특허 문헌 1: 특개2010-245506호 공보

발명의 내용

해결하려는 과제

[0004] 그런데, 3차원 구조의 촬상 장치에서, 반도체 칩을 3층 적층하는 경우에는, 모든 반도체 기판을 표면측의 면끼리로 첩합할 수가 없다. 만연히 반도체 기판을 3층 적층한 경우에는, 반도체 기판끼리를 전기적으로 접속하는 구조에 기인하여, 칩 사이즈가 커지거나, 1화소당의 면적의 미세화를 저해하거나 해 버릴 가능성이 있다. 따라서, 지금까지와 동등한 칩 사이즈로, 1화소당의 면적의 미세화를 저해하는 일이 없는 3층 구조의 촬상 장치를 제공하는 것이 바람직하다.

[0005] 또한, 3층 구조로 한정되는 것이 아니고, 촬상 장치는, 화소 내의 플로팅 디퓨전과 화소 회로 내의 증폭 트랜지스터의 게이트 사이를 FD 배선으로서 접속 비아로 접속한다. 미세 화소에서는, FD 배선의 접속 비아의 영역 면적이 45% 정도가 된다. 그 결과, 화소 회로의 유효 영역이 작아지기 때문에, 증폭 트랜지스터의 배치 면적을 확장할 수 없다.

과제의 해결 수단

[0006] 상기 과제를 해결하기 위해, 본 개시에 관한 한 형태의 촬상 장치는, 제1 기판과, 제2 기판과, 배선과, 트렌치를 가진다. 제1 기판은, 포토 다이오드와, 상기 포토 다이오드에서 변환된 전하를 유지하는 플로팅 디퓨전을 갖는 화소를 가진다. 제2 기판은, 상기 화소 내의 상기 플로팅 디퓨전에 유지된 상기 전하에 의거하는 화소 신호를 판독하는 화소 회로를 가지고, 상기 제1 기판에 적층되어 있다. 배선은, 상기 제1 기판과 상기 제2 기판을 적층 방향으로 관통하여, 상기 제1 기판 내의 플로팅 디퓨전과 상기 제2 기판의 상기 화소 회로 내의 증폭 트랜지스터 사이를 전기적으로 접속한다. 트렌치는, 적어도 상기 제2 기판에 형성되어, 상기 배선과 병주(竝走)하고, 상기 제2 기판 내의 반도체층의 두께 이상의 깊이이다.

발명의 효과

[0007] 배선의 기생 용량을 작게 함으로써 전하-전압의 변환 효율의 향상을 도모할 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 개시의 한 실시의 형태에 관한 촬상 장치의 기능 구성의 한 예를 도시하는 블록도.

도 2는 도 1에 도시한 촬상 장치의 개략 구성을 도시하는 평면 모식도.

도 3은 도 2에 도시한 Ⅲ-Ⅲ'선을 따른 단면 구성을 도시하는 모식도.

도 4는 도 1에 도시한 화소 공유 유닛의 등가 회로도.

도 5는 복수의 화소 공유 유닛과 복수의 수직 신호선의 접속 상태의 한 예를 도시하는 도면.

도 6은 도 3에 도시한 촬상 장치의 구체적인 구성의 한 예를 도시하는 단면 모식도.

도 7A는 도 6에 도시한 제1 기판의 요부의 평면 구성의 한 예를 도시하는 모식도.

도 7B는 도 7A에 도시한 제1 기판의 요부와 함께 패드부의 평면 구성을 도시하는 모식도.

도 8은 도 6에 도시한 제2 기판(반도체층)의 평면 구성의 한 예를 도시하는 모식도.

도 9는 도 6에 도시한 제1 배선층과 함께, 화소 회로 및 제1 기판의 요부의 평면 구성의 한 예를 도시하는 모식도.

도 10은 도 6에 도시한 제1 배선층 및 제2 배선층의 평면 구성의 한 예를 도시하는 모식도.

도 11은 도 6에 도시한 제2 배선층 및 제3 배선층의 평면 구성의 한 예를 도시하는 모식도.

도 12는 도 6에 도시한 제3 배선층 및 제4 배선층의 평면 구성의 한 예를 도시하는 모식도.

도 13은 도 3에 도시한 촬상 장치에의 입력 신호의 경로에 관해 설명하기 위한 모식도.

도 14는 도 3에 도시한 촬상 장치의 화소 신호의 신호 경로에 관해 설명하기 위한 모식도.

도 15는 도 8에 도시한 제2 기판(반도체층)의 평면 구성의 한 변형례를 도시하는 모식도.

도 16은 도 15에 도시한 화소 회로와 함께, 제1 배선층 및 제1 기판의 요부의 평면 구성을 도시하는 모식도.

도 17은 도 16에 도시한 제1 배선층과 함께, 제2 배선층의 평면 구성의 한 예를 도시하는 모식도.

도 18은 도 17에 도시한 제2 배선층과 함께, 제3 배선층의 평면 구성의 한 예를 도시하는 모식도.

도 19는 도 18에 도시한 제3 배선층과 함께, 제4 배선층의 평면 구성의 한 예를 도시하는 모식도.

도 20은 도 7A에 도시한 제1 기판의 평면 구성의 한 변형례를 도시하는 모식도.

도 21은 도 20에 도시한 제1 기판에 적층되는 제2 기판(반도체층)의 평면 구성의 한 예를 도시하는 모식도.

도 22는 도 21에 도시한 화소 회로와 함께, 제1 배선층의 평면 구성의 한 예를 도시하는 모식도.

도 23은 도 22에 도시한 제1 배선층과 함께, 제2 배선층의 평면 구성의 한 예를 도시하는 모식도.

도 24는 도 23에 도시한 제2 배선층과 함께, 제3 배선층의 평면 구성의 한 예를 도시하는 모식도.

도 25는 도 24에 도시한 제3 배선층과 함께, 제4 배선층의 평면 구성의 한 예를 도시하는 모식도.

도 26은 도 20에 도시한 제1 기판의 평면 구성의 다른 예를 도시하는 모식도.

도 27은 도 26에 도시한 제1 기판에 적층되는 제2 기판(반도체층)의 평면 구성의 한 예를 도시하는 모식도.

도 28은 도 27에 도시한 화소 회로와 함께, 제1 배선층의 평면 구성의 한 예를 도시하는 모식도.

도 29는 도 28에 도시한 제1 배선층과 함께, 제2 배선층의 평면 구성의 한 예를 도시하는 모식도.

도 30은 도 29에 도시한 제2 배선층과 함께, 제3 배선층의 평면 구성의 한 예를 도시하는 모식도.

도 31은 도 30에 도시한 제3 배선층과 함께, 제4 배선층의 평면 구성의 한 예를 도시하는 모식도.

도 32는 도 3에 도시한 촬상 장치의 다른 예를 도시하는 단면 모식도.

도 33은 도 32에 도시한 촬상 장치에의 입력 신호의 경로에 관해 설명하기 위한 모식도.

도 34는 도 32에 도시한 촬상 장치의 화소 신호의 신호 경로에 관해 설명하기 위한 모식도.

도 35는 도 6에 도시한 촬상 장치의 다른 예를 도시하는 단면 모식도.

도 36은 도 4에 도시한 등가 회로의 다른 예를 도시하는 도면.

도 37은 도 7A 등에 도시한 화소 분리부의 다른 예를 도시하는 평면 모식도.

도 38은 실시의 형태 2-1의 촬상 장치 내의 화소 공유 유닛의 구성의 한 예를 도시하는 등가 회로도.

도 39는 실시의 형태 2-1의 제1 기판과 제2 기판의 적층 구조의 한 예를 도시하는 단면 모식도.

도 40은 제1 기판과 제2 기판의 적층 구조의 한 예를 도시하는 모식도.

도 41은 제2 기판의 면상의 트렌치(T1)의 배치 구성의 한 예를 도시하는 모식도.

도 42는 제2 기판의 면상의 트렌치(T2)의 배치 구성의 한 예를 도시하는 모식도.

도 43은 제2 기판의 면상의 트렌치(T3)의 배치 구성의 한 예를 도시하는 모식도.

도 44는 제2 기판의 면상의 트렌치(T4)의 배치 구성의 한 예를 도시하는 모식도.

도 45는 실시의 형태 2-2의 제1 기판과 제2 기판의 적층 구조의 한 예를 도시하는 단면 모식도.

도 46A는 제2 기판의 면상의 트렌치(T5)의 배치 구성의 한 예를 도시하는 모식도.

도 46B는 제2 기판의 면상의 트렌치(T10)의 배치 구성의 한 예를 도시하는 모식도.

도 46C는 제2 기판의 면상의 트렌치(T11)의 배치 구성의 한 예를 도시하는 모식도.

도 46D는 제2 기판의 면상의 트렌치(T12)의 배치 구성의 한 예를 도시하는 모식도.

도 46E는 제2 기판의 면상의 트렌치(T13)의 배치 구성의 한 예를 도시하는 모식도.

도 46F는 제2 기판의 면상의 트렌치(T14)의 배치 구성의 한 예를 도시하는 모식도.

도 46G는 제2 기판의 면상의 트렌치(T15)의 배치 구성의 한 예를 도시하는 모식도.

도 46H는 제2 기판의 면상의 트렌치(T16)의 배치 구성의 한 예를 도시하는 모식도.

도 47은 트렌치(T5)의 개략 단면 형상의 한 예를 도시하는 모식도.

도 48A는 실시의 형태 2-3의 촬상 장치 내의 화소 공유 유닛의 구성의 한 예를 도시하는 등가 회로도.

도 48B는 실시의 형태 2-3의 촬상 장치 내의 화소 공유 유닛의 구성의 다른 한 예를 도시하는 등가 회로도.

도 49는 실시의 형태 2-3의 제1 기판과 제2 기판의 적층 구조의 한 예를 도시하는 단면 모식도.

도 50A는 실시의 형태 3-1의 제2 기판의 복수의 화소 회로의 구성의 한 예를 도시하는 등가 회로도.

도 50B는 제1 양태의 열 신호 처리부의 개요 구성 블록도.

도 50C는 제2 양태의 열 신호 처리부의 개요 구성 블록도.

도 50D는 비교기의 제1 구성례의 설명도.

도 50E는 비교기의 제2 구성례의 설명도.

도 50F는 비교기의 제3 구성례의 설명도.

도 50G는 제3 양태의 열 신호 처리부의 개요 구성 블록도.

도 50H는 제3 양태의 비교기의 구성례의 설명도.

도 50I는 제4 양태의 열 신호 처리부의 개요 구성 블록도.

도 50J는 전치(前置) 회로의 구성례의 설명도.

도 51은 실시의 형태 3-1의 제1 기판과 제2 기판의 적층 구조의 한 예를 도시하는 단면 모식도.

도 52는 화소 회로의 평면 구성의 한 예를 도시하는 모식도.

도 53은 도 52에 도시한 화소 회로의 표면에 FD 배선(FDL) 및 실드 배선(SL2)을 겹친 평면 구성의 한 예를 도시하는 모식도.

도 54는 실시의 형태 3-2의 제1 기판과 제2 기판의 적층 구조의 한 예를 도시하는 단면 모식도.

도 55는 실시의 형태 3-3의 제2 기판의 복수의 화소 회로의 구성의 한 예를 도시하는 등가 회로도.

도 56은 실시의 형태 3-4의 글로벌 셔터 방식의 촬상 장치의 화소 공유 유닛의 구성의 한 예를 도시하는 등가 회로도.

도 57은 실시의 형태 3-5의 메모리 유지형의 글로벌 셔터 방식의 촬상 장치의 화소 공유 유닛의 구성의 한 예를 도시하는 등가 회로도.

도 58은 상기 실시의 형태 및 그 변형례에 관한 촬상 장치를 구비한 촬상 시스템의 개략 구성의 한 예를 도시하는 도면.

도 59는 도 58에 도시한 촬상 시스템의 촬상 순서의 한 예를 도시하는 도면.

도 60은 차량 제어 시스템의 개략적인 구성의 한 예를 도시하는 블록도.

도 61은 차외 정보 검출부 및 촬상부의 설치 위치의 한 예를 도시하는 설명도.

도 62는 내시경 수술 시스템의 개략적인 구성의 한 예를 도시하는 도면.

도 63은 카메라 헤드 및 CCU의 기능 구성의 한 예를 도시하는 블록도.

발명을 실시하기 위한 구체적인 내용

[0009] 이하에, 본 개시의 한 실시 형태에 관해 도면에 의거하여 상세히 설명한다. 또한, 이하의 실시 형태에서, 동일한 부위에는 동일한 부호를 붙임에 의해 중복되는 설명을 생략한다.

[0010] 이하, 본 개시를 실시하기 위한 형태에 관해, 도면을 참조하여 상세히 설명한다. 또한, 설명은 이하의 순서로 행한다.

[0011] 1. 실시의 형태 1(3개의 기판의 적층 구조를 갖는 촬상 장치)

[0012] 2. 변형례 1(평면 구성의 예 1)

[0013] 3. 변형례 2(평면 구성의 예 2)

[0014] 4. 변형례 3(평면 구성의 예 3)

[0015] 5. 변형례 4(화소 어레이부의 중앙부에 기판 사이의 콘택트부를 갖는 예)

[0016] 6. 변형례 5(플레이너형의 전송 트랜지스터를 갖는 예)

[0017] 7. 변형례 6(1개의 화소 회로에 1개의 화소가 접속되는 예)

[0018] 8. 변형례 7(화소 분리부의 구성례)

[0019] 9. 실시의 형태 2

[0020] 9. 1 실시의 형태 2에서 해결하고자 하는 과제

[0021] 9. 2 실시의 형태 2의 개요

[0022] 9. 3 실시의 형태 2-1의 구체례

[0023] 9. 3. 1 실시의 형태 2-1의 구성

[0024] 9. 3. 2 실시의 형태 2-1의 작용·효과

[0025] 9. 3. 3 실시의 형태 2-1의 변형례

[0026] 9. 4 실시의 형태 2-2의 구체례

[0027] 9. 4. 1 실시의 형태 2-2의 구성

[0028] 9. 4. 2 실시의 형태 2-2의 작용·효과

[0029] 9. 5 실시의 형태 2-3의 구체례

[0030] 9. 5. 1 실시의 형태 2-3의 구성

[0031] 9. 5. 2 실시의 형태 2-3의 작용·효과

[0032] 10. 실시의 형태 3

[0033] 10. 1 실시의 형태 3에서 해결하고자 하는 과제

[0034] 10. 2 실시의 형태 3의 개요

[0035] 10. 3 실시의 형태 3-1의 구체례

[0036] 10. 3. 1 실시의 형태 3-1의 구성

[0037] 10. 3. 2 실시의 형태 3-1의 작용·효과

[0038] 10. 4 실시의 형태 3-2의 구체례

[0039] 10. 4. 1 실시의 형태 3-2의 구성

[0040] 10. 4. 2 실시의 형태 3-2의 작용·효과

[0041] 10. 5 실시의 형태 3-3의 구체례

[0042] 10. 5. 1 실시의 형태 3-3의 구성

[0043] 10. 5. 2 실시의 형태 3-3의 작용·효과

[0044] 10. 6 실시의 형태 3-4의 구체례

[0045] 10. 6. 1 실시의 형태 3-4의 구성

[0046] 10. 6. 2 실시의 형태 3-4의 작용·효과

[0047] 10. 7 실시의 형태 3-5의 구체례

[0048] 10. 7. 1 실시의 형태 3-5의 구성

[0049] 10. 7. 2 실시의 형태 3-5의 작용·효과

[0050] 11. 적용례(촬상 시스템)

[0051] 12. 응용례

[0052] <1. 실시의 형태 1>

[0053] [촬상 장치(1)의 기능 구성]

[0054] 도 1은, 본 개시의 한 실시의 형태에 관한 촬상 장치(촬상 장치(1))의 기능 구성의 한 예를 도시하는 블록도이다.

[0055] 도 1의 촬상 장치(1)는, 예를 들면, 입력부(510A), 행 구동부(520), 타이밍 제어부(530), 화소 어레이부(540), 열 신호 처리부(550), 화상 신호 처리부(560) 및 출력부(510B)를 포함하고 있다.

[0056] 화소 어레이부(540)에는, 화소(541)가 어레이형상으로 반복 배치되어 있다. 보다 구체적으로는, 복수의 화소를 포함한 화소 공유 유닛(539)이 반복 단위가 되고, 이것이, 행방향과 열방향으로 이루어지는 어레이형상으로 반복 배치되어 있다. 또한, 본 명세서에서는, 편의상, 행방향을 H방향, 행방향과 직교하는 열방향을 V방향이라고 부르는 경우가 있다. 도 1의 예에서, 1개의 화소 공유 유닛(539)이, 4개의 화소(화소(541A, 541B, 541C, 541D))를 포함하고 있다. 화소(541A, 541B, 541C, 541D)는 각각, 포토 다이오드(PD)(후술하는 도 6 등에 도시)를 가지고 있다. 화소 공유 유닛(539)은, 1개의 화소 회로(후술하는 도 4의 화소 회로(210))를 공유하는 단위이다. 환언하면, 4개의 화소(화소(541A, 541B, 541C, 541D))마다, 1개의 화소 회로(후술하는 화소 회로(210))를 가지고 있다. 이 화소 회로를 시분할로 동작시킴에 의해, 화소(541A, 541B, 541C, 541D) 각각의 화소 신호가 순차적으로 판독되도록 되어 있다. 화소(541A, 541B, 541C, 541D)는, 예를 들어 2행×2열로 배치되어 있

다. 화소 어레이부(540)에는, 화소(541A, 541B, 541C, 541D)와 함께, 복수의 행 구동 신호선(542) 및 복수의 수직 신호선(열 판독선)(543)이 마련되어 있다. 행 구동 신호선(542)은, 화소 어레이부(540)에서 행방향으로 나란히 배열된, 복수의 화소 공유 유닛(539) 각각에 포함되는 화소(541)를 구동한다. 화소 공유 유닛(539) 중, 행방향으로 나란히 배열된 각 화소를 구동한다. 후에 도 4를 참조하여 상세하게 설명하지만, 화소 공유 유닛(539)에는, 복수의 트랜지스터가 마련되어 있다. 이들 복수의 트랜지스터를 각각 구동하기 위해, 1개의 화소 공유 유닛(539)에는 복수의 행 구동 신호선(542)이 접속되어 있다. 수직 신호선(열 판독선)(543)에는, 화소 공유 유닛(539)이 접속되어 있다. 화소 공유 유닛(539)에 포함되는 화소(541A, 541B, 541C, 541D) 각각으로부터, 수직 신호선(열 판독선)(543)을 통하여 화소 신호가 판독된다.

[0057] 행 구동부(520)는, 예를 들면, 화소 구동하기 위한 행의 위치를 정하는 행 어드레스 제어부, 환언하면, 행 디코더부와, 화소(541A, 541B, 541C, 541D)를 구동하기 위한 신호를 발생시키는 행 구동 회로부를 포함하고 있다.

[0058] 열 신호 처리부(550)는, 예를 들면, 수직 신호선(543)에 접속되고, 화소(541A, 541B, 541C, 541D)(화소 공유 유닛(539))와 소스 팔로워 회로를 형성하는 부하 회로부를 구비한다. 열 신호 처리부(550)는, 수직 신호선(543)을 통하여 화소 공유 유닛(539)으로부터 판독된 신호를 증폭하는 증폭 회로부를 가지고 있어도 좋다. 열 신호 처리부(550)는, 노이즈 처리부를 가지고 있어도 좋다. 노이즈 처리부에서는, 예를 들면, 광전 변환의 결과로서 화소 공유 유닛(539)으로부터 판독된 신호로부터, 계의 노이즈 레벨이 제거된다.

[0059] 열 신호 처리부(550)는, 예를 들면, 아날로그 디지털 컨버터(ADC)를 가지고 있다. 아날로그 디지털 컨버터에서는, 화소 공유 유닛(539)으로부터 판독된 신호 또는 상기 노이즈 처리된 아날로그 신호가 디지털 신호로 변환된다. ADC는, 예를 들면, 콤퍼레이터부 및 카운터부를 포함하고 있다. 콤퍼레이터부에서는, 변환 대상이 되는 아날로그 신호와, 이것과 비교 대상이 되는 참조 신호가 비교된다. 카운터부에서는, 콤퍼레이터부에서의 비교 결과가 반전하기까지의 시간이 계측되도록 되어 있다. 열 신호 처리부(550)는, 판독 열을 주사하는 제어를 행하는 수평 주사 회로부를 포함하고 있어도 좋다.

[0060] 타이밍 제어부(530)는, 장치에 입력된 기준 클록 신호나 타이밍 제어 신호를 기초로 하여, 행 구동부(520) 및 열 신호 처리부(550)에, 타이밍을 제어하는 신호를 공급한다.

[0061] 화상 신호 처리부(560)는, 광전 변환의 결과 얻어진 데이터, 환언하면, 촬상 장치(1)에서의 촬상 동작의 결과 얻어진 데이터에 대해, 각종의 신호 처리를 시행하는 회로이다. 화상 신호 처리부(560)는, 예를 들면, 화상 신호 처리 회로부 및 데이터 유지부를 포함하고 있다. 화상 신호 처리부(560)는, 프로세서부를 포함하고 있어도 좋다.

[0062] 화상 신호 처리부(560)에서 실행되는 신호 처리의 한 예는, AD 변환된 촬상 데이터가, 어두운 피사체를 촬영한 데이터인 경우에는 계조를 많이 주고, 밝은 피사체를 촬영한 데이터인 경우에는 계조를 적게 하는 톤 커브 보정 처리이다. 이 경우, 촬상 데이터의 계조를 어떤 톤 커브에 의거하여 보정하는지, 톤 커브의 특성 데이터를 미리 화상 신호 처리부(560)의 데이터 유지부에 기억시켜 두는 것이 바람직하다.

[0063] 입력부(510A)는, 예를 들면, 상기 기준 클록 신호, 타이밍 제어 신호 및 특성 데이터 등을 장치 외부로부터 촬상 장치(1)에 입력하기 위한 것이다. 타이밍 제어 신호는, 예를 들면, 수직 동기 신호 및 수평 동기 신호 등이다. 특성 데이터는, 예를 들면, 화상 신호 처리부(560)의 데이터 유지부에 기억시키기 위한 것이다. 입력부(510A)는, 예를 들면, 입력 단자(511), 입력 회로부(512), 입력 진폭 변경부(513), 입력 데이터 변환 회로부(514) 및 전원 공급부(도시하지 않음)를 포함하고 있다.

[0064] 입력 단자(511)는, 데이터를 입력하기 위한 외부 단자이다. 입력 회로부(512)는, 입력 단자(511)에 입력된 신호를 촬상 장치(1)의 내부에 취입하기 위한 것이다. 입력 진폭 변경부(513)에서는, 입력 회로부(512)에서 취입된 신호의 진폭이, 촬상 장치(1)의 내부에서 이용하기 쉬운 진폭으로 변경된다. 입력 데이터 변환 회로부(514)에서는, 입력 데이터의 데이터열의 병렬이 변경된다. 입력 데이터 변환 회로부(514)는, 예를 들면, 시리얼 패럴렐 변환 회로에 의해 구성되어 있다. 이 시리얼 패럴렐 변환 회로에서는, 입력 데이터로서 받아들인 시리얼 신호가 패럴렐 신호로 변환된다. 또한, 입력부(510A)에서는, 입력 진폭 변경부(513) 및 입력 데이터 변환 회로부(514)가, 생략되어 있어도 좋다. 전원 공급부는, 외부로부터 촬상 장치(1)에 공급된 전원을 기초로 하여, 촬상 장치(1)의 내부에서 필요해지는 각종의 전압으로 설정된 전원을 공급한다.

[0065] 촬상 장치(1)가 외부의 메모리 디바이스와 접속될 때, 입력부(510A)에는, 외부의 메모리 디바이스로부터의 데이터를 수취하는 메모리 인터페이스 회로가 마련되어 있어도 좋다. 외부의 메모리 디바이스는, 예를 들면, 플래시 메모리, SRAM 및 DRAM 등이다.

[0066] 출력부(510B)는, 화상 데이터를 장치 외부로 출력한다. 이 화상 데이터는, 예를 들면, 촬상 장치(1)에서 촬영된 화상 데이터, 및, 화상 신호 처리부(560)에서 신호 처리된 화상 데이터 등이다. 출력부(510B)는, 예를 들면, 출력 데이터 변환 회로부(515), 출력 진폭 변경부(516), 출력 회로부(517) 및 출력 단자(518)를 포함하고 있다.

[0067] 출력 데이터 변환 회로부(515)는, 예를 들면, 패럴렐 시리얼 변환 회로에 의해 구성되어 있고, 출력 데이터 변환 회로부(515)에서는, 촬상 장치(1) 내부에서 사용한 패럴렐 신호가 시리얼 신호로 변환된다. 출력 진폭 변경부(516)는, 촬상 장치(1)의 내부에서 이용한 신호의 진폭을 변경한다. 변경된 진폭의 신호는, 촬상 장치(1)의 외부에 접속되는 외부 디바이스에서 이용하기 쉬워진다. 출력 회로부(517)는, 촬상 장치(1)의 내부로부터 장치 외부로 데이터를 출력하는 회로이고, 출력 회로부(517)에 의해, 출력 단자(518)에 접속된 촬상 장치(1) 외부의 배선이 구동된다. 출력 단자(518)에서는, 촬상 장치(1)로부터 장치 외부로 데이터가 출력된다. 출력부(510B)에서는, 출력 데이터 변환 회로부(515) 및 출력 진폭 변경부(516)가, 생략되어 있어도 좋다.

[0068] 촬상 장치(1)가 외부의 메모리 디바이스와 접속될 때, 출력부(510B)에는, 외부의 메모리 디바이스로 데이터를 출력하는 메모리 인터페이스 회로가 마련되어 있어도 좋다. 외부의 메모리 디바이스는, 예를 들면, 플래시 메모리, SRAM 및 DRAM 등이다.

[0069] [촬상 장치(1)의 개략 구성]

[0070] 도 2 및 도 3은, 촬상 장치(1)의 개략 구성의 한 예를 도시한 것이다. 촬상 장치(1)는, 3개의 기판(제1 기판(100), 제2 기판(200), 제3 기판(300))을 구비하고 있다. 도 2는, 제1 기판(100), 제2 기판(200), 제3 기판(300) 각각의 평면 구성을 모식적으로 도시한 것이고, 도 3은, 서로 적층된 제1 기판(100), 제2 기판(200) 및 제3 기판(300)의 단면 구성을 모식적으로 도시하고 있다. 도 3은, 도 2에 도시한 Ⅲ-Ⅲ'선을 따른 단면 구성에 대응한다. 촬상 장치(1)는, 3개의 기판(제1 기판(100), 제2 기판(200), 제3 기판(300))을 첩합하여 구성된 3차원 구조의 촬상 장치이다. 제1 기판(100)은, 반도체층(100S) 및 배선층(100T)을 포함한다. 제2 기판(200)은, 반도체층(200S) 및 배선층(200T)을 포함한다. 제3 기판(300)은, 반도체층(300S) 및 배선층(300T)을 포함한다. 여기서, 제1 기판(100), 제2 기판(200) 및 제3 기판(300)의 각 기판에 포함되는 배선과 그 주위의 층간 절연막을 합친 것을, 편의상, 각각의 기판(제1 기판(100), 제2 기판(200) 및 제3 기판(300))에 마련된 배선층(100T, 200T, 300T)이라고 부른다. 제1 기판(100), 제2 기판(200) 및 제3 기판(300)은, 이 순서로 적층되어 있고, 적층 방향을 따라, 반도체층(100S), 배선층(100T), 반도체층(200S), 배선층(200T), 배선층(300T) 및 반도체층(300S)의 순서로 배치되어 있다. 제1 기판(100), 제2 기판(200) 및 제3 기판(300)의 구체적인 구성에 관해서는 후술한다. 도 3에 도시한 화살표는, 촬상 장치(1)에의 광(L)의 입사 방향을 나타낸다. 본 명세서에서는, 편의상, 이후의 단면도에서, 촬상 장치(1)에서의 광 입사측을 「하」「하측」「하방」, 광 입사측과 반대측을 「상」「상측」「상방」이라고 부르는 경우가 있다. 또한, 본 명세서에서는, 편의상, 반도체층과 배선층을 구비한 기판에 관해, 배선층의 측을 표면, 반도체층의 측을 이면이라고 부르는 경우가 있다. 또한, 명세서의 기재는, 상기 호칭 방법으로 한정되지 않는다. 촬상 장치(1)는, 예를 들면, 포토 다이오드를 갖는 제1 기판(100)의 이면측으로부터 광이 입사하는, 이면 조사형 촬상 장치로 되어 있다.

[0071] 화소 어레이부(540) 및 화소 어레이부(540)에 포함되는 화소 공유 유닛(539)은, 모두, 제1 기판(100) 및 제2 기판(200)의 쌍방을 이용하여 구성되어 있다. 제1 기판(100)에는, 화소 공유 유닛(539)이 갖는 복수의 화소(541A, 541B, 541C, 541D)가 마련되어 있다. 이들 화소(541)의 각각이, 포토 다이오드(후술하는 포토 다이오드(PD)) 및 전송 트랜지스터(후술하는 전송 트랜지스터(TR))를 가지고 있다. 제2 기판(200)에는, 화소 공유 유닛(539)이 갖는 화소 회로(후술하는 화소 회로(210))가 마련되어 있다. 화소 회로는, 화소(541A, 541B, 541C, 541D) 각각의 포토 다이오드로부터 전송 트랜지스터를 통하여 전송된 화소 신호를 판독하고, 또는, 포토 다이오드를 리셋한다. 이 제2 기판(200)은, 이와 같은 화소 회로에 더하여, 행방향으로 연재되는 복수의 행 구동 신호선(542) 및 열방향으로 연재되는 복수의 수직 신호선(543)을 가지고 있다. 제2 기판(200)은, 또한, 행방향으로 연재되는 전원선(544)을 가지고 있다. 제3 기판(300)은, 예를 들면, 입력부(510A), 행 구동부(520), 타이밍 제어부(530), 열 신호 처리부(550), 화상 신호 처리부(560) 및 출력부(510B)를 가지고 있다. 행 구동부(520)는, 예를 들면, 제1 기판(100), 제2 기판(200) 및 제3 기판(300)의 적층 방향(이하, 단지 적층 방향이라고 한다)에서, 일부가 화소 어레이부(540)에 겹쳐지는 영역에 마련되어 있다. 보다 구체적으로는, 행 구동부(520)는, 적층 방향에서, 화소 어레이부(540)의 H방향의 단부 근방에 겹쳐지는 영역에 마련되어 있다(도 2). 열 신호 처리부(550)는, 예를 들면, 적층 방향에서, 일부가 화소 어레이부(540)에 겹쳐지는 영역에 마련되어 있다. 보다 구체적으로는, 열 신호 처리부(550)는, 적층 방향에서, 화소 어레이부(540)의 V방향의 단부 근방에 겹쳐지는 영역에 마련되어 있다(도 2). 도시는 생략하지만, 입력부(510A) 및 출력부(510B)는, 제3 기판(300) 이외의 부분에 배치되어 있어도 좋고, 예를 들면, 제2 기판(200)에 배치되어 있어도 좋다. 또는, 제1 기판(100)의 이면(광입사면)

측에 입력부(510A) 및 출력부(510B)를 마련하도록 해도 좋다. 또한, 상기 제2 기판(200)에 마련된 화소 회로는, 다른 호칭으로서, 화소 트랜지스터 회로, 화소 트랜지스터군, 화소 트랜지스터, 화소 판독 회로 또는 판독 회로라고 불리는 일도 있다. 본 명세서에서는, 화소 회로라는 호칭을 이용한다.

[0072] 제1 기판(100)과 제2 기판(200)은, 예를 들면, 관통 전극(후술하는 도 6의 관통 전극(120E, 121E))에 의해 전기적으로 접속되어 있다. 제2 기판(200)과 제3 기판(300)은, 예를 들면, 콘택트부(201, 202, 301, 302)를 통하여 전기적으로 접속되어 있다. 제2 기판(200)에 콘택트부(201, 202)가 마련되고, 제3 기판(300)에 콘택트부(301, 302)가 마련되어 있다. 제2 기판(200)의 콘택트부(201)가 제3 기판(300)의 콘택트부(301)에 접하고, 제2 기판(200)의 콘택트부(202)가 제3 기판(300)의 콘택트부(302)에 접해 있다. 제2 기판(200)은, 복수의 콘택트부(201)가 마련된 콘택트 영역(201R)과, 복수의 콘택트부(202)가 마련된 콘택트 영역(202R)을 가지고 있다. 제3 기판(300)은, 복수의 콘택트부(301)가 마련된 콘택트 영역(301R)과, 복수의 콘택트부(302)가 마련된 콘택트 영역(302R)을 가지고 있다. 콘택트 영역(201R, 301R)은, 적층 방향에서, 화소 어레이부(540)와 행 구동부(520) 사이에 마련되어 있다(도 3). 환언하면, 콘택트 영역(201R, 301R)은, 예를 들면, 행 구동부(520)(제3 기판(300))와, 화소 어레이부(540)(제2 기판(200))가 적층 방향으로 겹쳐지는 영역, 또는 이 근방 영역에 마련되어 있다. 콘택트 영역(201R, 301R)은, 예를 들면, 이와 같은 영역 중, H방향의 단부에 배치되어 있다(도 2). 제3 기판(300)에서는, 예를 들면, 행 구동부(520)의 일부, 구체적으로는 행 구동부(520)의 H방향의 단부에 겹쳐지는 위치에 콘택트 영역(301R)이 마련되어 있다(도 2, 도 3). 콘택트부(201, 301)는, 예를 들면, 제3 기판(300)에 마련된 행 구동부(520)와, 제2 기판(200)에 마련된 행 구동 신호선(542)을 접속하는 것이다. 콘택트부(201, 301)는, 예를 들면, 제3 기판(300)에 마련된 입력부(510A)와 전원선(544) 및 기준 전위선(후술하는 기준 전위선(VSS))을 접속하고 있어도 좋다. 콘택트 영역(202R, 302R)은, 적층 방향에서, 화소 어레이부(540)와 열 신호 처리부(550) 사이에 마련되어 있다(도 3). 환언하면, 콘택트 영역(202R, 302R)은, 예를 들면, 열 신호 처리부(550)(제3 기판(300))와 화소 어레이부(540)(제2 기판(200))가 적층 방향으로 겹쳐지는 영역, 또는 이 근방 영역에 마련되어 있다. 콘택트 영역(202R, 302R)은, 예를 들면, 이와 같은 영역 중, V방향의 단부에 배치되어 있다(도 2). 제3 기판(300)에서는, 예를 들면, 열 신호 처리부(550)의 일부, 구체적으로는 열 신호 처리부(550)의 V방향의 단부에 겹쳐지는 위치에 콘택트 영역(301R)이 마련되어 있다(도 2, 도 3). 콘택트부(202, 302)는, 예를 들면, 화소 어레이부(540)가 갖는 복수의 화소 공유 유닛(539) 각각으로부터 출력된 화소 신호(포토 다이오드로의 광전 변환의 결과 발생한 전하의 양에 대응한 신호)를, 제3 기판(300)에 마련된 열 신호 처리부(550)에 접속하기 위한 것이다. 화소 신호는, 제2 기판(200)으로부터 제3 기판(300)에 보내지도록 되어 있다.

[0073] 도 3은, 상기와 같이, 촬상 장치(1)의 단면도의 한 예이다. 제1 기판(100), 제2 기판(200), 제3 기판(300)은, 배선층(100T, 200T, 300T)을 통하여 전기적으로 접속된다. 예를 들면, 촬상 장치(1)는, 제2 기판(200)과 제3 기판(300)을 전기적으로 접속하는 전기적 접속부를 가진다. 구체적으로는, 도전 재료로 형성된 전극으로 콘택트부(201, 202, 301, 302)를 형성한다. 도전 재료는, 예를 들면, 구리(Cu), 알루미늄(Al), 금(Au), 등의 금속 재료로 형성된다. 콘택트 영역(201R, 202R, 301R, 302R)은, 예를 들어 전극으로서 형성된 배선끼리를 직접 접합함으로써, 제2 기판과 제3 기판을 전기적으로 접속하고, 제2 기판(200)과 제3 기판(300)의 신호의 입력 및/또는 출력을 가능하게 한다.

[0074] 제2 기판(200)과 제3 기판(300)을 전기적으로 접속하는 전기적 접속부는, 소망하는 개소에 마련할 수 있다. 예를 들면, 도 3에서 콘택트 영역(201R, 202R, 301R, 302R)으로서 말한 바와 같이, 화소 어레이부(540)와 적층 방향으로 겹쳐지는 영역에 마련해도 좋다. 또한, 전기적 접속부를 화소 어레이부(540)와 적층 방향으로 겹쳐지지 않는 영역에 마련해도 좋다. 구체적으로는, 화소 어레이부(540)의 외측에 배치된 주변부와, 적층 방향으로 겹쳐지는 영역에 마련해도 좋다.

[0075] 제1 기판(100) 및 제2 기판(200)에는, 예를 들면, 접속 구멍부(H1, H2)가 마련되어 있다. 접속 구멍부(H1, H2)는, 제1 기판(100) 및 제2 기판(200)을 관통하고 있다(도 3). 접속 구멍부(H1, H2)는, 화소 어레이부(540)(또는 화소 어레이부(540)에 겹쳐지는 부분)의 외측에 마련되어 있다(도 2). 예를 들면, 접속 구멍부(H1)는, H방향에서 화소 어레이부(540)보다 외측에 배치되어 있고, 접속 구멍부(H2)는, V방향에서 화소 어레이부(540)보다도 외측에 배치되어 있다. 예를 들면, 접속 구멍부(H1)는, 제3 기판(300)에 마련된 입력부(510A)에 달하고 있고, 접속 구멍부(H2)는, 제3 기판(300)에 마련된 출력부(510B)에 달하고 있다. 접속 구멍부(H1, H2)는, 공동(空洞)이라도 좋고, 적어도 일부에 도전 재료를 포함하고 있어도 좋다. 예를 들면, 입력부(510A) 및/또는 출력부(510B)로서 형성된 전극에, 본딩 와이어를 접속하는 구성이 있다. 또는, 입력부(510A) 및/또는 출력부(510B)로서 형성된 전극과, 접속 구멍부(H1, H2)에 마련된 도전 재료를 접속하는 구성이 있다. 접속 구멍부(H1, H2)에 마련된 도전 재료는, 접속 구멍부(H1, H2)의 일부 또는 전부에 매입되어 있어도 좋고, 도전 재료가 접속 구멍부(H1,

H2)의 측벽에 형성되어 있어도 좋다.

[0076] 또한, 도 3에서는 제3 기판(300)에 입력부(510A), 출력부(510B)를 마련하는 구조라고 했지만, 이것으로 한정되지 않는다. 예를 들면, 배선층(200T, 300T)을 통하여 제3 기판(300)의 신호를 제2 기판(200)에 보냄으로써, 입력부(510A) 및/또는 출력부(510B)를 제2 기판(200)에 마련할 수도 있다. 마찬가지로, 배선층(100T, 200T)을 통하여, 제2 기판(200)의 신호를 제1 기판(1000)에 보냄으로써, 입력부(510A) 및/또는 출력부(510B)를 제1 기판(100)에 마련할 수도 있다.

[0077] 도 4는, 화소 공유 유닛(539)의 구성의 한 예를 도시하는 등가 회로도이다. 화소 공유 유닛(539)은, 복수의 화소(541)(도 4에서는, 화소(541A, 541B, 541C, 541D)의 4개의 화소(541)를 나타낸다)와, 이 복수의 화소(541)에 접속된 1개의 화소 회로(210)와, 화소 회로(210)에 접속된 수직 신호선(543)을 포함하고 있다. 화소 회로(210)는, 예를 들면, 4개의 트랜지스터, 구체적으로는, 증폭 트랜지스터(AMP), 선택 트랜지스터(SEL), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FD)을 포함하고 있다. 상술한 바와 같이, 화소 공유 유닛(539)은, 하나의 화소 회로(210)를 시분할로 동작시킴에 의해, 화소 공유 유닛(539)에 포함되는 4개의 화소(541)(화소(541A, 541B, 541C, 541D)) 각각의 화소 신호를 순차적으로 수직 신호선(543)에 출력하도록 되어 있다. 복수의 화소(541)에 하나의 화소 회로(210)가 접속되어 있고, 이 복수의 화소(541)의 화소 신호가, 하나의 화소 회로(210)에 의해 시분할로 출력되는 양태를, 「복수의 화소(541)가 하나의 화소 회로(210)를 공유한다」라고 한다.

[0078] 화소(541A, 541B, 541C, 541D)는, 서로 공통의 구성 요소를 가지고 있다. 이후, 화소(541A, 541B, 541C, 541D)의 구성 요소를 서로 구별하기 위해, 화소(541A)의 구성 요소의 부호의 말미에는 식별 번호 1, 화소(541B)의 구성 요소의 부호의 말미에는 식별 번호 2, 화소(541C)의 구성 요소의 부호의 말미에는 식별 번호 3, 화소(541D)의 구성 요소의 부호의 말미에는 식별 번호 4를 부여한다. 화소(541A, 541B, 541C, 541D)의 구성 요소를 서로 구별할 필요가 없는 경우에는, 화소(541A, 541B, 541C, 541D)의 구성 요소의 부호의 말미의 식별 번호를 생략한다.

[0079] 화소(541A, 541B, 541C, 541D)는, 예를 들면, 포토 다이오드(PD)와, 포토 다이오드(PD)와 전기적으로 접속된 전송 트랜지스터(TR)와, 전송 트랜지스터(TR)에 전기적으로 접속된 플로팅 디퓨전(FD)을 가지고 있다. 포토 다이오드(PD(PD1, PD2, PD3, PD4))에서는, 캐소드가 전송 트랜지스터(TR)의 소스에 전기적으로 접속되어 있고, 애노드가 기준 전위선(예를 들어 그라운드)에 전기적으로 접속되어 있다. 포토 다이오드(PD)는, 입사한 광을 광전 변환하고, 그 수광량에 응한 전하를 발생한다. 전송 트랜지스터(TR)(전송 트랜지스터(TR1, TR2, TR3, TR4))는, 예를 들면, n형의 CMS(Complementary Metal Oxide Semiconductor) 트랜지스터이다. 전송 트랜지스터(TR)에서는, 드레인이 플로팅 디퓨전(FD)에 전기적으로 접속되고, 게이트가 구동 신호선에 전기적으로 접속되어 있다. 이 구동 신호선은, 하나의 화소 공유 유닛(539)에 접속된 복수의 행 구동 신호선(542) 중(도 1 참조)의 일부이다. 전송 트랜지스터(TR)는, 포토 다이오드(PD)에서 발생한 전하를 플로팅 디퓨전(FD)에 전송한다. 플로팅 디퓨전(FD)(플로팅 디퓨전(FD1, FD2, FD3, FD4))은, p형 반도체층 중에 형성된 n형 확산층 영역이다. 플로팅 디퓨전(FD)은, 포토 다이오드(PD)로부터 전송된 전하를 일시적으로 유지하는 전하 유지 수단이고, 또한, 그 전하량에 응한 전압을 발생시키는, 전하-전압 변환 수단이다.

[0080] 하나의 화소 공유 유닛(539)에 포함되는 4개의 플로팅 디퓨전(FD)(플로팅 디퓨전(FD1, FD2, FD3, FD4))은, 서로 전기적으로 접속됨과 함께, 증폭 트랜지스터(AMP)의 게이트 및 FD 변환 게인 전환 트랜지스터(FDG)의 소스에 전기적으로 접속되어 있다. FD 변환 게인 전환 트랜지스터(FDG)의 드레인은 리셋 트랜지스터(RST)의 소스에 접속되고, FD 변환 게인 전환 트랜지스터(FDG)의 게이트는 구동 신호선에 접속되어 있다. 이 구동 신호선은, 하나의 화소 공유 유닛(539)에 접속된 복수의 행 구동 신호선(542) 중의 일부이다. 리셋 트랜지스터(RST)의 드레인은 전원선(VDD)에 접속되고, 리셋 트랜지스터(RST)의 게이트는 구동 신호선에 접속되어 있다. 이 구동 신호선은, 하나의 화소 공유 유닛(539)에 접속된 복수의 행 구동 신호선(542) 중의 일부이다. 증폭 트랜지스터(AMP)의 게이트는 플로팅 디퓨전(FD)에 접속되고, 증폭 트랜지스터(AMP)의 드레인은 전원선(VDD)에 접속되고, 증폭 트랜지스터(AMP)의 소스는 선택 트랜지스터(SEL)의 드레인에 접속되어 있다. 선택 트랜지스터(SEL)의 소스는 수직 신호선(543)에 접속되고, 선택 트랜지스터(SEL)의 게이트는 구동 신호선에 접속되어 있다. 이 구동 신호선은, 하나의 화소 공유 유닛(539)에 접속된 복수의 행 구동 신호선(542) 중의 일부이다.

[0081] 전송 트랜지스터(TR)는, 전송 트랜지스터(TR)가 온 상태가 되면, 포토 다이오드(PD)의 전하를 플로팅 디퓨전(FD)에 전송한다. 전송 트랜지스터(TR)의 게이트(전송 게이트(TG))는, 예를 들면, 이른바 종형 전극을 포함하고 있고, 후술하는 도 6에 도시하는 바와 같이, 반도체층(후술하는 도 6의 반도체층(100S))의 표면으로부터 PD에 달하는 깊이까지 연재되어 마련되어 있다. 리셋 트랜지스터(RST)는, 플로팅 디퓨전(FD)의 전위를 소정의 전위로

리셋한다. 리셋 트랜지스터(RST)가 온 상태가 되면, 플로팅 디퓨전(FD)의 전위를 전원선(VDD)의 전위로 리셋한다. 선택 트랜지스터(SEL)는, 화소 회로(210)로부터의 화소 신호의 출력 타이밍을 제어한다. 증폭 트랜지스터(AMP)는, 화소 신호로서, 플로팅 디퓨전(FD)에 유지된 전하의 레벨에 응한 전압의 신호를 생성한다. 증폭 트랜지스터(AMP)는, 선택 트랜지스터(SEL)를 통하여 수직 신호선(543)에 접속되어 있다. 이 증폭 트랜지스터(AMP)는, 열 신호 처리부(550)에서, 수직 신호선(543)에 접속된 부하 회로부(도 1 참조)와 함께 소스 팔로워를 구성하고 있다. 증폭 트랜지스터(AMP)는, 선택 트랜지스터(SEL)가 온 상태가 되면, 플로팅 디퓨전(FD)의 전압을, 수직 신호선(543)을 통하여 열 신호 처리부(550)에 출력한다. 리셋 트랜지스터(RST), 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)는, 예를 들면, N형의 MOS 트랜지스터이다.

[0082] FD 변환 게인 전환 트랜지스터(FDG)는, 플로팅 디퓨전(FD)에서의 전하-전압 변환의 게인을 변경할 때에 이용된다. 일반적으로, 어두운 장소에서의 촬영 시에는 화소 신호가 작다. Q=CV에 의거하여, 전하 전압 변환을 행할 때에, 플로팅 디퓨전(FD)의 용량(FD 용량(C))이 크면, 증폭 트랜지스터(AMP)에서 전압으로 변환했을 때의 V가 작아져 버린다. 한편, 밝은 장소에서는, 화소 신호가 커지기 때문에, FD 용량(C)이 크지 않으면, 플로팅 디퓨전(FD)에서, 포토 다이오드(PD)의 전하를 완전히 받을 수 없다. 또한, 증폭 트랜지스터(AMP)에서 전압으로 변환했을 때의 V가 너무 커지지 않도록(환언하면, 작아지도록), FD 용량(C)이 크게 되어 있을 필요가 있다. 이들에 입각하면, FD 변환 게인 전환 트랜지스터(FDG)를 온으로 했을 때에는, FD 변환 게인 전환 트랜지스터(FDG)분의 게이트 용량이 증가하기 때문에, 전체의 FD 용량(C)이 커진다. 한편, FD 변환 게인 전환 트랜지스터(FDG)를 오프로 했을 때에는, 전체의 FD 용량(C)이 작아진다. 이와 같이, FD 변환 게인 전환 트랜지스터(FDG)를 온 오프 전환함으로써, FD 용량(C)을 가변으로 하여 변환 효율을 전환할 수 있다. FD 변환 게인 전환 트랜지스터(FDG)는, 예를 들면, N형의 MOS 트랜지스터이다.

[0083] 또한, FD 변환 게인 전환 트랜지스터(FDG)를 마련하지 않는 구성도 가능하다. 이때, 예를 들면, 화소 회로(210)는, 예를 들어 증폭 트랜지스터(AMP), 선택 트랜지스터(SEL) 및 리셋 트랜지스터(RST)의 3개의 트랜지스터로 구성된다. 화소 회로(210)는, 예를 들면, 증폭 트랜지스터(AMP), 선택 트랜지스터(SEL), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG) 등의 화소 트랜지스터의 적어도 1개를 가진다.

[0084] 선택 트랜지스터(SEL)는, 전원선(VDD)과 증폭 트랜지스터(AMP) 사이에 마련되어 있어도 좋다. 이 경우, 리셋 트랜지스터(RST)의 드레인이 전원선(VDD) 및 선택 트랜지스터(SEL)의 드레인에 전기적으로 접속되어 있다. 선택 트랜지스터(SEL)의 소스가 증폭 트랜지스터(AMP)의 드레인에 전기적으로 접속되어 있고, 선택 트랜지스터(SEL)의 게이트가 행 구동 신호선(542)(도 1 참조)에 전기적으로 접속되어 있다. 증폭 트랜지스터(AMP)의 소스(화소 회로(210)의 출력단)가 수직 신호선(543)에 전기적으로 접속되어 있고, 증폭 트랜지스터(AMP)의 게이트가 리셋 트랜지스터(RST)의 소스에 전기적으로 접속되어 있다. 또한, 도시는 생략하지만, 하나의 화소 회로(210)를 공유하는 화소(541)의 수는, 4 이외라도 좋다. 예를 들면, 2개 또는 8개의 화소(541)가 하나의 화소 회로(210)를 공유해도 좋다.

[0085] 도 5는, 복수의 화소 공유 유닛(539)과, 수직 신호선과의 접속 양태의 한 예를 도시한 것이다. 예를 들면, 열방향으로 나열되는 4개의 화소 공유 유닛(539)이 4개의 그룹으로 나뉘어져 있고, 이 4개의 그룹 각각에 수직 신호선(543)이 접속되어 있다. 도 5에는, 설명을 간단하게 하기 위해, 4개의 그룹이 각각, 1개의 화소 공유 유닛(539)을 갖는 예를 나타냈지만, 4개의 그룹이 각각, 복수의 화소 공유 유닛(539)을 포함하고 있어도 좋다. 이와 같이, 촬상 장치(1)에서는, 열방향으로 나열되는 복수의 화소 공유 유닛(539)이, 1개 또는 복수의 화소 공유 유닛(539)을 포함하는 그룹으로 나눠져 있어도 좋다. 예를 들면, 이 그룹 각각에, 수직 신호선(543) 및 열 신호 처리부(550)가 접속되어 있고, 각각의 그룹으로부터 화소 신호를 동시에 판독할 수 있도록 되어 있다. 또는, 촬상 장치(1)에서는, 열방향으로 나열되는 복수의 화소 공유 유닛(539)에 1개의 수직 신호선(543)이 접속되어 있어도 좋다. 이때, 1개의 수직 신호선(543)에 접속된 복수의 화소 공유 유닛(539)으로부터, 시분할로 순차적으로 화소 신호가 판독되도록 되어 있다.

[0086] [촬상 장치(1)의 구체적 구성]

[0087] 도 6은, 촬상 장치(1)의 제1 기판(100), 제2 기판(200) 및 제3 기판(300)의 주면에 대해 수직 방향의 단면 구성의 한 예를 도시한 것이다. 도 6은, 구성 요소의 위치 관계를 알기 쉽게 하기 위해, 모식적으로 도시한 것이고, 실제의 단면과 달라도 좋다. 촬상 장치(1)에서는, 제1 기판(100), 제2 기판(200) 및 제3 기판(300)이 이 순서로 적층되어 있다. 촬상 장치(1)는, 또한, 제1 기판(100)의 이면측(광입사면측)에 수광 렌즈(401)를 가지고 있다. 수광 렌즈(401)와 제1 기판(100) 사이에, 컬러 필터층(도시 생략)이 마련되어 있어도 좋다. 수광 렌즈(401)는, 예를 들면, 화소(541A, 541B, 541C, 541D) 각각에 마련되어 있다. 촬상 장치(1)는, 예를 들면, 이면 조사형의

촬상 장치이다. 촬상 장치(1)는, 중앙부에 배치된 화소 어레이부(540)와, 화소 어레이부(540)의 외측에 배치된 주변부(540B)를 가지고 있다.

[0088] 제1 기판(100)은, 수광 렌즈(401)측으로부터 순차적으로, 절연막(111), 고정 전하막(112), 반도체층(100S) 및 배선층(100T)을 가지고 있다. 반도체층(100S)은, 예를 들어 실리콘 기판에 의해 구성되어 있다. 반도체층(100S)은, 예를 들면, 표면(배선층(100T)측의 면)의 일부 및 그 근방에, p웰층(115)을 가지고 있고, 그 이외의 영역(p웰층(115)보다도 깊은 영역)에, n형 반도체 영역(114)을 가지고 있다. 예를 들면, 이 n형 반도체 영역(114) 및 p웰층(115)에 의해 pn 접합형의 포토 다이오드(PD)가 구성되어 있다. p웰층(115)은, p형 반도체 영역이다.

[0089] 도 7A는, 제1 기판(100)의 평면 구성의 한 예를 도시한 것이다. 도 7A는, 주로, 제1 기판(100)의 화소 분리부(117), 포토 다이오드(PD), 플로팅 디퓨전(FD), VSS 콘택트 영역(118) 및 전송 트랜지스터(TR)의 평면 구성을 도시하고 있다. 도 6과 함께, 도 7A를 이용하여 제1 기판(100)의 구성에 관해 설명한다.

[0090] 반도체층(100S)의 표면 근방에는, 플로팅 디퓨전(FD) 및 VSS 콘택트 영역(118)이 마련되어 있다. 플로팅 디퓨전(FD)은, p웰층(115) 내에 마련된 n형 반도체 영역에 의해 구성되어 있다. 화소(541A, 541B, 541C, 541D) 각각의 플로팅 디퓨전(FD)(플로팅 디퓨전(FD1, FD2, FD3, FD4))은, 예를 들면, 화소 공유 유닛(539)의 중앙부에 서로 근접하여 마련되어 있다(도 7A). 상세는 후술하지만, 이 화소 공유 유닛(539)에 포함되는 4개의 플로팅 디퓨전(플로팅 디퓨전(FD1, FD2, FD3, FD4))은, 제1 기판(100) 내(보다 구체적으로는 배선층(100T)의 내)에서, 전기적 접속 수단(후술하는 패드부(120))을 통하여 서로 전기적으로 접속되어 있다. 또한, 플로팅 디퓨전(FD)은, 제1 기판(100)으로부터 제2 기판(200)(보다 구체적으로는, 배선층(100T)으로부터 배선층(200T)에)에 전기적 수단(후술하는 관통 전극(120E))을 통하여 접속되어 있다. 제2 기판(200)(보다 구체적으로는 배선층(200T)의 내부)에서는, 이 전기적 수단에 의해, 플로팅 디퓨전(FD)이, 증폭 트랜지스터(AMP)의 게이트 및 FD 변환 게인 전환 트랜지스터(FDG)의 소스에 전기적으로 접속되어 있다.

[0091] VSS 콘택트 영역(118)은, 기준 전위선(VSS)에 전기적으로 접속되는 영역이고, 플로팅 디퓨전(FD)과 이간하여 배치되어 있다. 예를 들면, 화소(541A, 541B, 541C, 541D)에서는, 각 화소의 V방향의 일단에 플로팅 디퓨전(FD)이 배치되고, 타단에 VSS 콘택트 영역(118)이 배치되어 있다(도 7A). VSS 콘택트 영역(118)은, 예를 들면, p형 반도체 영역에 의해 구성되어 있다. VSS 콘택트 영역(118)은, 예를 들어 접지 전위나 고정 전위에 접속되어 있다. 이에 의해, 반도체층(100S)에 기준 전위가 공급된다.

[0092] 제1 기판(100)에는, 포토 다이오드(PD), 플로팅 디퓨전(FD) 및 VSS 콘택트 영역(118)과 함께, 전송 트랜지스터(TR)가 마련되어 있다. 이 포토 다이오드(PD), 플로팅 디퓨전(FD), VSS 콘택트 영역(118) 및 전송 트랜지스터(TR)는, 화소(541A, 541B, 541C, 541D) 각각에 마련되어 있다. 전송 트랜지스터(TR)는, 반도체층(100S)의 표면측(광입사면측과는 반대측, 제2 기판(200)측)에 마련되어 있다. 전송 트랜지스터(TR)는, 전송 게이트(TG)를 가지고 있다. 전송 게이트(TG)는, 예를 들면, 반도체층(100S)의 표면에 대향하는 수평 부분(TGb)과, 반도체층(100S) 내에 마련된 수직 부분(TGa)을 포함하고 있다. 수직 부분(TGa)은, 반도체층(100S)의 두께 방향으로 연재되어 있다. 수직 부분(TGa)의 일단은 수평 부분(TGb)에 접하고, 타단은 n형 반도체 영역(114) 내에 마련되어 있다. 전송 트랜지스터(TR)를, 이와 같은 종형 트랜지스터에 의해 구성함에 의해, 화소 신호의 전송 불량이 생기기 어려워지고, 화소 신호의 판독 효율을 향상시킬 수 있다.

[0093] 전송 게이트(TG)의 수평 부분(TGb)은, 수직 부분(TGa)에 대향하는 위치로부터 예를 들면, H방향에서 화소 공유 유닛(539)의 중앙부를 향하여 연재되어 있다(도 7A). 이에 의해, 전송 게이트(TG)에 달하는 관통 전극(후술하는 관통 전극(TGV))의 H방향의 위치를, 플로팅 디퓨전(FD), VSS 콘택트 영역(118)에 접속되는 관통 전극(후술하는 관통 전극(120E, 121E))의 H방향의 위치에 접근할 수 있다. 예를 들면, 제1 기판(100)에 마련된 복수의 화소 공유 유닛(539)은, 서로 같은 구성을 가지고 있다(도 7A).

[0094] 반도체층(100S)에는, 화소(541A, 541B, 541C, 541D)를 서로 분리하는 화소 분리부(117)가 마련되어 있다. 화소 분리부(117)는, 반도체층(100S)의 법선 방향(반도체층(100S)의 표면에 대해 수직 방향)으로 연재되어 형성되어 있다. 화소 분리부(117)는, 화소(541A, 541B, 541C, 541D)를 서로 구획하도록 마련되어 있고, 예를 들어 격자형상의 평면 형상을 가지고 있다(도 7A, 도 7B). 화소 분리부(117)는, 예를 들면, 화소(541A, 541B, 541C, 541D)를 서로 전기적 및 광학적으로 분리한다. 화소 분리부(117)는, 예를 들면, 차광막(117A) 및 절연막(117B)을 포함하고 있다. 차광막(117A)에는, 예를 들면, 텅스텐(W) 등이 이용된다. 절연막(117B)은, 차광막(117A)과 p웰층(115) 또는 n형 반도체 영역(114) 사이에 마련되어 있다. 절연막(117B)은, 예를 들면, 산화 실리콘(SiO)에 의해 구성되어 있다. 화소 분리부(117)는, 예를 들면, FTI(Full Trench Isolation) 구조를 가지고 있고, 반도체층(100S)을 관통하고 있다. 도시하지 않지만, 화소 분리부(117)는 반도체층(100S)을 관통하는 FTI 구조로 한정

되지 않는다. 예를 들면, 반도체층(100S)을 관통하지 않는 DTI(Deep Trench Isolation) 구조라도 좋다. 화소 분리부(117)는, 반도체층(100S)의 법선 방향으로 연재되고, 반도체층(100S)의 일부의 영역에 형성된다.

[0095] 반도체층(100S)에는, 예를 들면, 제1 피닝 영역(113) 및 제2 피닝 영역(116)이 마련되어 있다. 제1 피닝 영역(113)은, 반도체층(100S)의 이면 근방에 마련되어 있고, n형 반도체 영역(114)과 고정 전하막(112) 사이에 배치되어 있다. 제2 피닝 영역(116)은, 화소 분리부(117)의 측면, 구체적으로는, 화소 분리부(117)와 p웰층(115) 또는 n형 반도체 영역(114) 사이에 마련되어 있다. 제1 피닝 영역(113) 및 제2 피닝 영역(116)은, 예를 들면, p형 반도체 영역에 의해 구성되어 있다.

[0096] 반도체층(100S)과 절연막(111) 사이에는, 부의 고정 전하를 갖는 고정 전하막(112)이 마련되어 있다. 고정 전하막(112)이 유기하는 전계에 의해, 반도체층(100S)의 수광면(이면)측의 계면에, 홀 축적층의 제1 피닝 영역(113)이 형성된다. 이에 의해, 반도체층(100S)의 수광면측의 계면 준위에 기인한 암 전류의 발생이 억제된다. 고정 전하막(112)은, 예를 들면, 부의 고정 전하를 갖는 절연막에 의해 형성되어 있다. 이 부의 고정 전하를 갖는 절연막의 재료로서는, 예를 들면, 산화 하프늄, 산화 지르콘, 산화 알루미늄, 산화 티탄 또는 산화 탄탈을 들 수 있다.

[0097] 고정 전하막(112)과 절연막(111) 사이에는, 차광막(117A)이 마련되어 있다. 이 차광막(117A)은, 화소 분리부(117)를 구성하는 차광막(117A)과 연속되어 마련되어 있어도 좋다. 이 고정 전하막(112)과 절연막(111) 사이의 차광막(117A)은, 예를 들면, 반도체층(100S) 내의 화소 분리부(117)에 대향하는 위치에 선택적으로 마련되어 있다. 절연막(111)은, 이 차광막(117A)을 덮도록 마련되어 있다. 절연막(111)은, 예를 들면, 산화 실리콘에 의해 구성되어 있다.

[0098] 반도체층(100S)과 제2 기판(200) 사이에 마련된 배선층(100T)은, 반도체층(100S)측으로부터, 층간 절연막(119), 패드부(120, 121), 패시베이션막(122), 층간 절연막(123) 및 접합막(124)을 이 순서로 가지고 있다. 전송 게이트(TG)의 수평 부분(TGb)은, 예를 들면, 이 배선층(100T)에 마련되어 있다. 층간 절연막(119)은, 반도체층(100S)의 표면 전면에 걸쳐 마련되어 있고, 반도체층(100S)에 접해 있다. 층간 절연막(119)은, 예를 들어 산화 실리콘막에 의해 구성되어 있다. 또한, 배선층(100T)의 구성은 상술한 것에 그치지 않고, 배선과 절연막을 갖는 구성이면 좋다.

[0099] 도 7B는, 도 7A에 도시한 평면 구성과 함께, 패드부(120, 121)의 구성을 나타내고 있다. 패드부(120, 121)는, 층간 절연막(119)상의 선택적인 영역에 마련되어 있다. 패드부(120)는, 화소(541A, 541B, 541C, 541D) 각각의 플로팅 디퓨전(FD)(플로팅 디퓨전(FD1, FD2, FD3, FD4))을 서로 접속하기 위한 것이다. 패드부(120)는, 예를 들면, 화소 공유 유닛(539)마다, 평면시로 화소 공유 유닛(539)의 중앙부에 배치되어 있다(도 7B). 이 패드부(120)는, 화소 분리부(117)를 넘도록 마련되어 있고, 플로팅 디퓨전(FD1, FD2, FD3, FD4) 각각의 적어도 일부에 중첩하여 배치되어 있다(도 6, 도 7B). 구체적으로는, 패드부(120)는, 화소 회로(210)를 공유하는 복수의 플로팅 디퓨전(FD)(플로팅 디퓨전(FD1, FD2, FD3, FD4)) 각각의 적어도 일부와, 그 화소 회로(210)를 공유하는 복수의 포토 다이오드(PD)(포토 다이오드(PD1, PD2, PD3, PD4)) 사이에 형성된 화소 분리부(117)의 적어도 일부에 대해, 반도체층(100S)의 표면에 대해 수직 방향으로 겹쳐지는 영역에 형성된다. 층간 절연막(119)에는, 패드부(120)와 플로팅 디퓨전(FD1, FD2, FD3, FD4)을 전기적으로 접속하기 위한 접속 비아(120C)가 마련되어 있다. 접속 비아(120C)는, 화소(541A, 541B, 541C, 541D) 각각에 마련되어 있다. 예를 들면, 접속 비아(120C)에 패드부(120)의 일부가 매입됨에 의해, 패드부(120)와 플로팅 디퓨전(FD1, FD2, FD3, FD4)이 전기적으로 접속되어 있다.

[0100] 패드부(121)는, 복수의 VSS 콘택트 영역(118)을 서로 접속하기 위한 것이다. 예를 들면, V방향으로 이웃하는 일방의 화소 공유 유닛(539)의 화소(541C, 541D)에 마련된 VSS 콘택트 영역(118)과, 타방의 화소 공유 유닛(539)의 화소(541A, 541B)에 마련된 VSS 콘택트 영역(118)이 패드부(121)에 의해 전기적으로 접속되어 있다. 패드부(121)는, 예를 들면, 화소 분리부(117)를 넘도록 마련되어 있고, 이들 4개의 VSS 콘택트 영역(118) 각각의 적어도 일부에 중첩하여 배치되어 있다. 구체적으로는, 패드부(121)는, 복수의 VSS 콘택트 영역(118) 각각의 적어도 일부와, 그 복수의 VSS 콘택트 영역(118) 사이에 형성된 화소 분리부(117)의 적어도 일부에 대해, 반도체층(100S)의 표면에 대해 수직 방향으로 겹쳐지는 영역에 형성된다. 층간 절연막(119)에는, 패드부(121)와 VSS 콘택트 영역(118)을 전기적으로 접속하기 위한 접속 비아(121C)가 마련되어 있다. 접속 비아(121C)는, 화소(541A, 541B, 541C, 541D) 각각에 마련되어 있다. 예를 들면, 접속 비아(121C)에 패드부(121)의 일부가 매입됨에 의해, 패드부(121)와 VSS 콘택트 영역(118)이 전기적으로 접속되어 있다. 예를 들면, V방향으로 나열되는 복수의 화소 공유 유닛(539) 각각의 패드부(120) 및 패드부(121)는, H방향에서 개략 같은 위치에 배치되어 있다(도 7B).

[0101] 패드부(120)를 마련함으로써, 칩 전체에서, 각 플로팅 디퓨전(FD)으로부터 화소 회로(210)(예를 들어 증폭 트랜지스터(AMP)의 게이트 전극)에 접속하기 위한 배선을 줄일 수 있다. 마찬가지로, 패드부(121)를 마련함으로써, 칩 전체에서, 각 VSS 콘택트 영역(118)에의 전위를 공급하는 배선을 줄일 수 있다. 이에 의해, 칩 전체의 면적의 축소, 미세화된 화소에서의 배선 사이의 전기적 간섭의 억제, 및/또는 부품 점수의 삭감에 의한 비용 삭감 등이 가능해진다.

[0102] 패드부(120, 121)는, 제1 기판(100), 제2 기판(200)의 소망하는 위치에 마련할 수 있다. 구체적으로는, 패드부(120, 121)를 배선층(100T), 반도체층(200S)의 절연 영역(212)의 어느 하나에 마련할 수 있다. 배선층(100T)에 마련하는 경우에는, 패드부(120, 121)를 반도체층(100S)에 직접 접촉시켜도 좋다. 구체적으로는, 패드부(120, 121)가, 플로팅 디퓨전(FD) 및/또는 VSS 콘택트 영역(118)의 각각의 적어도 일부와 직접 접속되는 구성이라도 좋다. 또한, 패드부(120, 121)에 접속하는 플로팅 디퓨전(FD) 및/또는 VSS 콘택트 영역(118)의 각각으로부터 접속 비아(120C, 121C)를 마련하고, 배선층(100T), 반도체층(200S)의 절연 영역(2112)의 소망하는 위치에 패드부(120, 121)를 마련하는 구성이라도 좋다.

[0103] 특히, 패드부(120, 121)를 배선층(100T)에 마련하는 경우에는, 반도체층(200S)의 절연 영역(212)에서의 플로팅 디퓨전(FD) 및/또는 VSS 콘택트 영역(118)에 접속되는 배선을 줄일 수 있다. 이에 의해, 화소 회로(210)를 형성하는 제2 기판(200) 중, 플로팅 디퓨전(FD)으로부터 화소 회로(210)에 접속하기 위한 관통 배선을 형성하기 위한 절연 영역(212)의 면적을 삭감할 수 있다. 따라서, 화소 회로(210)를 형성하는 제2 기판(200)의 면적을 크게 확보할 수 있다. 화소 회로(210)의 면적을 확보함으로써, 화소 트랜지스터를 크게 형성할 수 있고, 노이즈 저감 등에 의한 화질 향상에 기여할 수 있다.

[0104] 특히, 화소 분리부(117)에 FTI 구조를 이용한 경우, 플로팅 디퓨전(FD) 및/또는 VSS 콘택트 영역(118)은, 각 화소(541)에 마련하는 것이 바람직하기 때문에, 패드부(120, 121)의 구성을 이용함으로써, 제1 기판(100)과 제2 기판(200)을 접속하는 배선을 대폭적으로 삭감할 수 있다.

[0105] 또한, 도 7B와 같이, 예를 들어 복수의 플로팅 디퓨전(FD)이 접속되는 패드부(120)와, 복수의 VSS 콘택트 영역(118)이 접속되는 패드부(121)는, V방향에서 직선형상으로 교대로 배치된다. 또한, 패드부(120, 121)는, 복수의 포토 다이오드(PD)나, 복수의 전송 게이트(TG)나, 복수의 플로팅 디퓨전(FD)에 둘러싸이는 위치에 형성된다. 이에 의해, 복수의 소자를 형성하는 제1 기판(100)에서, 플로팅 디퓨전(FD)과 VSS 콘택트 영역(118) 이외의 소자를 자유롭게 배치할 수 있고, 칩 전체의 레이아웃의 효율화를 도모할 수 있다. 또한, 각 화소 공유 유닛(539)에 형성되는 소자의 레이아웃에서의 대칭성이 확보되어, 각 화소(541)의 특성의 편차를 억제할 수 있다.

[0106] 패드부(120, 121)는, 예를 들면, 폴리실리콘(Poly Si), 보다 구체적으로는, 불순물이 첨가된 도프드 폴리실리콘에 의해 구성되어 있다. 패드부(120, 121)는 폴리실리콘, 텅스텐(W), 티탄(Ti) 및 질화 티탄(TiN) 등의 내열성이 높은 도전성 재료에 의해 구성되어 있는 것이 바람직하다. 이에 의해, 제1 기판(100)에 제2 기판(200)의 반도체층(200S)을 첩합시킨 후에, 화소 회로(210)를 형성하는 것이 가능해진다. 이하, 이 이유에 관해 설명한다. 또한, 이하의 설명에서, 제1 기판(100)과 제2 기판(200)의 반도체층(200S)을 첩합시킨 후에, 화소 회로(210)를 형성하는 방법을, 제1 제조 방법이라고 부른다.

[0107] 여기서, 제2 기판(200)에 화소 회로(210)를 형성한 후에, 이것을 제1 기판(100)에 첩합하는 것도 생각할 수 있다(이하 제2 제조 방법이라고 한다). 이 제2 제조 방법에서는, 제1 기판(100)의 표면(배선층(100T)의 표면) 및 제2 기판(200)의 표면(배선층(200T)의 표면) 각각에, 전기적 접속용의 전극을 미리 형성해 둔다. 제1 기판(100)과 제2 기판(200)을 첩합시키면, 이것과 동시에, 제1 기판(100)의 표면과 제2 기판(200)의 표면의 각각에 형성된 전기적 접속용의 전극끼리가 접촉한다. 이에 의해, 제1 기판(100)에 포함되는 배선과 제2 기판(200)에 포함되는 배선 사이에서 전기적 접속이 형성된다. 따라서, 제2 제조 방법을 이용한 촬상 장치(1)의 구성으로 함으로써, 예를 들어 제1 기판(100)과 제2 기판(200)의 각각의 구성에 응하여 적절한 프로세스를 이용하여 제조할 수 있고, 고품질, 고성능인 촬상 장치를 제조할 수 있다.

[0108] 이와 같은 제2 제조 방법에서는, 제1 기판(100)과 제2 기판(200)을 첩합시킬 때에, 첩합용의 제조 장치에 기인하여, 위치 맞춤의 오차가 생기는 일이 있다. 또한, 제1 기판(100) 및 제2 기판(200)은, 예를 들면, 직경 수십 ㎝ 정도의 크기를 갖지만, 제1 기판(100)과 제2 기판(200)을 첩합시킬 때에, 이 제1 기판(100), 제2 기판(200) 각 부의 미시적 영역에서, 기판의 신축이 발생할 우려가 있다. 이 기판의 신축은, 기판끼리가 접촉하는 타이밍이 다소 어긋나는 것에 기인한다. 이와 같은 제1 기판(100) 및 제2 기판(200)의 신축에 기인하여, 제1 기판(100)의 표면 및 제2 기판(200)의 표면 각각에 형성된 전기적 접속용의 전극의 위치에, 오차가 생기는 일이 있다. 제2 제조 방법에서는, 이와 같은 오차가 생겨도, 제1 기판(100) 및 제2 기판(200) 각각의 전극끼리가 접촉

하도록 대처해 두는 것이 바람직하다. 구체적으로는, 제1 기판(100) 및 제2 기판(200)의 전극의 적어도 일방, 바람직하게는 양방을, 상기 오차를 고려하여 크게 해 둔다. 이 때문에, 제2 제조 방법을 이용하면, 예를 들면, 제1 기판(100) 또는 제2 기판(200)의 표면에 형성된 전극의 크기(기판 평면 방향의 크기)가, 제1 기판(100) 또는 제2 기판(200)의 내부로부터 표면에 두께 방향으로 연재되는 내부 전극의 크기보다도 커진다.

[0109] 한편, 패드부(120, 121)를 내열성의 도전 재료에 의해 구성함으로써, 상기 제1 제조 방법을 이용하는 것이 가능해진다. 제1 제조 방법에서는, 포토 다이오드(PD) 및 전송 트랜지스터(TR) 등을 포함하는 제1 기판(100)을 형성한 후, 이 제1 기판(100)과 제2 기판(200)(반도체층(200S))을 첩합시킨다. 이때, 제2 기판(200)은, 화소 회로(210)를 구성하는 능동 소자 및 배선층 등의 패턴은 미형성의 상태이다. 제2 기판(200)은 패턴을 형성하기 전의 상태이기 때문에, 가령, 제1 기판(100)과 제2 기판(200)을 첩합시킬 때, 그 첩합 위치에 오차가 생겼다 하더라도, 이 첩합 오차에 의해, 제1 기판(100)의 패턴과 제2 기판(200)의 패턴 사이의 위치 맞춤에 오차가 생기는 일은 없다. 왜냐하면, 제2 기판(200)의 패턴은, 제1 기판(100)과 제2 기판(200)을 첩합시킨 후에, 형성하기 때문이다. 또한, 제2 기판에 패턴을 형성할 때에는, 예를 들면, 패턴 형성을 위한 노광 장치에서, 제1 기판에 형성된 패턴을 위치 맞춤의 대상으로 하면서 패턴 형성한다. 상기 이유에 의해, 제1 기판(100)과 제2 기판(200)의 첩합 위치의 오차는, 제1 제조 방법에서는, 촬상 장치(1)를 제조하는데에 문제가 되지 않는다. 같은 이유로, 제2 제조 방법에서 생기는 기판의 신축에 기인한 오차도, 제1 제조 방법에서는, 촬상 장치(1)를 제조하는데에 문제가 되지 않는다.

[0110] 제1 제조 방법에서는, 이와 같이 하여 제1 기판(100)과 제2 기판(200)(반도체층(200S))을 첩합시킨 후, 제2 기판(200)상에 능동 소자를 형성한다. 이 후, 관통 전극(120E, 121E) 및 관통 전극(TGV)(도 6)을 형성한다. 이 관통 전극(120E, 121E, TGV)의 형성에서는, 예를 들면, 제2 기판(200)의 상방으로부터, 노광 장치에 의한 축소 투영 노광을 이용하여 관통 전극의 패턴을 형성한다. 축소 노광 투영을 이용하기 때문에, 가령, 제2 기판(200)과 노광 장치의 위치 맞춤에 오차가 생겨도, 그 오차의 크기는, 제2 기판(200)에서는, 상기 제2 제조 방법의 오차의 수분의 1(축소 노광 투영 배율의 역수)밖에 되지 않는다. 따라서, 제1 제조 방법을 이용한 촬상 장치(1)의 구성으로 함으로써, 제1 기판(100)과 제2 기판(200)의 각각에 형성되는 소자끼리의 위치 맞춤이 용이해지고, 고품질, 고성능인 촬상 장치를 제조할 수 있다.

[0111] 이와 같은 제1 제조 방법을 이용하여 제조된 촬상 장치(1)는, 제2 제조 방법으로 제조된 촬상 장치와 다른 특징을 가진다. 구체적으로는, 제1 제조 방법에 의해 제조된 촬상 장치(1)에서는, 예를 들면, 관통 전극(120E, 121E, TGV)이, 제2 기판(200)으로부터 제1 기판(100)에 이르기까지, 개략 일정한 두께(기판 평면 방향의 크기)로 되어 있다. 또는, 관통 전극(120E, 121E, TGV)이 테이퍼 형상을 가질 때에는, 일정한 기울기의 테이퍼 형상을 가지고 있다. 이와 같은 관통 전극(120E, 121E, TGV)을 갖는 촬상 장치(1)는, 화소(541)를 미세화하기 쉽다.

[0112] 여기서, 제1 제조 방법에 의해 촬상 장치(1)를 제조하면, 제1 기판(100)과 제2 기판(200)(반도체층(200S))을 첩합시킨 후에, 제2 기판(200)에 능동 소자를 형성하기 때문에, 제1 기판(100)에도, 능동 소자의 형성 시에 필요한 가열 처리의 영향이 미치게 된다. 이 때문에, 상기와 같이, 제1 기판(100)에 마련된 패드부(120, 121)에는, 내열성이 높은 도전 재료를 이용하는 것이 바람직하다. 예를 들면, 패드부(120, 121)에는, 제2 기판(200)의 배선층(200T)에 포함되는 배선재의 적어도 일부보다도, 융점이 높은(즉 내열성이 높은) 재료를 이용하고 있는 것이 바람직하다. 예를 들면, 패드부(120, 121)에 도프드 폴리실리콘, 텅스텐, 티탄 또는 질화 티탄 등의 내열성이 높은 도전재를 이용한다. 이에 의해, 상기 제1 제조 방법을 이용하여 촬상 장치(1)를 제조하는 것이 가능해진다.

[0113] 패시베이션막(122)은, 예를 들면, 패드부(120, 121)를 덮도록, 반도체층(100S)의 표면 전면에 걸쳐 마련되어 있다(도 6). 패시베이션막(122)은, 예를 들면, 질화 실리콘(SiN)막에 의해 구성되어 있다. 층간 절연막(123)은, 패시베이션막(122)을 사이에 두고 패드부(120, 121)를 덮고 있다. 이 층간 절연막(123)은, 예를 들면, 반도체층(100S)의 표면 전면에 걸쳐 마련되어 있다. 층간 절연막(123)은, 예를 들어 산화 실리콘(SiO)막에 의해 구성되어 있다. 접합막(124)은, 제1 기판(100)(구체적으로는 배선층(100T))과 제2 기판(200)의 접합면에 마련되어 있다. 즉, 접합막(124)은, 제2 기판(200)에 접해 있다. 이 접합막(124)은, 제1 기판(100)의 주면 전면에 걸쳐 마련되어 있다. 접합막(124)은, 예를 들면, 질화 실리콘막에 의해 구성되어 있다.

[0114] 수광 렌즈(401)는, 예를 들면, 고정 전하막(112) 및 절연막(111)을 사이에 두고 반도체층(100S)에 대향하고 있다(도 6). 수광 렌즈(401)는, 예를 들어 화소(541A, 541B, 541C, 541D) 각각의 포토 다이오드(PD)에 대향하는 위치에 마련되어 있다.

[0115] 제2 기판(200)은, 제1 기판(100)측으로부터, 반도체층(200S) 및 배선층(200T)을 이 순서로 가지고 있다. 반도체

층(200S)은, 실리콘 기판으로 구성되어 있다. 반도체층(200S)에서는, 두께 방향에 걸쳐서, 웰 영역(211)이 마련되어 있다. 웰 영역(211)은, 예를 들면, p형 반도체 영역이다. 제2 기판(20)에는, 화소 공유 유닛(539)마다 배치된 화소 회로(210)가 마련되어 있다. 이 화소 회로(210)는, 예를 들면, 반도체층(200S)의 표면측(배선층(200T)측)에 마련되어 있다. 촬상 장치(1)에서는, 제1 기판(100)의 표면측(배선층(100T)측)에 제2 기판(200)의 이면측(반도체층(200S)측)이 향하도록 하여, 제2 기판(200)이 제1 기판(100)에 첩합되어 있다. 즉, 제2 기판(200)은, 제1 기판(100)에, 페이스 투 백으로 첩합되어 있다.

[0116] 도 8~도 12는, 제2 기판(200)의 평면 구성의 한 예를 모식적으로 도시하고 있다. 도 8에는, 반도체층(200S)의 표면 근방에 마련된 화소 회로(210)의 구성을 도시한다. 도 9는, 배선층(200T)(구체적으로는 후술하는 제1 배선층(W1))과, 배선층(200T)에 접속된 반도체층(200S) 및 제1 기판(100)의 각 부의 구성을 모식적으로 도시하고 있다. 도 10~도 12는, 배선층(200T)의 평면 구성의 한 예를 나타내고 있다. 이하, 도 6과 함께, 도 8~도 12를 이용하여 제2 기판(200)의 구성에 관해 설명한다. 도 8 및 도 9에서는 포토 다이오드(PD)의 외형(화소 분리부(117)와 포토 다이오드(PD)의 경계)을 파선으로 나타내고, 화소 회로(210)를 구성하는 각 트랜지스터의 게이트 전극에 겹쳐지는 부분의 반도체층(200S)과 소자 분리 영역(213) 또는 절연 영역(214)의 경계를 점선으로 나타낸다. 증폭 트랜지스터(AMP)의 게이트 전극에 겹쳐지는 부분에서는, 채널 폭방향의 일방에, 반도체층(200S)과 소자 분리 영역(213)의 경계, 및 소자 분리 영역(213)과 절연 영역(212)의 경계가 마련되어 있다.

[0117] 제2 기판(200)에는, 반도체층(200S)을 분단하는 절연 영역(212)과, 반도체층(200S)의 두께 방향의 일부에 마련된 소자 분리 영역(213)이 마련되어 있다(도 6). 예를 들면, H방향으로 이웃하는 2개의 화소 회로(210) 사이에 마련된 절연 영역(212)에, 이 2개의 화소 회로(210)에 접속된 2개의 화소 공유 유닛(539)의 관통 전극(120E, 121E) 및 관통 전극(TGV)(관통 전극(TGV1, TGV2, TGV3, TGV4))이 배치되어 있다(도 9).

[0118] 절연 영역(212)은, 반도체층(200S)의 두께와 개략 같은 두께를 가지고 있다(도 6). 반도체층(200S)은, 이 절연 영역(212)에 의해 분단되어 있다. 이 절연 영역(212)에, 관통 전극(120E, 121E) 및 관통 전극(TGV)이 배치되어 있다. 절연 영역(212)은, 예를 들어 산화 실리콘에 의해 구성되어 있다.

[0119] 관통 전극(120E, 121E)은, 절연 영역(212)을 두께 방향으로 관통하여 마련되어 있다. 관통 전극(120E, 121E)의 상단은, 배선층(200T)의 배선(후술하는 제1 배선(W1), 제2 배선(W2), 제3 배선(W3), 제4 배선(W4))에 접속되어 있다. 이 관통 전극(120E, 121E)은, 절연 영역(212), 접합막(124), 층간 절연막(123) 및 패시베이션막(122)을 관통하여 마련되고, 그 하단은 패드부(120, 121)에 접속되어 있다(도 6). 관통 전극(120E)은, 패드부(120)와 화소 회로(210)를 전기적으로 접속하기 위한 것이다. 즉, 관통 전극(120E)에 의해, 제1 기판(100)의 플로팅 디퓨전(FD)이 제2 기판(200)의 화소 회로(210)에 전기적으로 접속된다. 관통 전극(121E)은, 패드부(121)와 배선층(200T)의 기준 전위선(VSS)을 전기적으로 접속하기 위한 것이다. 즉, 관통 전극(121E)에 의해, 제1 기판(100)의 VSS 콘택트 영역(118)이 제2 기판(200)의 기준 전위선(VSS)에 전기적으로 접속된다.

[0120] 관통 전극(TGV)은, 절연 영역(212)을 두께 방향으로 관통하여 마련되어 있다. 관통 전극(TGV)의 상단은, 배선층(200T)의 배선에 접속되어 있다. 이 관통 전극(TGV)은, 절연 영역(212), 접합막(124), 층간 절연막(123), 패시베이션막(122) 및 층간 절연막(119)을 관통하여 마련되고, 그 하단은 전송 게이트(TG)에 접속되어 있다(도 6). 이와 같은 관통 전극(TGV)은, 화소(541A, 541B, 541C, 541D) 각각의 전송 게이트(TG)(전송 게이트(TG1, TG2, TG3, TG4))와, 배선층(200T)의 배선(행 구동 신호선(542)의 일부, 구체적으로는, 후술하는 도 11의 배선(TRG1, TRG2, TRG3, TRG4))을 전기적으로 접속하기 위한 것이다. 즉, 관통 전극(TGV)에 의해, 제1 기판(100)의 전송 게이트(TG)가 제2 기판(200)의 배선(TRG)에 전기적으로 접속되고, 전송 트랜지스터(TR)(전송 트랜지스터(TR1, TR2, TR3, TR4)) 각각에 구동 신호가 보내지도록 되어 있다.

[0121] 절연 영역(212)은, 제1 기판(100)과 제2 기판(200)을 전기적으로 접속하기 위한 상기 관통 전극(120E, 121E) 및 관통 전극(TGV)을, 반도체층(200S)과 절연하여 마련하기 위한 영역이다. 예를 들면, H방향으로 이웃하는 2개의 화소 회로(210)(화소 공유 유닛(539)) 사이에 마련된 절연 영역(212)에, 이 2개의 화소 회로(210)에 접속된 관통 전극(120E, 121E) 및 관통 전극(TGV)(관통 전극(TGV1, TGV2, TGV3, TGV4))이 배치되어 있다. 절연 영역(212)은, 예를 들면, V방향으로 연재되어 마련되어 있다(도 8, 도 9). 여기서는, 전송 게이트(TG)의 수평 부분(TGb)의 배치를 연구함에 의해, 수직 부분(TGa)의 위치에 비해, 관통 전극(TGV)의 H방향의 위치가 관통 전극(120E, 121E)의 H방향의 위치에 근접하도록 배치되어 있다(도 7A, 도 9). 예를 들면, 관통 전극(TGV)은, H방향에서, 관통 전극(120E, 120E)과 개략 같은 위치에 배치되어 있다. 이에 의해, V방향으로 연재되는 절연 영역(212)에, 관통 전극(120E, 121E) 및 관통 전극(TGV)을 통합하여 마련할 수 있다. 다른 배치례로서, 수직 부분(TGa)에 중첩하는 영역에만 수평 부분(TGb)을 마련하는 것도 생각할 수 있다. 이 경우에는, 수직 부분(TGa)의

개략 바로 위에 관통 전극(TGV)이 형성되고, 예를 들면, 각 화소(541)의 H방향 및 V방향의 개략 중앙부에 관통 전극(TGV)이 배치된다. 이때, 관통 전극(TGV)의 H방향의 위치와 관통 전극(120E, 121E)의 H방향의 위치가 크게 어긋난다. 관통 전극(TGV) 및 관통 전극(120E, 121E)의 주위에는, 근접하는 반도체층(200S)으로부터 전기적으로 절연하기 위해, 예를 들면, 절연 영역(212)을 마련한다. 관통 전극(TGV)의 H방향의 위치와 관통 전극(120E, 121E)의 H방향의 위치가 크게 떨어지는 경우에는, 관통 전극(120E, 121E, TGV) 각각의 주위에 절연 영역(212)을 독립하여 마련하는 것이 필요해진다. 이에 의해, 반도체층(200S)이 세밀하게 분단되게 된다. 이것에 비해, V방향으로 연재되는 절연 영역(212)에, 관통 전극(120E, 121E) 및 관통 전극(TGV)을 통합하여 배치하는 레이아웃은, 반도체층(200S)의 H방향의 크기를 크게 할 수 있다. 따라서, 반도체층(200S)에서의 반도체 소자 형성 영역의 면적을 크게 확보할 수 있다. 이에 의해, 예를 들면, 증폭 트랜지스터(AMP)의 사이즈를 크게 하고, 노이즈를 억제하는 것이 가능해진다.

[0122] 화소 공유 유닛(539)은, 도 4를 참조하여 설명한 바와 같이, 복수의 화소(541)의 각각에 마련된 플로팅 디퓨전(FD) 사이를 전기적으로 접속하고, 이들 복수의 화소(541)가 1개의 화소 회로(210)를 공유하는 구조를 가지고 있다. 그리고, 상기 플로팅 디퓨전(FD) 사이의 전기적 접속은, 제1 기판(100)에 마련된 패드부(120)에 의해 이루어지고 있다(도 6, 도 7B). 제1 기판(100)에 마련된 전기적 접속부(패드부(120))와 제2 기판(200)에 마련된 화소 회로(210)는, 1개의 관통 전극(120E)를 통하여 전기적으로 접속되어 있다. 다른 구조례로서, 플로팅 디퓨전(FD) 사이의 전기적 접속부를 제2 기판(200)에 마련하는 것도 생각할 수 있다. 이 경우, 화소 공유 유닛(539)에는, 플로팅 디퓨전(FD1, FD2, FD3, FD4) 각각에 접속되는 4개의 관통 전극이 마련된다. 따라서, 제2 기판(200)에서, 반도체층(200S)을 관통하는 관통 전극의 수가 증가하고, 이들 관통 전극의 주위를 절연하는 절연 영역(212)이 커진다. 이에 비해, 제1 기판(100)에 패드부(120)를 마련하는 구조(도 6, 도 7B)는, 관통 전극의 수를 줄이고, 절연 영역(212)을 작게 할 수 있다. 따라서, 반도체층(200S)에서의 반도체 소자 형성 영역의 면적을 크게 확보할 수 있다. 이에 의해, 예를 들면, 증폭 트랜지스터(AMP)의 사이즈를 크게 하고, 노이즈를 억제하는 것이 가능해진다.

[0123] 소자 분리 영역(213)은, 반도체층(200S)의 표면측에 마련되어 있다. 소자 분리 영역(213)은, STI(Shallow Trench Isolation) 구조를 가지고 있다. 이 소자 분리 영역(213)에서는, 반도체층(200S)이 두께 방향(제2 기판(200)의 주면에 대해 수직 방향)으로 파여져 있고, 이 파여져 있는 부분에 절연막이 매입되어 있다. 이 절연막은, 예를 들면, 산화 실리콘에 의해 구성되어 있다. 소자 분리 영역(213)은, 화소 회로(210)를 구성하는 복수의 트랜지스터 사이를, 화소 회로(210)의 레이아웃에 응하여 소자 분리하는 것이다. 소자 분리 영역(213)의 하방(반도체층(200S)의 심부)에는, 반도체층(200S)(구체적으로는, 웰 영역(211))이 연재되어 있다.

[0124] 여기서, 도 7A, 도 7B 및 도 8을 참조하여, 제1 기판(100)에서의 화소 공유 유닛(539)의 외형 형상(기판 평면 방향의 외형 형상)과, 제2 기판(200)에서의 화소 공유 유닛(539)의 외형 형상의 차이를 설명한다.

[0125] 촬상 장치(1)에서는, 제1 기판(100) 및 제2 기판(200)의 양쪽에 걸쳐, 화소 공유 유닛(539)이 마련되어 있다. 예를 들면, 제1 기판(100)에 마련된 화소 공유 유닛(539)의 외형 형상과, 제2 기판(200)에 마련된 화소 공유 유닛(539)의 외형 형상은 서로 다르다.

[0126] 도 7A, 도 7B에서는, 화소(541A, 541B, 541C, 541D)의 외형선을 1점 쇄선으로 나타내고, 화소 공유 유닛(539)의 외형 형상을 태선으로 나타내고 있다. 예를 들면, 제1 기판(100)의 화소 공유 유닛(539)은, H방향으로 인접하여 배치된 2개의 화소(541)(화소(541A, 541B))와, 이것에 V방향으로 인접하여 배치된 2개의 화소(541)(화소(541C, 541D))에 의해 구성되어 있다. 즉, 제1 기판(100)의 화소 공유 유닛(539)은, 인접하는 2행×2열의 4개의 화소(541)에 의해 구성되어 있고, 제1 기판(100)의 화소 공유 유닛(539)은, 개략 정방형의 외형 형상을 가지고 있다. 화소 어레이부(540)에서는, 이와 같은 화소 공유 유닛(539)이, H방향으로 2화소 피치(화소(541)의 2개 분에 상당하는 피치), 또한, V방향으로 2화소 피치(화소(541)의 2개 분에 상당하는 피치)로 인접하여 배열되어 있다.

[0127] 도 8 및 도 9에서는, 화소(541A, 541B, 541C, 541D)의 외형선을 1점 쇄선으로 나타내고, 화소 공유 유닛(539)의 외형 형상을 태선으로 나타내고 있다. 예를 들면, 제2 기판(200)의 화소 공유 유닛(539)의 외형 형상은, H방향에서 제1 기판(100)의 화소 공유 유닛(539)보다도 작고, V방향에서 제1 기판(100)의 화소 공유 유닛(539)보다도 크게 되어 있다. 예를 들면, 제2 기판(200)의 화소 공유 유닛(539)은, H방향으로는 화소 1개 분에 상당하는 크기(영역)로 형성되고, V방향으로는, 화소 4개 분에 상당하는 크기로 형성되어 있다. 즉, 제2 기판(200)의 화소 공유 유닛(539)은, 인접하는 1행×4열로 배열된 화소에 상당하는 크기로 형성되어 있고, 제2 기판(200)의 화소 공유 유닛(539)은, 개략 장방형의 외형 형상을 가지고 있다.

[0128] 예를 들면, 각 화소 회로(210)에서는, 선택 트랜지스터(SEL), 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)가 이 순서로 V방향으로 나란히 배치되어 있다(도 8). 각 화소 회로(210)의 외형 형상을, 상기와 같이, 개략 장방형상으로 마련함에 의해, 일방향(도 8에서는 V방향)으로 4개의 트랜지스터(선택 트랜지스터(SEL), 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG))를 나열하여 배치할 수 있다. 이에 의해, 증폭 트랜지스터(AMP)의 드레인과, 리셋 트랜지스터(RST)의 드레인을 하나의 확산 영역(전원선(VDD)에 접속되는 확산 영역)에서 공유할 수 있다. 예를 들면, 각 화소 회로(210)의 형성 영역을 개략 정방형상으로 마련하는 것도 가능하다(후술하는 도 21 참조). 이 경우에는, 일방향을 따라 2개의 트랜지스터가 배치되고, 증폭 트랜지스터(AMP)의 드레인과, 리셋 트랜지스터(RST)의 드레인을 하나의 확산 영역에서 공유하는 것이 곤란해진다. 따라서, 화소 회로(210)의 형성 영역을 개략 장방형상으로 마련함에 의해, 4개의 트랜지스터를 근접하여 배치하기 쉬워지고, 화소 회로(210)의 형성 영역을 작게 할 수 있다. 즉, 화소의 미세화를 행할 수 있다. 또한, 화소 회로(210)의 형성 영역을 작게 하는 것이 불필요할 때에는, 증폭 트랜지스터(AMP)의 형성 영역을 크게 하고, 노이즈를 억제하는 것이 가능해진다.

[0129] 예를 들면, 반도체층(200S)의 표면 근방에는, 선택 트랜지스터(SEL), 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)에 더하여, 기준 전위선(VSS)에 접속되는 VSS 콘택트 영역(218)이 마련되어 있다. VSS 콘택트 영역(218)은, 예를 들면, p형 반도체 영역에 의해 구성되어 있다. VSS 콘택트 영역(218)은, 배선층(200T)의 배선 및 관통 전극(121E)을 통하여 제1 기판(100)(반도체층(100S))의 VSS 콘택트 영역(118)에 전기적으로 접속되어 있다. 이 VSS 콘택트 영역(218)은, 예를 들면, 소자 분리 영역(213)을 사이에 두고, FD 변환 게인 전환 트랜지스터(FDG)의 소스와 이웃하는 위치에 마련되어 있다(도 8).

[0130] 다음으로, 도 7B 및 도 8을 참조하여, 제1 기판(100)에 마련된 화소 공유 유닛(539)과 제2 기판(200)에 마련된 화소 공유 유닛(539)의 위치 관계를 설명한다. 예를 들면, 제1 기판(100)의 V방향으로 나열되는 2개의 화소 공유 유닛(539) 중, 일방(예를 들어 도 7B의 지면 상측)의 화소 공유 유닛(539)은, 제2 기판(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539) 중의 일방(예를 들면, 도 8의 지면 좌측)의 화소 공유 유닛(539)에 접속되어 있다. 예를 들면, 제1 기판(100)의 V방향으로 나열되는 2개의 화소 공유 유닛(539) 중, 타방(예를 들어 도 7B의 지면 하측)의 화소 공유 유닛(539)은, 제2 기판(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539) 중의 타방(예를 들면, 도 8의 지면 우측)의 화소 공유 유닛(539)에 접속되어 있다.

[0131] 예를 들면, 제2 기판(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)에서는, 일방의 화소 공유 유닛(539)의 내부 레이아웃(트랜지스터 등의 배치)이, 타방의 화소 공유 유닛(539)의 내부 레이아웃을 V방향 및 H방향으로 반전시킨 레이아웃에 개략 동등하게 되어 있다. 이하, 이 레이아웃에 의해 얻어지는 효과를 설명한다.

[0132] 제1 기판(100)의 V방향으로 나열되는 2개의 화소 공유 유닛(539)에서는, 각각의 패드부(120)가, 화소 공유 유닛(539)의 외형 형상의 중앙부, 즉, 화소 공유 유닛(539)의 V방향 및 H방향의 중앙부에 배치된다(도 7B). 한편, 제2 기판(200)의 화소 공유 유닛(539)은, 상기와 같이, V방향으로 긴 개략 장방형의 외형 형상을 가지고 있기 때문에, 예를 들면, 패드부(120)에 접속되는 증폭 트랜지스터(AMP)는, 화소 공유 유닛(539)의 V방향의 중앙으로부터 지면 상방으로 어긋난 위치에 배치되어 있다. 예를 들면, 제2 기판(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)의 내부 레이아웃이 같을 때, 일방의 화소 공유 유닛(539)의 증폭 트랜지스터(AMP)와, 패드부(120)(예를 들면, 도 7의 지면 상측의 화소 공유 유닛(539)의 패드부(120))의 거리는 비교적 짧아진다. 그러나, 타방의 화소 공유 유닛(539)의 증폭 트랜지스터(AMP)와, 패드부(120)(예를 들면, 도 7의 지면 하측의 화소 공유 유닛(539)의 패드부(120))의 거리가 길어진다. 이 때문에, 이 증폭 트랜지스터(AMP)와 패드부(120)의 접속에 필요한 배선의 면적이 커지고, 화소 공유 유닛(539)의 배선 레이아웃이 복잡해질 우려가 있다. 이것은, 촬상 장치(1)의 미세화에 영향을 미칠 가능성이 있다.

[0133] 이에 대해, 제2 기판(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)에서, 서로의 내부 레이아웃을 적어도 V방향으로 반전시킴에 의해, 이들 2개의 화소 공유 유닛(539)의 양방의 증폭 트랜지스터(AMP)와 패드부(120)의 거리를 짧게 할 수 있다. 따라서, 제2 기판(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)의 내부 레이아웃을 같게 한 구성과 비교하여, 촬상 장치(1)의 미세화를 행하기 쉬워진다. 또한, 제2 기판(200)의 복수의 화소 공유 유닛(539) 각각의 평면 레이아웃은, 도 8에 기재된 범위에서는 좌우 대칭이지만, 후술하는 도 9에 기재된 제1 배선층(W1)의 레이아웃까지 포함시키면, 좌우 비대칭의 것이 된다.

[0134] 또한, 제2 기판(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)의 내부 레이아웃은, 서로, H방향으로도 반전되어 있는 것이 바람직하다. 이하, 이 이유에 관해 설명한다. 도 9에 도시한 바와 같이, 제2 기판(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)은 각각, 제1 기판(100)의 패드부(120, 121)에 접속되어 있다. 예

를 들면, 제2 기판(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)의 H방향의 중앙부(H방향으로 나열되는 2개의 화소 공유 유닛(539) 사이)에 패드부(120, 121)가 배치되어 있다. 따라서, 제2 기판(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)의 내부 레이아웃을, 서로, H방향으로도 반전시킴에 의해, 제2 기판(200)의 복수의 화소 공유 유닛(539) 각각과 패드부(120, 121)의 거리를 작게 할 수 있다. 즉, 촬상 장치(1)의 미세화가 더욱 행하기 쉬워진다.

[0135] 또한, 제2 기판(200)의 화소 공유 유닛(539)의 외형선의 위치는, 제1 기판(100)의 화소 공유 유닛(539)의 어느 하나의 외형선의 위치에 갖춰져 있지 않아도 좋다. 예를 들면, 제2 기판(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539) 중, 일방(예를 들어 도 9의 지면 좌측)의 화소 공유 유닛(539)에서는, V방향의 일방(예를 들어 도 9의 지면 상측)의 외형선이, 대응하는 제1 기판(100)의 화소 공유 유닛(539)(예를 들어 도 7B의 지면 상측)의 V방향의 일방의 외형선의 외측에 배치되어 있다. 또한, 제2 기판(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539) 중, 타방(예를 들어 도 9의 지면 우측)의 화소 공유 유닛(539)에서는, V방향의 타방(예를 들어 도 9의 지면 하측)의 외형선이, 대응하는 제1 기판(100)의 화소 공유 유닛(539)(예를 들어 도 7B의 지면 하측)의 V방향의 타방의 외형선의 외측에 배치되어 있다. 이와 같이, 제2 기판(200)의 화소 공유 유닛(539)과, 제1 기판(100)의 화소 공유 유닛(539)을 서로 배치함에 의해, 증폭 트랜지스터(AMP)와 패드부(120)의 거리를 단축하는 것이 가능해진다. 따라서, 촬상 장치(1)의 미세화를 행하기 쉬워진다.

[0136] 또한, 제2 기판(200)의 복수의 화소 공유 유닛(539) 사이에서, 서로의 외형선의 위치는 갖춰져 있지 않아도 좋다. 예를 들면, 제2 기판(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)은, V방향의 외형선의 위치가 어긋나서 배치되어 있다. 이에 의해, 증폭 트랜지스터(AMP)와 패드부(120)의 거리를 단축하는 것이 가능해진다. 따라서, 촬상 장치(1)의 미세화를 행하기 쉬워진다.

[0137] 도 7B 및 도 9를 참조하여, 화소 어레이부(540)에서의 화소 공유 유닛(539)의 반복 배치에 관해 설명한다. 제1 기판(100)의 화소 공유 유닛(539)은, H방향으로 2개분의 화소(541)의 크기, 및 V방향으로 2개분의 화소(541)의 크기를 가지고 있다(도 7B). 예를 들면, 제1 기판(100)의 화소 어레이부(540)에서는, 이 4개의 화소(541)에 상당하는 크기의 화소 공유 유닛(539)이, H방향으로 2화소 피치(화소(541)의 2개분에 상당하는 피치), 또한, V방향으로 2화소 피치(화소(541)의 2개분에 상당하는 피치)로 인접하여 반복 배열되어 있다. 또는, 제1 기판(100)의 화소 어레이부(540)에, 화소 공유 유닛(539)이 V방향으로 2개 인접하여 배치된 한 쌍의 화소 공유 유닛(539)이 마련되어 있어도 좋다. 제1 기판(100)의 화소 어레이부(540)에서는, 예를 들면, 이 한 쌍의 화소 공유 유닛(539)이, H방향으로 2화소 피치(화소(541)의 2개분에 상당하는 피치), 또한, V방향으로 4화소 피치(화소(541)의 4개분에 상당하는 피치)로 인접하여 반복 배열하고 있다. 제2 기판(200)의 화소 공유 유닛(539)은, H방향으로 1개분의 화소(541)의 크기, 및 V방향으로 4개분의 화소(541)의 크기를 가지고 있다(도 9). 예를 들면, 제2 기판(200)의 화소 어레이부(540)에는, 이 4개의 화소(541)에 상당하는 크기의 화소 공유 유닛(539)을 2개 포함하는, 한 쌍의 화소 공유 유닛(539)이 마련되어 있다. 이 화소 공유 유닛(539)은, H방향으로 인접하여 배치되고, 또한, V방향으로는 어긋나게 하여 배치되어 있다. 제2 기판(200)의 화소 어레이부(540)에서는, 예를 들면, 이 한 쌍의 화소 공유 유닛(539)이, H방향으로 2화소 피치(화소(541)의 2개분에 상당하는 피치), 또한, V방향으로 4화소 피치(화소(541)의 4개분에 상당하는 피치)로 간극 없이 인접하여 반복 배열되어 있다. 이와 같은 화소 공유 유닛(539)의 반복 배치에 의해, 화소 공유 유닛(539)을 간극 없이 배치하는 것이 가능해진다. 따라서, 촬상 장치(1)의 미세화를 행하기 쉬워진다.

[0138] 증폭 트랜지스터(AMP)는, 예를 들면, Fin형 등의 3차원 구조를 가지고 있는 것이 바람직하다(도 6). 이에 의해, 실효의 게이트 폭의 크기가 커지고, 노이즈를 억제하는 것이 가능해진다. 선택 트랜지스터(SEL), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)는, 예를 들면, 플레이너 구조를 가지고 있다. 증폭 트랜지스터(AMP)가 플레이너 구조를 가지고 있어도 좋다. 또는, 선택 트랜지스터(SEL), 리셋 트랜지스터(RST) 또는 FD 변환 게인 전환 트랜지스터(FDG)가, 3차원 구조를 가지고 있어도 좋다.

[0139] 배선층(200T)은, 예를 들면, 패시베이션막(221), 층간 절연막(222) 및 복수의 배선(제1 배선층(W1), 제2 배선층(W2), 제3 배선층(W3), 제4 배선층(W4))을 포함하고 있다. 패시베이션막(221)은, 예를 들면, 반도체층(200S)의 표면에 접하고 있고, 반도체층(200S)의 표면 전면을 덮고 있다. 이 패시베이션막(221)은, 선택 트랜지스터(SEL), 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG) 각각의 게이트 전극을 덮고 있다. 층간 절연막(222)은, 패시베이션막(221)과 제3 기판(300) 사이에 마련되어 있다. 이 층간 절연막(222)에 의해, 복수의 배선(제1 배선층(W1), 제2 배선층(W2), 제3 배선층(W3), 제4 배선층(W4))이 분리되어 있다. 층간 절연막(222)은, 예를 들면, 산화 실리콘에 의해 구성되어 있다.

[0140] 배선층(200T)에는, 예를 들면, 반도체층(200S)측으로부터, 제1 배선층(W1), 제2 배선층(W2), 제3 배선층(W3), 제4 배선층(W4) 및 콘택트부(201, 202)가 이 순서로 마련되고, 이들이 서로 층간 절연막(222)에 의해 절연되어 있다. 층간 절연막(222)에는, 제1 배선층(W1), 제2 배선층(W2), 제3 배선층(W3) 또는 제4 배선층(W4)과, 이들 하층을 접속하는 접속부가 복수 마련되어 있다. 접속부는, 층간 절연막(222)에 마련한 접속 구멍에, 도전 재료를 매설한 부분이다. 예를 들면, 층간 절연막(222)에는, 제1 배선층(W1)과 반도체층(200S)의 VSS 콘택트 영역(218)을 접속하는 접속부(218V)가 마련되어 있다. 예를 들면, 이와 같은 제2 기판(200)의 소자끼리를 접속하는 접속부의 구멍 지름은, 관통 전극(120E, 121E) 및 관통 전극(TGV)의 구멍 지름과 다르다. 구체적으로는, 제2 기판(200)의 소자끼리를 접속하는 접속 구멍의 구멍 지름은, 관통 전극(120E, 121E) 및 관통 전극(TGV)의 구멍 지름보다도 작게 되어 있는 것이 바람직하다. 이하, 이 이유에 관해 설명한다. 배선층(200T) 내에 마련된 접속부(접속부(218V) 등)의 깊이는, 관통 전극(120E, 121E) 및 관통 전극(TGV)의 깊이보다도 작다. 이 때문에 접속부는, 관통 전극(120E, 121E) 및 관통 전극(TGV)에 비해, 용이하게 접속 구멍에 도전재를 메울 수 있다. 이 접속부의 구멍 지름을, 관통 전극(120E, 121E) 및 관통 전극(TGV)의 구멍 지름보다도 작게 함에 의해, 촬상 장치(1)의 미세화를 행하기 쉬워진다.

[0141] 예를 들면, 제1 배선층(W1)에 의해, 관통 전극(120E)과 증폭 트랜지스터(AMP)의 게이트 및 FD 변환 게인 전환 트랜지스터(FDG)의 소스(구체적으로는 FD 변환 게인 전환 트랜지스터(FDG)의 소스에 달하는 접속 구멍)가 접속되어 있다. 제1 배선층(W1)은, 예를 들면, 관통 전극(121E)과 접속부(218V)를 접속하고 있고, 이에 의해, 반도체층(200S)의 VSS 콘택트 영역(218)과 반도체층(100S)의 VSS 콘택트 영역(118)이 전기적으로 접속된다.

[0142] 다음으로, 도 10~도 12를 이용하여, 배선층(200T)의 평면 구성에 관해 설명한다. 도 10은, 제1 배선층(W1) 및 제2 배선층(W2)의 평면 구성의 한 예를 도시한 것이다. 도 11은, 제2 배선층(W2) 및 제3 배선층(W3)의 평면 구성의 한 예를 도시한 것이다. 도 12는, 제3 배선층(W3) 및 제4 배선층(W4)의 평면 구성의 한 예를 도시한 것이다.

[0143] 예를 들면, 제3 배선층(W3)은, H방향(행방향)으로 연재되는 배선(TRG1, TRG2, TRG3, TRG4, SELL, RSTL, FDGL)을 포함하고 있다(도 11). 이들 배선은, 도 4를 참조하여 설명한 복수의 행 구동 신호선(542)에 해당한다. 배선(TRG1, TRG2, TRG3, TRG4)은 각각, 전송 게이트(TG1, TG2, TG3, TG4)에 구동 신호를 보내기 위한 것이다. 배선(TRG1, TRG2, TRG3, TRG4)은 각각, 제2 배선층(W2), 제1 배선층(W1) 및 관통 전극(120E)을 통하여 전송 게이트(TG1, TG2, TG3, TG4)에 접속되어 있다. 배선(SELL)은 선택 트랜지스터(SEL)의 게이트에, 배선(RSTL)은 리셋 트랜지스터(RST)의 게이트에, 배선(FDGL)은, FD 변환 게인 전환 트랜지스터(FDG)의 게이트에 각각 구동 신호를 보내기 위한 것이다. 배선(SELL, RSTL, FDGL)은 각각, 제2 배선층(W2), 제1 배선층(W1) 및 접속부를 통하여, 선택 트랜지스터(SEL), 리셋 트랜지스터(RST), FD 변환 게인 전환 트랜지스터(FDG) 각각의 게이트에 접속되어 있다.

[0144] 예를 들면, 제4 배선층(W4)은, V방향(열방향)으로 연재되는 전원선(VDD), 기준 전위선(VSS) 및 수직 신호선(543)을 포함하고 있다(도 12). 전원선(VDD)은, 제3 배선층(W3), 제2 배선층(W2), 제1 배선층(W1) 및 접속부를 통하여 증폭 트랜지스터(AMP)의 드레인 및 리셋 트랜지스터(RST)의 드레인에 접속되어 있다. 기준 전위선(VSS)은, 제3 배선층(W3), 제2 배선층(W2), 제1 배선층(W1) 및 접속부(218V)를 통하여 VSS 콘택트 영역(218)에 접속되어 있다. 또한, 기준 전위선(VSS)은, 제3 배선층(W3), 제2 배선층(W2), 제1 배선층(W1), 관통 전극(121E) 및 패드부(121)를 통하여 제1 기판(100)의 VSS 콘택트 영역(118)에 접속되어 있다. 수직 신호선(543)은, 제3 배선층(W3), 제2 배선층(W2), 제1 배선층(W1) 및 접속부를 통하여 선택 트랜지스터(SEL)의 소스(Vout)에 접속되어 있다.

[0145] 콘택트부(201, 202)는, 평면시로 화소 어레이부(540)에 겹쳐지는 위치에 마련되어 있어도 좋으며(예를 들면, 도 3), 또는, 화소 어레이부(540)의 외측의 주변부(540B)에 마련되어 있어도 좋다(예를 들면, 도 6). 콘택트부(201, 202)는, 제2 기판(200)의 표면(배선층(200T)측의 면)에 마련되어 있다. 콘택트부(201, 202)는, 예를 들면, Cu(구리) 및 Al(알루미늄) 등의 금속에 의해 구성되어 있다. 콘택트부(201, 202)는, 배선층(200T)의 표면(제3 기판(300)측의 면)에 노출하고 있다. 콘택트부(201, 202)는, 제2 기판(200)과 제3 기판(300)의 전기적인 접속 및, 제2 기판(200)과 제3 기판(300)의 첩합에 이용된다.

[0146] 도 6에는, 제2 기판(200)의 주변부(540B)에 주변 회로를 마련한 예를 도시하였다. 이 주변 회로는, 행 구동부(520)의 일부 또는 열 신호 처리부(550)의 일부 등을 포함하고 있어도 좋다. 또한, 도 3에 기재한 바와 같이, 제2 기판(200)의 주변부(540B)에는 주변 회로를 배치하지 않고, 접속 구멍부(H1, H2)를 화소 어레이부(540)의 근방에 배치하도록 해도 좋다.

[0147] 제3 기판(300)은, 예를 들면, 제2 기판(200)측으로부터 배선층(300T) 및 반도체층(300S)을 이 순서로 가지고 있다. 예를 들면, 반도체층(300S)의 표면은, 제2 기판(200)측에 마련되어 있다. 반도체층(300S)은, 실리콘 기판으로 구성되어 있다. 이 반도체층(300S)의 표면측의 부분에는, 회로가 마련되어 있다. 구체적으로는, 반도체층(300S)의 표면측의 부분에는, 예를 들면, 입력부(510A), 행 구동부(520), 타이밍 제어부(530), 열 신호 처리부(550), 화상 신호 처리부(560) 및 출력부(510B) 중의 적어도 일부가 마련되어 있다. 반도체층(300S)과 제2 기판(200) 사이에 마련된 배선층(300T)은, 예를 들면, 층간 절연막과, 이 층간 절연막에 의해 분리된 복수의 배선층과, 콘택트부(301, 302)를 포함하고 있다. 콘택트부(301, 302)는, 배선층(300T)의 표면(제2 기판(200)측의 면)에 노출되어 있고, 콘택트부(301)는 제2 기판(200)의 콘택트부(201)에, 콘택트부(302)는 제2 기판(200)의 콘택트부(202)에 각각 접해 있다. 콘택트부(301, 302)는, 반도체층(300S)에 형성된 회로(예를 들면, 입력부(510A), 행 구동부(520), 타이밍 제어부(530), 열 신호 처리부(550), 화상 신호 처리부(560) 및 출력부(510B)의 적어도 어느 하나)에 전기적으로 접속되어 있다. 콘택트부(301, 302)는, 예를 들면, Cu(구리) 및 알루미늄(Al) 등의 금속에 의해 구성되어 있다. 예를 들면, 접속 구멍부(H1)를 통하여 외부 단자(TA)가 입력부(510A)에 접속되어 있고, 접속 구멍부(H2)를 통하여 외부 단자(TB)가 출력부(510B)에 접속되어 있다.

[0148] 여기서, 촬상 장치(1)의 특징에 관해 설명한다.

[0149] 일반적으로, 촬상 장치는, 주된 구성으로서, 포토 다이오드와 화소 회로로 이루어진다. 여기서, 포토 다이오드의 면적을 크게 하면 광전 변환의 결과 발생하는 전하가 증가하고, 그 결과 화소 신호의 시그널/노이즈비(S/N비)가 개선되고, 촬상 장치는 보다 좋은 화상 데이터(화상 정보)를 출력할 수 있다. 한편, 화소 회로에 포함되는 트랜지스터의 사이즈(특히 증폭 트랜지스터의 사이즈)를 크게 하면, 화소 회로에서 발생하는 노이즈가 감소하고, 그 결과 촬상 신호의 S/N비가 개선되고, 촬상 장치는 보다 좋은 화상 데이터(화상 정보)를 출력할 수 있다.

[0150] 그러나, 포토 다이오드와 화소 회로를 동일한 반도체 기판에 마련한 촬상 장치에서, 반도체 기판의 한정된 면적 중에서 포토 다이오드의 면적을 크게 하면, 화소 회로에 구비되는 트랜지스터의 사이즈가 작아져 버리는 것이 생각된다. 또한, 화소 회로에 구비되는 트랜지스터의 사이즈를 크게 하면, 포토 다이오드의 면적이 작아져 버리는 것이 생각된다.

[0151] 이들 과제를 해결하기 위해, 예를 들면, 본 실시의 형태의 촬상 장치(1)는, 복수의 화소(541)가 1개의 화소 회로(210)를 공유하고, 또한, 공유한 화소 회로(210)를 포토 다이오드(PD)에 중첩하여 배치하는 구조를 이용한다. 이에 의해, 반도체 기판의 한정된 면적 중에서, 포토 다이오드(PD)의 면적을 가능한 한 크게 하는 것과, 화소 회로(210)에 구비되는 트랜지스터의 사이즈를 가능한 한 크게 하는 것을 실현할 수 있다. 이에 의해, 화소 신호의 S/N비를 개선하고, 촬상 장치(1)가 보다 좋은 화상 데이터(화상 정보)를 출력할 수 있다.

[0152] 복수의 화소(541)가 1개의 화소 회로(210)를 공유하고, 이것을 포토 다이오드(PD)에 중첩하여 배치하는 구조를 실현할 때, 복수의 화소(541) 각각의 플로팅 디퓨전(FD)으로부터 1개의 화소 회로(210)에 접속되는 복수의 배선이 연재된다. 화소 회로(210)를 형성하는 반도체 기판(200)의 면적을 크게 확보하기 위해서는, 예를 들어 이들 연재되는 복수의 배선 사이를 상호 접속하고, 1개로 통합하는 접속 배선을 형성할 수 있다. VSS 콘택트 영역(118)으로부터 연재되는 복수의 배선에 대해서도 마찬가지로, 연재되는 복수의 배선 사이를 상호 접속하고, 1개로 통합하는 접속 배선을 형성할 수 있다.

[0153] 예를 들면, 복수의 화소(541) 각각의 플로팅 디퓨전(FD)으로부터 연재되는 복수의 배선 사이를 상호 접속하는 접속 배선을, 화소 회로(210)를 형성하는 반도체 기판(200)에서 형성하면, 화소 회로(210)에 포함되는 트랜지스터를 형성하는 면적이 작아져 버리는 것이 생각된다. 마찬가지로, 복수의 화소(541) 각각의 VSS 콘택트 영역(118)으로부터 연재되는 복수의 배선 사이를 상호 접속하여 1개로 통합하는 접속 배선을, 화소 회로(210)를 형성하는 반도체 기판(200)에 형성하면, 이에 의해 화소 회로(210)에 포함되는 트랜지스터를 형성하는 면적이 작아져 버리는 것이 생각된다.

[0154] 이들 과제를 해결하기 위해, 예를 들어 본 실시의 형태의 촬상 장치(1)는, 복수의 화소(541)가 1개의 화소 회로(210)를 공유하고, 또한, 공유하는 화소 회로(210)를 포토 다이오드(PD)에 중첩하여 배치하는 구조로서, 상기 복수의 화소(541) 각각의 플로팅 디퓨전(FD) 사이를 상호 접속하여 1개로 통합하는 접속 배선과, 상기 복수의 화소(541)의 각각에 구비되는 VSS 콘택트 영역(118) 사이를 상호 접속하여 1개로 통합하는 접속 배선을 제1 기판(100)에 마련한 구조를 구비할 수 있다.

[0155] 여기서, 상기 복수의 화소(541) 각각의 플로팅 디퓨전(FD) 사이를 상호 접속하여 1개로 통합하는 접속 배선과,

상기 복수의 화소(541) 각각의 VSS 콘택트 영역(118) 사이를 상호 접속하여 1개로 통합하는 접속 배선을, 제1 기판(100)에 마련하기 위한 제조 방법으로서, 앞에서 말한 제2 제조 방법을 이용하면, 예를 들면, 제1 기판(100) 및 제2 기판(200) 각각의 구성에 응하여 적절한 프로세스를 이용하여 제조할 수 있고, 고품질, 고성능인 촬상 장치를 제조할 수 있다. 또한, 용이한 프로세스로 제1 기판(100) 및 제2 기판(200)의 접속 배선을 형성할 수 있다. 구체적으로는, 상기 제2 제조 방법을 이용하는 경우, 제1 기판(100)과 제2 기판(200)의 첩합 경계면이 되는 제1 기판(100)의 표면과 제2 기판(200)의 표면에, 플로팅 디퓨전(FD)에 접속하는 전극과 VSS 콘택트 영역(118)에 접속하는 전극을 각각 마련한다. 또한, 제1 기판(100)과 제2 기판(200)을 첩합시켰을 때에 이들 2개의 기판 표면에 마련한 전극 사이에서 위치 어긋남이 발생해도 이들 2개의 기판 표면에 형성한 전극끼리가 접촉하도록, 이들 2개의 기판 표면에 형성하는 전극을 크게 하는 것이 바람직하다. 이 경우, 촬상 장치(1)에 구비되는 각 화소가 한정된 면적의 중에 상기 전극을 배치하는 것이 어려워져 버리는 것이 생각된다.

[0156] 제1 기판(100)과 제2 기판(200)의 첩합 경계면에 큰 전극이 필요해지는 과제를 해결하기 위해, 예를 들어 본 실시의 형태의 촬상 장치(1)는, 복수의 화소(541)가 1개의 화소 회로(210)를 공유하고, 또한, 공유하는 화소 회로(210)를 포토 다이오드(PD)에 중첩하여 배치하는 제조 방법으로서, 앞에서 말한 제1 제조 방법을 이용할 수 있다. 이에 의해, 제1 기판(100) 및 제2 기판(200) 각각에 형성되는 소자끼리의 위치 맞춤이 용이해지고, 고품질, 고성능인 촬상 장치를 제조할 수 있다. 또한, 이 제조 방법을 이용함에 의해 생기는 고유의 구조를 구비할 수 있다. 즉, 제1 기판(100)의 반도체층(100S)과 배선층(100T)과 제2 기판(200)의 반도체층(200S)과 배선층(200T)을 이 순서로 적층한 구조, 환언하면, 제1 기판(100)과 제2 기판(200)을 페이스 투 백으로 적층한 구조를 구비하고, 또한, 제2 기판(200)의 반도체층(200S)의 표면측으로부터, 반도체층(200S)과 제1 기판(100)의 배선층(100T)을 관통하여, 제1 기판(100)의 반도체층(100S)의 표면에 이르는, 관통 전극(120E, 121E)을 구비한다.

[0157] 상기 복수의 화소(541) 각각의 플로팅 디퓨전(FD) 사이를 상호 접속하여 1개로 통합하는 접속 배선과, 상기 복수의 화소(541) 각각의 VSS 콘택트 영역(118) 사이를 상호 접속하여 1개로 통합하는 접속 배선을 제1 기판(100)에 마련한 구조에서, 이 구조와 제2 기판(200)을 상기 제1 제조 방법을 이용하여 적층하고 제2 기판(200)에 화소 회로(210)를 형성하면, 화소 회로(210)에 구비되는 능동 소자를 형성할 때에 필요해지는 가열 처리의 영향이, 제1 기판(100)에 형성한 상기 접속 배선에 미쳐 버릴 가능성이 있다.

[0158] 그래서, 상기 접속 배선에 대해, 상기 능동 소자를 형성할 때의 가열 처리의 영향이 미쳐 버리는 과제를 해결하기 위해, 본 실시의 형태의 촬상 장치(1)는, 상기 복수의 화소(541) 각각의 플로팅 디퓨전(FD)끼리를 상호 접속하여 1개로 통합하는 접속 배선과, 상기 복수의 화소(541) 각각의 VSS 콘택트 영역(118) 사이를 상호 접속하여 1개로 통합하는 접속 배선에 내열성이 높은 도전 재료를 이용하는 것이 바람직하다. 구체적으로는, 내열성이 높은 도전 재료는, 제2 기판(200)의 배선층(200T)에 포함되는 배선재의 적어도 일부보다도, 융점이 높은 재료를 이용할 수 있다.

[0159] 이와 같이, 예를 들어 본 실시의 형태의 촬상 장치(1)는, (1) 제1 기판(100)과 제2 기판(200)을 페이스 투 백으로 적층한 구조(구체적으로는, 제1 기판(100)의 반도체층(100S)과 배선층(100T)과 제2 기판(200)의 반도체층(200S)과 배선층(200T)을 이 순서로 적층하는 구조)와, (2) 제2 기판(200)의 반도체층(200S)의 표면측으로부터, 반도체층(200S)과 제1 기판(100)의 배선층(100T)을 관통하여, 제1 기판(100)의 반도체층(100S)의 표면에 이르는, 관통 전극(120E, 121E)을 마련한 구조와, (3) 복수의 화소(541)의 각각에 구비되는 플로팅 디퓨전(FD) 사이를 상호 접속하여 1개로 통합하는 접속 배선과, 복수의 화소(541)의 각각에 구비되는 VSS 콘택트 영역(118) 사이를 상호 접속하여 1개로 통합하는 접속 배선을 내열성이 높은 도전 재료로 형성한 구조를 구비함으로써, 제1 기판(100)과 제2 기판(200)의 계면에 큰 전극을 구비하는 일 없이, 제1 기판(100)에, 복수의 화소(541)의 각각에 구비되는 플로팅 디퓨전(FD) 사이를 상호 접속하여 1개로 통합하는 접속 배선과, 복수의 화소(541)의 각각에 구비되는 VSS 콘택트 영역(118) 사이를 상호 접속하여 1개로 통합하는 접속 배선을 마련하는 것을 가능하게 하고 있다.

[0160] [촬상 장치(1)의 동작]

[0161] 다음으로, 도 13 및 도 14를 이용하여 촬상 장치(1)의 동작에 관해 설명한다. 도 13 및 도 14는, 도 3에 각 신호의 경로를 나타내는 화살표를 추기한 것이다. 도 13은, 외부로부터 촬상 장치(1)에 입력되는 입력 신호와, 전원 전위 및 기준 전위의 경로를 화살표로 나타낸 것이다. 도 14는, 촬상 장치(1)로부터 외부에 출력되는 화소 신호의 신호 경로를 화살표로 나타내고 있다. 예를 들면, 입력부(510A)를 통하여 촬상 장치(1)에 입력된 입력 신호(예를 들면, 화소 클록 및 동기 신호)는, 제3 기판(300)의 행 구동부(520)에 전송되고, 행 구동부(520)에서 행 구동 신호가 만들어진다. 이 행 구동 신호는, 콘택트부(301, 201)를 통하여 제2 기판(200)에 보내진다.

또한, 이 행 구동 신호는, 배선층(200T) 내의 행 구동 신호선(542)을 통하여, 화소 어레이부(540)의 화소 공유 유닛(539) 각각에 도달한다. 제2 기판(200)의 화소 공유 유닛(539)에 도달한 행 구동 신호 중, 전송 게이트(TG) 이외의 구동 신호는 화소 회로(210)에 입력되어, 화소 회로(210)에 포함되는 각 트랜지스터가 구동된다. 전송 게이트(TG)의 구동 신호는 관통 전극(TGV)을 통하여 제1 기판(100)의 전송 게이트(TG1, TG2, TG3, TG4)에 입력되고, 화소(541A, 541B, 541C, 541D)가 구동된다(도 13). 또한, 촬상 장치(1)의 외부로부터, 제3 기판(300)의 입력부(510A)(입력 단자(511))에 공급된 전원 전위 및 기준 전위는, 콘택트부(301, 201)를 통하여 제2 기판(200)에 보내지고, 배선층(200T) 내의 배선을 통하여, 화소 공유 유닛(539) 각각의 화소 회로(210)에 공급된다. 기준 전위는, 또한 관통 전극(121E)을 통하여, 제1 기판(100)의 화소(541A, 541B, 541C, 541D)에도 공급된다. 한편, 제1 기판(100)의 화소(541A, 541B, 541C, 541D)에서 광전 변환된 화소 신호는, 관통 전극(120E)을 통하여 화소 공유 유닛(539)마다 제2 기판(200)의 화소 회로(210)에 보내진다. 이 화소 신호에 의거하는 화소 신호는, 화소 회로(210)로부터 수직 신호선(543) 및 콘택트부(202, 302)를 통하여 제3 기판(300)에 보내진다. 이 화소 신호는, 제3 기판(300)의 열 신호 처리부(550) 및 화상 신호 처리부(560)에서 처리된 후, 출력부(510B)를 통하여 외부에 출력된다.

[0162] [효과]

[0163] 본 실시의 형태에서는, 화소(541A, 541B, 541C, 541D)(화소 공유 유닛(539))와 화소 회로(210)가 서로 다른 기판(제1 기판(100) 및 제2 기판(200))에 마련되어 있다. 이에 의해, 화소(541A, 541B, 541C, 541D) 및 화소 회로(210)를 동일 기판에 형성한 경우와 비교하여, 화소(541A, 541B, 541C, 541D) 및 화소 회로(210)의 면적을 확대할 수 있다. 그 결과, 광전 변환에 의해 얻어지는 화소 신호의 양을 증대시키고, 또한, 화소 회로(210)의 트랜지스터 노이즈를 저감하는 것이 가능해진다. 이들에 의해, 화소 신호의 시그널/노이즈비를 개선하여, 촬상 장치(1)는, 보다 좋은 화소 데이터(화상 정보)를 출력하는 것이 가능해진다. 또한, 촬상 장치(1)의 미세화(환언하면, 화소 사이즈의 축소 및 촬상 장치(1)의 소형화)가 가능해진다. 촬상 장치(1)는, 화소 사이즈의 축소에 의해, 단위 면적당의 화소수를 증가시킬 수 있고, 고화질의 화상을 출력할 수 있다.

[0164] 또한, 촬상 장치(1)에서는, 제1 기판(100) 및 제2 기판(200)이, 절연 영역(212)에 마련된 관통 전극(120E, 121E)에 의해 서로 전기적으로 접속되어 있다. 예를 들면, 제1 기판(100)과 제2 기판(200)을 패드 전극끼리의 접합에 의해 접속하는 방법이나, 반도체층을 관통하는 관통 배선(예를 들어 TSV(Thorough Si Via))에 의해 접속하는 방법도 생각할 수 있다. 이와 같은 방법에 비해, 절연 영역(212)에 관통 전극(120E, 121E)을 마련함에 의해, 제1 기판(100) 및 제2 기판(200)의 접속에 필요한 면적을 작게 할 수 있다. 이에 의해, 화소 사이즈를 축소하고, 촬상 장치(1)를 보다 소형화할 수 있다. 또한, 1화소당의 면적의 더한층의 미세화에 의해, 해상도를 보다 높게 할 수 있다. 칩 사이즈의 소형화가 불필요할 때에는, 화소(541A, 541B, 541C, 541D) 및 화소 회로(210)의 형성 영역을 확대할 수 있다. 그 결과, 광전 변환에 의해 얻어지는 화소 신호의 양을 증대시키고, 또한, 화소 회로(210)에 구비되는 트랜지스터의 노이즈를 저감하는 것이 가능해진다. 이에 의해, 화소 신호의 시그널/노이즈비를 개선하여, 촬상 장치(1)는 보다 좋은 화소 데이터(화상 정보)를 출력하는 것이 가능해진다.

[0165] 또한, 촬상 장치(1)에서는, 화소 회로(210)와 열 신호 처리부(550) 및 화상 신호 처리부(560)가 서로 다른 기판(제2 기판(200) 및 제3 기판(300))에 마련되어 있다. 이에 의해, 화소 회로(210)와 열 신호 처리부(550) 및 화상 신호 처리부(560)를 동일 기판에 형성한 경우와 비교하여, 화소 회로(210)의 면적과, 열 신호 처리부(550) 및 화상 신호 처리부(560)의 면적을 확대할 수 있다. 이에 의해, 열 신호 처리부(550)에서 생기는 노이즈를 저감하거나, 화상 신호 처리부(560)에 의해 고도의 화상 처리 회로를 탑재하는 것이 가능해진다. 따라서, 화소 신호의 시그널/노이즈비를 개선하여, 촬상 장치(1)는 보다 좋은 화소 데이터(화상 정보)를 출력하는 것이 가능해진다.

[0166] 또한, 촬상 장치(1)에서는, 화소 어레이부(540)가, 제1 기판(100) 및 제2 기판(200)에 마련되고, 또한, 열 신호 처리부(550) 및 화상 신호 처리부(560)가 제3 기판(300)에 마련되어 있다. 또한, 제2 기판(200)과 제3 기판(300)을 접속하는 콘택트부(201, 202, 301, 302)는, 화소 어레이부(540)의 상방에 형성되어 있다. 이 때문에, 콘택트부(201, 202, 301, 302)는, 화소 어레이에 구비되는 각종 배선으로부터 레이아웃상의 간섭을 받지 않고 자유롭게 레이아웃으로 하는 것이 가능해진다. 이에 의해, 제2 기판(200)과 제3 기판(300)의 전기적인 접속에, 콘택트부(201, 202, 301, 302)를 이용하는 것이 가능해진다. 콘택트부(201, 202, 301, 302)를 이용함에 의해, 예를 들면, 열 신호 처리부(550) 및 화상 신호 처리부(560)는 레이아웃의 자유도가 높아진다. 이에 의해, 열 신호 처리부(550)에서 생기는 노이즈를 저감하거나, 화상 신호 처리부(560)에 의해 고도의 화상 처리 회로를 탑재하는 것이 가능해진다. 따라서, 화소 신호의 시그널/노이즈비를 개선하여, 촬상 장치(1)는 보다 좋은 화소 데이

터(화상 정보)를 출력하는 것이 가능해진다.

[0167] 또한, 촬상 장치(1)에서는, 화소 분리부(117)가 반도체층(100S)을 관통하고 있다. 이에 의해, 1화소당의 면적의 미세화에 의해 이웃하는 화소(화소(541A, 541B, 541C, 541D))의 거리가 근접한 경우라도, 화소(541A, 541B, 541C, 541D) 사이에서의 혼색을 억제할 수 있다. 이에 의해, 화소 신호의 시그널/노이즈비를 개선하고, 촬상 장치(1)는 보다 좋은 화소 데이터(화상 정보)를 출력하는 것이 가능해진다.

[0168] 또한, 촬상 장치(1)에서는, 화소 공유 유닛(539)마다 화소 회로(210)가 마련되어 있다. 이에 의해, 화소(541A, 541B, 541C, 541D) 각각에 화소 회로(210)를 마련한 경우에 비해, 화소 회로(210)를 구성하는 트랜지스터(증폭 트랜지스터(AMP), 리셋 트랜지스터(RST), 선택 트랜지스터(SEL), FD 변환 게인 전환 트랜지스터(FDG))의 형성 영역을 크게 하는 것이 가능해진다. 예를 들면, 증폭 트랜지스터(AMP)의 형성 영역을 크게 함에 의해, 노이즈를 억제하는 것이 가능해진다. 이에 의해, 화소 신호의 시그널/노이즈비를 개선하여, 촬상 장치(1)는 보다 좋은 화소 데이터(화상 정보)를 출력하는 것이 가능해진다.

[0169] 또한, 촬상 장치(1)에서는, 4개의 화소(화소(541A, 541B, 541C, 541D))의 플로팅 디퓨전(FD)(플로팅 디퓨전(FD1, FD2, FD3, FD4))을 전기적으로 접속하는 패드부(120)가, 제1 기판(100)에 마련되어 있다. 이에 의해, 이와 같은 패드부(120)를 제2 기판(200)에 마련하는 경우에 비해, 제1 기판(100)과 제2 기판(200)을 접속하는 관통 전극(관통 전극(120E))의 수를 줄일 수 있다. 따라서, 절연 영역(212)을 작게 하고, 화소 회로(210)를 구성하는 트랜지스터의 형성 영역(반도체층(200S))을 충분한 크기로 확보할 수 있다. 이에 의해, 화소 회로(210)에 구비되는 트랜지스터의 노이즈를 저감하는 것이 가능해지고, 화소 신호의 시그널/노이즈비를 개선하여, 촬상 장치(1)는 보다 좋은 화소 데이터(화상 정보)를 출력하는 것이 가능해진다.

[0170] 이하, 상기 실시의 형태에 관한 촬상 장치(1)의 변형례에 관해 설명한다. 이하의 변형례에서는, 상기 실시의 형태와 공통의 구성에 동일한 부호를 붙여서 설명한다.

[0171] <2. 변형례 1>

[0172] 도 15~도 19는, 상기 실시의 형태에 관한 촬상 장치(1)의 평면 구성의 한 변형례를 도시한 것이다. 도 15는, 제2 기판(200)의 반도체층(200S)의 표면 근방의 평면 구성을 모식적으로 도시하고 있고, 상기 실시의 형태에서 설명한 도 8에 대응한다. 도 16은, 제1 배선층(W1)과, 제1 배선층(W1)에 접속된 반도체층(200S) 및 제1 기판(100)의 각 부의 구성을 모식적으로 도시하고 있고, 상기 실시의 형태에서 설명한 도 9에 대응한다. 도 17은, 제1 배선층(W1) 및 제2 배선층(W2)의 평면 구성의 한 예를 나타내고 있고, 상기 실시의 형태에서 설명한 도 10에 대응한다. 도 18은, 제2 배선층(W2) 및 제3 배선층(W3)의 평면 구성의 한 예를 나타내고 있고, 상기 실시의 형태에서 설명한 도 11에 대응한다. 도 19는, 제3 배선층(W3) 및 제4 배선층(W4)의 평면 구성의 한 예를 나타내고 있고, 상기 실시의 형태에서 설명한 도 12에 대응한다.

[0173] 본 변형례에서는, 도 16에 도시한 바와 같이, 제2 기판(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539) 중, 일방(예를 들어 지면 우측)의 화소 공유 유닛(539)의 내부 레이아웃이, 타방(예를 들어 지면 좌측)의 화소 공유 유닛(539)의 내부 레이아웃을 H방향으로만 반전시킨 구성으로 되어 있다. 또한, 일방의 화소 공유 유닛(539)의 외형선과 타방의 화소 공유 유닛(539)의 외형선 사이의 V방향의 어긋남이, 상기 실시의 형태에서 설명한 어긋남(도 9)보다도 크게 되어 있다. 이와 같이, V방향의 어긋남을 크게 함에 의해, 타방의 화소 공유 유닛(539)의 증폭 트랜지스터(AMP)와, 이것에 접속된 패드부(120)(도 7에 기재된 V방향으로 나열되는 2개의 화소 공유 유닛(539) 중의 타방(지면 하측)의 패드부(120)) 사이의 거리를 작게 할 수 있다. 이와 같은 레이아웃에 의해, 도 15~도 19에 기재된 촬상 장치(1)의 변형례 1은, H방향으로 나열되는 2개의 화소 공유 유닛(539)의 평면 레이아웃을 서로 V방향으로 반전시키는 일 없이, 그 면적을, 상기 실시의 형태에서 설명한 제2 기판(200)의 화소 공유 유닛(539)의 면적과 같게 할 수 있다. 또한, 제1 기판(100)의 화소 공유 유닛(539)의 평면 레이아웃은, 상기 실시의 형태에서 설명한 평면 레이아웃(도 7A, 도 7B)과 같다. 따라서 본 변형례의 촬상 장치(1)는, 상기 실시의 형태에서 설명한 촬상 장치(1)와 같은 효과를 얻을 수 있다. 제2 기판(200)의 화소 공유 유닛(539)의 배치는, 상기 실시의 형태 및 본 변형례에서 설명한 배치로 한정되는 것이 아니다.

[0174] <3. 변형례 2>

[0175] 도 20~도 25는, 상기 실시의 형태에 관한 촬상 장치(1)의 평면 구성의 한 변형례를 도시한 것이다. 도 20은, 제1 기판(100)의 평면 구성을 모식적으로 도시하고 있고, 상기 실시의 형태에서 설명한 도 7A에 대응한다. 도 21은, 제2 기판(200)의 반도체층(200S)의 표면 근방의 평면 구성을 모식적으로 도시하고 있고, 상기 실시의 형태에서 설명한 도 8에 대응한다. 도 22는, 제1 배선층(W1)과, 제1 배선층(W1)에 접속된 반도체층(200S) 및 제1

기판(100)의 각 부의 구성을 모식적으로 도시하고 있고, 상기 실시의 형태에서 설명한 도 9에 대응한다. 도 23은, 제1 배선층(W1) 및 제2 배선층(W2)의 평면 구성의 한 예를 도시하고 있고, 상기 실시의 형태에서 설명한 도 10에 대응한다. 도 24는, 제2 배선층(W2) 및 제3 배선층(W3)의 평면 구성의 한 예를 도시하고 있고, 상기 실시의 형태에서 설명한 도 11에 대응한다. 도 25는, 제3 배선층(W3) 및 제4 배선층(W4)의 평면 구성의 한 예를 도시하고 있고, 상기 실시의 형태에서 설명한 도 12에 대응한다.

[0176] 본 변형례에서는, 각 화소 회로(210)의 외형이, 개략 정방형의 평면 형상을 가지고 있다(도 21 등). 이 점에서, 본 변형례의 촬상 장치(1)의 평면 구성은, 상기 실시의 형태에서 설명한 촬상 장치(1)의 평면 구성과 다르다.

[0177] 예를 들면, 제1 기판(100)의 화소 공유 유닛(539)은, 상기 실시의 형태에서 설명한 것과 마찬가지로, 2행×2열의 화소 영역에 걸쳐 형성되어 있고, 개략 정방형의 평면 형상을 가지고 있다(도 20). 예를 들면, 각각의 화소 공유 유닛(539)에서는, 일방의 화소 열의 화소(541A) 및 화소(541C)의 전송 게이트(TG1, TG3)의 수평 부분(TGb)이, 수직 부분(TGa)에 중첩하는 위치로부터 H방향에서 화소 공유 유닛(539)의 중앙부를 향하는 방향(보다 구체적으로는, 화소(541A, 541C)의 외연을 향하는 방향, 또한 화소 공유 유닛(539)의 중앙부를 향하는 방향)으로 연재되고, 타방의 화소 열의 화소(541B) 및 화소(541D)의 전송 게이트(TG2, TG4)의 수평 부분(TGb)이, 수직 부분(TGa)에 중첩하는 위치로부터 H방향에서 화소 공유 유닛(539)의 외측을 향하는 방향(보다 구체적으로는, 화소(541B, 541D)의 외연을 향하는 방향, 또한 화소 공유 유닛(539)의 외측을 향하는 방향)으로 연재되어 있다. 플로팅 디퓨전(FD)에 접속된 패드부(120)는, 화소 공유 유닛(539)의 중앙부(화소 공유 유닛(539)의 H방향 및 V방향의 중앙부)에 마련되고, VSS 콘택트 영역(118)에 접속된 패드부(121)는, 적어도 H방향에서(도 20에서는 H방향 및 V방향에서) 화소 공유 유닛(539)의 단부에 마련되어 있다.

[0178] 다른 배치례로서, 전송 게이트(TG1, TG2, TG3, TG4)의 수평 부분(TGb)을 수직 부분(TGa)에 대향하는 영역에만 마련하는 것도 생각할 수 있다. 이때에는, 상기 실시의 형태에서 설명한 것과 마찬가지로, 반도체층(200S)이 세밀하게 분단되기 쉽다. 따라서, 화소 회로(210)의 트랜지스터를 크게 형성하는 것이 곤란해진다. 한편, 전송 게이트(TG1, TG2, TG3, TG4)의 수평 부분(TGb)을, 상기 변형례와 같이, 수직 부분(TGa)에 중첩하는 위치로부터 H방향으로 연재시키면, 상기 실시의 형태에서 설명한 것과 마찬가지로, 반도체층(200S)의 폭을 크게 하는 것이 가능해진다. 구체적으로는, 전송 게이트(TG1, TG3)에 접속된 관통 전극(TGV1, TGV3)의 H방향의 위치를, 관통 전극(120E)의 H방향의 위치에 근접시켜서 배치하고, 전송 게이트(TG2, TG4)에 접속된 관통 전극(TGV2, TGV4)의 H방향의 위치를, 관통 전극(121E)의 H방향의 위치에 근접하여 배치하는 것이 가능해진다(도 22). 이에 의해, 상기 실시의 형태에서 설명한 것과 마찬가지로, V방향으로 연재되는 반도체층(200S)의 폭(H방향의 크기)을 크게 할 수 있다. 따라서, 화소 회로(210)의 트랜지스터의 사이즈, 특히 증폭 트랜지스터(AMP) 사이즈를 크게 하는 것이 가능해진다. 그 결과, 화소 신호의 시그널/노이즈비를 개선하여, 촬상 장치(1)는 보다 좋은 화소 데이터(화상 정보)를 출력하는 것이 가능해진다.

[0179] 제2 기판(200)의 화소 공유 유닛(539)은, 예를 들면, 제1 기판(100)의 화소 공유 유닛(539)의 H방향 및 V방향의 크기와 개략 같고, 예를 들면, 개략 2행×2열의 화소 영역에 대응하는 영역에 걸쳐 마련되어 있다. 예를 들면, 각 화소 회로(210)에서는, V방향으로 연재되는 하나의 반도체층(200S)에 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)가 V방향으로 나란히 배치되고, FD 변환 게인 전환 트랜지스터(FDG) 및 리셋 트랜지스터(RST)가 V방향으로 연재되는 하나의 반도체층(200S)에, V방향으로 나란히 배치되어 있다. 이 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)가 마련된 하나의 반도체층(200S)과, FD 변환 게인 전환 트랜지스터(FDG) 및 리셋 트랜지스터(RST)가 마련된 하나의 반도체층(200S)은, 절연 영역(212)을 통하여 H방향으로 나열되어 있다. 이 절연 영역(212)은 V방향으로 연재되어 있다(도 21).

[0180] 여기서, 제2 기판(200)의 화소 공유 유닛(539)의 외형에 관해, 도 21 및 도 22를 참조하여 설명한다. 예를 들면, 도 20에 도시한 제1 기판(100)의 화소 공유 유닛(539)은, 패드부(120)의 H방향의 일방(도 22의 지면 좌측)에 마련된 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)와, 패드부(120)의 H방향의 타방(도 22의 지면 우측)에 마련된 FD 변환 게인 전환 트랜지스터(FDG) 및 리셋 트랜지스터(RST)에 접속되어 있다. 이 증폭 트랜지스터(AMP), 선택 트랜지스터(SEL), FD 변환 게인 전환 트랜지스터(FDG) 및 리셋 트랜지스터(RST)를 포함하는 제2 기판(200)의 화소 공유 유닛(539)의 외형은, 다음 4개의 외연에 의해 정해진다.

[0181] 제1 외연은, 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)를 포함하는 반도체층(200S)의 V방향의 일단(도 22의 지면 상측의 가장자리)의 외연이다. 이 제1 외연은, 당해 화소 공유 유닛(539)에 포함되는 증폭 트랜지스터(AMP)와, 이 화소 공유 유닛(539)의 V방향의 일방(도 22의 지면 상측)에 이웃하는 화소 공유 유닛(539)에 포함되는 선택 트랜지스터(SEL) 사이에 마련되어 있다. 보다 구체적으로는, 제1 외연은, 이들 증폭 트랜지스터(AM

P)와 선택 트랜지스터(SEL) 사이의 소자 분리 영역(213)의 V방향의 중앙부에 마련되어 있다. 제2 외연은, 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)를 포함하는 반도체층(200S)의 V방향의 타단(도 22의 지면 하측의 가장자리)의 외연이다. 이 제2 외연은, 당해 화소 공유 유닛(539)에 포함되는 선택 트랜지스터(SEL)와, 이 화소 공유 유닛(539)의 V방향의 타방(도 22의 지면 하측)에 이웃하는 화소 공유 유닛(539)에 포함되는 증폭 트랜지스터(AMP) 사이에 마련되어 있다. 보다 구체적으로는, 제2 외연은, 이들 선택 트랜지스터(SEL)와 증폭 트랜지스터(AMP) 사이의 소자 분리 영역(213)의 V방향의 중앙부에 마련되어 있다. 제3 외연은, 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)를 포함하는 반도체층(200S)의 V방향의 타단(도 22의 지면 하측의 가장자리)의 외연이다. 이 제3 외연은, 당해 화소 공유 유닛(539)에 포함되는 FD 변환 게인 전환 트랜지스터(FDG)와, 이 화소 공유 유닛(539)의 V방향의 타방(도 22의 지면 하측)에 이웃하는 화소 공유 유닛(539)에 포함되는 리셋 트랜지스터(RST) 사이에 마련되어 있다. 보다 구체적으로는, 제3 외연은, 이들 FD 변환 게인 전환 트랜지스터(FDG)와 리셋 트랜지스터(RST) 사이의 소자 분리 영역(213)의 V방향의 중앙부에 마련되어 있다. 제4 외연은, 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)를 포함하는 반도체층(200S)의 V방향의 일단(도 22의 지면 상측의 가장자리)의 외연이다. 이 제4 외연은, 당해 화소 공유 유닛(539)에 포함되는 리셋 트랜지스터(RST)와, 이 화소 공유 유닛(539)의 V방향의 일방(도 22의 지면 상측)에 이웃하는 화소 공유 유닛(539)에 포함되는 FD 변환 게인 전환 트랜지스터(FDG)(도시하지 않음) 사이에 마련되어 있다. 보다 구체적으로는, 제4 외연은, 이들 리셋 트랜지스터(RST)와 FD 변환 게인 전환 트랜지스터(FDG) 사이의 소자 분리 영역(213)(도시하지 않음)의 V방향의 중앙부에 마련되어 있다.

[0182] 이와 같은 제1, 제2, 제3, 제4 외연을 포함하는 제2 기판(200)의 화소 공유 유닛(539)의 외형에서는, 제1, 제2 외연에 대해, 제3, 제4 외연이 V방향의 일방측에 어긋나게 배치되어 있다(환언하면 V방향의 일방측에 오프셋 되어 있다). 이와 같은 레이아웃을 이용함에 의해, 증폭 트랜지스터(AMP)의 게이트 및 FD 변환 게인 전환 트랜지스터(FDG)의 소스를 함께, 패드부(120)에 가능한 한 근접하여 배치하는 것이 가능해진다. 따라서, 이들을 접속하는 배선의 면적을 작게 하고, 촬상 장치(1)의 미세화를 행하기 쉬워진다. 또한 VSS 콘택트 영역(218)은, 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)를 포함하는 반도체층(200S)과, 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)를 포함하는 반도체층(200S) 사이에 마련되어 있다. 예를 들면, 복수의 화소 회로(210)는, 서로 같은 배치를 가지고 있다.

[0183] 이와 같은 제2 기판(200)을 갖는 촬상 장치(1)도, 상기 실시의 형태에서 설명한 것과 같은 효과를 얻을 수 있다. 제2 기판(200)의 화소 공유 유닛(539)의 배치는, 상기 실시의 형태 및 본 변형례에서 설명한 배치로 한정되는 것이 아니다.

[0184] <4. 변형례 3>

[0185] 도 26~도 31은, 상기 실시의 형태에 관한 촬상 장치(1)의 평면 구성의 한 변형례를 도시한 것이다. 도 26은, 제1 기판(100)의 평면 구성을 모식적으로 도시하고 있고, 상기 실시의 형태에서 설명한 도 7B에 대응한다. 도 27은, 제2 기판(200)의 반도체층(200S)의 표면 근방의 평면 구성을 모식적으로 도시하고 있고, 상기 실시의 형태에서 설명한 도 8에 대응한다. 도 28은, 제1 배선층(W1)과, 제1 배선층(W1)에 접속된 반도체층(200S) 및 제1 기판(100)의 각 부의 구성을 모식적으로 도시하고 있고, 상기 실시의 형태에서 설명한 도 9에 대응한다. 도 29는, 제1 배선층(W1) 및 제2 배선층(W2)의 평면 구성의 한 예를 도시하고 있고, 상기 실시의 형태에서 설명한 도 10에 대응한다. 도 30은, 제2 배선층(W2) 및 제3 배선층(W3)의 평면 구성의 한 예를 도시하고 있고, 상기 실시의 형태에서 설명한 도 11에 대응한다. 도 31은, 제3 배선층(W3) 및 제4 배선층(W4)의 평면 구성의 한 예를 도시하고 있고, 상기 실시의 형태에서 설명한 도 12에 대응한다.

[0186] 본 변형례에서는, 제2 기판(200)의 반도체층(200S)이, H방향으로 연재되어 있다(도 28). 즉, 상기 도 21 등에 도시한 촬상 장치(1)의 평면 구성을 90도 회전시킨 구성에 개략 대응하고 있다.

[0187] 예를 들면, 제1 기판(100)의 화소 공유 유닛(539)은, 상기 실시의 형태에서 설명한 것과 마찬가지로, 2행×2열의 화소 영역에 걸쳐 형성되어 있고, 개략 정방형의 평면 형상을 가지고 있다(도 26). 예를 들면, 각각의 화소 공유 유닛(539)에서는, 일방의 화소행의 화소(541A) 및 화소(541B)의 전송 게이트(TG1, TG2)가, V방향에서 화소 공유 유닛(539)의 중앙부를 향하여 연재되고, 타방의 화소행의 화소(541C) 및 화소(541D)의 전송 게이트(TG3, TG4)가, V방향에서 화소 공유 유닛(539)의 외측 방향으로 연재되어 있다. 플로팅 디퓨전(FD)에 접속된 패드부(120)는, 화소 공유 유닛(539)의 중앙부에 마련되고, VSS 콘택트 영역(118)에 접속된 패드부(121)는, 적어도 V방향에서(도 26에서는 V방향 및 H방향에서) 화소 공유 유닛(539)의 단부에 마련되어 있다. 이때, 전송 게이트(TG1, TG2)의 관통 전극(TGV1, TGV2)의 V방향의 위치가 관통 전극(120E)의 V방향의 위치에 근접하고, 전송 게이

트(TG3, TG4)의 관통 전극(TGV3, TGV4)의 V방향의 위치가 관통 전극(121E)의 V방향의 위치에 근접한다(도 28). 따라서, 상기 실시의 형태에서 설명한 것과 같은 이유에 의해, H방향으로 연재되는 반도체층(200S)의 폭(V방향의 크기)을 크게 할 수 있다. 따라서, 증폭 트랜지스터(AMP)의 사이즈를 크게 하고, 노이즈를 억제하는 것이 가능해진다.

[0188] 각각의 화소 회로(210)에서는, 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)가 H방향으로 나란히 배치되고, 선택 트랜지스터(SEL)와 절연 영역(212)을 사이에 두고 V방향으로 이웃하는 위치에 리셋 트랜지스터(RST)가 배치되어 있다(도 27). FD 변환 게인 전환 트랜지스터(FDG)는, 리셋 트랜지스터(RST)와 H방향으로 나란히 배치되어 있다. VSS 콘택트 영역(218)은, 절연 영역(212)에 섬형상으로 마련되어 있다. 예를 들면, 제3 배선층(W3)은 H방향으로 연재되고(도 30), 제4 배선층(W4)은 V방향으로 연재되어 있다(도 31).

[0189] 이와 같은 제2 기판(200)을 갖는 촬상 장치(1)도, 상기 실시의 형태에서 설명한 것과 같은 효과를 얻을 수 있다. 제2 기판(200)의 화소 공유 유닛(539)의 배치는, 상기 실시의 형태 및 본 변형례에서 설명한 배치로 한정되는 것이 아니다. 예를 들면, 상기 실시의 형태 및 변형례 1에서 설명한 반도체층(200S)이, H방향으로 연재되어 있어도 좋다.

[0190] <5. 변형례 4>

[0191] 도 32는, 상기 실시의 형태에 관한 촬상 장치(1)의 단면 구성의 한 변형례를 모식적으로 도시한 것이다. 도 32는, 상기 실시의 형태에서 설명한 도 3에 대응한다. 본 변형례에서는, 촬상 장치(1)가, 콘택트부(201, 202, 301, 302)에 더하여, 화소 어레이부(540)의 중앙부에 대향하는 위치에 콘택트부(203, 204, 303, 304)를 가지고 있다. 이 점에서, 본 변형례의 촬상 장치(1)는, 상기 실시의 형태에서 설명한 촬상 장치(1)와 다르다.

[0192] 콘택트부(203, 204)는, 제2 기판(200)에 마련되어 있고, 제3 기판(300)과의 접합면이 노출되어 있다. 콘택트부(303, 304)는, 제3 기판(300)에 마련되어 있고, 제2 기판(200)과의 접합면에 노출되어 있다. 콘택트부(203)는, 콘택트부(303)와 접하고 있고, 콘택트부(204)는, 콘택트부(304)와 접하고 있다. 즉, 이 촬상 장치(1)에서는, 제2 기판(200)과 제3 기판(300)이, 콘택트부(201, 202, 301, 302)에 더하여 콘택트부(203, 204, 303, 304)에 의해 접속되어 있다.

[0193] 다음으로, 도 33 및 도 34를 이용하여 이 촬상 장치(1)의 동작에 관해 설명한다. 도 33에는, 외부로부터 촬상 장치(1)에 입력되는 입력 신호와, 전원 전위 및 기준 전위의 경로를 화살표로 나타낸다. 도 34에는, 촬상 장치(1)로부터 외부에 출력되는 화소 신호의 신호 경로를 화살표로 나타내고 있다. 예를 들면, 입력부(510A)를 통하여 촬상 장치(1)에 입력된 입력 신호는, 제3 기판(300)의 행 구동부(520)에 전송되고, 행 구동부(520)에서 행 구동 신호가 만들어진다. 이 행 구동 신호는, 콘택트부(303, 203)를 통하여 제2 기판(200)에 보내진다. 또한, 이 행 구동 신호는, 배선층(200T) 내의 행 구동 신호선(542)을 통하여, 화소 어레이부(540)의 화소 공유 유닛(539) 각각에 도달한다. 제2 기판(200)의 화소 공유 유닛(539)에 도달한 행 구동 신호 중, 전송 게이트(TG) 이외의 구동 신호는 화소 회로(210)에 입력되어, 화소 회로(210)에 포함되는 각 트랜지스터가 구동된다. 전송 게이트(TG)의 구동 신호는 관통 전극(TGV)을 통하여 제1 기판(100)의 전송 게이트(TG1, TG2, TG3, TG4)에 입력되고, 화소(541A, 541B, 541C, 541D)가 구동된다. 또한, 촬상 장치(1)의 외부로부터, 제3 기판(300)의 입력부(510A)(입력 단자(511))에 공급된 전원 전위 및 기준 전위는, 콘택트부(303, 203)를 통하여 제2 기판(200)에 보내지고, 배선층(200T) 내의 배선을 통하여, 화소 공유 유닛(539) 각각의 화소 회로(210)에 공급된다. 기준 전위는, 또한 관통 전극(121E)을 통하여, 제1 기판(100)의 화소(541A, 541B, 541C, 541D)에도 공급된다. 한편, 제1 기판(100)의 화소(541A, 541B, 541C, 541D)에서 광전 변환된 화소 신호는, 화소 공유 유닛(539)마다 제2 기판(200)의 화소 회로(210)에 보내진다. 이 화소 신호에 의거하는 화소 신호는, 화소 회로(210)로부터 수직 신호선(543) 및 콘택트부(204, 304)를 통하여 제3 기판(300)에 보내진다. 이 화소 신호는, 제3 기판(300)의 열 신호 처리부(550) 및 화상 신호 처리부(560)에서 처리된 후, 출력부(510B)를 통하여 외부에 출력된다.

[0194] 이와 같은 콘택트부(203, 204, 303, 304)를 갖는 촬상 장치(1)도, 상기 실시의 형태에서 설명한 것과 같은 효과가 얻어진다. 콘택트부(303, 304)를 통한 배선의 접속처인, 제3 기판(300)의 회로 등의 설계에 응하여 콘택트부의 위치 및 수 등을 바꿀 수 있다.

[0195] <6. 변형례 5>

[0196] 도 35는, 상기 실시의 형태에 관한 촬상 장치(1)의 단면 구성의 한 변형례를 도시한 것이다. 도 35는, 상기 실시의 형태에서 설명한 도 6에 대응한다. 본 변형례에서는, 제1 기판(100)에 플레이너 구조를 갖는 전송 트랜지스터(TR)가 마련되어 있다. 이 점에서, 본 변형례의 촬상 장치(1)는, 상기 실시의 형태에서 설명한 촬상 장치

(1)와 다르다.

[0197] 이 전송 트랜지스터(TR)는, 수평 부분(TGb)만에 의해 전송 게이트(TG)가 구성되어 있다. 환언하면, 전송 게이트(TG)는, 수직 부분(TGa)을 가지고 있지 않고, 반도체층(100S)에 대향하여 마련되어 있다.

[0198] 이와 같은 플레이너 구조의 전송 트랜지스터(TR)를 갖는 촬상 장치(1)도, 상기 실시의 형태에서 설명한 것과 같은 효과가 얻어진다. 또한, 제1 기판(100)에 플레이너형의 전송 게이트(TG)를 마련함에 의해, 종형의 전송 게이트(TG)를 제1 기판(100)에 마련하는 경우에 비해, 보다 반도체층(100S)의 표면 근처까지 포토 다이오드(PD)를 형성하고, 이에 의해, 포화 신호량(Qs)을 증가시키는 것도 생각할 수 있다. 또한, 제1 기판(100)에 플레이너형의 전송 게이트(TG)를 형성하는 방법은, 제1 기판(100)에 종형의 전송 게이트(TG)를 형성하는 방법에 비해, 제조 공정수가 적고, 제조 공정에 기인한 포토 다이오드(PD)에의 악영향이 생기기 어렵다, 라고도 생각할 수 있다.

[0199] <7. 변형례 6>

[0200] 도 36은, 상기 실시의 형태에 관한 촬상 장치(1)의 화소 회로의 한 변형례를 도시한 것이다. 도 36은, 상기 실시의 형태에서 설명한 도 4에 대응한다. 본 변형례에서는, 1개의 화소(화소(541A))마다 화소 회로(210)가 마련되어 있다. 즉, 화소 회로(210)는, 복수의 화소에서 공유되어 있지 않다. 이 점에서, 본 변형례의 촬상 장치(1)는, 상기 실시의 형태에서 설명한 촬상 장치(1)와 다르다.

[0201] 본 변형례의 촬상 장치(1)는, 화소(541A)와 화소 회로(210)를 서로 다른 기판(제1 기판(100) 및 제2 기판(200))에 마련하는 점에서는, 상기 실시의 형태에서 설명한 촬상 장치(1)와 동일하다. 이 때문에, 본 변형례에 관한 촬상 장치(1)도, 상기 실시의 형태에서 설명한 것과 같은 효과를 얻을 수 있다.

[0202] <8. 변형례 7>

[0203] 도 37은, 상기 실시의 형태에서 설명한 화소 분리부(117)의 평면 구성의 한 변형례를 도시한 것이다. 화소(541A, 541B, 541C, 541D) 각각을 둘러싸는 화소 분리부(117)에, 간극이 마련되어 있어도 좋다. 즉, 화소(541A, 541B, 541C, 541D)의 전둘레가 화소 분리부(117)에 둘러싸여 있지 않아도 좋다. 예를 들면, 화소 분리부(117)의 간극은, 패드부(120, 121) 근방에 마련되어 있다(도 7B 참조).

[0204] 상기 실시의 형태에서는, 화소 분리부(117)가 반도체층(100S)을 관통하는 FTI 구조를 갖는 예(도 6 참조)를 설명했는데, 화소 분리부(117)는 FTI 구조 이외의 구성을 가지고 있어도 좋다. 예를 들면, 화소 분리부(117)는, 반도체층(100S)을 완전하게 관통하도록 마련되어 있지 않아도 좋고, 이른바, DTI(Deep Trench Isolation) 구조를 가지고 있어도 좋다.

[0205] <9. 실시의 형태 2>

[0206] <9. 1 실시의 형태 2에서 해결하고자 하는 과제>

[0207] 그렇지만, 화소(541) 내의 플로팅 디퓨전(FD)과 화소 회로(210) 내의 증폭 트랜지스터(AMP)의 게이트 사이를 FD 배선(FDL)으로서 접속 비아로 접속한다. 미세 화소에서는, FD 배선(FDL)의 접속 비아의 영역 면적이 45% 정도가 된다. 그 결과, 화소 회로(210)의 유효 영역이 작아지기 때문에, 증폭 트랜지스터(AMP)의 배치 면적을 확장할 수 없다.

[0208] 또한, FD 배선(FDL)과 증폭 트랜지스터(AMP)의 게이트 사이의 용량이나, FD 배선(FDL)의 접속 비아와 병주하는 다른 접속 비아, 예를 들면, TG 배선(TGL)이나 VSS 배선(VSS) 사이의 용량이 플로팅 디퓨전(FD)의 용량에 중첩한다. 따라서, FD 용량이 커져서, 전하-전압의 변환 효율이 저하되어 판독 노이즈가 저하될 수 없게 된다.

[0209] <9. 2 실시의 형태 2의 개요>

[0210] 그래서, 촬상 장치에서는, 제1 기판과, 제2 기판과, 배선과, 트렌치를 가진다. 제1 기판은, 포토 다이오드와, 상기 포토 다이오드에서 변환된 전하를 유지하는 플로팅 디퓨전을 갖는 화소를 가진다. 제2 기판은, 상기 화소 내의 상기 플로팅 디퓨전에 유지된 상기 전하에 의거하는 화소 신호를 판독하는 화소 회로를 가지고, 상기 제1 기판에 적층되어 있다. 배선은, 상기 제1 기판과 상기 제2 기판을 적층 방향으로 관통하여, 상기 제1 기판 내의 플로팅 디퓨전과 상기 제2 기판의 상기 화소 회로 내의 증폭 트랜지스터 사이를 전기적으로 접속한다. 트렌치는, 적어도 상기 제2 기판에 형성되어, 상기 배선과 병주하고, 상기 제2 기판 내의 반도체층의 두께 이상의 깊이이다.

[0211] 촬상 장치에서는, 제1 기판 내의 플로팅 디퓨전과 제2 기판의 화소 회로 내의 증폭 트랜지스터 사이를 전기적으로 접속하는 배선과 병주하고, 제2 기판 내의 반도체층의 두께 이상의 깊이에 트렌치를 제2 기판 내에 형성하였다. 그 결과, 배선의 기생 용량을 작게 하여 전하-전압의 변환 효율의 향상을 도모한다.

[0212] <9. 3 실시의 형태 2-1의 구체례>

[0213] <9. 3. 1 실시의 형태 2-1의 구성>

[0214] 도 38은, 실시의 형태 2-1의 촬상 장치(1) 내의 화소 공유 유닛(539)의 구성의 한 예를 도시하는 등가 회로도이다. 촬상 장치(1)는, 제1 기판(100)과, 제2 기판(200)과, 제3 기판(300)을 적층하는 구조이다. 제1 기판(100)은, 광전 변환을 행하는 화소(541)를 가진다. 제2 기판(200)은, 화소(541)로부터 출력된 전하에 의거하는 화소 신호를 판독하는 화소 회로(210A)를 가진다. 제3 기판(300)은, 화소 신호를 검출하는 처리 회로를 가진다. 화소 공유 유닛(539)은, 화소(541)와, 화소 회로(210A)를 가진다. 화소(541)는, 4개의 포토 다이오드(PD)와, 각 포토 다이오드(PD)에서 변환된 전하를 전송하는 4개의 전송 트랜지스터(TR)와, 전송 트랜지스터(TR)에서 전송된 전하를 유지하는 플로팅 디퓨전(FD)을 가진다.

[0215] 화소 회로(210A)는, 예를 들면, 리셋 트랜지스터(RST)와, 증폭 트랜지스터(AMP)와, 선택 트랜지스터(SEL)와, 전원선(VDD)과, 수직 신호선(VSL)(543)을 가진다. 리셋 트랜지스터(RST)는, 플로팅 디퓨전(FD)의 전위를 소정의 전위로 리셋한다. 증폭 트랜지스터(AMP)는, 화소 신호로서, 플로팅 디퓨전(FD)에 유지된 전하의 레벨에 응한 전압의 신호를 생성한다. 선택 트랜지스터(SEL)는, 증폭 트랜지스터(AMP)의 드레인과 수직 신호선(543)의 접속을 제어한다. 제1 기판(100)의 플로팅 디퓨전(FD)은, FD 배선(FDL)으로 제2 기판(200)의 화소 회로(210A) 내의 증폭 트랜지스터(AMP)의 게이트와 전기적으로 접속한다.

[0216] 수직 신호선(543)은, 각 화소 회로(210A)와, 제3 기판(300)에 배치한 처리 회로 내의 열 신호 처리부(550)를 전기적으로 접속한다. 그리고, 열 신호 처리부(550)는, 각 화소 회로(210A)로부터 수직 신호선(543)에 출현한 화소 신호를 검출한다.

[0217] 촬상 장치(1)는, 제1 기판(100)의 화소(541) 내의 플로팅 디퓨전(FD)과 제2 기판(200)의 화소 회로(210A) 내의 증폭 트랜지스터(AMP)의 게이트를 접속하는 FD 배선(FDL)을 가진다. FD 배선(FDL)은, 제1 기판(100)과 제2 기판(200) 사이의 접속 비아로 형성한다. 촬상 장치(1)는, FD 배선(FDL)에 병주하여, 제2 기판(200)으로부터 제1 기판(100)측에 형성된 트렌치(T)를 가진다. 트렌치(T)는, 그 내부에, 예를 들면, 도전성 물질이 매입된 상태이다.

[0218] 제2 기판(200)상의 화소 회로(210A) 내의 증폭 트랜지스터(AMP)의 소스와, 트렌치(T) 내에 매입된 도전성 물질로 이루어지는 실드 배선(SL)을 접속하여 동전위로 한다. FD 배선(FDL)과 실드 배선(SL)의 기생 용량은, (1-(SF gain))배(倍)로 저감함으로써, FD 배선(FDL)의 용량을 작게 하여 전하-전압의 변환 효율의 향상을 도모할 수 있다.

[0219] 도 39는, 실시의 형태 2-1의 제1 기판(100)과 제2 기판(200)의 적층 구조의 한 예를 도시하는 단면 모식도이다. 제1 기판(100) 내의 반도체층(100S)과 제2 기판(200) 사이의 배선층(100T)은, 예를 들면, SiO_2 등으로 구성하고, 배선층(100T)을 적층 방향으로 관통하는 관통 배선을 가진다. 제1 기판(100) 및 제2 기판(200)은, 관통 배선에 의해 서로 전기적으로 접속되어 있다.

[0220] 관통 배선은, 화소(541) 내의 전송 트랜지스터(TR)의 게이트(전송 게이트(TG))와 전기적으로 접속하는 TG 배선(TGL)과, 화소 회로(210A) 내의 증폭 트랜지스터(AMP)의 게이트와 플로팅 디퓨전(FD)의 접속 패드를 접속하는 FD 배선(FDL)을 가진다. 배선층(100T) 내의 TG 배선(TGL)과 FD 배선(FDL) 사이에는 트렌치(T)가 형성되어 있다. 또한, 트렌치(T)의 깊이는, 제2 기판(200)의 Si 기판의 두께 이상, 또한, 제1 기판(100)에 형성된 플로팅 디퓨전(FD)에 영향을 주지 않는 범위로 한다. 트렌치(T) 내에 매입된, 예를 들면, 도프 폴리실리콘(Doped Polysilicon)이나 금속 등의 도전성 재료로 실드 배선(SL)을 형성한다.

[0221] 도 40은, 제1 기판(100)과 제2 기판(200)의 적층 구조의 한 예를 도시하는 모식도이다. 배선층(100T)의 표면(적층면)으로부터 실드 배선(SL)(트렌치(T))을 본 경우, 실드 배선(SL)은, FD 배선(FDL)을 중심으로 원형상으로 배선층(100T)의 적층면상에 형성되어 있다. 즉, FD 배선(FDL)과 병주하는 트렌치(T)는, FD 배선(FDL)과, FD 배선(FDL)에 병주하는 TG 배선(TGL)이 전기적으로 이간한 상태에서, 배선 장치(100T)의 적층면상에서 FD 배선(FDL)이 원 형상으로 둘러싸이도록 당해 적층면에 형성되었다.

[0222] <9. 3. 2 실시의 형태 2-1의 작용·효과>

[0223] 실시의 형태 2-1의 촬상 장치(1)는, 제1 기판(100)과 제2 기판(200) 사이를 관통 접속하는 FD 배선(FDL)에 실드 배선(SL)을 병주시켰다. 또한, 촬상 장치(1)에서는, 제2 기판(200)상의 화소 회로(210A) 내의 증폭 트랜지스터(AMP)의 소스와 실드 배선(SL)을 전기적으로 접속하여 동전위로 한다. 그 결과, FD 배선(FDL)과 실드 배선(SL)의 기생 용량은, (1- (SF gain))배로 저감하기 때문에, FD 배선(FDL)의 용량을 작게 하여 전하-전압의 변환 효율의 향상을 도모할 수 있다. 또한, 1개의 FD 배선(FDL)을 2개의 TG 배선(TGL)에 병주시킨 경우에도, 각 FD 배선(FDL)과 TG 배선(TGL) 사이, FD 배선(FDL)과 다른 FD 배선(FDL) 사이에 실드 배선(SL)을 배치하였다. 그 결과, FD 배선(FDL)의 기생 용량을 작게 함으로써 전하-전압의 변환 효율의 향상을 도모할 수 있다.

[0224] <9. 3. 3 실시의 형태 2-1의 변형례>

[0225] 또한, 배선층(100T)의 표면(적층면)으로부터 실드 배선(SL)을 본 경우에, 실드 배선(SL)은, FD 배선(FDL)을 중심에서 원 형상으로 구성하는 경우를 예시했지만, 이것으로 한정되는 것이 아니고, 적절히 변경 가능하다. 도 41은, 제2 기판(200)의 면상의 트렌치(T1)의 배치 구성의 한 예를 도시하는 모식도, 도 42는, 제2 기판(200)의 면상의 트렌치(T2)의 배치 구성의 한 예를 도시하는 모식도이다. 예를 들면, 배선층(100T)의 표면(적층면)으로부터 실드 배선(SL)을 본 경우에 도 41에 도시하는 평행 평판형상의 트렌치(T1)라도 좋고, 또한, 도 42에 도시하는 사각형 형상의 트렌치(T2)로 해도 좋고, 적절히 변경 가능하다.

[0226] 도 43은, 제2 기판(200)의 면상의 트렌치(T3)의 배치 구성의 한 예를 도시하는 모식도이다. 또한, FD 배선(FDL)과 TG 배선(TGL) 사이에 전기적으로 이간하는 위치에 트렌치(T)를 배치하면 좋으며, 예를 들면, 도 43에 도시하는 FD 배선(FDL)에 대해 FD 배선(FDL)의 폭 길이보다도 큰 트렌치(T3)를 배치해도 좋다. 도 44는, 제2 기판(200)의 면상의 트렌치(T4)의 배치 구성의 한 예를 도시하는 모식도이다. 도 44에 도시하는 FD 배선(FDL)의 대각선상에 TG 배선(TGL)이 배치된 경우에 FD 배선(FDL)의 대각선상에 있는 FD 배선(FDL)과 TG 배선(TGL) 사이에 트렌치(T4)를 배치해도 좋고, 적절히 변경 가능하다.

[0227] 실시의 형태 2-1의 촬상 장치(1)에서는, 도전성 재료를 매입한 트렌치(T)의 실드 배선(SL)을 배선층(100T)에 형성하는 경우를 예시하였다. 그렇지만, 트렌치(T) 내에 도전성 재료를 매입하는 일 없이, 공동의 트렌치(T)를 실드 배선(SL)으로서 배선층(100T)에 형성해도 좋고, 적절히 변경 가능하다.

[0228] 또한, 선택 중인 화소(541)는, 예를 들면, 행방향으로 배치된 하나 내지 복수개의 화소(541) 중, 행 단위로 선택된 화소(541)를 예시하였다. 그렇지만, 비선택 중인 화소(541)는, 선택 중인 화소(541) 이외의 화소(541)라도 좋고, 적절히 변경 가능하다.

[0229] 선택 중인 화소(541)는, 행 단위로 선택된 화소(541)를 예시했지만, 예를 들면, 열방향으로 배치된 하나 내지 복수개의 화소(541) 중, 열 단위로 선택된 화소(541)라도 좋고, 적절히 변경 가능하다.

[0230] 화소(541)는, 예를 들면, 2×2의 합계 4개의 포토 다이오드(PD)를 포함하는 구성으로 했지만, 4개로 한정되는 것이 아니라, 1개 이상이라면, 적절히 변경 가능하다.

[0231] <9. 4 실시의 형태 2-2의 구체례>

[0232] <9. 4. 1 실시의 형태 2-2의 구성>

[0233] 실시의 형태 2-1의 촬상 장치(1)에서는, 1개의 FD 배선(FDL)과 TG 배선(TGL) 사이에 트렌치(T)를 배치한 경우를 예시하였다. 그렇지만, 4개의 FD 배선(FDL)과 TG 배선(TGL) 사이에 트렌치(T)를 배치해도 좋고, 그 실시의 형태에 관해, 실시의 형태 2-2로서 이하에 설명한다. 또한, 실시의 형태 2-1과 동일한 구성에는 동일 부호를 붙임으로써, 그 중복되는 구성 및 동작의 설명에 관해서는 생략한다.

[0234] 도 45는, 실시의 형태 2-2의 제1 기판(100)과 제2 기판(200)과의 적층 구조의 한 예를 도시하는 단면 모식도이다. 배선층(100T)에는, 제1 FD 배선(FDL1)과, 제2 FD 배선(FDL2)과, 제1 TG 배선(TGL1)과, 제2 TG 배선(TGL2)를 가진다.

[0235] 배선층(100T)에는, 제1 트렌치(T51)와, 제2 트렌치(T52)와, 제3 트렌치(T53)를 가진다. 제1 트렌치(T51)는, 제1 TG 배선(TGL1)과 제1 FD 배선(FDL1) 사이에 형성되고, 제1 FD 배선(FDL1)과 제1 TG 배선(TGL1)을 전기적으로 이간한다. 제2 트렌치(T52)는, 제2 TG 배선(TGL2)과 제2 FD 배선(FDL2) 사이에 형성되고, 제2 TG 배선(TGL2)과 제2 FD 배선(FDL2)을 전기적으로 이간한다. 제3 트렌치(T53)는, 제1 FD 배선(FDL1)과 제2 FD 배선(FDL2) 사이에 형성되고, 제1 FD 배선(FDL1)과 제2 FD 배선(FDL2)을 전기적으로 이간한다.

[0236] 도 46A는, 제2 기판(200)의 면상의 트렌치(T5)의 배치 구성의 한 예를 도시하는 모식도이다. 배선층(100T)의 표

면(적층면)으로부터 트렌치(T5)를 본 경우, 도 46A에 도시하는 바와 같이, 트렌치(T5)는, 제1 트렌치(T51)와, 제2 트렌치(T52)와, 제3 트렌치(T53)와, 제4 트렌치(T54)와, 제5 트렌치(T55)를 가진다. 제1 트렌치(T51)는, 제1 FD 배선(FDL1)과 제1 TG 배선(TGL1) 사이를 전기적으로 이간함과 함께, 제3 FD 배선(FDL3)과 제3 TG 배선(TGL3) 사이를 전기적으로 이간한다. 제3 트렌치(T53)는, 제1 FD 배선(FDL1)과 제2 FD 배선(FDL2) 사이를 전기적으로 이간함과 함께, 제3 FD 배선(FDL3)과 제4 FD 배선(FDL4) 사이를 전기적으로 이간한다. 제2 트렌치(T52)는, 제2 FD 배선(FDL2)과 제2 TG 배선(TGL2) 사이를 전기적으로 이간함과 함께, 제4 FD 배선(FDL4)과 제4 TG 배선(TGL4) 사이를 전기적으로 이간한다. 도 47은, 트렌치(T5)의 개략 단면 형상의 한 예를 도시하는 모식도이다. 또한, 트렌치(T5)는, 도 47에 도시하는 바와 같이, 표면(제2 기판(200))측의 구멍 사이즈를 이면(제1 기판(100))측의 구멍 사이즈보다도 크게 해도 좋고, 적절히 변경 가능하다.

[0237] 트렌치(T)의 배치 구성은 적절히 변경 가능한데, 도 46B~도 46H와 같이 해도 좋다. 도 46B는, 제2 기판(200)의 면상의 트렌치(T10)의 배치 구성의 한 예를 도시하는 모식도이다. 도 46B에 도시하는 제1 FD 배선(FDL1)의 각 TG 배선(TGL1~4)과의 대각선상에 L자형상의 트렌치(T10)를 배치해도 좋다. 이 경우, 트렌치(T10)는, 제1 FD 배선(FDL1)과 제1 TG 배선(TGL1) 사이, 제1 FD 배선(FDL1)과 제2 TG 배선(TGL2) 사이, 제1 FD 배선(FDL1)과 제3 TG 배선(TGL3) 사이, 제1 FD 배선(FDL1)과 제4 TG 배선(TGL4) 사이를 전기적으로 이간한다.

[0238] 또한, 도 46C는, 제2 기판(200)의 면상의 트렌치(T11)의 배치 구성의 한 예를 도시하는 모식도이다. 도 46C에 도시하는 바와 같이 각 FD 배선(FDL1~4)을 격자형상으로 트렌치(T11)로 둘러싸도 좋다. FD 배선(FDL)과 인접하는 FD 배선(FDL) 사이, FD 배선(FDL)과 인접하는 TG 배선(TGL) 사이를 전기적으로 이간한다. 또한, 도 46D는, 제2 기판(200)의 면상의 트렌치(T12)의 배치 구성의 한 예를 도시하는 모식도이다. 도 46D에 도시하는 바와 같이 FD 배선(FDL1~4)을 격자형상으로 트렌치(T12)로 둘러싼다. 이때, 트렌치(T12)의 십자형상의 교차부(T12A)의 실드를 생략한 형상으로 한다. 그 결과, FD 배선(FDL)과 인접하는 FD 배선(FDL) 사이, FD 배선(FDL)과 인접하는 TG 배선(TGL) 사이를 전기적으로 이간하는 것은 물론, 트렌치 가공 시의 교차부의 가공 깊이가 깊어지는 사태를 회피할 수 있다.

[0239] 도 46E는, 제2 기판(200)의 면상의 트렌치(T13)의 배치 구성의 한 예를 도시하는 모식도이다. 도 46E에 도시하는 트렌치(T13)는, 십자 트렌치(T131)와, 대각 트렌치(T132)를 가진다. 십자 트렌치(T131)는, 인접하는 FD 배선(FDL) 사이를 전기적으로 이간한다. 대각 트렌치(T132)는, FD 배선(FDL)과 대각선상의 TG 배선(TGL) 사이를 전기적으로 이간한다. 도 46F는, 제2 기판(200)의 면상의 트렌치(T14)의 배치 구성의 한 예를 도시하는 모식도이다. 도 46F에 도시하는 트렌치(T14)는, 십자 트렌치(T141)와, 대각 트렌치(T142)를 가진다. 십자 트렌치(T141)는, 인접하는 FD 배선(FDL) 사이를 전기적으로 이간한다. 대각 트렌치(T142)는, FD 배선(FDL)과 대각선상의 TG 배선(TGL) 사이를 전기적으로 이간한다.

[0240] 도 46G는, 제2 기판(200)의 면상의 트렌치(T15)의 배치 구성의 한 예를 도시하는 모식도이다. 도 46G에 도시하는 트렌치(T15)는, 십자 트렌치(T151)와, 대각 트렌치(T152)를 가진다. 십자 트렌치(T151)는, 인접하는 FD 배선(FDL) 사이를 전기적으로 이간한다. 대각 트렌치(T152)는, FD 배선(FDL)과 대각선상의 TG 배선(TGL) 사이를 전기적으로 이간한다. 이때, 십자 트렌치(T151)의 십자형상의 교차부(T151A)의 실드를 생략한 형상으로 한다. 그 결과, FD 배선(FDL)과 인접하는 FD 배선(FDL) 사이, FD 배선(FDL)과 인접하는 TG 배선(TGL) 사이를 전기적으로 이간하는 것은 물론, 트렌치 가공 시의 교차부(T151A)의 가공 깊이가 깊어지는 사태를 회피할 수 있다.

[0241] 도 46H는, 제2 기판(200)의 면상의 트렌치(T16)의 배치 구성의 한 예를 도시하는 모식도이다. 도 46H에 도시하는 트렌치(T16)는, 십자 트렌치(T161)와, 대각 트렌치(T162)를 가진다. 십자 트렌치(T161)는, 인접하는 FD 배선(FDL) 사이를 전기적으로 이간한다. 대각 트렌치(T162)는, FD 배선(FDL)과 대각선상의 TG 배선(TGL) 사이를 전기적으로 이간한다. 이때, 십자 트렌치(T161)의 십자형상의 교차부(T161A)의 실드를 생략한 형상으로 한다. 그 결과, FD 배선(FDL)과 인접하는 FD 배선(FDL) 사이, FD 배선(FDL)과 인접하는 TG 배선(TGL) 사이를 전기적으로 이간하는 것은 물론, 트렌치 가공 시의 교차부(T161A)의 가공 깊이가 깊어지는 사태를 회피할 수 있다.

[0242] <9. 4. 2 실시의 형태 2-2의 작용 · 효과>

[0243] 4개의 FD 배선(FDL1~FDL4)이 4개의 TG 배선(TGL1~TGL4)과 병주한 경우에도, 각 FD 배선(FDL)과 TG 배선(TGL) 사이, FD 배선(FDL)과 다른 FD 배선(FDL) 사이를 전기적으로 이간하는 트렌치(T5)를 배치하였다. 그 결과, FD 배선(FDL)의 용량을 작게 하여 전하-전압의 변환 효율의 향상을 도모할 수 있다.

[0244] 실시의 형태 2-1의 촬상 장치(1)에서는, 도전성 재료를 매입한 트렌치(T)로 구성하는 실드 배선(SL)을 배선층(100T)에 배치하는 경우를 예시하였다. 그렇지만, 트렌치(T) 내에 매입하는 재료로서 도전성 재료로 한정되는

것이 아니고, 예를 들면, 기체(氣體)라도 좋고, 그 실시의 형태에 관해, 실시의 형태 2-3으로서 이하에 설명한다.

[0245] <9. 5 실시의 형태 2-3의 구체례>

[0246] <9. 5. 1 실시의 형태 2-3의 구성>

[0247] 도 48A는, 실시의 형태 2-3의 촬상 장치(1) 내의 화소 공유 유닛(539)의 구성의 한 예를 도시하는 등가 회로도, 도 49는, 실시의 형태 2-3의 제1 기판(100)과 제2 기판(200)의 적층 구조의 한 예를 도시하는 단면 모식도이다. 촬상 장치(1)는, 제1 기판(100) 내의 반도체층(100S)과 제2 기판(200) 사이의 배선층(100T)을 관통 접속하는 FD 배선(FDL)과, 제2 기판(200)으로부터 제1 기판(100)측에 형성된 FD 배선(FDL)에 병주하는 트렌치(T6)를 가진다.

[0248] 트렌치(T6)는, 예를 들면, Air(1.00054), N2(1.00057), He(1.00052)나 Ar(1.00007) 등의 비유전율(εs)이 낮은 기체를 채워서 봉지함으로써 실드 배선(SL1)을 형성한다. SiO_2의 비유전율(3.9)에 대해, 비유전율이 낮은 Air Gap를 이용함으로써 FD 용량을 작게 하여 전하-전압의 변환 효율의 향상을 도모할 수 있다.

[0249] 실시의 형태 2-3의 촬상 장치(1)에서는, FD 배선(FDL)과 TG 배선(TGL) 사이에 비유전율이 낮은 기체가 채워진 트렌치(T6)를 배치했기 때문에, FD 배선(FDL)의 기생 용량을 작게 하여 전하-전압의 변환 효율의 향상을 도모한다.

[0250] 또한, 트렌치(T6)는, 저유전율 가스로 봉지하는 경우를 예시했는데, 저유전율(Low-k)의 절연막 재료로 채워도 좋고, 적절히 변경 가능하다.

[0251] 또한, 트렌치(T6)의 깊이는, 제2 기판(200) 내의 SiO_2보다도 깊고, 제1 기판(100)상의 플로팅 디퓨전(FD)에 영향을 주지 않는 범위의 깊이로 하는 경우를 예시하였다. 그렇지만, 이것으로 한정되는 것이 아니라, 실드 배선(SL)에 비교하여, 도 49에 도시하는 실드 배선(SL1)의 트렌치(T6)의 깊이로 해도 좋고, 적절히 변경 가능하다. 또한, 배선층(100T)은, 예를 들면, SiO_2를 예시했는데, 예를 들면, SiO_2보다 저유전율(Low-k)의 절연막 재료라도 좋고, 적절히 변경 가능하다.

[0252] <9. 5. 2 실시의 형태 2-3의 작용·효과>

[0253] 실시의 형태 2-3의 촬상 장치(1)에서는, 1개의 FD 배선(FDL)이 2개의 TG 배선(TGL)에 병주한 경우에도, 각 FD 배선(FDL)과 TG 배선(TGL) 사이, FD 배선(FDL)과 다른 FD 배선(FDL) 사이를 전기적으로 이간하는 실드 배선(SL1)을 배치하였다. 그 결과, FD 배선(FDL)의 기생 용량을 작게 함으로써 전하-전압의 변환 효율의 향상을 도모할 수 있다.

[0254] 도 48B는, 실시의 형태 2-3의 촬상 장치 내의 화소 공유 유닛의 구성의 다른 한 예를 도시하는 등가 회로도이다.

[0255] 도 48B의 화소 공유 유닛이 도 48A의 화소 공유 유닛과 다른 점은, 증폭 트랜지스터(AMP)의 백 게이트를 당해 증폭 트랜지스터(AMP)의 소스와 접속한 점이다.

[0256] 이에 의하면, 증폭 트랜지스터(AMP)의 게이트-소스간 전압(Vgs)이 낮아지기 때문에, 수직 신호선(열 판독선)(543)에 나타나는 리셋 레벨의 전위가 높아진다.

[0257] 그런데, 수직 신호선(열 판독선)(543)의 신호 전위 레벨의 하한은, 열 신호 처리부(550)에 포함되는 부하 회로에서 정해진다고 하면, 증폭 트랜지스터(AMP)의 백 게이트와 소스를 접속함에 의해, 수직 신호선(열 판독선)(543)에서 취급 가능한 신호(화소 신호)의 진폭을 크게 취하는 것이 가능해지고, 검출 정밀도의 향상을 도모하는 것이 가능해진다.

[0258] <10. 실시의 형태 3>

[0259] <10. 1 실시의 형태 3에서 해결하고자 하는 과제>

[0260] 예를 들면, 포토 다이오드(PD)의 광전 변환에 의해 얻어진 전하를 Qp, 플로팅 디퓨전(FD)의 FD 용량을 Cfd, 소스 팔로워 회로의 게인을 Gsf라고 한다. 이 경우, 소스 팔로워 출력 전압(Vsf)은, $Vsf=Gsf*Qp/Cfd$로 산출되게 된다. 그래서, 같은 광량으로 큰 출력 전압이 얻어진 쪽이 S/N(Signal/Noise)비가 좋아진다. 그렇지만, FD 용량(Cfd)이 커지면, 소스 팔로워 출력 전압(Vsf)이 작아진다. 그래서, 소스 팔로워 회로의 게인(Gsf)을 높게 하여 소스 팔로워 출력 전압(Vsf)을 크게 할 수 있다. 그렇지만, FD 용량(Cfd)의 기생 용량의 영향은 크고, 기생 용

량의 저하가 요구되어 있다.

[0261] <10. 2 실시의 형태 3의 개요>

[0262] 그래서, 촬상 장치는, 제1 기판과, 제2 기판과, 배선과, 실드 배선을 가진다. 제1 기판은, 포토 다이오드와, 상기 포토 다이오드에서 변환된 전하를 유지하는 플로팅 디퓨전을 갖는 화소를 가진다. 제2 기판은, 상기 화소 내의 상기 플로팅 디퓨전에 유지된 상기 전하에 의거하는 화소 신호를 판독하는 화소 회로를 가지고, 상기 제1 기판에 적층되어 있다. 배선은, 상기 제1 기판 내의 플로팅 디퓨전과 상기 제2 기판의 상기 화소 회로 내의 증폭 트랜지스터 사이를 전기적으로 접속하는, 상기 제1 기판 및 상기 제2 기판에 형성되어 있다. 실드 배선은, 상기 화소 회로의 웰층과 상기 화소 회로 내의 증폭 트랜지스터의 웰층 사이를 전기적으로 분리한 상태에서, 상기 증폭 트랜지스터의 게이트와 당해 증폭 트랜지스터의 소스 사이를 전기적으로 접속하여, 상기 배선과 병주하면서, 당해 배선을 실드한다.

[0263] 촬상 장치에서는, 화소 회로의 웰층과 증폭 트랜지스터의 웰층 사이를 전기적으로 분리한 상태에서, 증폭 트랜지스터의 게이트와 증폭 트랜지스터의 소스 사이를 전기적으로 접속하는 실드 배선으로 배선을 병주하여 실드한다. 즉, 증폭 트랜지스터의 소스와 증폭 트랜지스터의 웰층을 접속하여 동전위로 함으로써 기판 바이어스 효과를 없애고, 플로팅 디퓨전 진폭과 증폭 트랜지스터의 소스 진폭의 게인을 하나로 한다. 또한, 증폭 트랜지스터의 소스 전위를 인출하는 실드 배선을 배선의 주위에 배치함으로써, 플로팅 디퓨전에 커플링하는 배선이 플로팅 디퓨전과 동진폭으로 움직이도록 한다. 그 결과, 배선 커플링 용량이 저하되기 때문에, 플로팅 디퓨전의 용량을 작게 하여 전하-전압의 변환 효율이 향상한다.

[0264] 즉, 촬상 장치에서는, 배선의 기생 저항에 의한 플로팅 디퓨전의 용량을 작게 함으로써 전하-전압의 변환 효율의 향상을 도모한다. 또한, 실드 배선으로 인접 배선과의 사이의 크로스토크를 억제할 수 있다.

[0265] <10. 3 실시의 형태 3-1의 구체례>

[0266] <10. 3. 1 실시의 형태 3-1의 구성>

[0267] 도 50A는, 실시의 형태 3-1의 제2 기판(200)의 복수의 화소 회로(210B)의 구성의 한 예를 도시하는 등가 회로도이다. 제2 기판(200)은, 전 화소 공통의 공통 p웰층(250)과, 화소(541)마다의 증폭 트랜지스터(AMP)의 독립 p웰층(251)으로 구성하고, 공통 p웰층(250)과 독립 p웰층(251) 사이를 풀 트렌치(FTI)(T7)로 전기적으로 분리하고 있다.

[0268] 공통 p웰층(250)은, 각 화소 회로(210B) 내의 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)가 형성되어 있다. 공통 p웰층(250)은, GND 전위에 접속되어 있기 때문에, 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)의 백 게이트가 GND 전위에 고정되어 있는 것으로 한다.

[0269] 이에 대해, 독립 p웰층(251)은, 화소 회로(210B) 내의 증폭 트랜지스터(AMP)가 형성되어 있다. 독립 p웰층(251)은, 증폭 트랜지스터(AMP)의 소스에 접속되어 있기 때문에, 독립 p웰층(251)의 전위는, 증폭 트랜지스터(AMP)의 소스 전위에 추종하여 변화한다. 즉, 증폭 트랜지스터(AMP)의 백 게이트와 소스 전위가 동전위가 되기 때문에, 소스 팔로워 회로의 게인이 1이 된다.

[0270] 예를 들면, 증폭 트랜지스터(AMP)의 백 게이트가 GND 전위에 고정되어 있는 경우, 증폭 트랜지스터(AMP)의 소스 전위의 변동에 응하여 기판 바이어스 효과가 발생하고, 소스 팔로워 회로의 게인은 0.85 부근의 값이 된다. 그 결과, 독립 p웰층(251)은, 증폭 트랜지스터(AMP)의 소스 전위와 추종하기 때문에, 소스 팔로워 회로의 게인이 17% 업함으로써 소스 팔로워 출력 전압(Vsf)의 17% 업으로 이어진다.

[0271] 그런데, 수직 신호선(열 판독선)(543)에는, 각각 열 신호 처리부(550)가 접속되어 있고, 수직 신호선(열 판독선)(543)을 통하여 화소 신호가 판독되도록 되어 있다.

[0272] 여기서, 열 신호 처리부(550)의 구성에 관해 설명한다.

[0273] 도 50B는, 제1 양태의 열 신호 처리부의 개요 구성 블록도이다.

[0274] 열 신호 처리부(550)는, 예를 들면, 정전압원으로서 구성되는 기준 신호 발생부(551)와, 기준 신호 발생부(551)로부터 입력되는 기준 신호에 의거하여 AD 변환을 행하는 AD 변환기(552)와, 전류원으로서 구성되는 부하 회로(LD)를 구비하고 있고, 수직 신호선(열 판독 선)(543)의 전압에 응한 화소 데이터로서의 AD 변환 출력(ADCOUT)을 출력하도록 되어 있다.

[0275] 상기 구성에 의하면, 판독된 화소 신호를 디지털 데이터로 변환하여 출력할 수 있다.

[0276] 도 50C는, 제2 양태의 열 신호 처리부의 개요 구성 블록도이다.

[0277] 제2 양태의 열 신호 처리부(550)는, 싱글 슬로프 ADC를 이용하여 구성되어 있다.

[0278] 열 신호 처리부(550)는, 예를 들면, RAMP 파형을 생성하여 출력하는 RAMP 발생 회로(553)와, 수직 신호선(열 판독선)(543)을 통하여 판독된 화소 신호의 전압과 RAMP 파형의 전압을 비교하여 비교 결과 신호를 출력하는 비교기(554)와, 비교기(554)의 비교 결과 신호의 레벨이, 예를 들면, “H"레벨인 경우에 카운트업을 행하는 카운터(555)와, 카운터(555)의 카운트 값을 소정 시간마다 취입하여 수직 신호선(열 판독선)(543)의 전압에 응한 화소 데이터로서의 AD 변환 출력(ADCOUT)을 출력하는 래치(556)를 구비하고 있다.

[0279] 상기 구성에 의해서도, 판독된 화소 신호를 디지털 데이터로 변환하여 출력할 수 있다.

[0280] 여기서, 상술한 비교기(554)의 회로 구성례에 관해 설명한다.

[0281] 도 50D는, 비교기의 제1 구성례의 설명도이다.

[0282] 비교기(554)는, 도 50D에 도시하는 바와 같이, P형의 MOS(PMOS) 트랜지스터(PT11, PT12), N형의 MOS(NMOS) 트랜지스터(NT11, NT12), 캐패시터(C11, C12) 및 스위치(SW11, SW12)를 구비하고 있다.

[0283] 상기 구성에서, PMOS 트랜지스터(PT11)의 소스 및 PMOS 트랜지스터(PT12)의 소스는, 고전위측 전원(VDD)에 접속되어 있다.

[0284] PMOS 트랜지스터(PT11)의 드레인은, NMOS 트랜지스터(NT11)의 드레인에 접속되어 있다.

[0285] 또한, PMOS 트랜지스터(PT11)의 드레인과 게이트가 접속되고, 그 접속점이 PMOS 트랜지스터(12)의 게이트에 접속되어 있다.

[0286] PMOS 트랜지스터(PT12)의 드레인은, NMOS 트랜지스터(NT12)의 드레인에 접속되고, 그 접속점이 출력 단자(OUT1)로 되어 있다.

[0287] NMOS 트랜지스터(NT11)와 NMOS 트랜지스터(NT12)의 소스끼리가 접속되고, 그 접속점이 NMOS 트랜지스터(NT13)의 드레인에 접속되어 있다.

[0288] 또한 NMOS 트랜지스터(NT13)의 드레인은, 저전위측 전원(GND)에 접속되어 있다.

[0289] 또한, 캐패시터(C11)는, NMOS 트랜지스터(NT11)의 게이트가 일방의 단자에 접속되고, 타방의 단자가 RAMP 신호가 입력되는 입력 단자로 되어 있다.

[0290] 또한 NMOS 트랜지스터(NT12)의 게이트가 캐패시터(C12)의 일방의 단자에 접속되고, 타방의 단자가, 화소 신호(VSL)가 입력되는 입력 단자로 되어 있다.

[0291] 이들의 결과, 비교기(554)는, PMOS 트랜지스터(PT11, PT12)에 의해 커런트 미러 회로가 구성되고, NMOS 트랜지스터(NT11, NT12)에 의해 NMOS 트랜지스터(NT13)를 전류원으로 하는 차동 비교 회로로서 동작하게 된다.

[0292] 도 50E는, 비교기의 제2 구성례의 설명도이다.

[0293] 비교기(554)는, 도 50E에 도시하는 바와 같이, PMOS 트랜지스터(PT21~PT23), NMOS 트랜지스터(NT21, NT22), 캐패시터(C21~C23) 및 스위치(SW21, SW22)를 구비하고 있다.

[0294] 상기 구성에서, NMOS 트랜지스터(NT21)의 소스 및 NMOS 트랜지스터(NT22)의 소스는, 저전위측 전원(GND)에 접속되어 있다.

[0295] NMOS 트랜지스터(NT22)의 드레인은, NMOS 트랜지스터(NT22)의 게이트 및 PMOS 트랜지스터(PT22)의 드레인에 접속되어 있다.

[0296] NMOS 트랜지스터(NT22)의 드레인은, PMOS 트랜지스터(PT23)의 드레인 및 출력 단자(OUT1)에 접속되어 있다.

[0297] PMOS 트랜지스터(PT22)의 소스는, PMOS 트랜지스터(PT23)의 소스 및 PMOS 트랜지스터(PT21)의 드레인에 접속되어 있다. PMOS 트랜지스터(PT21)의 소스는 고전위측 전원(VDD)에 접속되어 있다.

[0298] 그리고, NMOS 트랜지스터(NT21) 및 NMOS 트랜지스터(NT22)에 의해 커런트 미러 회로가 구성되어 있다.

[0299] 또한 캐패시터(C21)의 일방의 단자에는, PMOS 트랜지스터(PT22)의 게이트가 접속되고, 타방의 단자가 화소 신호

(VSL)가 입력되는 입력 단자로 되어 있다.

[0300] 또한, 캐패시터(C22)의 일방의 단자에는, PMOS 트랜지스터(PT22)의 게이트가 접속되고, 타방의 단자가 RAMP 신호가 입력되는 입력 단자로 되어 있다.

[0301] 그리고, 이들 캐패시터(C21 및 C22)는, 입력 용량으로서 기능하고 있다.

[0302] 이들의 결과, PMOS 트랜지스터(PT21~PT23)에 의해, 차동 비교 회로가 구성되고, 회로 전체로서 비교기로서 기능하고 있다.

[0303] 도 50F는, 비교기의 제3 구성례의 설명도이다.

[0304] 비교기(554)는, 도 50F에 도시하는 바와 같이, PMOS 트랜지스터(PT31), NMOS 트랜지스터(NT31, NT32), 캐패시터(C31, C32) 및 스위치(SW31)를 구비하고 있다.

[0305] 상기 구성에서, NMOS 트랜지스터(NT31)의 드레인은, 고전위측 전원(VDD)에 접속되고, 소스는, PMOS 트랜지스터(PT31)의 소스에 접속되어 있다.

[0306] PMOS 트랜지스터(PT31)의 드레인은, NMOS 트랜지스터(PT32)의 드레인 및 출력 단자(OUT1)에 접속되어 있다.

[0307] NMOS 트랜지스터(PT32)의 소스는, 저전위측 전원(GND)에 접속되어 있다.

[0308] 또한 PMOS 트랜지스터(PT31)의 게이트-드레인 단자 사이에는, 스위치(SW31)가 접속되어 있다.

[0309] 또한, 캐패시터(C31)의 일방의 단자에는, PMOS 트랜지스터(PT31)의 게이트가 접속되고, 타방의 단자가 화소 신호(VSL)가 입력되는 입력 단자로 되어 있다.

[0310] 또한, 캐패시터(C32)의 일방의 단자에는, PMOS 트랜지스터(PT31)의 게이트가 접속되고, 타방의 단자가 RAMP 신호가 입력되는 입력 단자로 되어 있다.

[0311] 그리고, 이들 캐패시터(C31 및 C32)는, 입력 용량으로서 기능하고 있다.

[0312] 이들의 결과, PMOS 트랜지스터(PT31) 및 NMOS 트랜지스터(NT31, NT32)의 분압비에 의해, 비교 회로가 구성되고, 회로 전체로서 비교기로서 기능하고 있다.

[0313] 다음으로 제3 양태의 열 신호 처리부에 관해 설명한다.

[0314] 도 50G는, 제3 양태의 열 신호 처리부의 개요 구성 블록도이다.

[0315] 본 제3 양태의 열 신호 처리부(550)는, 예를 들면, RAMP 파형을 생성하여 출력하는 RAMP 발생 회로(557)와, 수직 신호선(열 판독선)(543)을 통하여 판독된 화소 신호의 전압과 RAMP 파형의 전압을 비교하여 비교 결과 신호를 출력하는 비교기(558)와, 비교기(558)의 비교 결과 신호의 레벨이, 예를 들면, “H"레벨인 경우에 카운트업을 행하는 카운터(559)와, 카운터(559)의 카운트 값을 소정 시간마다 취입하여 수직 신호선(열 판독선)(543)의 전압에 응한 화소 데이터로서의 AD 변환 출력(ADCOUT)을 출력하는 래치(560)를 구비하고 있다.

[0316] 본 제3 양태의 열 신호 처리부(550)에서는, 부하 회로(LD)에 기인하여 발생하는 전류가, 비교기(558)를 통하여 수직 신호선(열 판독선)(543)에 접속되어 있고, 부하 회로(LD)를 흐르는 전류에 의해 화소를 구성하고 있는 증폭 트랜지스터(AMP) 및 비교기(558)에 동시에 바이어스 전류가 주어지는 구성을 취하고 있기 때문에, 소비 전류의 삭감을 도모할 수 있다.

[0317] 도 50H는, 제3 양태의 비교기의 구성례의 설명도이다.

[0318] 비교기(558)는, 도 50H에 도시하는 바와 같이, PMOS 트랜지스터(PT41), 캐패시터(C41), 스위치(SW41) 및 부하 회로(LD)를 구비하고 있다.

[0319] 상기 구성에서, PMOS 트랜지스터(PT41)의 소스는, 화소 신호(VSL)가 입력되는 입력 단자가 되고, 드레인은, 부하 회로(LD) 및 출력 단자(OUT1)에 접속되어 있다.

[0320] 또한 PMOS 트랜지스터(PT41)의 게이트-드레인 단자 사이에는, 스위치(SW41)가 접속되어 있다.

[0321] 캐패시터(C41)의 일방의 단자는, PMOS 트랜지스터(PT41)의 게이트에 접속되고, 타방의 단자는, RAMP 신호가 입력되는 입력 단자로 되어 있다.

[0322] 그리고, 캐패시터(C41)는, 입력 용량으로서 기능하고 있다.

[0323] 이들의 결과, PMOS 트랜지스터(PT41)의 게이트-소스간 전압에 응한 출력 신호를 출력하는 비교 회로가 구성되고, 회로 전체로서 비교기로서 기능하게 된다.

[0324] 다음으로 제4 양태의 열 신호 처리부에 관해 설명한다.

[0325] 도 50I는, 제4 양태의 열 신호 처리부의 개요 구성 블록도이다.

[0326] 본 제4 양태의 열 신호 처리부(550)는, 부하 회로(LD)와, 부하 회로(LD)에 기인하여 발생하는 전류를 수직 신호선(열 판독선)(543)에 접속하는 전치(前置) 회로(561)와, 예를 들면, 정전압원으로서 구성되는 기준 신호 발생부(562)와, 기준 신호 발생부(562)로부터 입력되는 기준 신호에 의거하여 AD 변환을 행하는 AD 변환기(563)를 구비하고 있다.

[0327] 여기서, 전치 회로(561)의 구성례에 관해 설명한다.

[0328] 도 50J는, 전치 회로의 구성례의 설명도이다.

[0329] 전치 회로(561)는, 도 50J에 도시하는 바와 같이, PMOS 트랜지스터(PT51), 캐패시터(C51, C52) 및 부하 회로(LD)를 구비하고 있다.

[0330] 상기 구성에서, PMOS 트랜지스터(PT51)의 소스는, 화소 신호(VSL)가 입력되는 입력 단자가 되고, 드레인은, 부하 회로(LD) 및 출력 단자(OUT1)에 접속되어 있다.

[0331] 또한 PMOS 트랜지스터(PT41)의 게이트-드레인 단자 사이에는, 캐패시터(C52)가 접속되어 있다. 이 캐패시터(C52)는 귀환 용량으로서 기능하고 있다.

[0332] 또한, 캐패시터(C51)는, 기준 용량으로서 기능하고, 캐패시터(C51)의 일방의 단자는, PMOS 트랜지스터(PT41)의 게이트에 접속되고, 타방의 단자는, 저전위측 전원(GND)에 접속되어 있다.

[0333] 이 전치 회로(561)는, 전류 리유즈 칼럼 앰프(CRCA: Current Reuse Column Amp)로서 구성되어 있다.

[0334] 상기 구성에 의하면, PMOS 트랜지스터(PT51)의 소스에 입력되는 화소 신호(VSL)에 응하여, PMOS 트랜지스터(PT51)의 게이트-소스간 전압이 변동하고, PMOS 트랜지스터(PT51)의 드레인 전류가 변화한다. 이 드레인 전류에 응한 출력 전압(Vout)이 PMOS 트랜지스터(PT51)의 드레인을 통하여, 출력 단자(OUT1)로부터 출력된다.

[0335] 이상의 설명과 같이, 전치 회로(561)는, 실효적으로 화소 신호(VSL)에 응한 출력 신호를 출력하는 비교 회로로서 기능하고, 회로 전체로서 증폭기로서 기능하게 된다.

[0336] 도 51은, 실시의 형태 3-1의 제1 기판(100)과 제2 기판(200)의 적층 구조의 한 예를 도시하는 단면 모식도이다. 제1 기판(100)은, 포토 다이오드(PD)와, 전송 트랜지스터(TR)와, 플로팅 디퓨전(FD)을 가진다. 제2 기판(200)상의 화소 회로(210B)는, 리셋 트랜지스터(RST)와, 증폭 트랜지스터(AMP)와, 선택 트랜지스터(SEL)와, FD 배선(FDL)을 가진다. 제1 기판(100)상의 복수장의 층(M1～M3)을 포함하는 배선층(100T)과, 제2 기판(200)상의 복수장(MP～M1)의 층을 포함하는 배선층(200T) 사이를 Cupper-Cupper 접합(CC)으로 접속한다.

[0337] 배선층(100T, 200T)은, 제1 기판(100)으로부터 제2 기판(200)까지 관통하고, 제1 기판(100)상의 화소(541)마다의 플로팅 디퓨전(FD)과 제2 기판(200)상의 화소 회로(210B) 내의 증폭 트랜지스터(AMP)를 접속하는 FD 배선(FDL)을 배치하고 있다.

[0338] 제2 기판(200)상의 독립 p웰층(251)의 화소(541)마다의 증폭 트랜지스터(AMP)는, 풀 트렌치(T7)로 공통 p웰층(250)과 전기적으로 분리하고 있다. 증폭 트랜지스터(AMP)의 게이트는, FD 배선(FDL)과 접속하고, 증폭 트랜지스터(AMP)의 드레인은 독립 p웰층(251)과 접속하고, 증폭 트랜지스터(AMP)의 소스는 선택 트랜지스터(SEL)의 드레인과 접속하게 된다. 또한, 증폭 트랜지스터(AMP)의 소스는, FD 배선(FDL)과 병주하여 배선층(100T) 및 배선층(200T) 내의 각 층과 접속하는 실드 배선(SL2)과 전기적으로 접속한다.

[0339] 실드 배선(SL2)은, 증폭 트랜지스터(AMP)의 소스 전위(=증폭 트랜지스터(AMP)의 백 게이트 전위)의 배선이다. 실드 배선(SL2)은, FD 배선(FDL)을 덮도록 배치되어 있다. 실드 배선(SL2)은, 플로팅 디퓨전(FD)과 증폭 트랜지스터(AMP)의 소스의 커플링 용량이 크고, 또한, 플로팅 디퓨전(FD)과 플로팅 디퓨전(FD) 이외의 배선의 커플링 용량이 극력 작아지도록 배치한다. 실드 배선(SL2)은, 제1 기판(100)의 배선층(100T)과 제2 기판(200)의 배선층(200T) 사이의 접합부(CC)를 통하여 배선층(200T)으로부터 배선층(100T)까지 연신하고, FD 배선(FDL)을 덮도록 실드 배치되어 있다.

[0340] 독립 p웰층(251)은, 증폭 트랜지스터(AMP)의 소스에 접속되어 있기 때문에, 독립 p웰층(251)의 전위는, 증폭 트랜지스터(AMP)의 소스 전위에 추종하여 변화한다. 즉, 증폭 트랜지스터(AMP)의 백 게이트와 소스 전위가 동전위가 되기 때문에, 소스 팔로워 회로의 게인이 1이 된다. 증폭 트랜지스터(AMP)의 게이트 전위 진폭과 소스 전위 진폭이 동등해진다. 즉, FD 배선(FDL)의 플로팅 디퓨전(FD) 전위의 변화량에 추종하여 실드 배선(SL2)의 전위도 변화한다. 따라서, FD 배선(FDL)과 실드 배선(SL2) 사이에서 전하의 이동은 발생하지 않고, 양자간의 용량치는 저하된다. 그 결과, FD 배선(FDL)과 실드 배선(SL2)의 커플링이 커도, 실제의 판독 동작 시의 플로팅 디퓨전(FD)의 용량으로서는 무시할 수 있다. 그리고, FD 배선(FDL)과 다른 배선의 커플링이 극력 작아지도록 배치했기 때문에, 플로팅 디퓨전(FD)의 용량은 작은 값이 된다. 즉 플로팅 디퓨전(FD) 용량의 기생 용량이 작아지기 때문에, 소스 팔로워 출력 전압(Vsf)을 크게 할 수 있다.

[0341] 또한, 인접하는 화소(541)마다의 FD 배선(FDL) 사이에 실드 배선(SL2)이 배치되었기 때문에, 실드 배선(SL2)으로 각 FD 배선(FDL)을 실드할 수 있다. 그 결과, 인접하는 FD 배선(FDL) 사이의 크로스토크의 발생을 억제할 수 있다.

[0342] 이 노드의 전위로 FD 배선(FDL)의 주위를 실드하면, 플로팅 디퓨전(FD)의 전위와 동(同)진폭으로 추종하기 때문에, 배선간 용량이 제로로 보이기 때문에, FD 용량을 저감할 수 있다.

[0343] 화소(541)마다의 증폭 트랜지스터(AMP)의 독립 p웰층(251)을 풀 트렌치(T7)로 분리한 상태에서, 증폭 트랜지스터(AMP)의 소스와 독립 p웰층(251)을 접속하여 동전위로 하였다. 그 결과, 기판 바이어스 효과를 없애고, 플로팅 디퓨전(FD) 전위의 진폭과 증폭 트랜지스터(AMP)의 소스 전위 진폭의 게인을 1로 한다.

[0344] 증폭 트랜지스터(AMP)의 소스 전위를 인출한 실드 배선(SL2)으로 FD 배선(FDL)의 주위를 덮기 위해, 플로팅 디퓨전(FD)에 커플링하는 배선이 플로팅 디퓨전(FD)과 동진폭으로 움직이도록 한다. 그 결과, 배선 커플링 용량이 제로로 보이기 때문에, 플로팅 디퓨전(FD) 용량을 작게 하여 전하-전압의 변환 효율의 향상을 도모할 수 있다.

[0345] 도 52는, 화소 회로(210B)의 평면 구성의 한 예를 도시하는 모식도이다. 화소 회로(210B)는, 공통 p웰층(250)과 독립 p웰층(251)을 풀 트렌치(T7)로 전기적으로 분리한 상태에서, 공통 p웰층(250)에 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)를 배치하고, 독립 p웰층(251)에 증폭 트랜지스터(AMP)를 배치한다. 또한, 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)의 공통 p웰층(250)은 GND 전위로 고정되어 있다.

[0346] 도 53은, 도 52에 도시한 화소 회로(210B)의 표면에 FD 배선(FDL) 및 실드 배선(SL2)을 겹친 평면 구성의 한 예를 도시하는 모식도이다. FD 배선(FDL)은, 화소(541) 내의 플로팅 디퓨전(FD)과, 증폭 트랜지스터(AMP)의 게이트와, 리셋 트랜지스터(RST)의 소스를 전기적으로 접속한다. 또한, 실드 배선(SL2)은, 증폭 트랜지스터(AMP)의 소스와 선택 트랜지스터(SEL)의 드레인을 전기적으로 접속함과 함께, 독립 p웰층(251)과 증폭 트랜지스터(AMP)의 소스를 전기적으로 접속한다. 증폭 트랜지스터(AMP)의 소스 전위에 전기적으로 접속하는 실드 배선(SL2)은, FD 배선(FDL)의 주위를 덮도록 배치되고, 양자의 커플링이 커지도록 레이아웃 되어 있다.

[0347] <10. 3. 2 실시의 형태 3-1의 작용·효과>

[0348] 촬상 장치(1)에서는, 공통 p웰층(250)과 증폭 트랜지스터(AMP)의 독립 p웰층(251) 사이를 전기적으로 분리하고, 증폭 트랜지스터(AMP)의 게이트와 증폭 트랜지스터(AMP)의 소스 사이를 접속하는 실드 배선(SL2)으로 FD 배선(FDL)을 실드한다. 즉, 증폭 트랜지스터(AMP)의 소스와 증폭 트랜지스터(AMP)의 독립 p웰층(251)을 접속하여 동전위로 함으로써 기판 바이어스 효과를 없애고, 플로팅 디퓨전(FD) 진폭과 증폭 트랜지스터(AMP)의 소스 진폭의 게인을 1로 한다. 또한, 증폭 트랜지스터(AMP)의 소스 전위를 인출하는 실드 배선(SL2)을 FD 배선(FDL)의 주위에 배치함으로써, 플로팅 디퓨전(FD)에 커플링하는 배선이 플로팅 디퓨전(FD)과 동진폭으로 움직이도록 한다. 그 결과, 배선 커플링 용량이 저하되기 때문에, FD 용량을 작게 하여 전하-전압의 변환 효율이 향상한다.

[0349] 즉, 촬상 장치(1)에서는, FD 배선(FDL)의 기생 저항에 의한 FD 용량의 용량을 작게 함으로써 전하-전압의 변환 효율의 향상을 도모한다. 또한, 실드 배선(SL2)으로 인접 플로팅 디퓨전(FD) 사이의 크로스토크를 억제할 수 있다.

[0350] 또한, 실시의 형태 3-1에서는, 증폭 트랜지스터(AMP)의 p웰층을 개별적으로 분리하기 위한 구조로서, 풀 트렌치 분리를 이용한 예를 나타냈지만, 이것으로 한하지 않고, p웰층을 개별 분리할 수 있다면 다른 수단이라도 상관없다.

[0351] 실드 배선(SL2)은, 제2 기판(200) 내의 증폭 트랜지스터(AMP)와 제1 기판(100) 내의 플로팅 디퓨전(FD) 사이를 접속하는 FD 배선(FDL) 중, 제2 기판(200) 및 제1 기판(100)을 통과하는 FD 배선(FDL)의 부분을 실드하였다. FD

배선(FDL) 중, 제1 기판(100)의 배선층(100T) 및 제2 기판(200)의 배선층(200T)을 통과하는 FD 배선(FDL)의 부분을 실드하였다. 그렇지만, 실드 배선(SL2)은, FD 배선(FDL) 중, 제2 기판(200)의 배선층(200T)을 통과하는 FDL 배선(FDL)의 부분을 실드해도 좋고, 그 실시의 형태에 관해, 실시의 형태 3-2로서 이하에 설명한다.

[0352] <10. 4 실시의 형태 3-2의 구체례>

[0353] <10. 4. 1 실시의 형태 3-2의 구성>

[0354] 도 54는, 실시의 형태 3-2의 제1 기판(100)과 제2 기판(200)의 적층 구조의 한 예를 도시하는 단면 모식도이다. 실시의 형태 3-2에서는, 예를 들면, 화소 사이즈가 축소된 경우, 배선층(100T)과 배선층(200T) 사이의 접합부(CC)의 배치수에 제약이 생긴 경우의 예이다. 배선층(100T) 및 배선층(200T)은, 제1 기판(100)측으로부터 제2 기판(200)에 관통하는 FD 배선(FDL)을 가진다. FD 배선(FDL)은, 제1 기판(100)의 플로팅 디퓨전(FD)과, 제2 기판(200)상의 화소 회로(210) 내의 증폭 트랜지스터(AMP)의 게이트를 전기적으로 접속한다. 실드 배선(SL2)은, FD 배선(FDL) 중, 제2 기판(200) 내의 배선층(200T)을 통과하는 FDL 배선(FDL)의 부분을 실드한다.

[0355] <10. 4. 2 실시의 형태 3-2의 작용·효과>

[0356] 화소(541) 사이즈의 축소로 접합부(CC)의 배치수에 제약이 생긴 경우, 실드 배선(SL2)은, 제2 기판(200)측의 배선층(200T)에 있는 FD 배선(FDL)만의 실드로 멈춘다. 예를 들면, 1화소에 1개밖에 접합부(CC)를 배치할 수 없는 경우, FD 배선(FDL)은 배선층(100T) 및 배선층(200T)을 관통시켜서 접속할 수 있는데, 증폭 트랜지스터(AMP)의 소스 전위는, 제1 기판(100)측의 배선층(100T)까지 연신시키는 것은 불가능해진다. 이 경우, 제2 기판(200) 내의 배선층(200T)만으로, FD 배선(FDL)을 덮도록 실드 배선(SL2)을 배치한다. 그 결과, 제1 기판(100)측에서 배선층(100T)의 플로팅 디퓨전(FD) 용량의 저감의 효과는 얻어지지 않고, 실시의 형태 3-1에 비하면, FD 용량이 조금 커져 버린다. 그렇지만, 제2 기판(200)측의 배선층(200T)에서의 FD 용량의 저감 효과는 얻을 수 있다. 화소 축소에도 대응할 수 있다.

[0357] <10. 5 실시의 형태 3-3의 구체례>

[0358] <10. 5. 1 실시의 형태 3-3의 구성>

[0359] 도 55는, 실시의 형태 3-3의 제2 기판(200)의 복수의 화소 회로(210C 및 210D)의 구성의 한 예를 도시하는 등가 회로도이다. 화소 회로(210C)는, 열방향으로 인접하는 복수의 화소 회로(541)의 증폭 트랜지스터(AMP)군을 배치하는 독립 p웰층(251A)과, 열방향으로 인접하는 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)군을 배치하는 공통 p웰층(250)을 풀 트렌치(T8)로 전기적으로 분리한다. 또한, 화소 회로(210D)는, 화소 회로(210C)와 다른 행이다. 그리고, 화소 회로(210D)는, 열방향으로 인접하는 복수의 화소의 증폭 트랜지스터(AMP)군을 배치하는 독립 p웰층(251A)과, 열방향으로 인접하는 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)군을 배치하는 공통 p웰층(250)을 풀 트렌치(T8)로 전기적으로 분리한다.

[0360] 동시에 판독하는 증폭 트랜지스터(AMP)는 행방향으로 인접하는 증폭 트랜지스터(AMP)이다. 따라서, 화소(541)를 행 단위로 순차적으로 판독하는 경우, 증폭 트랜지스터(AMP)가 화소 신호를 판독하고 있는 동안, 동시에, 열방향으로 인접하는 증폭 트랜지스터(AMP)의 화소 신호를 판독하는 일은 없다. 따라서, 행방향으로 인접하는 증폭 트랜지스터(AMP)의 독립 p웰층(251A)은 분리한 상태에서, 열방향으로 인접하는 증폭 트랜지스터(AMP)의 독립 p웰층(251A)을 공통화한다. 즉, 열방향으로 인접하는 증폭 트랜지스터(AMP)군의 웰층 전위는 공통, 다음 행의 열방향으로 인접하는 증폭 트랜지스터(AMP)군의 웰층 전위도 공통으로 된다.

[0361] 따라서, 화소 회로(210C1)의 증폭 트랜지스터(AMP)가 화소 신호를 판독하고 있는 동안은, 이 열의 화소 회로(210C2 및 210C3)의 증폭 트랜지스터(AMP)군의 웰층 전위가 화소 회로(210C1)의 증폭 트랜지스터(AMP)의 소스 전위와 동전위가 된다. 또한, 화소 회로(210C2 및 210C3)의 증폭 트랜지스터(AMP)의 웰층 전위도 화소 회로(210C1)의 증폭 트랜지스터(AMP)의 소스 전위와 동전위가 된다. 그렇지만, 열방향으로 인접하는 다른 화소 회로(210C2 및 210C3)의 증폭 트랜지스터(AMP)는, 비판독 기간이 되기 때문에, 선택 트랜지스터(SEL)가 오프되어 있고, 증폭 회로로서 동작하지 않기 때문에, 특히 영향을 받는 일은 없다.

[0362] 화소(541)를 행 단위로 순차적으로 판독하는 경우, 예를 들면, 화소 회로(210C1)의 증폭 트랜지스터(AMP)와 동시에 판독되는 것은, 행방향으로 인접하는 화소 회로(210D1)의 증폭 트랜지스터(AMP)라고 말할 수 있다. 따라서, 화소 신호량에 의해 화소 회로(210C1)의 증폭 트랜지스터(AMP)의 웰층 전위와, 행방향으로 인접하는 화소 회로(210D1)의 증폭 트랜지스터(AMP)의 웰층 전위와는 다른 전위가 되기 때문에, 양자의 웰층은 분리할 필요가 있다. 즉, 동시에 판독되는 화소(541)끼리의 웰층은 분리할 필요가 있는데, 동시에 판독되는 일이 없는 화소

(541)끼리의 웰층은 공통으로 해 놓아도 문제 없다.

[0363] <10. 5. 2 실시의 형태 3-3의 작용·효과>

[0364] 따라서, 화소(541)의 축소화 등에 의해 1화소씩 독립으로 p웰층을 분리하는 것이 불가능한 경우에도, 행방향으로만 분리함으로써, 실시례 2-2와 같은 효과를 얻을 수 있다.

[0365] <10. 6 실시의 형태 3-4의 구체례>

[0366] <10. 6. 1 실시의 형태 3-4의 구성>

[0367] 실시의 형태 3-4의 촬상 장치는, 예를 들면, 글로벌 셔터용으로 전하 유지부를 구비한 화소의 촬상 장치이다. 글로벌 셔터 방식이란, 기본적으로는 전 화소의 노광을 동시에 시작하고, 전 화소의 노광을 동시에 종료하는 글로벌 노광을 행하는 방식이다. 여기서, 전 화소란, 화상에 나타나는 부분의 화소의 전부라는 것이고, 더미 화소 등은 제외된다. 또한, 시간차나 화상의 왜곡이 문제가 되지 않을 정도로 충분히 작으면, 전 화소 동시가 아니라, 복수행(예를 들면, 수십행) 단위로 글로벌 노광을 행하면서, 글로벌 노광을 행하는 영역을 이동하는 방식도 글로벌 셔터 방식에 포함된다. 또한, 화상에 나타나는 부분의 화소의 전부가 아니라, 소정 영역의 화소에 대해 글로벌 노광을 행하는 방식도 글로벌 셔터 방식에 포함된다.

[0368] 도 56은, 실시의 형태 3-4의 글로벌 셔터 방식의 촬상 장치의 화소 공유 유닛(400)의 구성의 한 예를 도시하는 등가 회로도이다. 글로벌 셔터 방식의 촬상 장치 내의 화소 공유 유닛(400)은, 화소(410)와, 화소 회로(420)를 가진다. 화소(410)는, 포토 다이오드(411)와, 전하 유지부(412)와, 전송 트랜지스터(TR413)와, 오버플로우 트랜지스터(414)를 가진다. 또한, 화소 회로(420)는, 리셋 트랜지스터(RST42)와, 증폭 트랜지스터(AMP42)와, 선택 트랜지스터(SEL42)와, 플로팅 디퓨전(FD42)을 가진다.

[0369] 리셋 트랜지스터(RST42)는, 전원(VDD)에 접속된 드레인과 플로팅 디퓨전(FD42)에 접속된 소스를 가지고 있다. 리셋 트랜지스터(RST42)는, 그 게이트 전극에 인가되는 구동 신호에 응하여, 플로팅 디퓨전(FD42)을 초기화, 즉 리셋한다. 예를 들면, 구동 신호에 의해 리셋 트랜지스터(RST42)가 온 하면, 플로팅 디퓨전(FD42)의 전위가 전원(VDD)의 전압 레벨로 리셋된다. 즉 플로팅 디퓨전(FD42)의 초기화가 행해진다.

[0370] 플로팅 디퓨전(FD42)은, 전송 트랜지스터(413) 및 전하 유지부(412)를 통하여 포토 다이오드(PD)로부터 각각 전송되어 온 전하를 전기 신호(예를 들면, 전압 신호)로 변환하여 출력한다. 플로팅 디퓨전(FD42)에는, 리셋 트랜지스터(RST42)가 접속됨과 함께, 증폭 트랜지스터(AMP42) 및 선택 트랜지스터(SEL42)를 통하여 수직 신호선(VSL)이 접속되어 있다.

[0371] 증폭 트랜지스터(AMP42)는, 플로팅 디퓨전(FD42)의 전위에 응한 전기 신호를 출력한다. 증폭 트랜지스터(AMP42)는, 예를 들면, 열 신호 처리부에 마련된 정전류원과 소스 팔로워 회로를 구성하고 있다. 선택 트랜지스터(SEL42)는, 당해 화소가 선택되었을 때에 온 되어 플로팅 디퓨전(FD42)으로부터 증폭 트랜지스터(AMP42)를 경유한 전기 신호를, 수직 신호선(VSL)을 통하여 열 신호 처리부에 출력하도록 되어 있다.

[0372] 이와 같은 글로벌 셔터 방식의 촬상 장치 내의 화소 공유 유닛(400)은, 화소(410)를 제1 기판(100), 화소 회로(420)를 제2 기판(200)에 형성하고, 화소(410)와 화소 회로(420) 사이를 FD 배선(FDL)으로 접속한다.

[0373] 제2 기판(200)은, 전 화소 공통의 공통 p웰층과, 증폭 트랜지스터(AMP42)마다의 독립 p웰층으로 구성하고, 공통 p웰층과 독립 p웰층 사이를 풀 트렌치(FTI)로 전기적으로 분리하고 있다. 공통 p웰층에서는, 각 화소 회로(420) 내의 리셋 트랜지스터(RST42) 및 선택 트랜지스터(SEL42)가 형성되어 있다. 공통 p웰층은, GND 전위에 접속되어 있기 때문에, 리셋 트랜지스터(RST42) 및 선택 트랜지스터(SEL42)의 백 게이트가 GND 전위로 고정되어 있는 것으로 한다.

[0374] 이에 대해, 독립 p웰층은, 화소 회로(420) 내의 증폭 트랜지스터(AMP42)가 형성되어 있다. 독립 p웰층은, 증폭 트랜지스터(AMP42)의 소스에 접속되어 있기 때문에, 독립 p웰층의 전위는, 증폭 트랜지스터(AMP42)의 소스 전위에 추종하여 변화한다. 즉, 증폭 트랜지스터(AMP42)의 백 게이트와 소스 전위가 동전위가 되기 때문에, 소스 팔로워 회로의 게인이 1이 된다.

[0375] 즉, 증폭 트랜지스터(AMP42)의 게이트 전위 진폭과 소스 전위 진폭이 동등해진다. 즉, FD 배선(FDL)의 FD 전위의 변화량에 추종하여 실드 배선(SL4)의 전위도 변화한다. 따라서, FD 배선(FDL)과 실드 배선(SL4) 사이에서 전하의 이동은 발생하지 않고, 양자간의 용량치가 저하된다. 따라서, FD 배선(FDL)과 실드 배선(SL4)의 커플링이 커도, 실제의 판독 동작 시의 FD 용량으로서는 무시할 수 있다. 그리고, FD 배선(FDL)과 다른 배선의 커플링이

극력 작아지도록 배치했기 때문에, FD 용량은 작은 값이 된다. 즉 FD 용량의 기생 용량이 작아지기 때문에, 소스 팔로워 출력 전압(Vsf)을 크게 할 수 있다.

[0376] <10. 6. 2 실시의 형태 3-4의 작용·효과>

[0377] 실시의 형태 3-4의 글로벌 셔터 방식의 촬상 장치 내의 화소 공유 유닛(400)은, 공통 p웰층과 증폭 트랜지스터(AMP42)의 독립 p웰층 사이를 전기적으로 분리한 상태로 한다. 또한, 화소 공유 유닛(400)은, 증폭 트랜지스터(AMP42)의 게이트와 증폭 트랜지스터(AMP42)의 소스 사이를 접속하는 실드 배선(SL4)으로 FD 배선(FDL)을 실드한다. 즉, 증폭 트랜지스터(AMP42)의 소스와 증폭 트랜지스터(AMP42)의 독립 p웰층을 접속하여 동전위로 함으로써 기판 바이어스 효과를 없애고, FD 진폭과 증폭 트랜지스터(AMP42)의 소스 진폭의 게인을 1로 한다. 또한, 증폭 트랜지스터(AMP42)의 소스 전위를 인출하는 실드 배선(SL4)으로 FD 배선(FDL)의 주위를 실드함으로써, 플로팅 디퓨전(FD)에 커플링하는 배선이 플로팅 디퓨전(FD)과 동진폭으로 움직이도록 한다. 그 결과, 배선 커플링 용량이 저하되기 때문에, FD 용량을 작게 하여 전하-전압의 변환 효율이 향상한다.

[0378] 즉, 글로벌 셔터 방식의 촬상 장치 내의 화소 공유 유닛(400)에서는, FD 배선(FDL)의 기생 저항에 의한 FD 용량의 증가를 억제하면서, 전하-전압의 변환 효율의 향상을 도모함으로써, 화소 신호의 S/N비의 향상을 도모한다. 게다가, 실드 배선(SL4)으로 인접 플로팅 디퓨전(FD) 사이의 크로스토크를 억제할 수 있다.

[0379] <10. 7 실시의 형태 3-5의 구체례>

[0380] <10. 7. 1 실시의 형태 3-5의 구성>

[0381] 도 57은, 실시의 형태 3-5의 메모리 유지형의 글로벌 셔터 방식의 촬상 장치의 화소 공유 유닛(400A)의 구성의 한 예를 도시하는 등가 회로도이다. 화소 공유 유닛(400A)은, 화소(PX1 및 PX4)와, 화소 회로(420A)를 가진다. 화소(PX1)는, 포토 다이오드(PD1), 제1～제3 전송 트랜지스터(TR1A～TR1C), 전하 유지부(MEM1), 배출 트랜지스터(OFG1), 배출부(OFD1) 및 버퍼(BUF1)를 가지고 있다. 제1 전송 트랜지스터(TR1A)는 전송 게이트(TRZ1)를 포함하고, 제2 전송 트랜지스터(TR1B)는 전송 게이트(TRY1) 및 전송 게이트(TRX1)를 포함하고, 제3 전송 트랜지스터(TR1C)는 전송 게이트(TRG1)를 포함하고 있다.

[0382] 마찬가지로, 화소(PX4)는, 포토 다이오드(PD4), 제1～제3 전송 트랜지스터(TR4A～TR4C), 전하 유지부(MEM4), 배출 트랜지스터(OFG4), 배출부(OFD4) 및 버퍼(BUF4)를 가지고 있다. 제1 전송 트랜지스터(TR4A)는 전송 게이트(TRZ4)를 포함하고, 제2 전송 트랜지스터(TR4B)는 전송 게이트(TRY4) 및 전송 게이트(TRX4)를 포함하고, 제3 전송 트랜지스터(TR4C)는 전송 게이트(TRG4)를 포함하고 있다.

[0383] 또한, 화소(PX1) 및 화소(PX4)는, 전원(VDD1, VDD2), 플로팅 디퓨전(FD14), 리셋 트랜지스터(RST14), 증폭 트랜지스터(AMP14), 및 선택 트랜지스터(SEL14) 등의 화소 회로(420A)를 공유하고 있다.

[0384] 이 예에서는, 제1～제3 전송 트랜지스터(TR1A～TR1C), 제1～제3 전송 트랜지스터(TR4A～TR4C)는, N형의 MOS 트랜지스터로 한다. 또한, 리셋 트랜지스터(RST14), 증폭 트랜지스터(AMP14) 및 선택 트랜지스터(SEL14)도, N형의 MOS 트랜지스터로 한다. 이들 제1～제3 전송 트랜지스터(TR1A～TR1C), 제1～제3 전송 트랜지스터(TR4A～TR4C)의 각 게이트 전극에는, 시스템 제어부의 구동 제어에 의거하여 수직 구동부 및 수평 구동부에 의해 구동 신호가 공급되도록 되어 있다. 또한, 리셋 트랜지스터(RST14), 증폭 트랜지스터(AMP14), 및 선택 트랜지스터(SEL14)의 각 게이트 전극에는, 각각, 시스템 제어부의 구동 제어에 의거하여 수직 구동부 및 수평 구동부에 의해 구동 신호가 공급되도록 되어 있다. 그들 구동 신호는, 고레벨인 상태가 액티브 상태(온의 상태)가 되고, 저레벨인 상태가 비 액티브 상태(오프의 상태)가 되는 펄스 신호이다. 또한, 이하, 구동 신호를 액티브 상태로 하는 것을, 구동 신호를 온 한다고도 칭하고, 구동 신호를 비 액티브 상태로 하는 것을, 구동 신호를 오프 한다고도 칭한다.

[0385] 포토 다이오드(PD1, PD4)는, 예를 들어 PN 접합의 포토 다이오드로 이루어지는 광전 변환 소자이고, 피사체로부터의 광을 수광하여, 그 수광량에 응한 전하를 광전 변환에 의해 생성하고, 축적하도록 구성되어 있다.

[0386] 전하 유지부(MEM1, MEM4)는, 각각, 포토 다이오드(PD1, PD4)와 플로팅 디퓨전(FD14) 사이에 마련되어 있다. 또한, 전하 유지부(MEM1, MEM4)는, 글로벌 셔터 기능을 실현하기 위해, 포토 다이오드(PD1, PD4)에서 생성되어 축적된 전하를 플로팅 디퓨전(FD14)에 전송하기까지의 사이, 일시적으로 그 전하를 유지하는 영역이다.

[0387] 제1 전송 트랜지스터(TR1A) 및 제2 전송 트랜지스터(TR1B)는, 포토 다이오드(PD1)와 전하 유지부(MEM1) 사이에 순차적으로 배치되어 있다. 제3 전송 트랜지스터(TR1C)는 전하 유지부(MEM1)와 플로팅 디퓨전(FD14) 사이에 배치되어 있다. 제1 전송 트랜지스터(TR1A) 및 제2 전송 트랜지스터(TR1B)는, 그 게이트 전극에 인가되는 구동 신

호에 응하여, 포토 다이오드(PD1)에 축적되어 있는 전하를 전하 유지부(MEM1)에 전송하도록 구성되어 있다.

[0388] 마찬가지로, 제1 전송 트랜지스터(TR4A) 및 제2 전송 트랜지스터(TR4B)는, 포토 다이오드(PD4)와 전하 유지부(MEM4) 사이에 순차적으로 배치되어 있다. 제3 전송 트랜지스터(TR4C)는 전하 유지부(MEM4)와 플로팅 디퓨전(FD14) 사이에 배치되어 있다. 제1 전송 트랜지스터(TR4A) 및 제2 전송 트랜지스터(TR4B)는, 그 게이트 전극에 인가되는 구동 신호에 응하여, 포토 다이오드(PD4)에 축적되어 있는 전하를 전하 유지부(MEM4)에 전송하도록 구성되어 있다.

[0389] 제3 전송 트랜지스터(TR1C) 및 제3 전송 트랜지스터(TR4C)는, 게이트 전극에 인가되는 구동 신호에 응하여 전하 유지부(MEM1) 및 전하 유지부(MEM4)에 일시적으로 유지된 전하를 플로팅 디퓨전(FD14)에 전송하게 된다.

[0390] 화소(PX1, PX4)에서는, 예를 들면, 제2 전송 트랜지스터(TR1B, TR4B)가 오프 하고, 제3 전송 트랜지스터(TR1C, TR4C)가 온 했다고 한다. 이 경우, 전하 유지부(MEM1, MEM4)에 각각 유지되어 있는 전하가 제3 전송 트랜지스터(TR1C, TR4C)를 통하여, 플로팅 디퓨전(FD14)에 전송하게 된다.

[0391] 버퍼(BUF1, BUF4)는, 각각, 제1 전송 트랜지스터(TR1A)와 제2 전송 트랜지스터(TR1B) 사이에 형성되는 전하 축적 영역이다. 리셋 트랜지스터(RST14)는, 전원(VDD1)에 접속된 드레인과 플로팅 디퓨전(FD14)에 접속된 소스를 가지고 있다. 리셋 트랜지스터(RST14)는, 그 게이트 전극에 인가되는 구동 신호에 응하여, 플로팅 디퓨전(FD14)을 초기화, 즉 리셋한다. 예를 들면, 구동 신호에 의해 리셋 트랜지스터(RST14)가 온 하면, 플로팅 디퓨전(FD14)의 전위가 전원(VDD1)의 전압 레벨로 리셋된다. 즉 플로팅 디퓨전(FD14)의 초기화가 행해진다.

[0392] 플로팅 디퓨전(FD14)은, 제1~제3 전송 트랜지스터(TR1A~TR1C, TR4A~TR4C) 및 전하 유지부(MEM1, MEM4)를 통하여 포토 다이오드(PD1, PD4)로부터 각각 전송되어 온 전하를 전기 신호(예를 들면, 전압 신호)로 변환하여 출력한다. 플로팅 디퓨전(FD14)에는, 리셋 트랜지스터(RST14)가 접속됨과 함께, 증폭 트랜지스터(AMP14) 및 선택 트랜지스터(SEL14)를 통하여 수직 신호선(VSL117)이 접속되어 있다.

[0393] 증폭 트랜지스터(AMP14)는, 플로팅 디퓨전(FD14)의 전위에 응한 전기 신호를 출력한다. 증폭 트랜지스터(AMP14)는, 예를 들면, 열 신호 처리부에 마련된 정전류원과 소스 팔로워 회로를 구성하고 있다. 선택 트랜지스터(SEL14)는, 당해 화소(PX)가 선택되었을 때에 온 되어 플로팅 디퓨전(FD14)으로부터 증폭 트랜지스터(AMP14)를 경유한 전기 신호를, 수직 신호선(VSL117)을 통하여 열 신호 처리부에 출력하도록 되어 있다.

[0394] 화소(PX1, PX4)는, 포토 다이오드(PD1, PD4)의 전하의 전송처로서, 플로팅 디퓨전(FD14) 외에 배출부(OFD1, OFD4)를 각각 또한 구비하고 있다. 배출 트랜지스터(OFG1)는 제1 전송 트랜지스터(TR1A)와 제2 전송 트랜지스터(TR1B) 사이에 배치되고, 배출 트랜지스터(OFG4)는 제1 전송 트랜지스터(TR4A)와 제2 전송 트랜지스터(TR4B) 사이에 배치되어 있다.

[0395] 배출 트랜지스터(OFG1)는, 배출부(OFD1)에 접속된 드레인, 및, 제1 전송 트랜지스터(TR1A)와 제2 전송 트랜지스터(TR1B)를 연결하는 배선에 접속된 소스를 가지고 있다. 마찬가지로, 배출 트랜지스터(OFG4)는, 배출부(OFD4)에 접속된 드레인, 및, 제1 전송 트랜지스터(TR4A)와 제2 전송 트랜지스터(TR4B)를 연결하는 배선에 접속된 소스를 가지고 있다. 배출 트랜지스터(OFG1, OFG4)는, 각각의 게이트 전극에 인가되는 구동 신호에 응하여, 포토 다이오드(PD1, PD4)를 초기화, 즉 리셋한다. 포토 다이오드(PD1, PD4)를 리셋한다, 라는 것은, 포토 다이오드(PD1, PD4)를 공핍화한다는 의미이다.

[0396] 또한, 배출 트랜지스터(OFG1, OFG4)는, 오버플로우 패스를 각각 형성하고, 포토 다이오드(PD1, PD4)로부터 넘친 전하를 각각 배출부(OFD1, OFD4)에 배출하도록 되어 있다. 이와 같이, 본 실시의 형태의 화소(PX1, PX4)에서는, 배출 트랜지스터(OFG1, OFG4)가 포토 다이오드(PD1, PD4)를 직접 리셋할 수 있다.

[0397] 화소(PX1) 및 화소(PX4)와 플로팅 디퓨전(FD14)은 제1 기판(100)에 배치하고, 리셋 트랜지스터(RST14), 증폭 트랜지스터(AMP14) 및 선택 트랜지스터(SEL14) 등의 화소 회로(420A)는 제2 기판(200)에 배치한다. 또한, 제1 기판(100)의 플로팅 디퓨전(FD)과 제2 기판(200)의 증폭 트랜지스터(AMP14)의 게이트 사이를 FD 배선(FDL)으로 접속한다.

[0398] 제2 기판(200)은, 전 화소 공통의 공통 p웰층과, 화소의 증폭 트랜지스터(AMP14)마다의 독립 p웰층으로 구성하고, 공통 p웰층과 독립 p웰층 사이를 풀 트렌치(FTI)로 전기적으로 분리하고 있다. 공통 p웰층에서는, 각 화소 회로(420) 내의 리셋 트랜지스터(RST14) 및 선택 트랜지스터(SEL14)가 형성되어 있다. 공통 p웰층은, GND 전위에 접속되어 있기 때문에, 리셋 트랜지스터(RST14) 및 선택 트랜지스터(SEL14)의 백 게이트가 GND 전위로 고정되어 있는 것으로 한다.

[0399] 이에 대해, 독립 p웰층은, 화소 회로(420) 내의 증폭 트랜지스터(AMP14)가 형성되어 있다. 독립 p웰층은, 증폭 트랜지스터(AMP14)의 소스에 접속되어 있기 때문에, 독립 p웰층의 전위는, 증폭 트랜지스터(AMP14)의 소스 전위에 추종하여 변화한다. 즉, 증폭 트랜지스터(AMP14)의 백 게이트와 소스 전위가 동전위가 되기 때문에, 소스 팔로워 회로의 게인이 1이 된다.

[0400] 즉, 증폭 트랜지스터(AMP14)의 게이트 전위 진폭과 소스 전위 진폭이 동등해진다. 즉, FD 배선(FDL)의 FD 전위의 변화량에 추종하여 실드 배선(SL5)의 전위도 변화한다. 따라서, FD 배선(FDL)과 실드 배선(SL5) 사이에서 전하의 이동은 발생하지 않고, 양자간의 용량치는 저하된다. 따라서, FD 배선(FDL)과 실드 배선(SL5)의 커플링이 커도, 실제의 판독 동작 시의 FD 용량으로서는 무시할 수 있다. 그리고, FD 배선(FDL)과 다른 배선의 커플링이 극력 작아지도록 배치했기 때문에, FD 용량은 작은 값이 된다. 즉 FD 용량의 기생 용량이 작아지기 때문에, 소스 팔로워 출력 전압(Vsf)을 크게 할 수 있다.

[0401] <10. 7. 2 실시의 형태 3-5의 작용·효과>

[0402] 실시의 형태 3-5의 메모리 유지형의 글로벌 셔터 방식의 촬상 장치 내의 화소 공유 유닛(400A)은, 공통 p웰층과 증폭 트랜지스터(AMP)의 독립 p웰층 사이를 전기적으로 분리한 상태로 한다. 화소 공유 유닛(400A)은, 증폭 트랜지스터(AMP14)의 게이트와 증폭 트랜지스터(AMP14)의 소스 사이를 접속하는 실드 배선(SL5)으로 FD 배선(FDL)을 실드한다. 즉, 증폭 트랜지스터(AMP14)의 소스와 증폭 트랜지스터(AMP14)의 독립 p웰층을 접속하여 동전위로 함으로써 기판 바이어스 효과를 없애고, FD 진폭과 증폭 트랜지스터(AMP14)의 소스 진폭의 게인을 1로 한다. 증폭 트랜지스터(AMP14)의 소스 전위를 인출하는 실드 배선(SL5)으로 FD 배선(FDL)의 주위를 실드함으로써, 플로팅 디퓨전(FD14)에 커플링하는 배선이 플로팅 디퓨전(FD14)과 동진폭으로 움직이도록 한다. 그 결과, 배선 커플링 용량이 저하되기 때문에, FD 용량을 작게 하여 전하-전압의 변환 효율이 향상한다.

[0403] 즉, 메모리 유지형의 글로벌 셔터 방식의 촬상 장치에서는, FD 배선(FDL)의 기생 저항에 의한 FD 용량의 증가를 억제하면서, 전하-전압의 변환 효율의 향상을 도모함으로써, 화소 신호의 S/N비의 향상을 도모할 수 있다. 게다가, 실드 배선(SL5)으로 인접 플로팅 디퓨전(FD14) 사이의 크로스토크를 억제할 수 있다.

[0404] 또한, 본 개시의 실시 형태 및 변형례에서는, 상술한 각 층, 각 막, 각 소자 등을 형성하는 방법으로서는, 예를 들면, 물리 기상 성장법(PVD법) 및 CVD법 등을 들 수 있다. PVD법으로서는, 저항 가열 또는 고주파 가열을 이용한 진공 증착법, EB(전자 빔) 증착법, 각종 스퍼터링법(마그네트론 스퍼터링법, RF-DC 결합형 바이어스 스퍼터링법, ECR(Electron Cyclotron Resonance) 스퍼터링법, 대향 타겟 스퍼터링법, 고주파 스퍼터링법 등), 이온 플레이팅법, 레이저 어브레이전법, 분자선 에피택시(Molecular Beam Epitaxy;MBE)법, 레이저 전사법 등을 들 수 있다. 또한, CVD법으로서는, 플라즈마 CVD법, 열 CVD법, MOCVD법, 광 CVD법 등을 들 수 있다. 또한, 다른 방법으로서는, 전해 도금법이나 무전해 도금법, 스핀 코트법; 침지법; 캐스트법; 마이크로 콘택트 프린트법; 드롭 캐스트법; 스크린 인쇄법이나 잉크젯 인쇄법, 오프셋 인쇄법, 그라비어 인쇄법, 플렉소 인쇄법이라는 각종 인쇄법; 스탬프법; 스프레이법; 에어 닥터 코터법, 블레이드 코터법, 로드 코터법, 나이프 코터법, 스퀴즈 코터법, 리버스 롤 코터법, 트랜스퍼 롤 코터법, 그라비어 코터법, 키스 코터법, 캐스트 코터법, 스프레이 코터법, 슬릿 오리피스 코터법, 캘린더 코터법이라는 각종 코팅법을 들 수 있다. 또한, 각 층의 패터닝법으로서는, 섀도우 마스크, 레이저 전사, 포토 리소그래피 등의 화학적 에칭, 자외선이나 레이저 등에 의한 물리적 에칭 등을 들 수 있다. 덧붙여서, 평탄화 기술로서는, CMP법, 레이저 평탄화법, 리플로우법 등을 들 수 있다. 즉, 본 개시의 실시 형태 및 변형례에 관한 촬상 장치(1)는, 기존의 반도체 장치의 제조 공정을 이용하여, 용이하게, 또한, 저렴하게 제조하는 것이 가능하다.

[0405] 이상의 설명에서는, 제2 기판(211)의 화소 회로(210)를 구성하는 증폭 트랜지스터(AMP), 선택 트랜지스터(SEL) 및 리셋 트랜지스터(RST)는, 같은 반도체 기판상에 형성되는 예에 관해 설명했는데, 제2 기판(211)을 복수의 반도체 기판으로 구성하도록 하는 것도 가능하다.

[0406] 이 경우에, 증폭 트랜지스터(AMP)가 플로팅 디퓨전과 먼 위치에 배치되면 증폭 트랜지스터(AMP)-플로팅 디퓨전 사이에서 용량이 형성되어 버리고, 변환 효율의 저하의 원인이 될 우려가 있다.

[0407] 따라서, 증폭 트랜지스터(AMP), 선택 트랜지스터(SEL) 및 리셋 트랜지스터(RST) 중, 적어도 증폭 트랜지스터(AMP)를 플로팅 디퓨전을 동일한 반도체 기판상에 형성하고, 나머지 트랜지스터를 다른 반도체 기판상에 형성하는 것이 바람직하다.

[0408] 이 경우에, 증폭 트랜지스터(AMP)는, 채널 폭(W)을 길게 할 수 있다면, 노이즈의 저하로 이어지기 때문에, 제2 기판을 복수장의 반도체로 구성하는 상기 구성을 채용함으로써, 증폭 트랜지스터(AMP)에 할당 가능한 면적을 크

게 할 수 있고, 노이즈를 저감하여, 성능의 향상을 도모할 수 있다.

[0409] <11. 적용례>

[0410] 도 58은, 상기 실시의 형태 및 그 변형례에 관한 촬상 장치(1)를 구비한 촬상 시스템(7)의 개략 구성의 한 예를 도시한 것이다.

[0411] 촬상 시스템(7)은, 예를 들면, 디지털 스틸 카메라나 비디오 카메라 등의 촬상 장치나, 스마트폰이나 태블릿형 단말 등의 휴대 단말 장치 등의 전자 기기이다. 촬상 시스템(7)은, 예를 들면, 상기 실시의 형태 및 그 변형례에 관한 촬상 장치(1), DSP 회로(243), 프레임 메모리(244), 표시부(245), 기억부(246), 조작부(247) 및 전원부(248)를 구비하고 있다. 촬상 시스템(7)에서, 상기 실시의 형태 및 그 변형례에 관한 촬상 장치(1), DSP 회로(243), 프레임 메모리(244), 표시부(245), 기억부(246), 조작부(247) 및 전원부(248)는, 버스 라인(249)을 통하여 상호 접속되어 있다.

[0412] 상기 실시의 형태 및 그 변형례에 관한 촬상 장치(1)는, 입사광에 응한 화상 데이터를 출력한다. DSP 회로(243)는, 상기 실시의 형태 및 그 변형례에 관한 촬상 장치(1)로부터 출력되는 신호(화상 데이터)를 처리하는 신호 처리 회로이다. 프레임 메모리(244)는, DSP 회로(243)에 의해 처리된 화상 데이터를, 프레임 단위로 일시적으로 유지한다. 표시부(245)는, 예를 들면, 액정 패널이나 유기 EL(Electro Luminescence) 패널 등의 패널형 표시 장치로 이루어지고, 상기 실시의 형태 및 그 변형례에 관한 촬상 장치(1)에서 촬상된 동화 또는 정지화를 표시한다. 기억부(246)는, 상기 실시의 형태 및 그 변형례에 관한 촬상 장치(1)에서 촬상된 동화 또는 정지화의 화상 데이터를, 반도체 메모리나 하드 디스크 등의 기록 매체에 기록한다. 조작부(247)는, 유저에 의한 조작에 따라, 촬상 시스템(7)이 갖는 각종의 기능에 관한 조작 지령을 발한다. 전원부(248)는, 상기 실시의 형태 및 그 변형례에 관한 촬상 장치(1), DSP 회로(243), 프레임 메모리(244), 표시부(245), 기억부(246) 및 조작부(247)의 동작 전원이 되는 각종의 전원을, 이들 공급 대상에 대해 적절히 공급한다.

[0413] 다음으로, 촬상 시스템(7)에서의 촬상 순서에 관해 설명한다.

[0414] 도 59는, 촬상 시스템(7)에서의 촬상 동작의 플로우차트의 한 예를 도시한다. 유저는, 조작부(247)를 조작함에 의해 촬상 시작을 지시한다(스텝 S101). 그러면, 조작부(247)는, 촬상 지령을 촬상 장치(1)에 송신한다(스텝 S102). 촬상 장치(1)(구체적으로는 시스템 제어 회로(36))는, 촬상 지령을 받으면, 소정의 촬상 방식으로의 촬상을 실행한다(스텝 S103).

[0415] 촬상 장치(1)는, 촬상에 의해 얻어진 화상 데이터를 DSP 회로(243)에 출력한다. 여기서, 화상 데이터란, 플로팅 디퓨전(FD)에 일시적으로 유지된 전하에 의거하여 생성된 화소 신호의 전 화소분의 데이터이다. DSP 회로(243)는, 촬상 장치(1)로부터 입력된 화상 데이터에 의거하여 소정의 신호 처리(예를 들어 노이즈 저감 처리 등)를 행한다(스텝 S104). DSP 회로(243)는, 소정의 신호 처리가 이루어진 화상 데이터를 프레임 메모리(244)에 유지시키고, 프레임 메모리(244)는, 화상 데이터를 기억부(246)에 기억시킨다(스텝 S105). 이와 같이 하여, 촬상 시스템(7)에서의 촬상이 행해진다.

[0416] 본 적용례에서는, 상기 실시의 형태 및 그 변형례에 관한 촬상 장치(1)가 촬상 시스템(7)에 적용된다. 이에 의해, 촬상 장치(1)를 소형화 또는 고정밀화할 수 있기 때문에, 소형 또는 고정밀 촬상 시스템(7)을 제공할 수 있다.

[0417] <12. 응용례>

[0418] [응용례 1]

[0419] 본 개시에 관한 기술(본 기술)은, 다양한 제품에 응용할 수 있다. 예를 들면, 본 개시에 관한 기술은, 자동차, 전기 자동차, 하이브리드 전기 자동차, 자동 이륜차, 자전거, 퍼스널 모빌리티, 비행기, 드론, 선박, 로봇 등의 어느 한 종류의 이동체에 탑재되는 장치로서 실현되어도 좋다.

[0420] 도 60은, 본 개시에 관한 기술이 적용될 수 있는 이동체 제어 시스템의 한 예인 차량 제어 시스템의 개략적인 구성례를 도시하는 블록도이다.

[0421] 차량 제어 시스템(12000)은, 통신 네트워크(12001)를 통하여 접속된 복수의 전자 제어 유닛을 구비한다. 도 60에 도시한 예에서는, 차량 제어 시스템(12000)은, 구동계 제어 유닛(12010), 바디계 제어 유닛(12020), 차외 정보 검출 유닛(12030), 차내 정보 검출 유닛(12040), 및 통합 제어 유닛(12050)을 구비한다. 또한, 통합 제어 유닛(12050)의 기능 구성으로서, 마이크로 컴퓨터(12051), 음성 화상 출력부(12052), 및 차량 탑재 네트워크

I/F(interface)(12053)가 도시되어 있다.

[0422] 구동계 제어 유닛(12010)은, 각종 프로그램에 따라 차량의 구동계에 관련되는 장치의 동작을 제어한다. 예를 들면, 구동계 제어 유닛(12010)은, 내연 기관 또는 구동용 모터 등의 차량의 구동력을 발생시키기 위한 구동력 발생 장치, 구동력을 차륜에 전달하기 위한 구동력 전달 기구, 차량의 타각을 조절하는 스티어링 기구, 및, 차량의 제동력을 발생시키는 제동 장치 등의 제어 장치로서 기능한다.

[0423] 바디계 제어 유닛(12020)은, 각종 프로그램에 따라 차체에 장비된 각종 장치의 동작을 제어한다. 예를 들면, 바디계 제어 유닛(12020)은, 키레스 엔트리 시스템, 스마트 키 시스템, 파워 윈도우 장치, 또는, 헤드 램프, 백 램프, 브레이크 램프, 윙커 또는 포그램프 등의 각종 램프의 제어 장치로서 기능한다. 이 경우, 바디계 제어 유닛(12020)에는, 키를 대체하는 휴대기로부터 발신되는 전파 또는 각종 스위치의 신호가 입력될 수 있다. 바디계 제어 유닛(12020)은, 이들 전파 또는 신호의 입력을 접수하고, 차량의 도어 로크 장치, 파워 윈도우 장치, 램프 등을 제어한다.

[0424] 차외 정보 검출 유닛(12030)은, 차량 제어 시스템(12000)을 탑재한 차량의 외부의 정보를 검출한다. 예를 들면, 차외 정보 검출 유닛(12030)에는, 촬상부(12031)가 접속된다. 차외 정보 검출 유닛(12030)은, 촬상부(12031)에 차외의 화상을 촬상시킴과 함께, 촬상된 화상을 수신한다. 차외 정보 검출 유닛(12030)은, 수신한 화상에 의거하여, 사람, 차, 장애물, 표지 또는 노면상의 문자 등의 물체 검출 처리 또는 거리 검출 처리를 행해도 좋다.

[0425] 촬상부(12031)는, 광을 수광하고, 그 광의 수광량에 응한 전기 신호를 출력하는 광센서이다. 촬상부(12031)는, 전기 신호를 화상으로서 출력할 수도 있고, 거리 측정의 정보로서 출력할 수도 있다. 또한, 촬상부(12031)가 수광하는 광은, 가시광이라도 좋고, 적외선 등의 비가시광이라도 좋다.

[0426] 차내 정보 검출 유닛(12040)은, 차내의 정보를 검출한다. 차내 정보 검출 유닛(12040)에는, 예를 들면, 운전자의 상태를 검출하는 운전자 상태 검출부(12041)가 접속된다. 운전자 상태 검출부(12041)는, 예를 들어 운전자를 촬상하는 카메라를 포함하고, 차내 정보 검출 유닛(12040)은, 운전자 상태 검출부(12041)로부터 입력되는 검출 정보에 의거하여, 운전자의 피로 정도 또는 집중 정도를 산출해도 좋고, 운전자가 앉아서 졸고 있지 않는지를 판별해도 좋다.

[0427] 마이크로 컴퓨터(12051)는, 차외 정보 검출 유닛(12030) 또는 차내 정보 검출 유닛(12040)에서 취득되는 차내외의 정보에 의거하여, 구동력 발생 장치, 스티어링 기구 또는 제동 장치의 제어 목표치를 연산하고, 구동계 제어 유닛(12010)에 대해 제어 지령을 출력할 수 있다. 예를 들면, 마이크로 컴퓨터(12051)는, 차량의 충돌 회피 또는 충격 완화, 차간 거리에 의거하는 추종 주행, 차속 유지 주행, 차량의 충돌 경고, 또는 차량의 레인 일탈 경고 등을 포함하는 ADAS(Advanced Driver Assistance System)의 기능 실현을 목적으로 한 협조 제어를 행할 수 있다.

[0428] 또한, 마이크로 컴퓨터(12051)는, 차외 정보 검출 유닛(12030) 또는 차내 정보 검출 유닛(12040)에서 취득되는 차량의 주위의 정보에 의거하여 구동력 발생 장치, 스티어링 기구 또는 제동 장치 등을 제어함에 의해, 운전자의 조작에 의하지 않고 자율적으로 주행하는 자동 운전 등을 목적으로 한 협조 제어를 행할 수 있다.

[0429] 또한, 마이크로 컴퓨터(12051)는, 차외 정보 검출 유닛(12030)에서 취득되는 차외의 정보에 의거하여, 바디계 제어 유닛(12020)에 대해 제어 지령을 출력할 수 있다. 예를 들면, 마이크로 컴퓨터(12051)는, 차외 정보 검출 유닛(12030)에서 검지한 선행차 또는 대향차의 위치에 응하여 헤드 램프를 제어하여, 하이 빔을 로우 빔으로 전환하는 등의 방현(防眩)을 도모하는 것을 목적으로 한 협조 제어를 행할 수 있다.

[0430] 음성 화상 출력부(12052)는, 차량의 탑승자 또는 차외에 대해, 시각적 또는 청각적으로 정보를 통지하는 것이 가능한 출력 장치에 음성 및 화상 중의 적어도 일방의 출력 신호를 송신한다. 도 60의 예에서는, 출력 장치로서, 오디오 스피커(12061), 표시부(12062) 및 인스트루먼트 패널(12063)이 예시되어 있다. 표시부(12062)는, 예를 들면, 온 보드 디스플레이 및 헤드 업 디스플레이의 적어도 1개를 포함하고 있어도 좋다.

[0431] 도 61은, 촬상부(12031)의 설치 위치의 예를 도시하는 도면이다.

[0432] 도 61에서는, 차량(12100)은, 촬상부(12031)로서, 촬상부(12101, 12102, 12103, 12104, 12105)를 가진다.

[0433] 촬상부(12101, 12102, 12103, 12104, 12105)는, 예를 들면, 차량(12100)의 프런트 노우즈, 사이드 미러, 리어 범퍼, 백 도어 및 차실내의 프런트글라스의 상부 등의 위치에 마련된다. 프런트 노우즈에 구비되는 촬상부(12101) 및 차실내의 프런트글라스의 상부에 구비되는 촬상부(12105)는, 주로 차량(12100)의 전방의 화상을 취득한다. 사이드 미러에 구비되는 촬상부(12102, 12103)는, 주로 차량(12100)의 측방의 화상을 취득한다. 리어

범퍼 또는 백 도어에 구비되는 촬상부(12104)는, 주로 차량(12100)의 후방의 화상을 취득한다. 촬상부(12101 및 12105)에서 취득되는 전방의 화상은, 주로 선행 차량 또는, 보행자, 장애물, 신호기, 교통 표지 또는 차선 등의 검출에 이용된다.

[0434] 또한, 도 61에는, 촬상부(12101 내지 12104)의 촬영 범위의 한 예가 도시되어 있다. 촬상 범위(12111)는, 프런트 노우즈에 마련된 촬상부(12101)의 촬상 범위를 나타내고, 촬상 범위(12112, 12113)는, 각각 사이드 미러에 마련된 촬상부(12102, 12103)의 촬상 범위를 나타내고, 촬상 범위(12114)는, 리어 범퍼 또는 백 도어에 마련된 촬상부(12104)의 촬상 범위를 나타낸다. 예를 들면, 촬상부(12101 내지 12104)에서 촬상된 화상 데이터가 맞겹쳐짐에 의해, 차량(12100)을 상방에서 본 부감(俯瞰) 화상이 얻어진다.

[0435] 촬상부(12101 내지 12104)의 적어도 1개는, 거리 정보를 취득하는 기능을 가지고 있어도 좋다. 예를 들면, 촬상부(12101 내지 12104)의 적어도 1개는, 복수의 촬상 소자로 이루어지는 스테레오 카메라라도 좋고, 위상차 검출용의 화소를 갖는 촬상 소자라도 좋다.

[0436] 예를 들면, 마이크로 컴퓨터(12051)는, 촬상부(12101 내지 12104)로부터 얻어진 거리 정보를 기초로, 촬상 범위(12111 내지 12114) 내에서의 각 입체물까지의 거리와, 이 거리의 시간적 변화(차량(12100)에 대한 상대 속도)를 구함에 의해, 특히 차량(12100)의 진행로상에 있는 가장 가까운 입체물로, 차량(12100)과 개략 같은 방향으로 소정의 속도(예를 들면, 0㎞/h 이상)로 주행하는 입체물을 선행차로서 추출할 수 있다. 또한, 마이크로 컴퓨터(12051)는, 선행차와 내 차와의 사이에 미리 확보해야 할 차간 거리를 설정하고, 자동 브레이크 제어(추종 정지 제어도 포함한다)나 자동 가속 제어(추종 발진 제어도 포함한다) 등을 행할 수 있다. 이와 같이 운전자의 조작에 의하지 않고 자율적으로 주행하는 자동 운전 등을 목적으로 한 협조 제어를 행할 수 있다.

[0437] 예를 들면, 마이크로 컴퓨터(12051)는, 촬상부(12101 내지 12104)로부터 얻어진 거리 정보를 기초로, 입체물에 관한 입체물 데이터를, 이륜차, 보통 차량, 대형 차량, 보행자, 전신주 등 그 외의 입체물로 분류하여 추출하고, 장애물의 자동 회피에 이용할 수 있다. 예를 들면, 마이크로 컴퓨터(12051)는, 차량(12100)의 주변의 장애물을, 차량(12100)의 드라이버가 시인 가능한 장애물과 시인 곤란한 장애물로 식별한다. 그리고, 마이크로 컴퓨터(12051)는, 각 장애물과의 충돌의 위험도를 나타내는 충돌 리스크를 판단하고, 충돌 리스크가 설정치 이상으로 충돌 가능성이 있는 상황일 때에는, 오디오 스피커(12061)나 표시부(12062)를 통하여 드라이버에게 경보를 출력하는 것이나, 구동계 제어 유닛(12010)을 통하여 강제 감속이나 회피 조타를 행함으로써, 충돌 회피를 위한 운전 지원을 행할 수 있다.

[0438] 촬상부(12101 내지 12104)의 적어도 1개는, 적외선을 검출하는 적외선 카메라라도 좋다. 예를 들면, 마이크로 컴퓨터(12051)는, 촬상부(12101 내지 12104)의 촬상 화상 중에 보행자가 존재하는지의 여부를 판정함으로써 보행자를 인식할 수 있다. 이러한 보행자의 인식은, 예를 들어 적외선 카메라로서의 촬상부(12101 내지 12104)의 촬상 화상에서의 특징점을 추출하는 순서와, 물체의 윤곽을 나타내는 일련의 특징점에 패턴 매칭 처리를 행하여 보행자인지의 여부를 판별하는 순서에 의해 행해진다. 마이크로 컴퓨터(120 51)가, 촬상부(12101 내지 12104)의 촬상 화상 중에 보행자가 존재한다고 판정하고, 보행자를 인식하면, 음성 화상 출력부(12052)는, 당해 인식된 보행자에게 강조를 위한 사각형 윤곽선을 중첩 표시하도록, 표시부(12062)를 제어한다. 또한, 음성 화상 출력부(12052)는, 보행자를 나타내는 아이콘 등을 소망하는 위치에 표시하도록 표시부(12062)를 제어해도 좋다.

[0439] 이상, 본 개시에 관한 기술이 적용될 수 있는 이동체 제어 시스템의 한 예에 관해 설명하였다. 본 개시에 관한 기술은, 이상 설명한 구성 중, 촬상부(12031)에 적용될 수 있다. 구체적으로는, 상기 실시의 형태 및 그 변형례에 관한 촬상 장치(1)는, 촬상부(12031)에 적용할 수 있다. 촬상부(12031)에 본 개시에 관한 기술을 적용함에 의해, 노이즈가 적은 고정밀 촬영 화상을 얻을 수 있기 때문에, 이동체 제어 시스템에서 촬영 화상을 이용한 고정밀의 제어를 행할 수 있다.

[0440] [응용례 2]

[0441] 도 62는, 본 개시에 관한 기술(본 기술)이 적용될 수 있는 내시경 수술 시스템의 개략적인 구성의 한 예를 도시하는 도면이다.

[0442] 도 62에서는, 수술자(의사)(11131)가, 내시경 수술 시스템(11000)을 이용하여, 환자 베드(11133)상의 환자(11132)에게 수술을 행하고 있는 상태가 도시되어 있다. 도시하는 바와 같이, 내시경 수술 시스템(11000)은, 내시경(11100)과, 기복 튜브(11111)나 에너지 처치구(11112) 등의, 기타 수술구(11110)와, 내시경(11100)을 지지하는 지지 암장치(11120)와, 내시경하 수술을 위한 각종의 장치가 탑재된 카트(11200)로 구성된다.

[0443] 내시경(11100)은, 선단으로부터 소정의 길이의 영역이 환자(11132)의 체강 내에 삽입되는 경통(11101)과, 경통

(11101)의 기단에 접속되는 카메라 헤드(11102)로 구성된다. 도시하는 예에서는, 경성의 경통(11101)을 갖는 이른바 경성경으로서 구성되는 내시경(11100)을 도시하고 있는데, 내시경(11100)은, 연성의 경통을 갖는 이른바 연성경으로서 구성되어도 좋다.

[0444] 경통(11101)의 선단에는, 대물 렌즈가 감입된 개구부가 마련되어 있다. 내시경(11100)에는 광원 장치(11203)가 접속되어 있고, 당해 광원 장치(11203)에 의해 생성된 광이, 경통(11101)의 내부에 연설(延設)되는 라이트 가이드에 의해 당해 경통의 선단까지 도광되고, 대물 렌즈를 통하여 환자(11132)의 체강 내의 관찰 대상을 향하여 조사된다. 또한, 내시경(11100)은, 직시경이라도 좋고, 사시경 또는 측시경이라도 좋다.

[0445] 카메라 헤드(11102)의 내부에는 광학계 및 촬상 소자가 마련되어 있고, 관찰 대상으로부터의 반사광(관찰광)은 당해 광학계에 의해 당해 촬상 소자에 집광된다. 당해 촬상 소자에 의해 관찰광이 광전 변환되어, 관찰광에 대응하는 전기 신호, 즉 관찰상에 대응하는 화상 신호가 생성된다. 당해 화상 신호는, RAW 데이터로서 카메라 컨트롤 유닛(CCU: Camera Control Unit)(11201)에 송신된다.

[0446] CCU(11201)는, CPU(Central Processing Unit)나 GPU(Graphics Processing Unit) 등에 의해 구성되고, 내시경(11100) 및 표시 장치(11202)의 동작을 통괄적으로 제어한다. 또한, CCU(11201)는, 카메라 헤드(11102)로부터 화상 신호를 수취하고, 그 화상 신호에 대해, 예를 들어 현상 처리(디모자이크 처리) 등의, 당해 화상 신호에 의거하는 화상을 표시하기 위한 각종의 화상 처리를 시행한다.

[0447] 표시 장치(11202)는, CCU(11201)로부터의 제어에 의해, 당해 CCU(11201)에 의해 화상 처리가 시행된 화상 신호에 의거하는 화상을 표시한다.

[0448] 광원 장치(11203)는, 예를 들어 LED(Light Emitting Diode) 등의 광원으로 구성되고, 수술부 등을 촬영할 때의 조사광을 내시경(11100)에 공급한다.

[0449] 입력 장치(11204)는, 내시경 수술 시스템(11000)에 대한 입력 인터페이스이다. 유저는, 입력 장치(11204)를 통하여, 내시경 수술 시스템(11000)에 대해 각종의 정보의 입력이나 지시 입력을 행할 수 있다. 예를 들면, 유저는, 내시경(11100)에 의한 촬상 조건(조사광의 종류, 배율 및 초점 거리 등)을 변경하는 취지의 지시 등을 입력한다.

[0450] 처치구 제어 장치(11205)는, 조직의 소작(燒灼), 절개 또는 혈관의 봉지 등을 위한 에너지 처치구(11112)의 구동을 제어한다. 기복 장치(11206)는, 내시경(11100)에 의한 시야의 확보 및 수술자의 작업 공간의 확보의 목적으로, 환자(11132)의 체강을 팽창시키기 위해, 기복 튜브(11111)를 통하여 당해 체강 내에 가스를 보낸다. 레코더(11207)는, 수술에 관한 각종의 정보를 기록 가능한 장치이다. 프린터(11208)는, 수술에 관한 각종의 정보를, 텍스트, 화상 또는 그래프 등 각종의 형식으로 인쇄 가능한 장치이다.

[0451] 또한, 내시경(11100)에 수술부를 촬영할 때의 조사광을 공급하는 광원 장치(11203)는, 예를 들어 LED, 레이저 광원 또는 이들 조합에 의해 구성되는 백색 광원으로 구성할 수 있다. RGB 레이저 광원의 조합에 의해 백색 광원이 구성되는 경우에는, 각 색(각 파장)의 출력 강도 및 출력 타이밍을 고정밀도로 제어할 수 있기 때문에, 광원 장치(11203)에서 촬상 화상의 화이트 밸런스의 조정을 행할 수 있다. 또한, 이 경우에는, RGB 레이저 광원 각각으로부터의 레이저광을 시분할로 관찰 대상에 조사하고, 그 조사 타이밍에 동기하여 카메라 헤드(11102)의 촬상 소자의 구동을 제어함에 의해, RGB 각각에 대응한 화상을 시분할로 촬상하는 것도 가능하다. 당해 방법에 의하면, 당해 촬상 소자에 컬러 필터를 마련하지 않아도, 컬러 화상을 얻을 수 있다.

[0452] 또한, 광원 장치(11203)는, 출력하는 광의 강도를 소정의 시간마다 변경하도록 그 구동이 제어되어도 좋다. 그 광의 강도의 변경의 타이밍에 동기하여 카메라 헤드(11102)의 촬상 소자의 구동을 제어하여 시분할로 화상을 취득하고, 그 화상을 합성함에 의해, 이른바 흑바램 및 백바램이 없는 고다이내믹 레인지의 화상을 생성할 수 있다.

[0453] 또한, 광원 장치(11203)는, 특수광 관찰에 대응한 소정의 파장대역의 광을 공급 가능하게 구성되어도 좋다. 특수광 관찰에서는, 예를 들면, 체조직에서의 광의 흡수의 파장 의존성을 이용하여, 통상의 관찰 시에서의 조사광(즉, 백색광)과 비교하여 협대역의 광을 조사함에 의해, 점막 표층의 혈관 등의 소정의 조직을 고콘트라스트로 촬영하는, 이른바 협대역 광관찰(Narrow Band Imaging)이 행해진다. 또는, 특수광 관찰에서는, 여기광을 조사함에 의해 발생하는 형광에 의해 화상을 얻는 형광 관찰이 행해져도 좋다. 형광 관찰에서는, 체조직에 여기광을 조사하고 당해 체조직으로부터의 형광을 관찰하는 것(자가 형광 관찰), 또는 인도시아닌그린(ICG) 등의 시약을 체조직에 국주(局注)함과 함께 당해 체조직에 그 시약의 형광 파장에 대응한 여기광을 조사하고 형광상을 얻는 것 등을 행할 수 있다. 광원 장치(11203)는, 이와 같은 특수광 관찰에 대응한 협대역광 및/또는 여기광을 공급

가능하게 구성될 수 있다.

[0454] 도 63은, 도 62에 도시하는 카메라 헤드(11102) 및 CCU(11201)의 기능 구성의 한 예를 도시하는 블록도이다.

[0455] 카메라 헤드(11102)는, 렌즈 유닛(11401)과, 촬상부(11402)와, 구동부(11403)와, 통신부(11404)와, 카메라 헤드 제어부(11405)를 가진다. CCU(11201)는, 통신부(11411)와, 화상 처리부(11412)와, 제어부(11413)를 가진다. 카메라 헤드(11102)와 CCU(11201)는, 전송 케이블(11400)에 의해 서로 통신 가능하게 접속되어 있다.

[0456] 렌즈 유닛(11401)은, 경통(11101)과의 접속부에 마련되는 광학계이다. 경통(11101)의 선단으로부터 취입된 관찰광은, 카메라 헤드(11102)까지 도광되고, 당해 렌즈 유닛(11401)에 입사한다. 렌즈 유닛(11401)은, 줌렌즈 및 포커스 렌즈를 포함하는 복수의 렌즈가 조합되어 구성된다.

[0457] 촬상부(11402)는, 촬상 소자로 구성된다. 촬상부(11402)를 구성하는 촬상 소자는, 1개(이른바 단판식)라도 좋고, 복수(이른바 다판식)라도 좋다. 촬상부(11402)가 다판식으로 구성되는 경우에는, 예를 들어 각 촬상 소자에 의해 RGB 각각에 대응하는 화상 신호가 생성되고, 그것들이 합성됨에 의해 컬러 화상을 얻을 수 있어도 좋다. 또는, 촬상부(11402)는, 3D(Dimensional) 표시에 대응하는 우안용 및 좌안용의 화상 신호를 각각 취득하기 위한 한 쌍의 촬상 소자를 갖도록 구성되어도 좋다. 3D 표시가 행해짐에 의해, 수술자(11131)는 수술부에서의 생체 조직의 깊이를 보다 정확하게 파악하는 것이 가능해진다. 또한, 촬상부(11402)가 다판식으로 구성되는 경우에는, 각 촬상 소자에 대응하여, 렌즈 유닛(11401)도 복수 계통 마련될 수 있다.

[0458] 또한, 촬상부(11402)는, 반드시 카메라 헤드(11102)에 마련되지 않아도 좋다. 예를 들면, 촬상부(11402)는, 경통(11101)의 내부에, 대물 렌즈의 직후에 마련되어도 좋다.

[0459] 구동부(11403)는, 액추에이터에 의해 구성되고, 카메라 헤드 제어부(11405)로부터의 제어에 의해, 렌즈 유닛(11401)의 줌렌즈 및 포커스 렌즈를 광축을 따라 소정의 거리만큼 이동시킨다. 이에 의해, 촬상부(11402)에 의한 촬상 화상의 배율 및 초점이 적절히 조정될 수 있다.

[0460] 통신부(11404)는, CCU(11201)와의 사이에서 각종의 정보를 송수신하기 위한 통신 장치에 의해 구성된다. 통신부(11404)는, 촬상부(11402)로부터 얻은 화상 신호를 RAW 데이터로서 전송 케이블(11400)을 통하여 CCU(11201)에 송신한다.

[0461] 또한, 통신부(11404)는, CCU(11201)로부터, 카메라 헤드(11102)의 구동을 제어하기 위한 제어 신호를 수신하고, 카메라 헤드 제어부(11405)에 공급한다. 당해 제어 신호에는, 예를 들면, 촬상 화상의 프레임 레이트를 지정하는 취지의 정보, 촬상 시의 노출치를 지정하는 취지의 정보, 및/또는 촬상 화상의 배율 및 초점을 지정하는 취지의 정보 등, 촬상 조건에 관한 정보가 포함된다.

[0462] 또한, 상기 프레임 레이트나 노출치, 배율, 초점 등의 촬상 조건은, 유저에 의해 적절히 지정되어도 좋고, 취득된 화상 신호에 의거하여 CCU(11201)의 제어부(11413)에 의해 자동적으로 설정되어도 좋다. 후자인 경우에는, 이른바 AE(Auto Exposure) 기능, AF(Auto Focus) 기능 및 AWB(Auto White Balance) 기능이 내시경(11100)에 탑재되어 있는 것이 된다.

[0463] 카메라 헤드 제어부(11405)는, 통신부(11404)를 통하여 수신한 CCU(11201)로부터의 제어 신호에 의거하여, 카메라 헤드(11102)의 구동을 제어한다.

[0464] 통신부(11411)는, 카메라 헤드(11102)와의 사이에서 각종의 정보를 송수신하기 위한 통신 장치에 의해 구성된다. 통신부(11411)는, 카메라 헤드(11102)로부터, 전송 케이블(11400)을 통하여 송신되는 화상 신호를 수신한다.

[0465] 또한, 통신부(11411)는, 카메라 헤드(11102)에 대해, 카메라 헤드(11102)의 구동을 제어하기 위한 제어 신호를 송신한다. 화상 신호나 제어 신호는, 전기 통신이나 광통신 등에 의해 송신할 수 있다.

[0466] 화상 처리부(11412)는, 카메라 헤드(11102)로부터 송신된 RAW 데이터인 화상 신호에 대해 각종의 화상 처리를 시행한다.

[0467] 제어부(11413)는, 내시경(11100)에 의한 수술부 등의 촬상, 및, 수술부 등의 촬상에 의해 얻어지는 촬상 화상의 표시에 관한 각종의 제어를 행한다. 예를 들면, 제어부(11413)는, 카메라 헤드(11102)의 구동을 제어하기 위한 제어 신호를 생성한다.

[0468] 또한, 제어부(11413)는, 화상 처리부(11412)에 의해 화상 처리가 시행된 화상 신호에 의거하여, 수술부 등이 찍

힌 촬상 화상을 표시 장치(11202)에 표시시킨다. 이때, 제어부(11413)는, 각종의 화상 인식 기술을 이용하여 촬상 화상 내에서의 각종의 물체를 인식해도 좋다. 예를 들면, 제어부(11413)는, 촬상 화상에 포함되는 물체의 에지의 형상이나 색 등을 검출함에 의해, 겸자(鉗子) 등의 수술구, 특정한 생체 부위, 출혈, 에너지 처치구(11112)의 사용 시의 미스트 등을 인식할 수 있다. 제어부(11413)는, 표시 장치(11202)에 촬상 화상을 표시시킬 때에, 그 인식 결과를 이용하여, 각종의 수술 지원 정보를 당해 수술부의 화상에 중첩 표시시켜도 좋다. 수술 지원 정보가 중첩 표시되고, 수술자(11131)에게 제시됨에 의해, 수술자(11131)의 부담을 경감하는 것이나, 수술자(11131)가 확실하게 수술을 진행하는 것이 가능해진다.

[0469] 카메라 헤드(11102) 및 CCU(11201)를 접속하는 전송 케이블(11400)은, 전기 신호의 통신에 대응한 전기 신호 케이블, 광통신에 대응한 광파이버, 또는 이들 복합 케이블이다.

[0470] 여기서, 도시하는 예에서는, 전송 케이블(11400)을 이용하여 유선으로 통신이 행해지고 있었는데, 카메라 헤드(11102)와 CCU(11201) 사이의 통신은 무선으로 행해져도 좋다.

[0471] 이상, 본 개시에 관한 기술이 적용될 수 있는 내시경 수술 시스템의 한 예에 관해 설명하였다. 본 개시에 관한 기술은, 이상 설명한 구성 중, 내시경(11100)의 카메라 헤드(11102)에 마련된 촬상부(11402)에 알맞게 적용될 수 있다. 촬상부(11402)에 본 개시에 관한 기술을 적용함에 의해, 촬상부(11402)를 소형화 또는 고정밀화할 수 있기 때문에, 소형 또는 고정밀 내시경(11100)을 제공할 수 있다.

[0472] 이상, 실시의 형태 및 그 변형례, 적용례 및 응용례를 들어서 본 개시를 설명했지만, 본 개시는 상기 실시의 형태 등으로 한정되는 것이 아니라, 여러 가지 변형이 가능하다. 또한, 본 명세서 중에 기재된 효과는, 어디까지나 예시이다. 본 개시의 효과는, 본 명세서 중에 기재된 효과로 한정되는 것이 아니다. 본 개시가, 본 명세서 중에 기재된 효과 이외의 효과를 가지고 있어도 좋다.

[0473] 또한, 예를 들면, 본 개시는 이하와 같은 구성을 취할 수 있다.

[0474] (1)

[0475] 포토 다이오드와, 상기 포토 다이오드에서 변환된 전하를 유지하는 플로팅 디퓨전을 갖는 화소를 갖는 제1 기판과,

[0476] 상기 화소 내의 상기 플로팅 디퓨전에 유지된 상기 전하에 의거하는 화소 신호를 판독하는 화소 회로를 가지고, 상기 제1 기판에 적층된 제2 기판과,

[0477] 상기 제1 기판과 상기 제2 기판을 적층 방향으로 관통하여, 상기 제1 기판 내의 플로팅 디퓨전과 상기 제2 기판의 상기 화소 회로 내의 증폭 트랜지스터 사이를 전기적으로 접속하는 배선과,

[0478] 적어도 상기 제2 기판에 형성되어, 상기 배선과 병주하고, 상기 제2 기판 내의 반도체층의 두께 이상의 깊이의 트렌치를 갖는 것을 특징으로 하는 촬상 장치.

[0479] (2)

[0480] 상기 트렌치 내에 매입된 도전성 물질과 상기 증폭 트랜지스터의 소스 사이를 전기적으로 접속하는 실드 배선을 갖는 것을 특징으로 하는 (1)에 기재된 촬상 장치.

[0481] (3)

[0482] 상기 트렌치 내에 저유전율의 기체가 봉지된 구조인 것을 특징으로 하는 (1)에 기재된 촬상 장치.

[0483] (4)

[0484] 상기 제1 기판은,

[0485] 반도체층과,

[0486] 상기 반도체층에 적층되고, SiO_2로 형성되는 배선층을 갖는 것을 특징으로 하는 (1) 또는 (2)에 기재된 촬상 장치.

[0487] (5)

[0488] 상기 제1 기판은,

[0489] 반도체층과,

[0490] 상기 반도체층에 적층되고, SiO_2보다도 저유전율의 절연 재료로 형성되는 배선층을 갖는 것을 특징으로 하는 (1) 또는 (2)에 기재된 촬상 장치.

[0491] (6)

[0492] 상기 트렌치는,

[0493] 상기 배선과, 당해 배선에 병주하는 다른 배선이 전기적으로 이간하도록 상기 제2 기판 내의 반도체층에 형성된 것을 특징으로 하는 (1)에 기재된 촬상 장치.

[0494] (7)

[0495] 상기 트렌치는,

[0496] 상기 제2 기판의 적층면에서 보아 상기 배선을 원형형상으로 둘러싸도록 상기 제2 기판 내의 반도체층에 형성된 것을 특징으로 하는 (6)에 기재된 촬상 장치.

[0497] (8)

[0498] 상기 트렌치는,

[0499] 상기 제2 기판의 적층면에서 보아 상기 배선을 사각형형상으로 둘러싸도록 상기 제2 기판 내의 반도체층에 형성된 것을 특징으로 하는 (6)에 기재된 촬상 장치.

[0500] (9)

[0501] 포토 다이오드와, 상기 포토 다이오드에서 변환된 전하를 유지하는 플로팅 디퓨전을 갖는 화소를 갖는 제1 기판과,

[0502] 상기 화소 내의 상기 플로팅 디퓨전에 유지된 상기 전하에 의거하는 화소 신호를 판독하는 화소 회로를 가지고, 상기 제1 기판에 적층된 제2 기판과,

[0503] 상기 제1 기판 내의 플로팅 디퓨전과 상기 제2 기판의 상기 화소 회로 내의 증폭 트랜지스터 사이를 전기적으로 접속하는, 상기 제1 기판 및 상기 제2 기판에 형성된 배선과,

[0504] 상기 화소 회로의 웰층과 상기 화소 회로 내의 증폭 트랜지스터의 웰층 사이를 전기적으로 분리한 상태에서, 상기 증폭 트랜지스터의 게이트와 당해 증폭 트랜지스터의 소스 사이를 전기적으로 접속하여, 상기 배선과 병주하면서, 당해 배선을 실드하는 실드 배선을 갖는 것을 특징으로 하는 촬상 장치.

[0505] (10)

[0506] 상기 실드 배선은,

[0507] 상기 제2 기판 내의 증폭 트랜지스터와 상기 제1 기판 내의 플로팅 디퓨전 사이를 접속하는 상기 배선 중, 적어도 상기 제2 기판 내를 통과하는 배선 부분을 실드하는 것을 특징으로 하는 (9)에 기재된 촬상 장치.

[0508] (11)

[0509] 상기 실드 배선은,

[0510] 상기 제2 기판 내의 증폭 트랜지스터와 상기 제1 기판 내의 플로팅 디퓨전 사이를 접속하는 상기 배선 중, 상기 제2 기판 및 상기 제1 기판을 통과하는 배선 부분을 실드하는 것을 특징으로 하는 (9)에 기재된 촬상 장치.

[0511] (12)

[0512] 상기 실드 배선의 적어도 일부는, 다른 배선에 비교하여 상기 배선과의 간격이 짧게 한 것을 특징으로 하는 (9)에 기재된 촬상 장치.

[0513] (13)

[0514] 상기 배선과 상기 실드 배선 사이의 커플링 용량이, 상기 배선과 다른 배선 사이의 커플링 용량에 비교하여 큰 것을 특징으로 하는 (9)에 기재된 촬상 장치.

[0515] (14)

[0516] 복수의 상기 화소 회로와 복수의 수직 신호선을 통하여 접속되는 열 신호 처리부를 가지고,

[0517] 상기 신호 처리부는, 기준 신호에 의거하여 AD 변환을 행하는 AD 변환기와, 부하 회로를 구비하고, 수직 신호선의 전압에 응한 화소 데이터를 출력하는 (9)에 기재된 촬상 장치.

[0518] (15)

[0519] 복수의 상기 화소 회로와 복수의 수직 신호선을 통하여 접속되는 열 신호 처리부를 가지고,

[0520] 상기 신호 처리부는, RAMP 파형을 생성하여 출력하는 RAMP 발생 회로와,

[0521] 상기 수직 신호선을 통하여 판독된 화소 신호의 전압과 RAMP 파형의 전압을 비교하는 비교기와,

[0522] 상기 비교기의 비교 결과 신호에 의거하여 카운트를 행하는 카운터와,

[0523] 상기 카운터의 카운트 값에 의거하여 화소 데이터를 출력하는 래치를 구비한 (9)에 기재된 촬상 장치.

[0524] (16)

[0525] 상기 비교기는, 싱글 슬로프형의 ADC로서 구성되어 있는 (15)에 기재된 촬상 장치.

[0526] (17)

[0527] 상기 비교기는, 상기 수직 신호선을 통하여 판독된 화소 신호가 소스 단자에 인가되고, 상기 RAMP 파형이 게이트 단자에 인가되고, 게이트-소스간 전압에 의거하는 비교 결과 신호를 출력하는 트랜지스터를 구비하는 (15)에 기재된 촬상 장치.

[0528] (18)

[0529] 복수의 상기 화소 회로와 복수의 수직 신호선을 통하여 접속되는 열 신호 처리부를 가지고,

[0530] 상기 신호 처리부는, 부하 회로와,

[0531] 상기 부하 회로에 기인하여 발생하는 전류를 상기 수직 신호선에 접속되고, 전류 리유즈 회로로서 구성된 전치 회로와,

[0532] 소정의 기준 신호에 의거하여 AD 변환을 행하는 AD 변환기를 구비하고 상기 수직 신호선의 전압에 응한 화소 데이터를 출력하는 (9)에 기재된 촬상 장치.

부호의 설명

[0533] 1: 촬상 장치

100: 제1 기판

100T: 배선층

200: 제2 기판

200T: 배선층

210A: 화소 회로

250: 공통 p웰층

251: 독립 p웰층

541: 화소

554: 비교기

558: 비교기

561: 전치 회로

PD: 포토 다이오드

FD: 플로팅 디퓨전

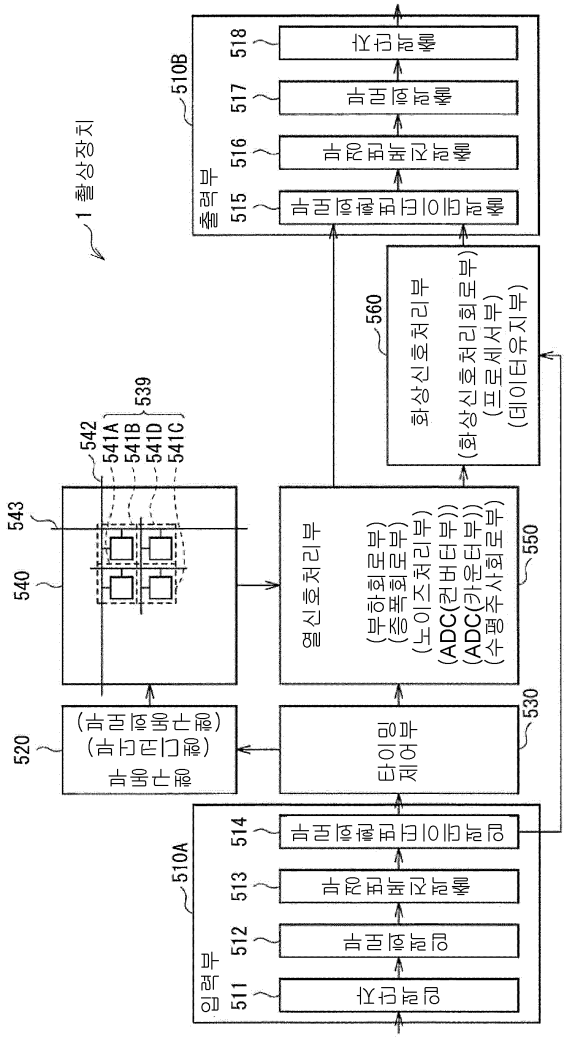
FDL: FD 배선

T: 트렌치

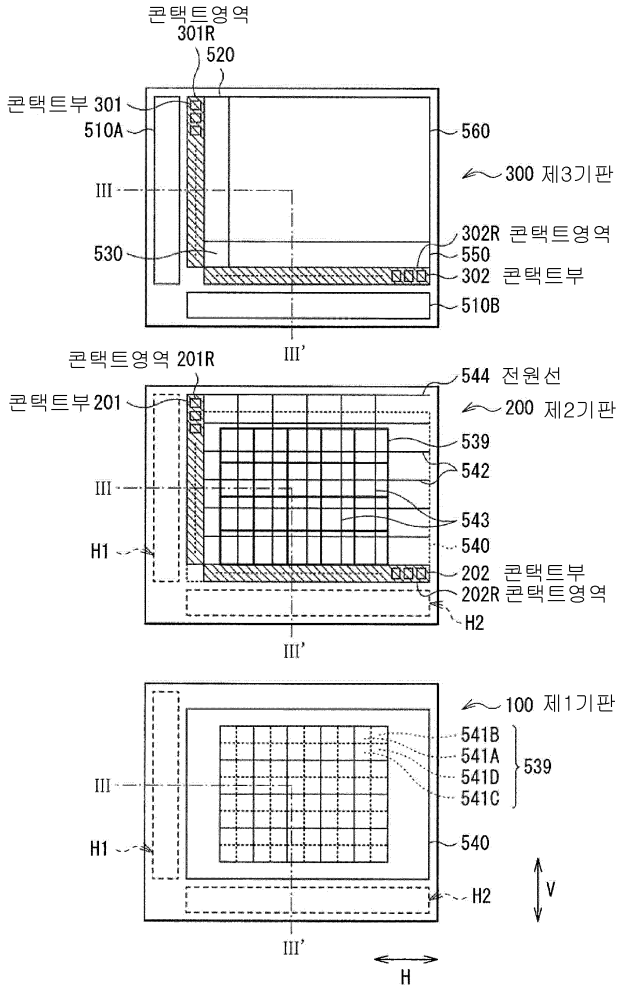
SL: 실드 배선

도면

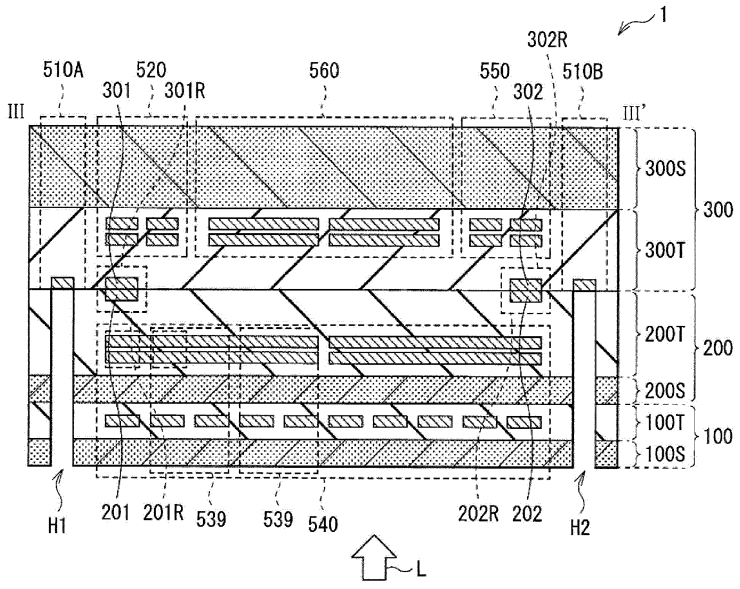
도면1



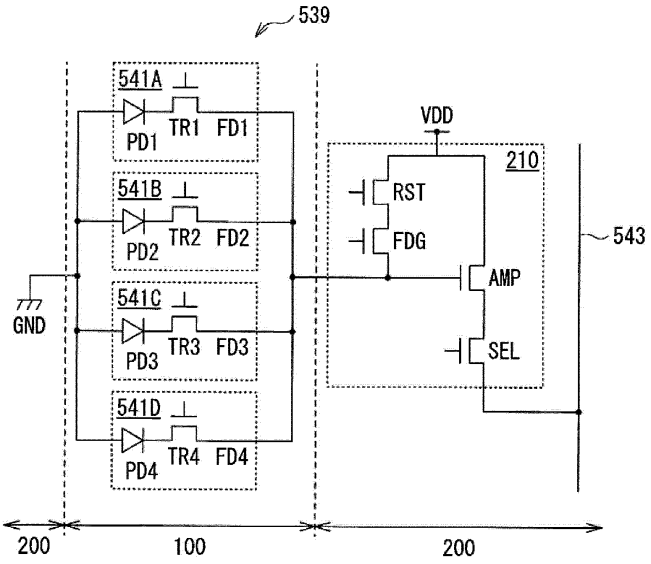
도면2


콘택트영역
301R
520
콘택트부 301
510A
560
300 제3기판
III
302R 콘택트영역
530
550
302 콘택트부
510B
III'
콘택트영역 201R
544 전원선
콘택트부 201
200 제2기판
539
542
III
543
H1
540
202 콘택트부
202R 콘택트영역
H2
III'
100 제1기판
541B
541A
541D
541C
539
III
H1
540
H2
V
III'
H

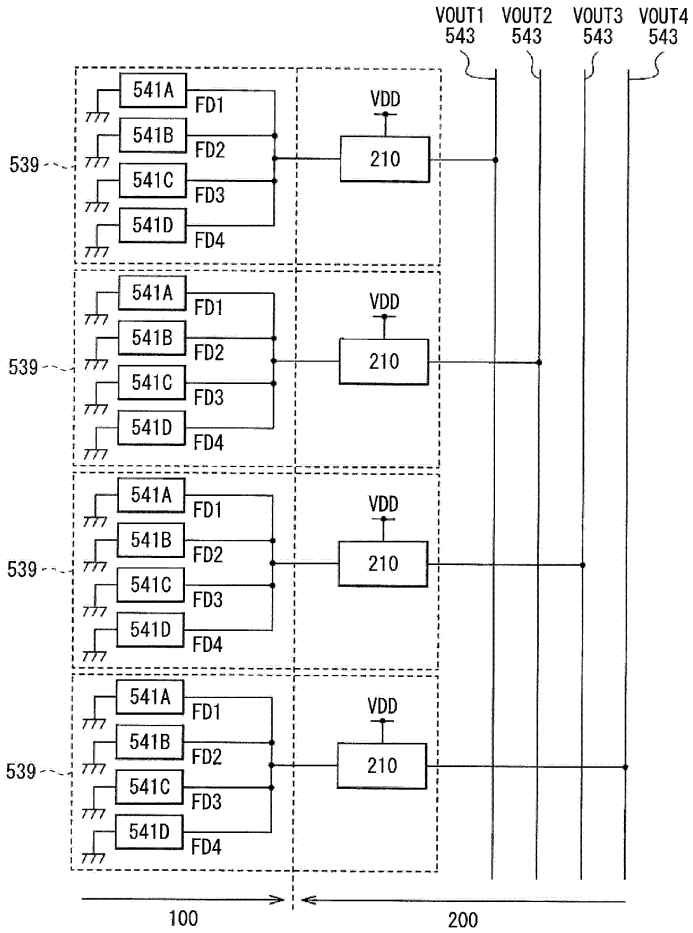
도면3


1
302R
510A
520
560
550
510B
III
301
301R
302
III'
300S
300
300T
200T
200
200S
100T
100
100S
H1
201
201R
539
539
540
202R
202
H2
L

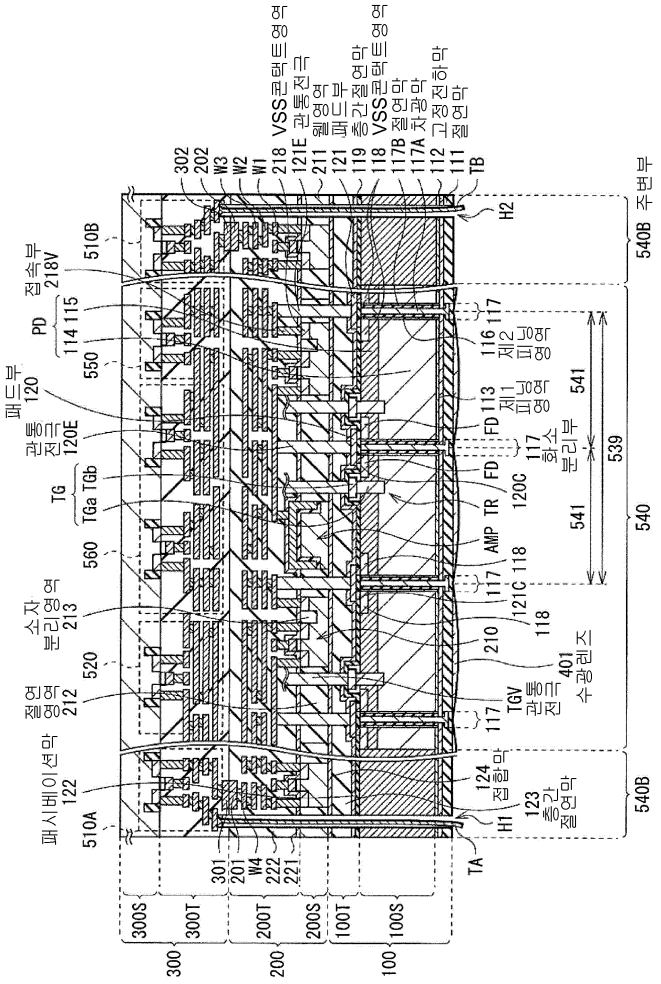
도면4


539
541A
PD1
TR1
FD1
541B
PD2
TR2
FD2
541C
PD3
TR3
FD3
541D
PD4
TR4
FD4
GND
VDD
210
RST
FDG
AMP
SEL
543
200
100
200

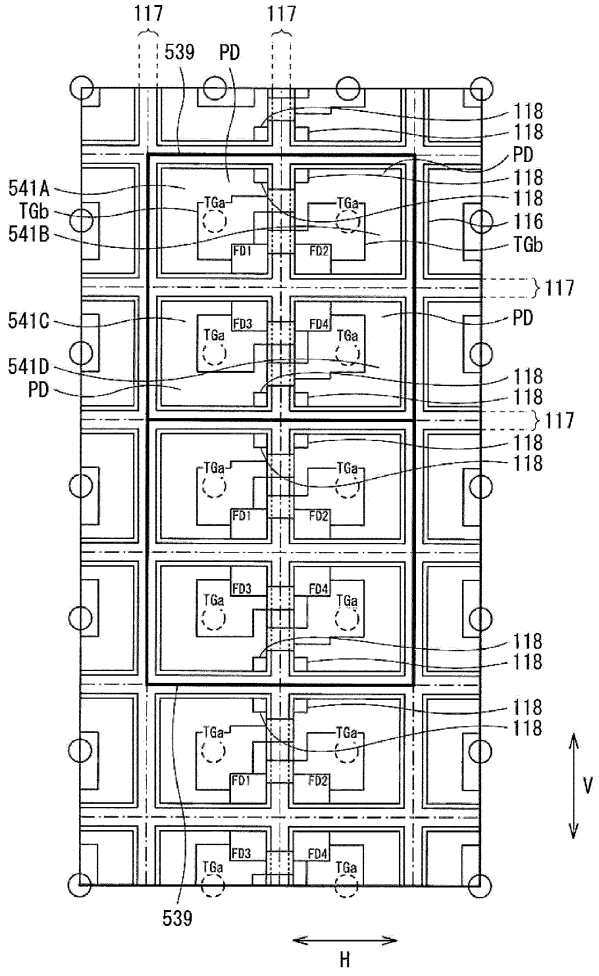
도면5


VOUT1 543
VOUT2 543
VOUT3 543
VOUT4 543
539
541A
FD1
541B
FD2
541C
FD3
541D
FD4
VDD
210
100
200

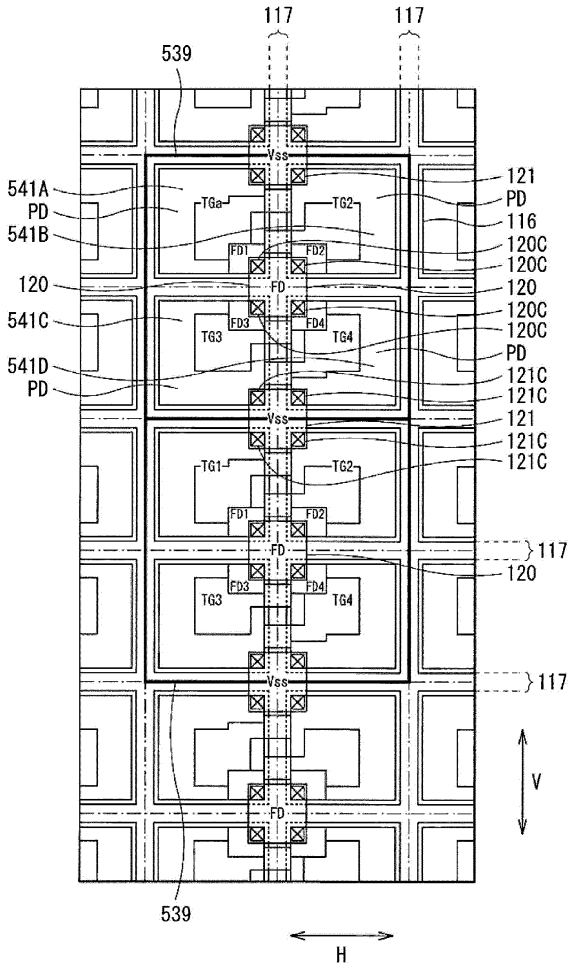
도면6


302
202
W3
W2
W1
218 VSS콘택트영역
121E 관통전극
211 웰영역
121 패드연결막
119 층간절연막
118 VSS콘택트영역
117B 절연막
117A 차광막
112 고정전하막
111 절연막
TB
H2
540B 주변부
510B
접속부 218V
PD 114 115
550
패드부 120
관통전극 120E
TG TGa TGb
560
소자분리영역 213
520
절연영역 212
패시베이션막 122
510A
301
201
W4
222
221
TA
H1 123 층간절연막
124 접합막
TGV 관통전극 117
401 수광렌즈
210
121C 118
AMP TR 120C
FD 113 제1고농도영역
FD 117 화소분리부
116 117 제2고농도영역
541
539
540
540B
300S
300T
200T
200S
100T
100S
300
200
100

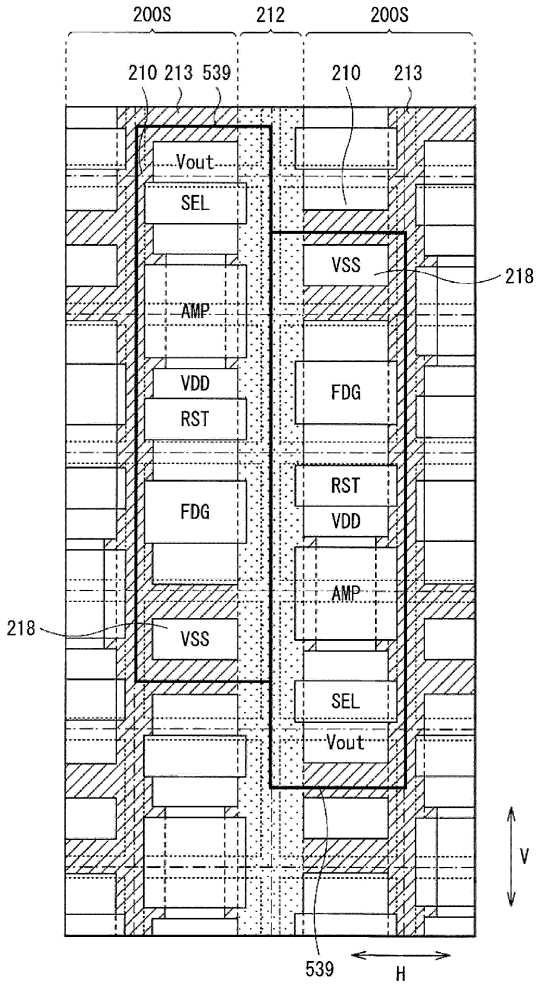
도면7a


117
117
539
PD
118
118
PD
118
118
116
TGb
541A
TGb
541B
TGa
FD1
FD2
117
541C
541D
PD
FD3
FD4
PD
118
118
117
118
118
118
118
118
118
V
539
H

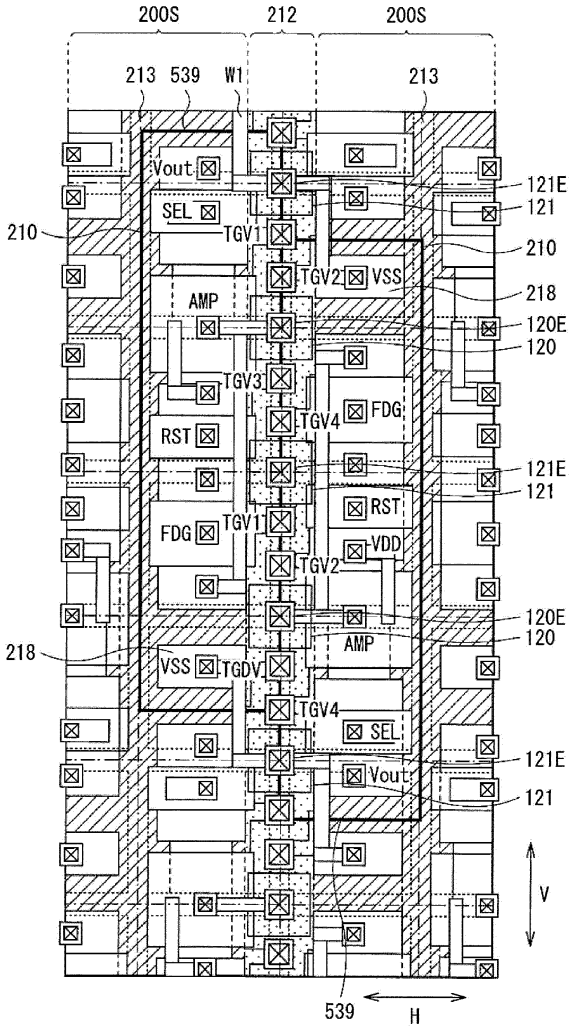
도면7b


117
117
539
Vss
121
PD
116
120C
120C
120
120C
120C
PD
121C
121C
121
121C
121C
541A
PD
541B
120
541C
541D
PD
TGa
TG2
FD1
FD2
FD
FD3
FD4
TG3
TG4
TG1
117
120
117
V
539
H

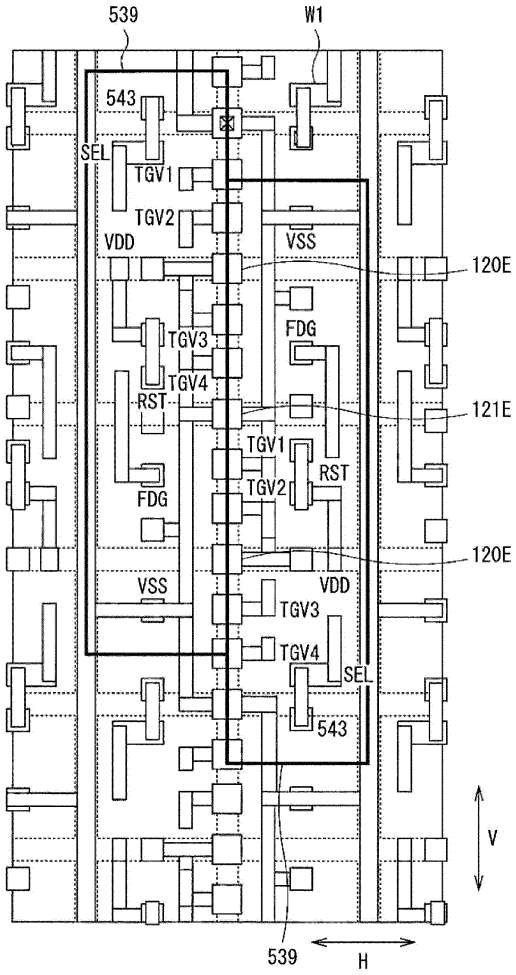
도면8


200S
212
200S
210 213 539
210
213
Vout
SEL
VSS
218
AMP
VDD
RST
FDG
FDG
RST
VDD
AMP
218
VSS
SEL
Vout
V
539
H

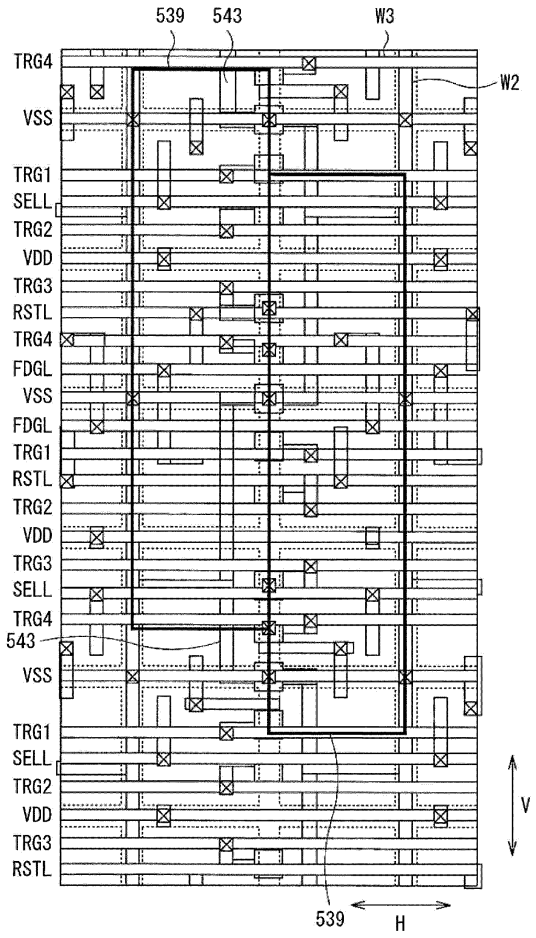
도면9


200S
212
200S
213
539
W1
213
Vout
SEL
TGV1
TGV2
VSS
AMP
TGV3
TGV4
FDG
RST
RST
VDD
FDG
TGV1
TGV2
AMP
VSS
TGDV
TGV4
SEL
Vout
121E
121
210
210
218
120E
120
121E
121
120E
120
218
121E
121
V
539
H

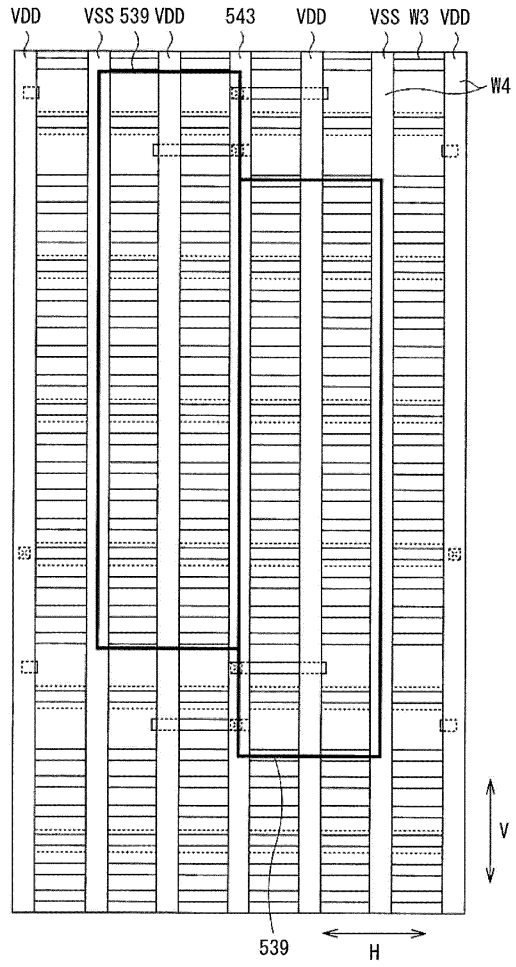
도면10


539
W1
543
SEL
TGV1
TGV2
VDD
VSS
120E
FDG
TGV3
TGV4
RST
121E
TGV1
RST
TGV2
FDG
120E
VSS
VDD
TGV3
TGV4
SEL
543
V
539
H

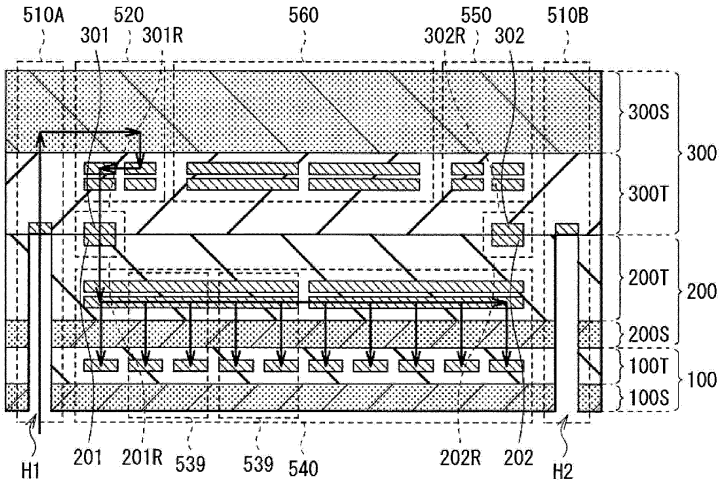
도면11


539
543
W3
W2
TRG4
VSS
TRG1
SELL
TRG2
VDD
TRG3
RSTL
TRG4
FDGL
VSS
FDGL
TRG1
RSTL
TRG2
VDD
TRG3
SELL
TRG4
543
VSS
TRG1
SELL
TRG2
VDD
TRG3
RSTL
V
539
H

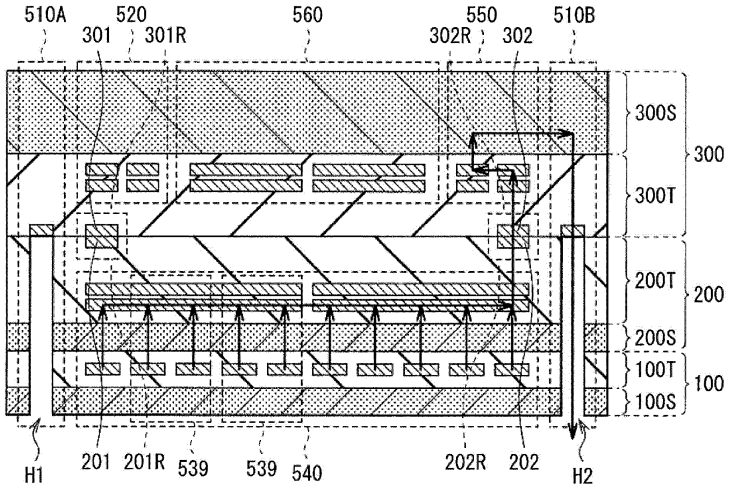
도면12


VDD
VSS
539
VDD
543
VDD
VSS
W3
VDD
W4
V
539
H

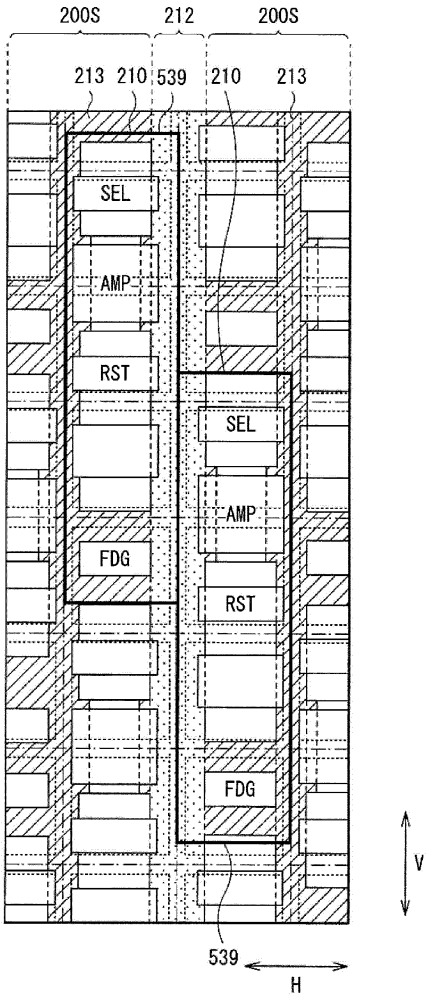
도면13


510A
520
301
301R
560
550
302R
302
510B
300S
300
300T
200T
200
200S
100T
100
100S
H1
201
201R
539
539
540
202R
202
H2

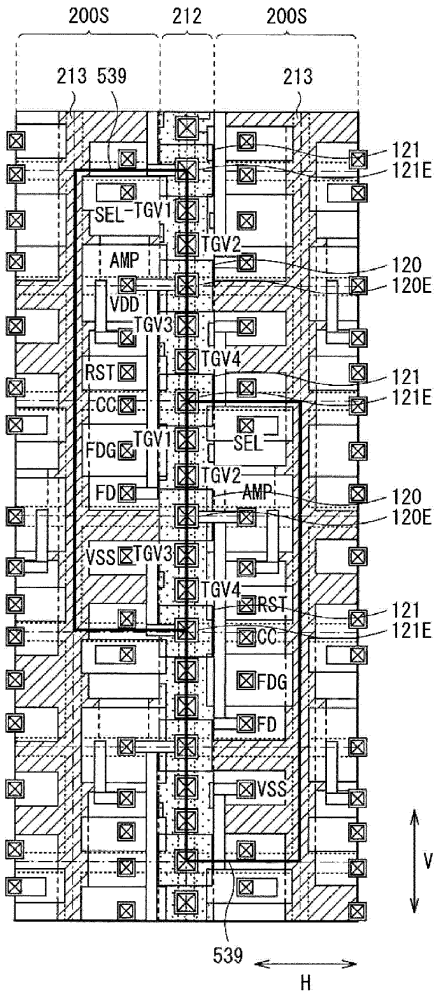
도면14


510A
520
301
301R
560
550
302R
302
510B
300S
300
300T
200T
200
200S
100T
100
100S
H1
201
201R
539
539
540
202R
202
H2

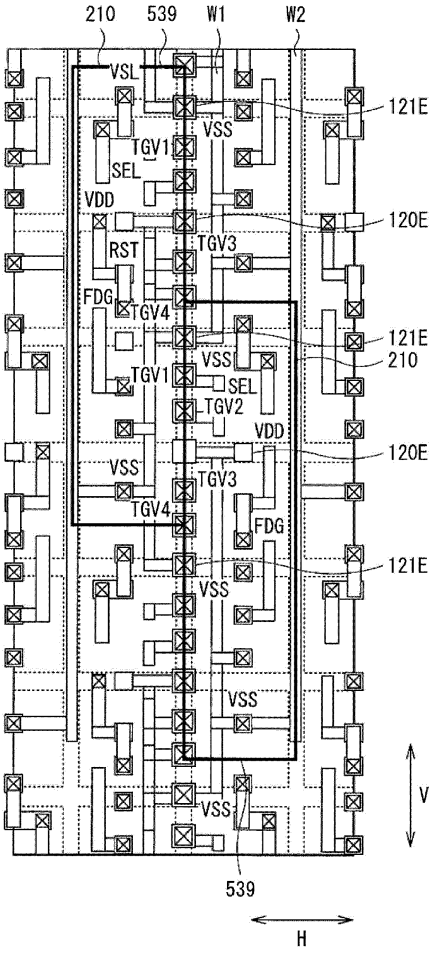
도면15


200S
212
200S
213
210
539
210
213
SEL
AMP
RST
SEL
AMP
FDG
RST
FDG
V
539
H

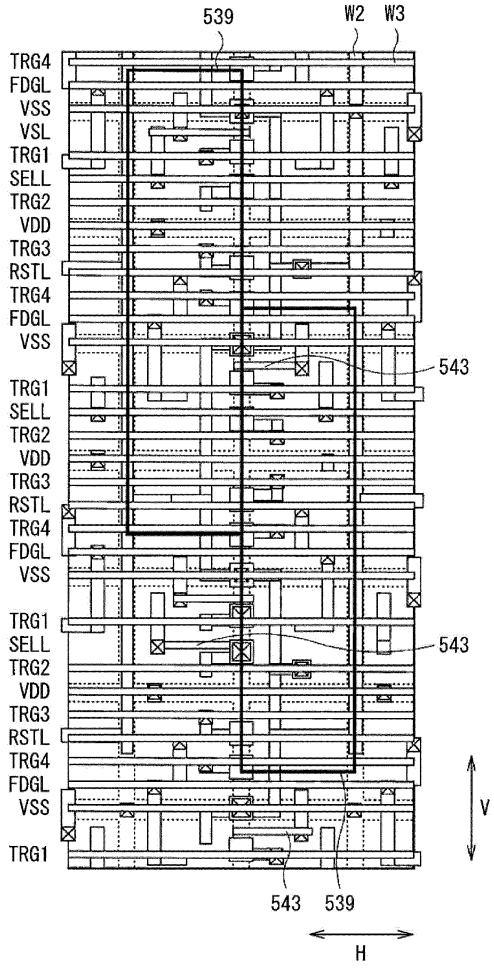
도면16


200S
212
200S
213
539
213
121
121E
SEL
TGV1
TGV2
AMP
120
120E
VDD
TGV3
TGV4
RST
121
121E
CC
SEL
FDG
TGV1
TGV2
AMP
FD
120
120E
VSS
TGV3
TGV4
RST
121
121E
CC
FDG
FD
VSS
V
539
H

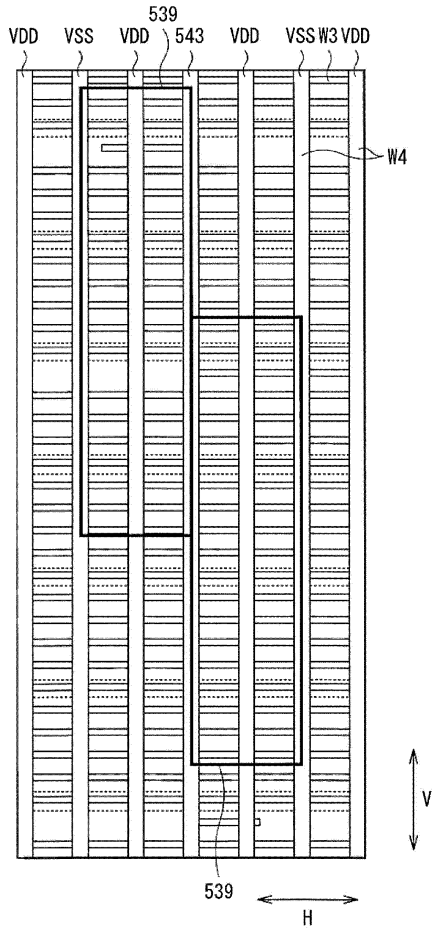
도면17


210
539
W1
W2
VSL
121E
VSS
TGV1
SEL
VDD
120E
TGV3
RST
FDG
TGV4
121E
210
VSS
TGV1
SEL
TGV2
VDD
120E
VSS
TGV3
TGV4
FDG
121E
VSS
VSS
V
VSS
539
H

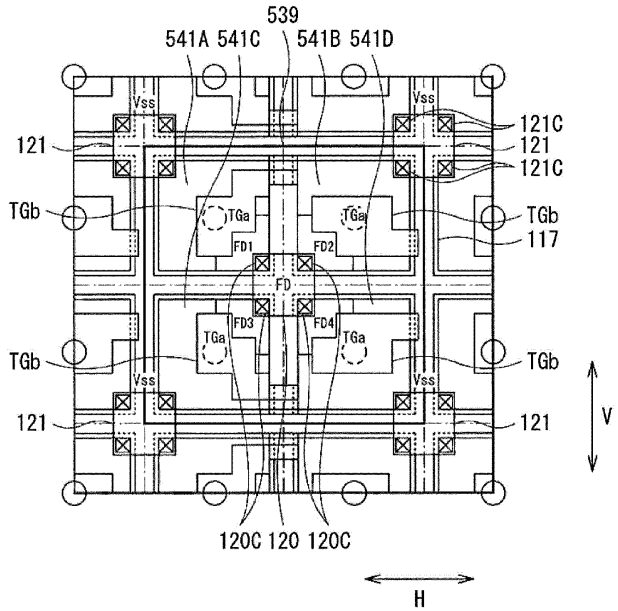
도면18


539
W2
W3
TRG4
FDGL
VSS
VSL
TRG1
SELL
TRG2
VDD
TRG3
RSTL
TRG4
FDGL
VSS
543
TRG1
SELL
TRG2
VDD
TRG3
RSTL
TRG4
FDGL
VSS
543
TRG1
SELL
TRG2
VDD
TRG3
RSTL
TRG4
FDGL
VSS
TRG1
V
543
539
H

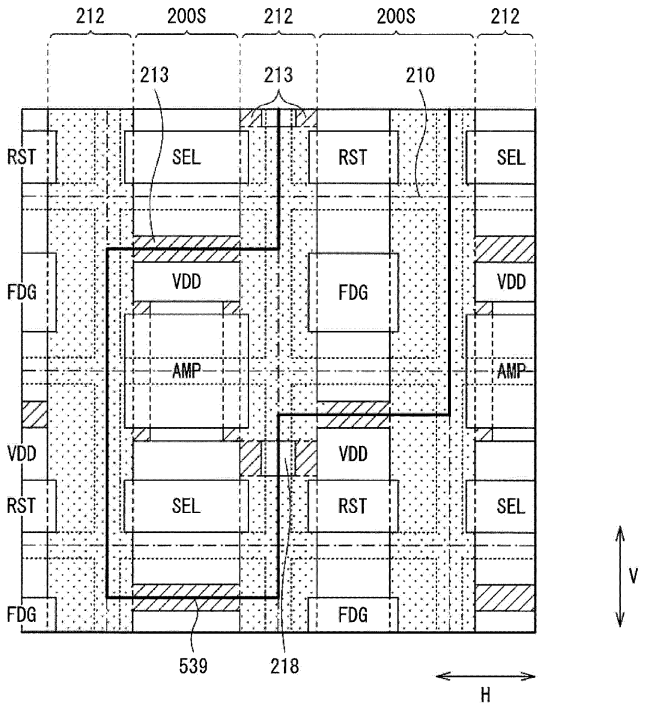
도면19


539
VDD
VSS
VDD
543
VDD
VSS
W3
VDD
W4
V
539
H

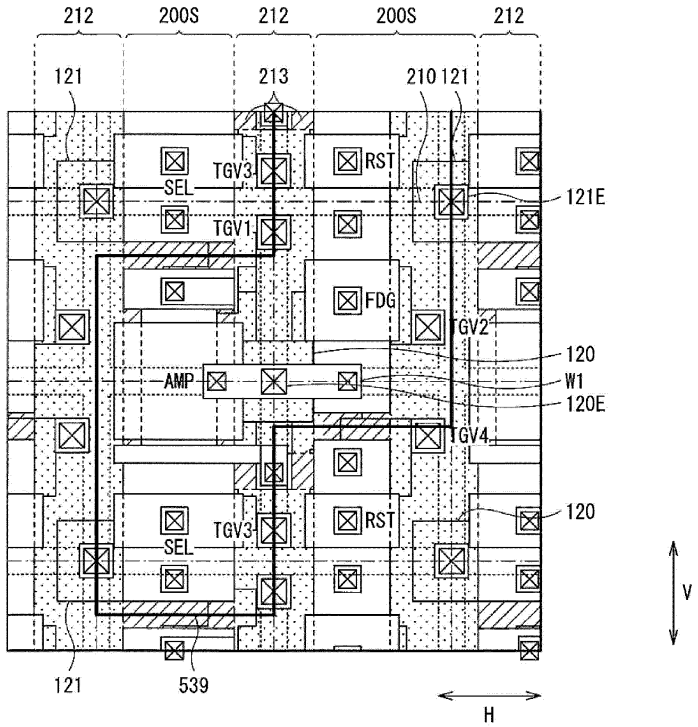
도면20


539
541A
541C
541B
541D
Vss
121C
121
121C
121
TGb
TGa
TGa
TGb
117
FD1
FD2
FD
FD3
FD4
TGa
TGa
TGb
TGb
Vss
Vss
121
121
V
120C
120
120C
H

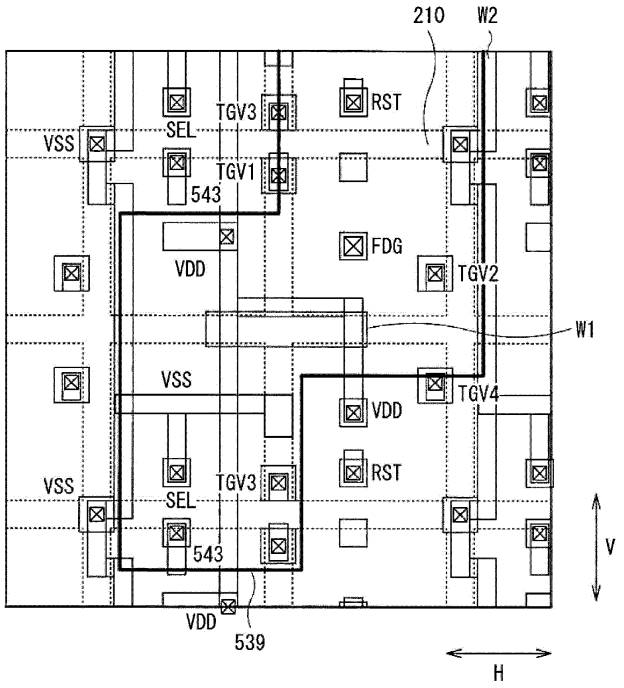
도면21


212
200S
212
200S
212
213
213
210
RST
SEL
RST
SEL
FDG
VDD
FDG
VDD
AMP
AMP
VDD
VDD
RST
SEL
RST
SEL
FDG
FDG
539
218
V
H

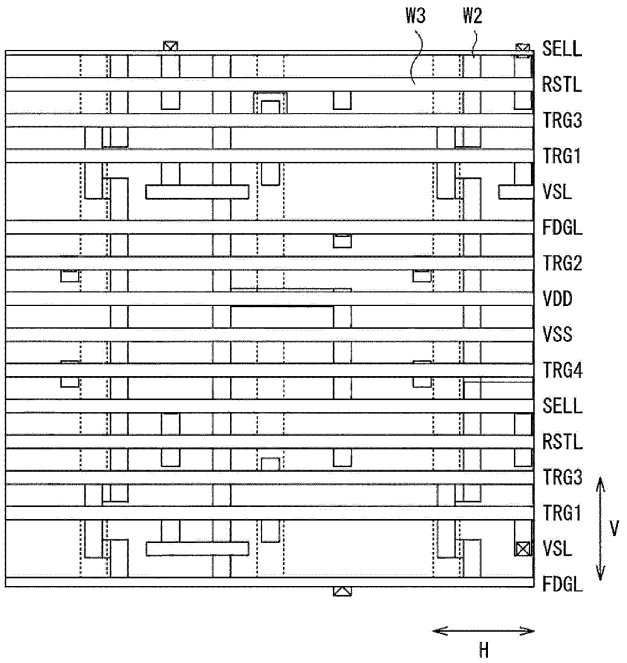
도면22


212
200S
212
200S
212
121
213
210
121
TGV3
RST
SEL
121E
TGV1
FDG
TGV2
120
AMP
W1
120E
TGV4
120
TGV3
RST
SEL
121
539
V
H

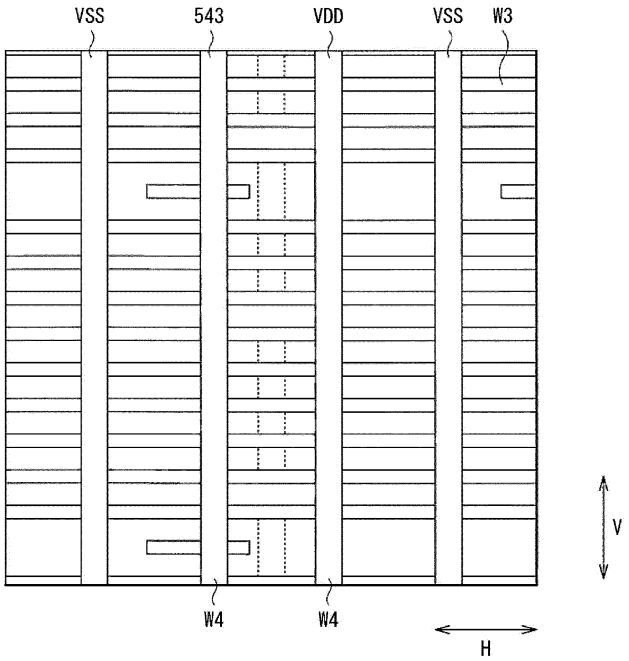
도면23


210
W2
RST
TGV3
SEL
VSS
TGV1
543
FDG
VDD
TGV2
W1
VSS
TGV4
VDD
RST
VSS
TGV3
SEL
543
V
VDD
539
H

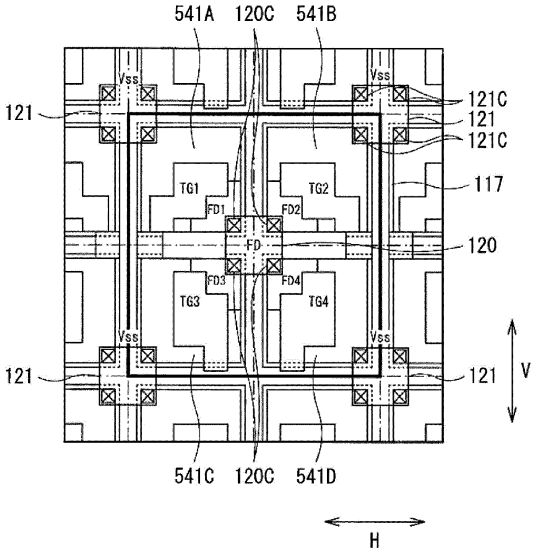
도면24


W3
W2
SELL
RSTL
TRG3
TRG1
VSL
FDGL
TRG2
VDD
VSS
TRG4
SELL
RSTL
TRG3
TRG1
VSL
FDGL
V
H

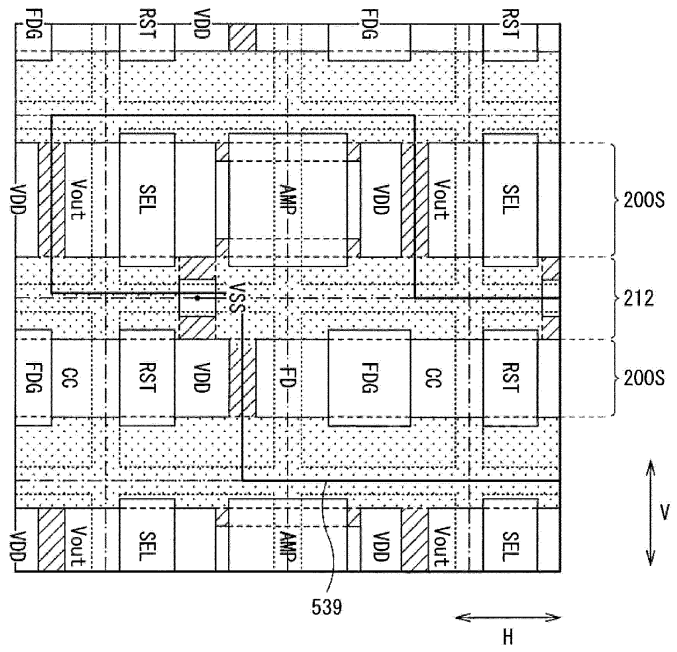
도면25


VSS
543
VDD
VSS
W3
W4
W4
V
H

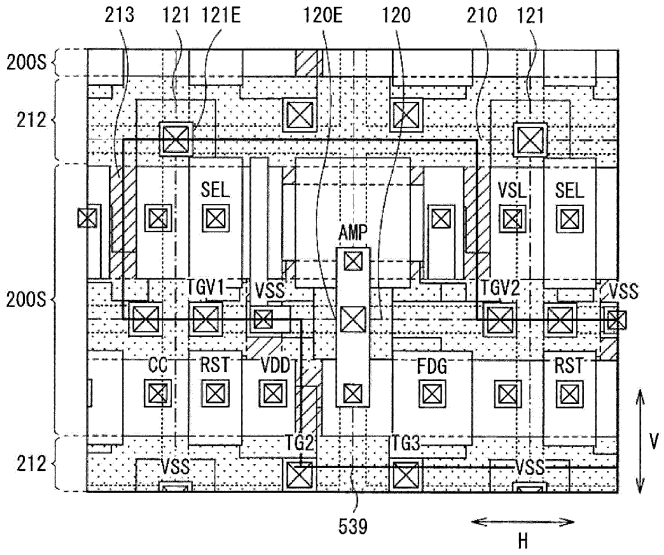
도면26


541A
120C
541B
121
121C
121
121C
117
120
121
121
V
541C
120C
541D
H
TG1
TG2
TG3
TG4
FD1
FD2
FD3
FD4
FD
Vss

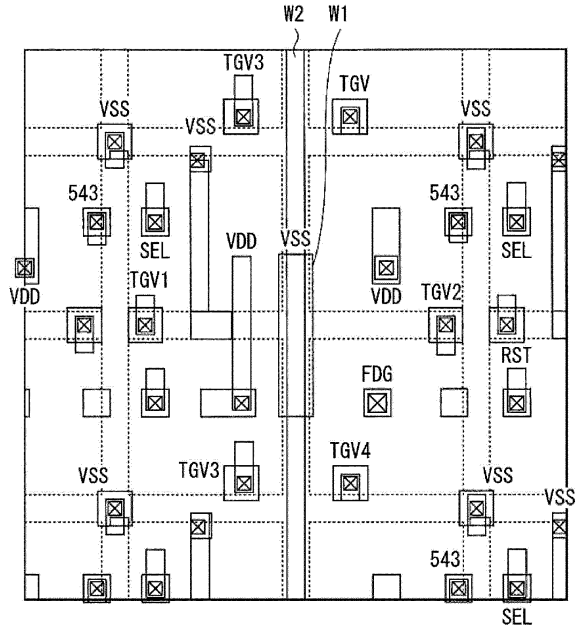
도면27


FDG
RST
VDD
FDG
RST
VDD
Vout
SEL
AMP
VDD
Vout
SEL
200S
VSS
212
FDG
CC
RST
VDD
FD
FDG
CC
RST
200S
V
VDD
Vout
SEL
AMP
VDD
Vout
SEL
539
H

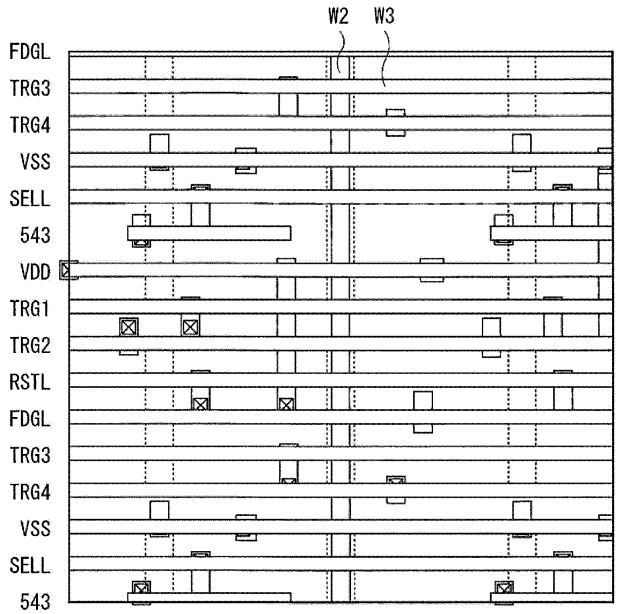
도면28


213
121
121E
120E
120
210
121
200S
212
SEL
VSL
SEL
AMP
200S
TGV1
VSS
TGV2
VSS
CC
RST
VDD
FDG
RST
V
212
TG2
TG3
VSS
VSS
539
H

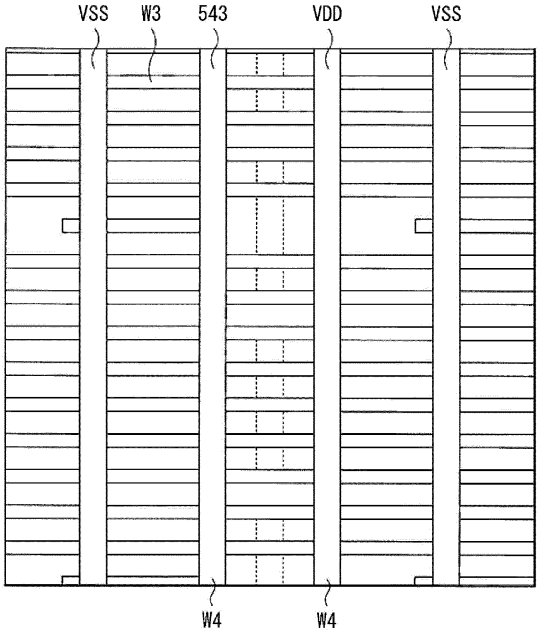
도면29


W2
W1
TGV3
TGV
VSS
VSS
VSS
543
543
SEL
SEL
VDD
VSS
VDD
TGV1
VDD
TGV2
RST
FDG
TGV4
TGV3
VSS
VSS
VSS
543
SEL

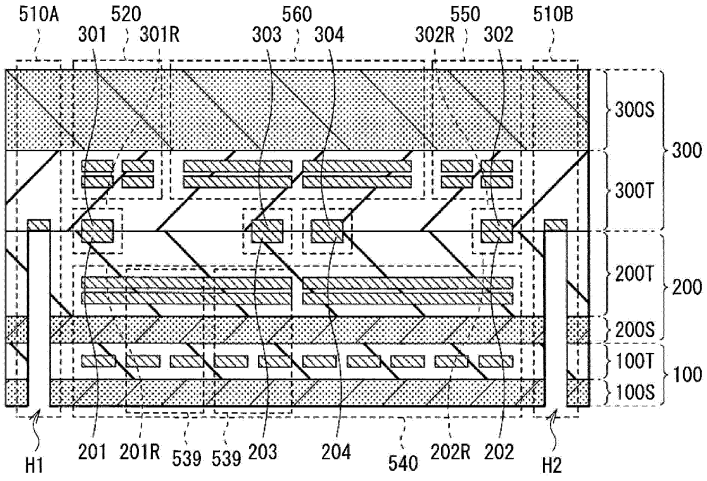
도면30


W2
W3
FDGL
TRG3
TRG4
VSS
SELL
543
VDD
TRG1
TRG2
RSTL
FDGL
TRG3
TRG4
VSS
SELL
543

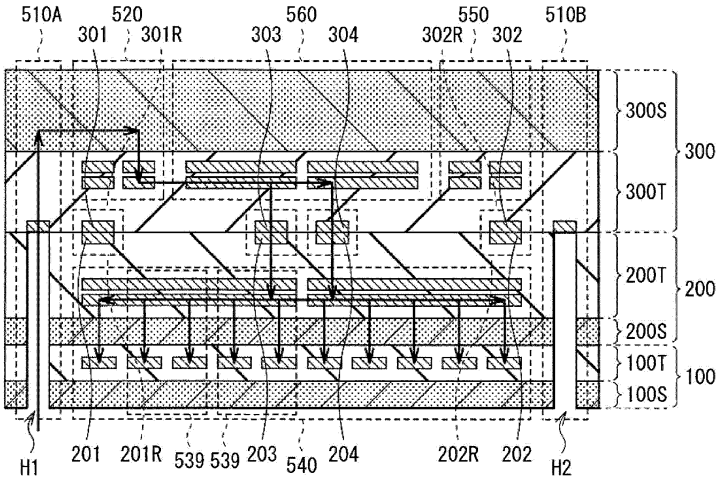
도면31


VSS
W3
543
VDD
VSS
W4
W4

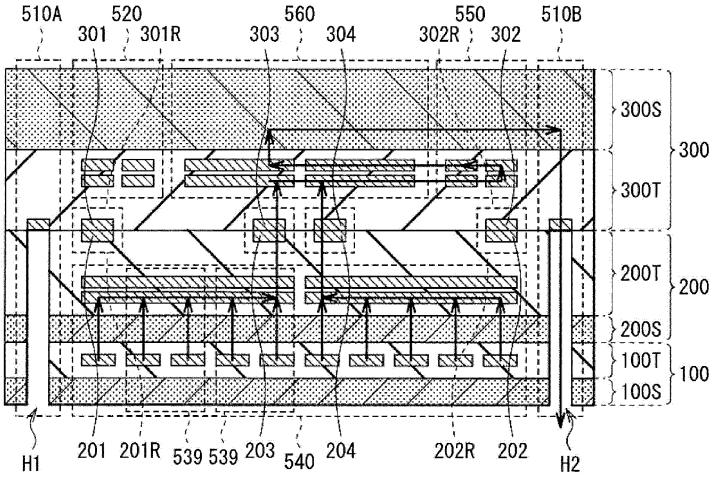
도면32


510A
520
301
301R
560
303
304
550
302R
302
510B
300S
300T
300
200T
200S
200
100T
100S
100
H1
201
201R
539
539
203
204
540
202R
202
H2

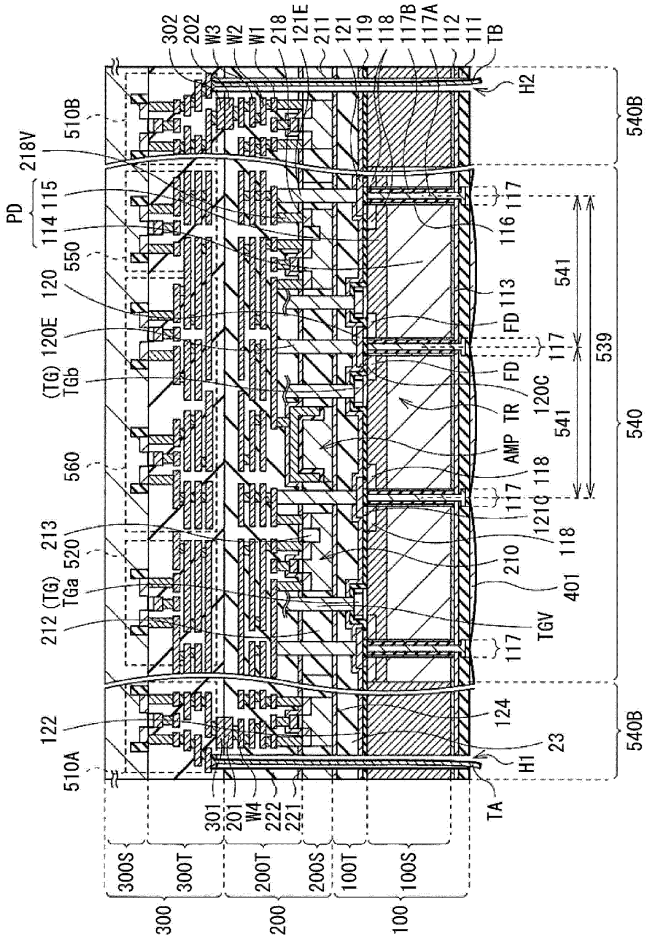
도면33


510A
520
301
301R
560
303
304
550
302R
302
510B
300S
300T
300
200T
200S
200
100T
100S
100
H1
201
201R
539
539
203
540
204
202R
202
H2

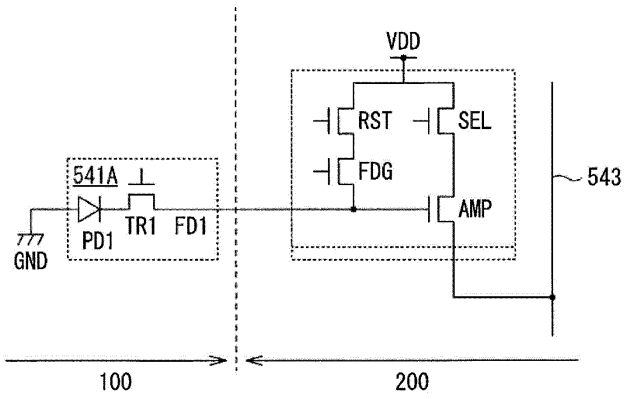
도면34


510A
520
301
301R
560
303
304
550
302R
302
510B
300S
300T
300
200T
200S
200
100T
100S
100
H1
201
201R
539
539
203
540
204
202R
202
H2

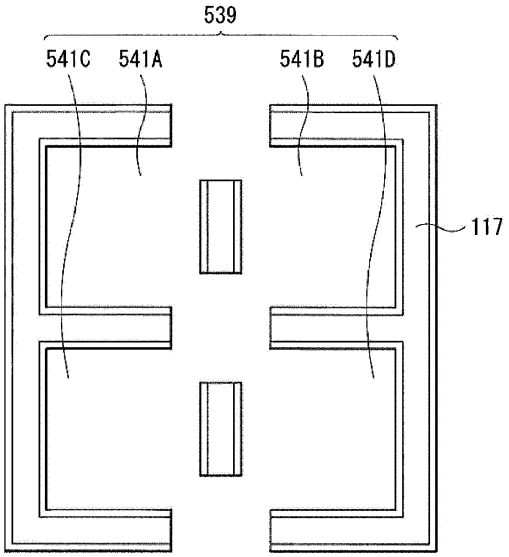
도면35


302
202
W3
W2
W1
218
121E
211
121
119
118
117B
117A
112
111
TB
H2
540B
510B
218V
PD
115
114
550
120
120E
(TG)
TGb
560
213
520
212
(TG)
TGa
510A
122
116
117
113
FD
TR
AMP
120C
118
121C
210
401
TGV
124
23
H1
TA
541
539
540
301
201
W4
222
221
300S
300T
200T
200S
100T
100S
300
200
100

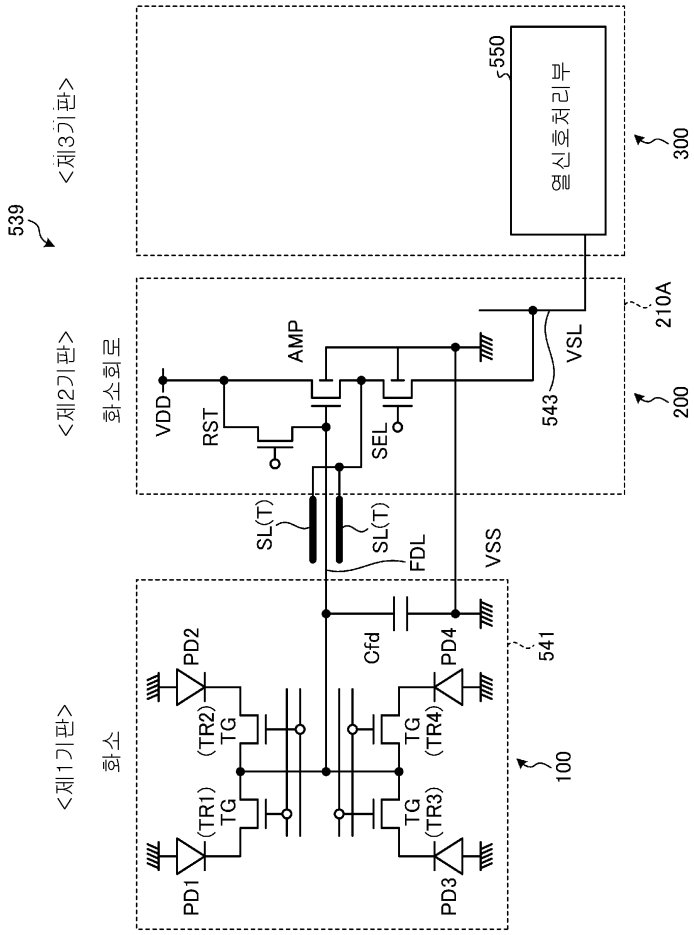
도면36


VDD
RST
SEL
FDG
AMP
543
541A
PD1
TR1
FD1
GND
100
200

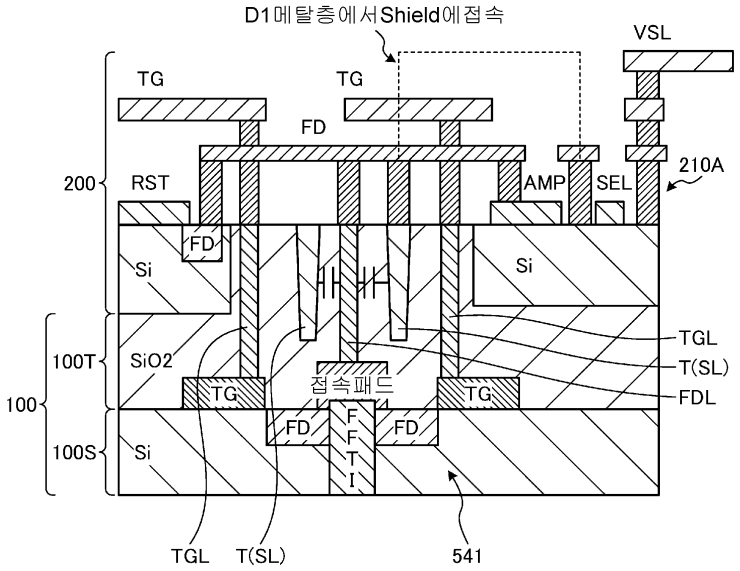
도면37


539
541C
541A
541B
541D
117

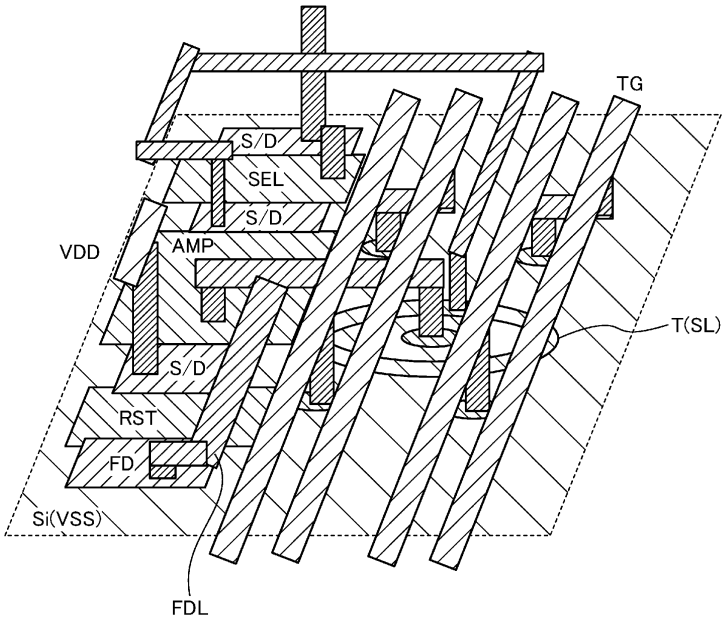
도면38


539
<제3기판>
550
열신호처리부
300
<제2기판>
화소회로
210A
200
VDD
RST
AMP
SEL
VSL
543
SL(T)
SL(T)
FDL
VSS
<제1기판>
화소
541
100
PD1
PD2
PD3
PD4
(TR1) TG
(TR2) TG
(TR3) TG
(TR4) TG
Cfd

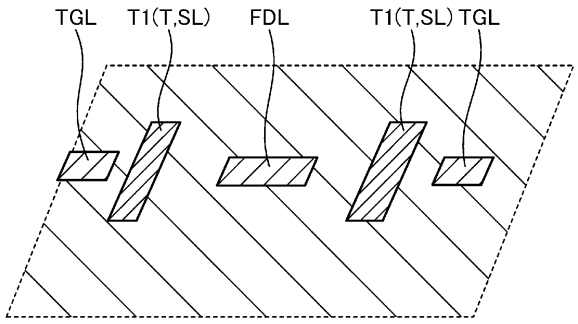
도면39


D1메탈층에서Shield에접속
VSL
TG
TG
FD
200
RST
AMP
SEL
210A
FD
Si
Si
TGL
100T
SiO2
T(SL)
접속패드
FDL
100
TG
TG
FD
FD
FFTI
100S
Si
TGL
T(SL)
541

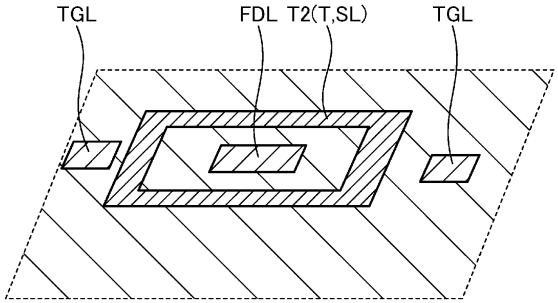
도면40


TG
S/D
SEL
S/D
VDD
AMP
T(SL)
S/D
RST
FD
Si(VSS)
FDL

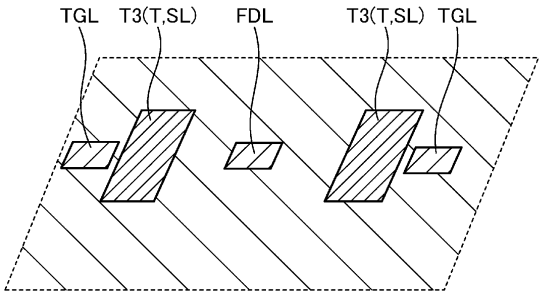
도면41



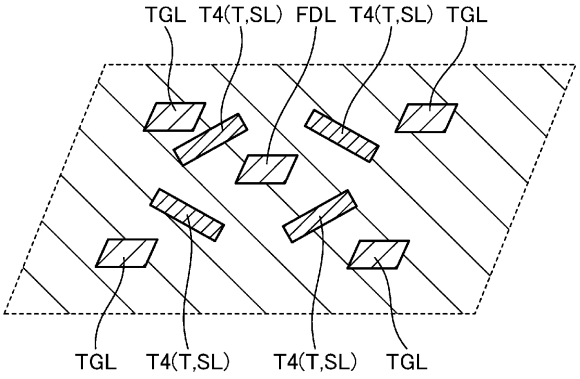
도면42



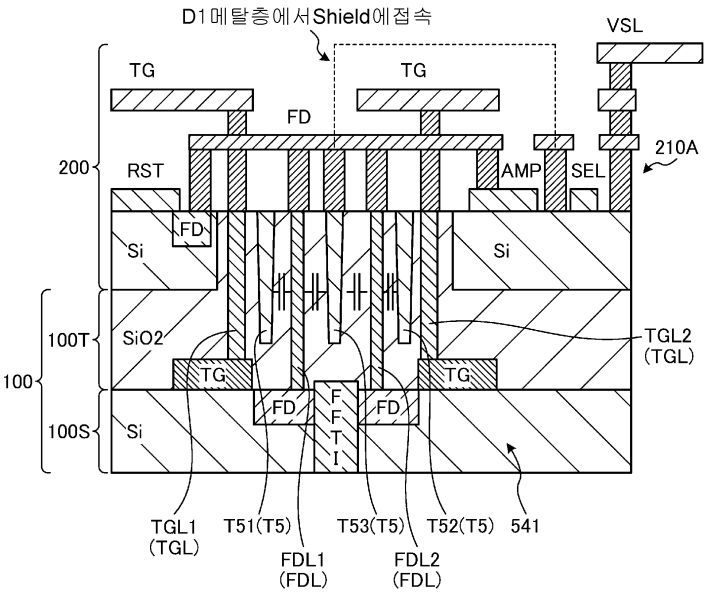
도면43



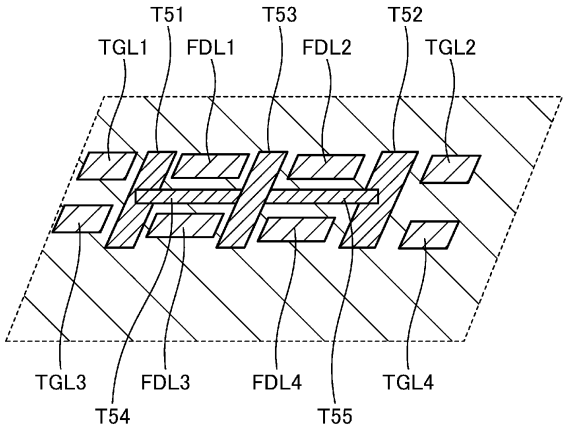
도면44



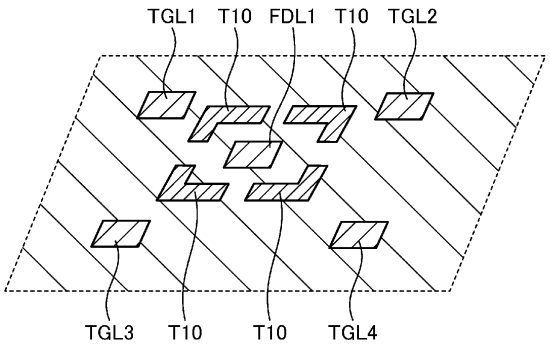
도면45



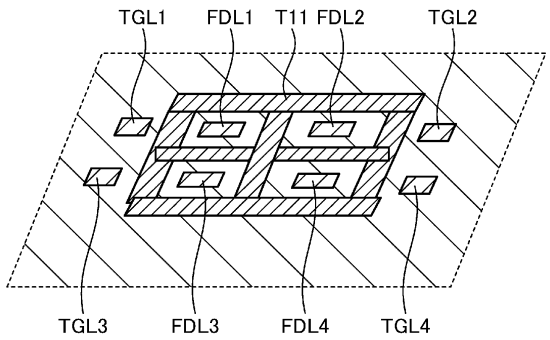
도면46a



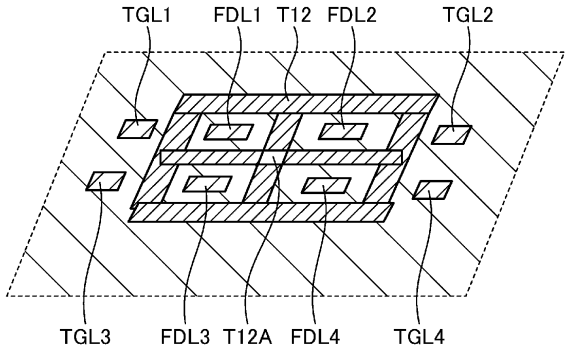
도면46b



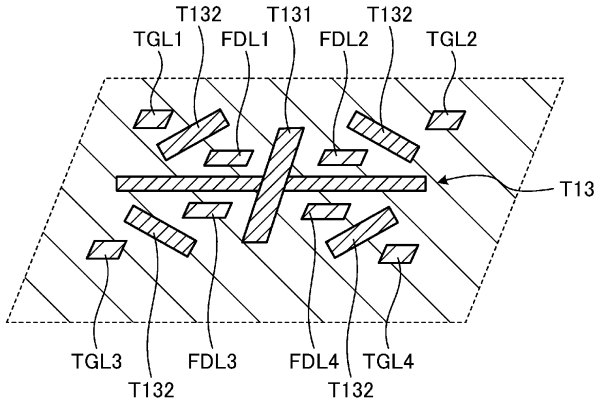
도면46c



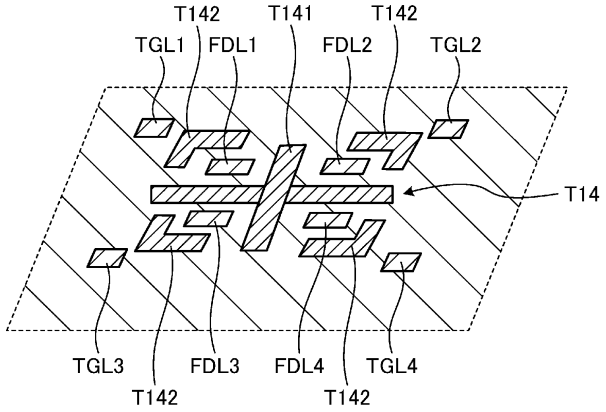
도면46d



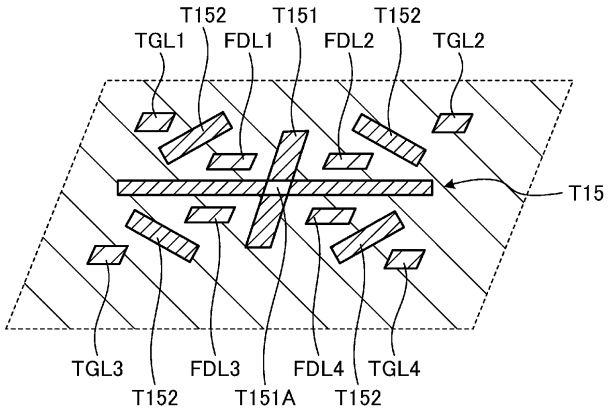
도면46e



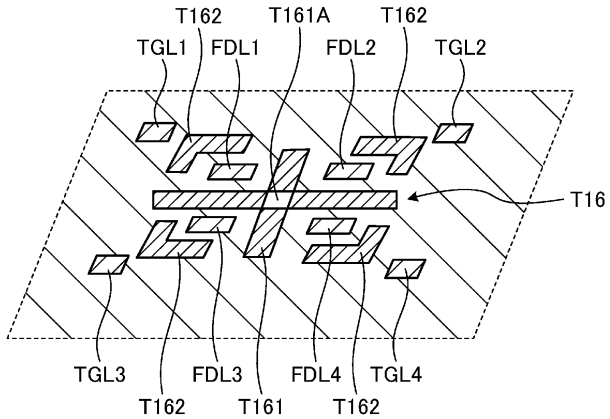
도면46f



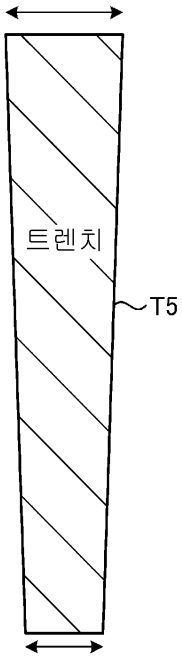
도면46g



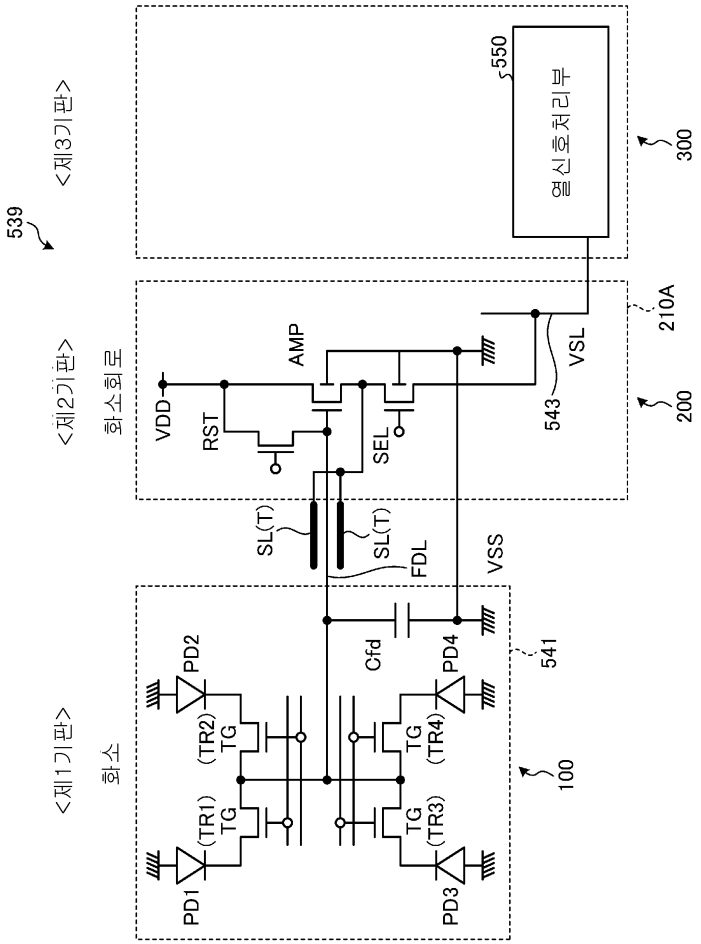
도면46h



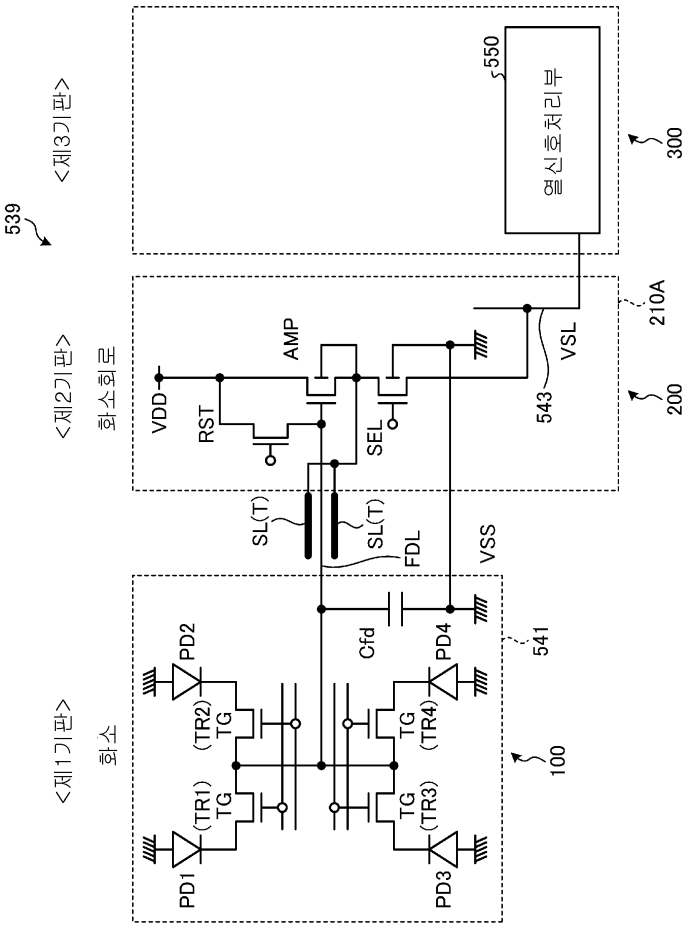
도면47



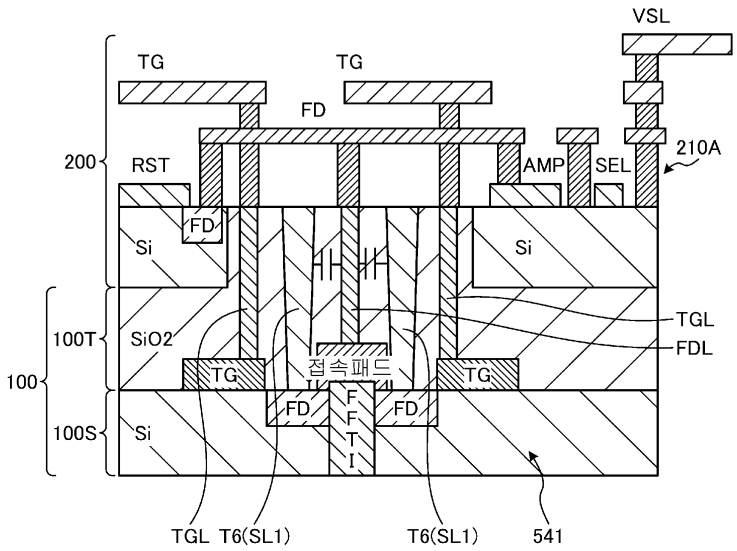
도면48a


539
<제3기판>
550
열신호처리부
300
<제2기판>
화소회로
VDD
RST
AMP
SEL
VSL
543
210A
200
SL(T)
SL(T)
FDL
VSS
<제1기판>
화소
PD2
(TR2)
TG
PD4
TG
(TR4)
Cfd
541
(TR1)
TG
TG
(TR3)
PD1
PD3
100

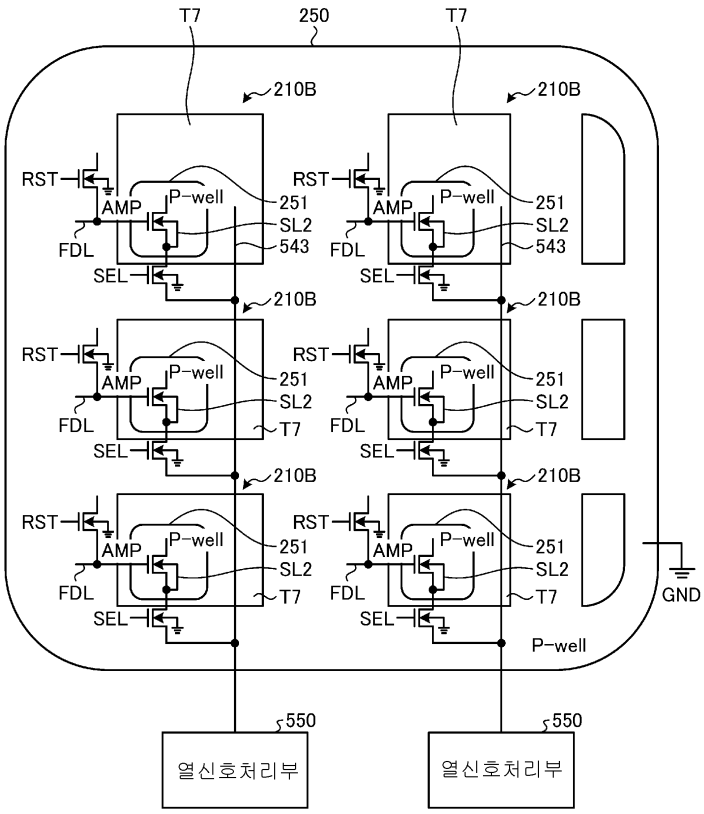
도면48b


539
<제3기판>
550
열신호처리부
300
<제2기판>
화소회로
AMP
VDD
RST
SEL
VSL
543
210A
200
SL(T)
SL(T)
FDL
VSS
Cfd
PD2
PD4
541
(TR2)
TG
TG
(TR4)
(TR1)
TG
TG
(TR3)
PD1
PD3
<제1기판>
화소
100

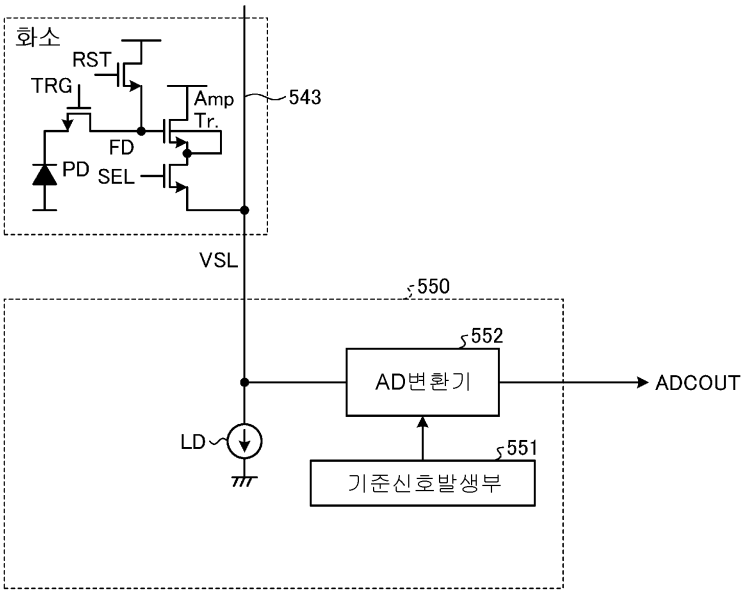
도면49


VSL
TG
TG
FD
200
RST
AMP
SEL
210A
FD
Si
Si
100T
SiO2
TGL
FDL
100
TG
접속패드
TG
FD
FD
100S
Si
TGL
T6(SL1)
T6(SL1)
541

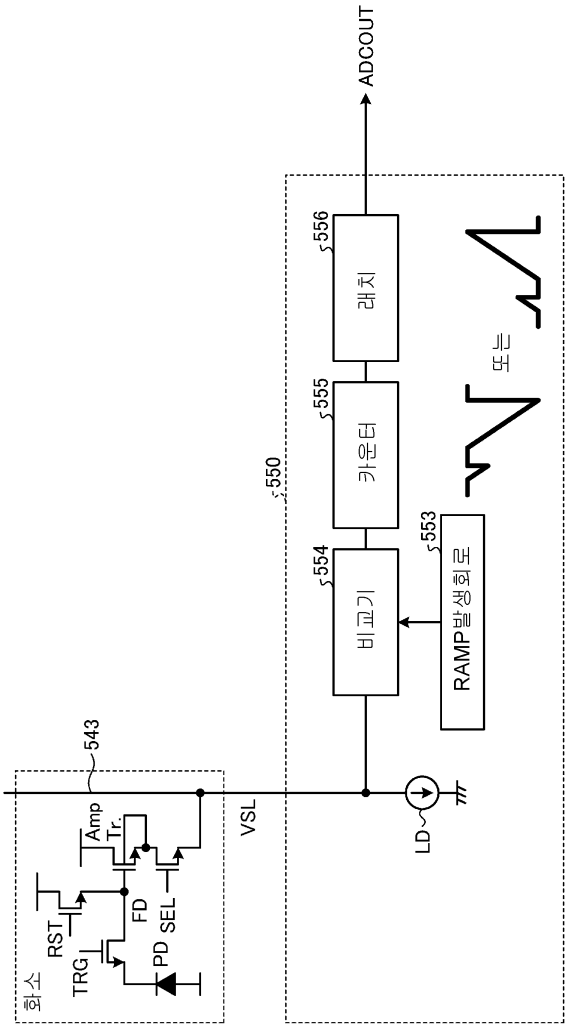
도면50a


T7
250
T7
210B
210B
RST
AMP
P-well
251
SL2
543
FDL
SEL
T7
GND
P-well
550
열신호처리부

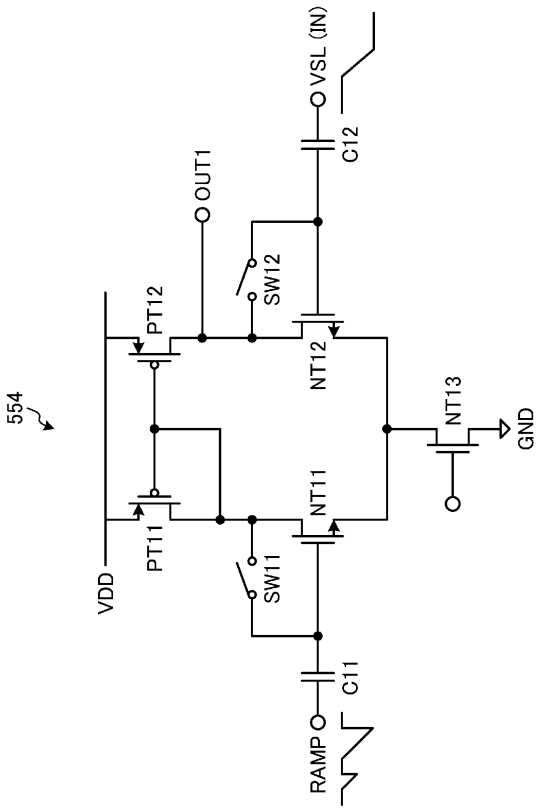
도면50b


화소
RST
TRG
Amp
Tr.
FD
PD
SEL
543
VSL
550
552
AD변환기
ADCOUT
LD
551
기준신호발생부

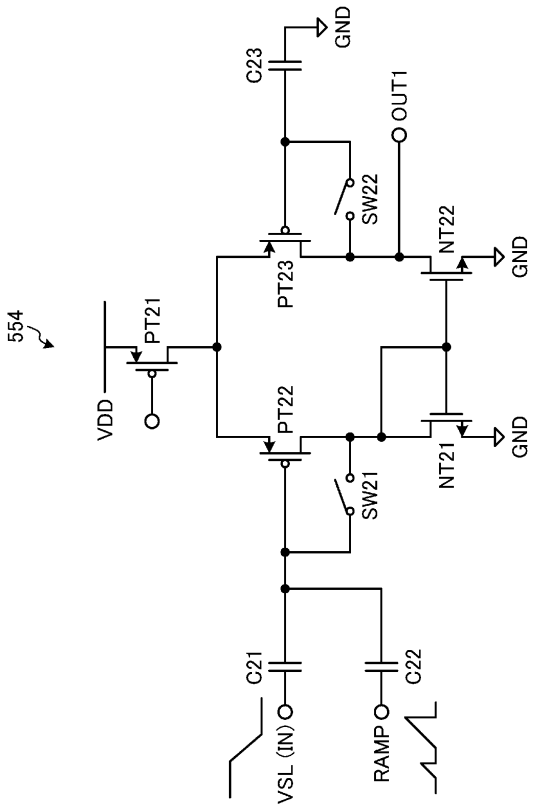
도면50c


ADCOUT
래치
카운터
비교기
RAMP발생회로
또는
550
553
554
555
556
543
화소
RST
TRG
FD
PD
SEL
Amp
Tr.
VSL
LD

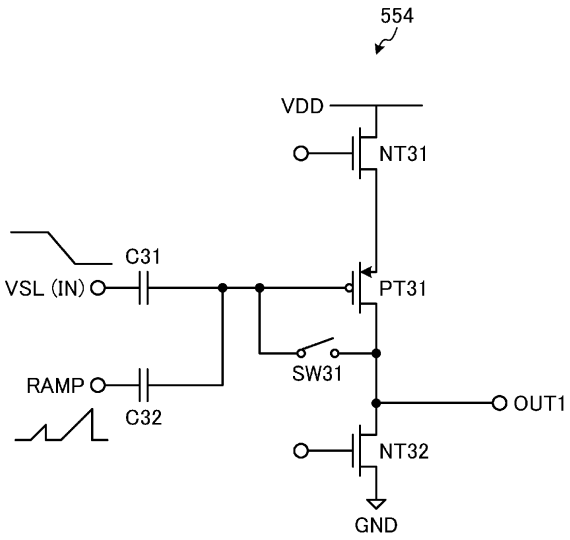
도면50d


554
VDD
PT11
PT12
OUT1
SW11
SW12
NT11
NT12
NT13
GND
C11
C12
RAMP
VSL (IN)

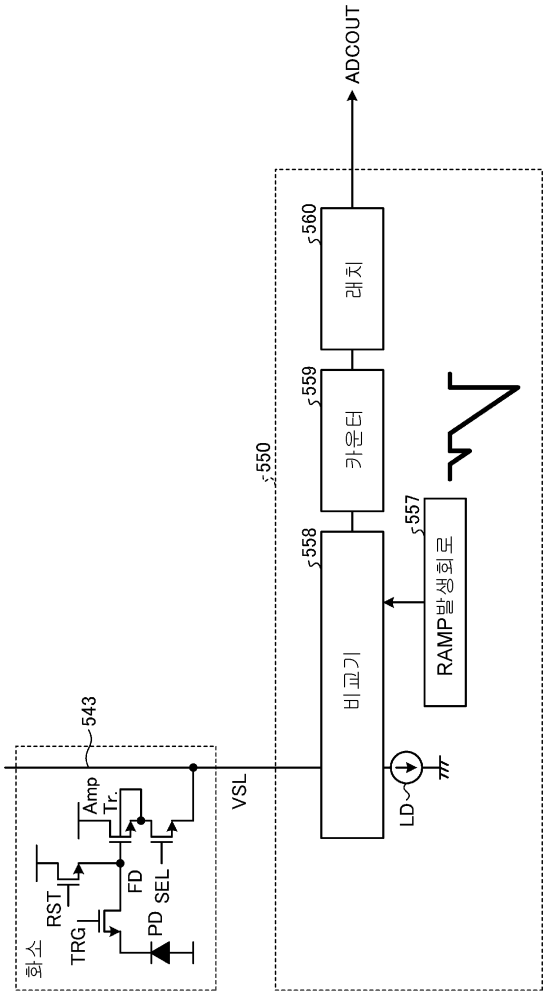
도면50e


554
VDD
PT21
PT22
PT23
SW21
SW22
NT21
NT22
GND
GND
GND
OUT1
C21
C22
C23
VSL (IN)
RAMP

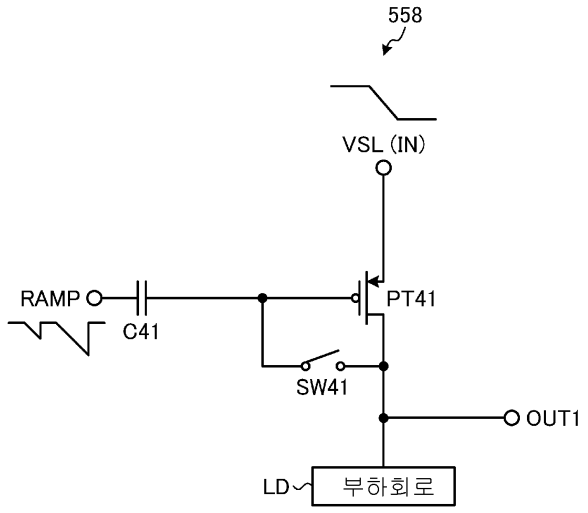
도면50f


554
VDD
NT31
C31
VSL (IN)
PT31
SW31
RAMP
C32
OUT1
NT32
GND

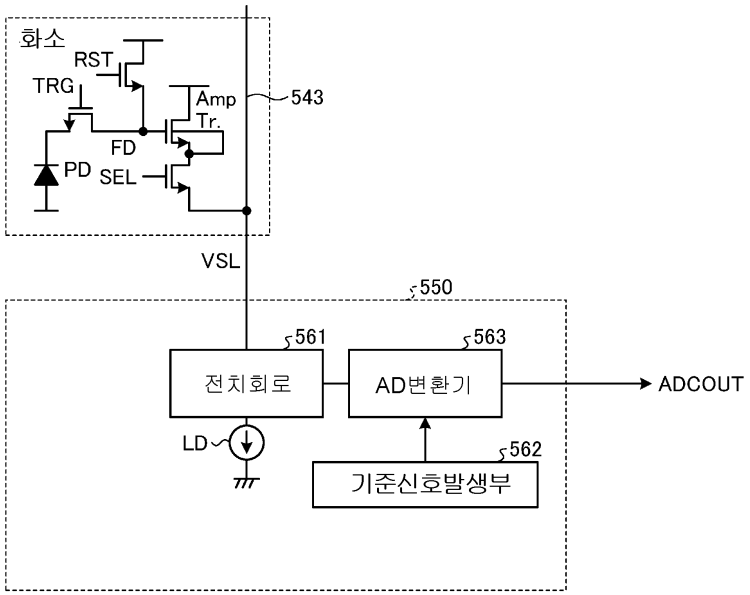
도면50g


ADCOUT
560
래치
559
카운터
550
557
RAMP발생회로
558
비교기
543
VSL
LD
화소
Amp Tr.
RST
TRG
FD
PD
SEL

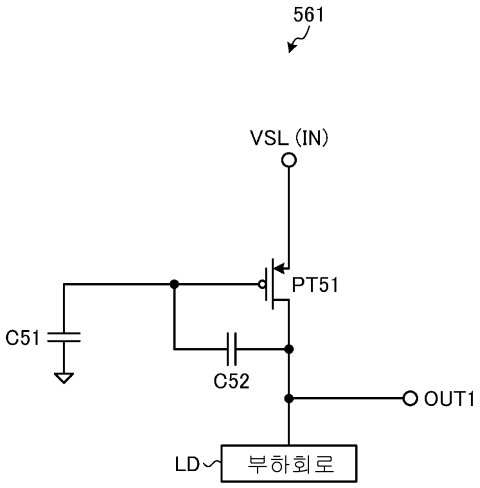
도면50h


558
VSL (IN)
RAMP
C41
PT41
SW41
OUT1
LD
부하회로

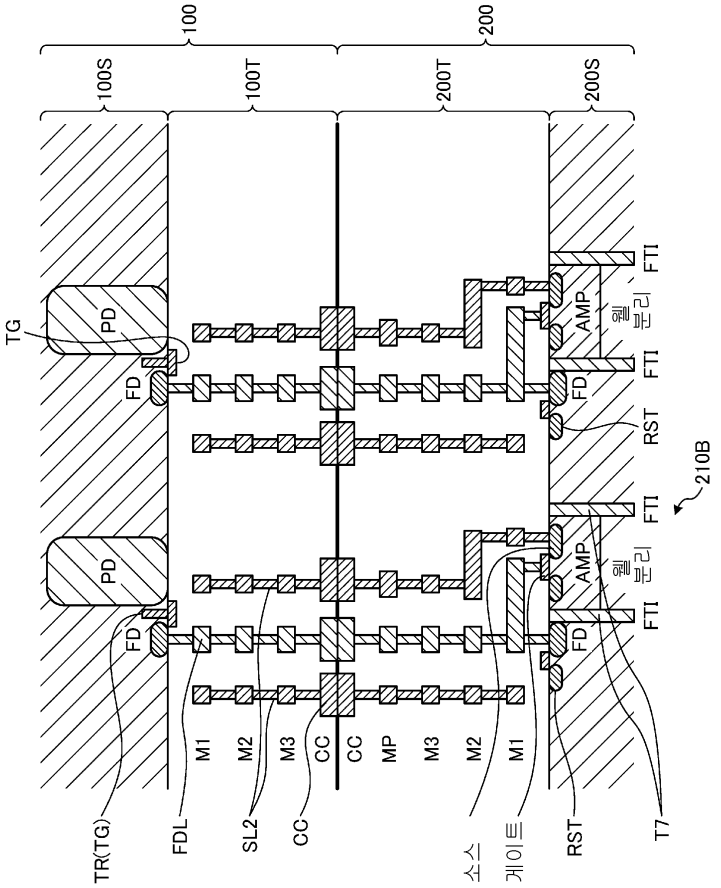
도면50i


화소
RST
TRG
Amp
Tr.
543
FD
PD
SEL
VSL
550
561
563
전치회로
AD변환기
ADCOUT
LD
562
기준신호발생부

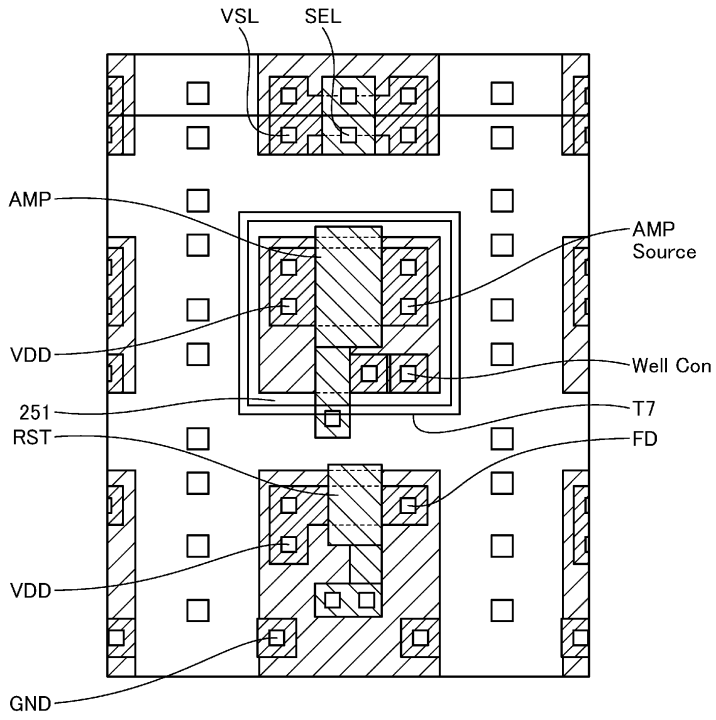
도면50j


561
VSL (IN)
PT51
C51
C52
OUT1
LD
부하회로

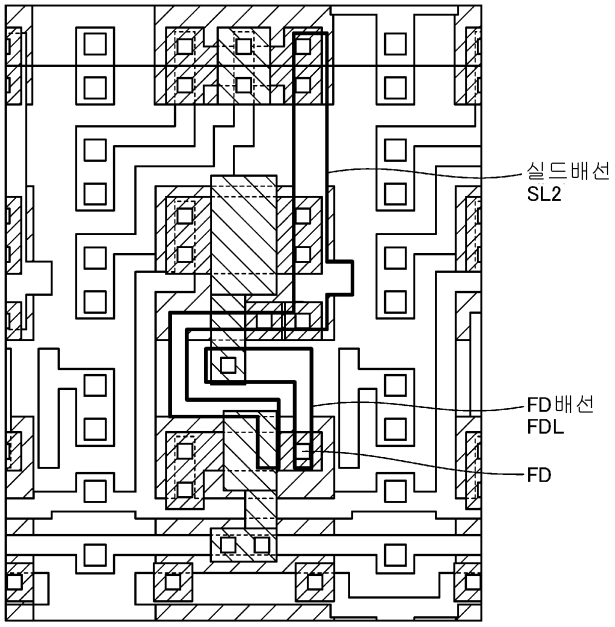
도면51


100
200
100S
100T
200T
200S
TG
PD
FD
AMP
웰 분리
FTI
RST
210B
M1
M2
M3
CC
MP
TR(TG)
FDL
SL2
소스
게이트
T7

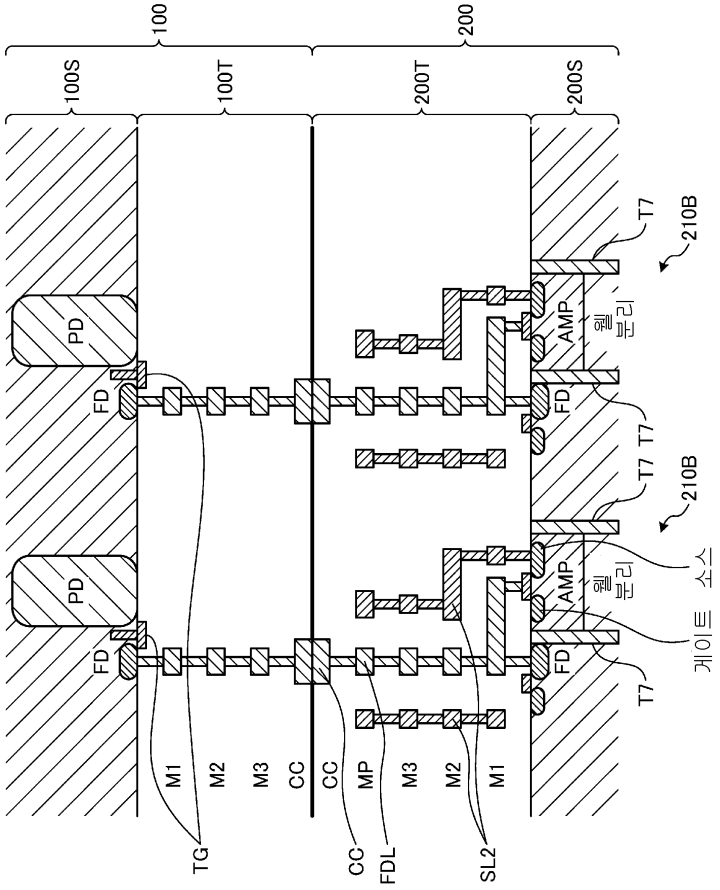
도면52


VSL
SEL
AMP
AMP Source
VDD
Well Con
251
T7
RST
FD
VDD
GND

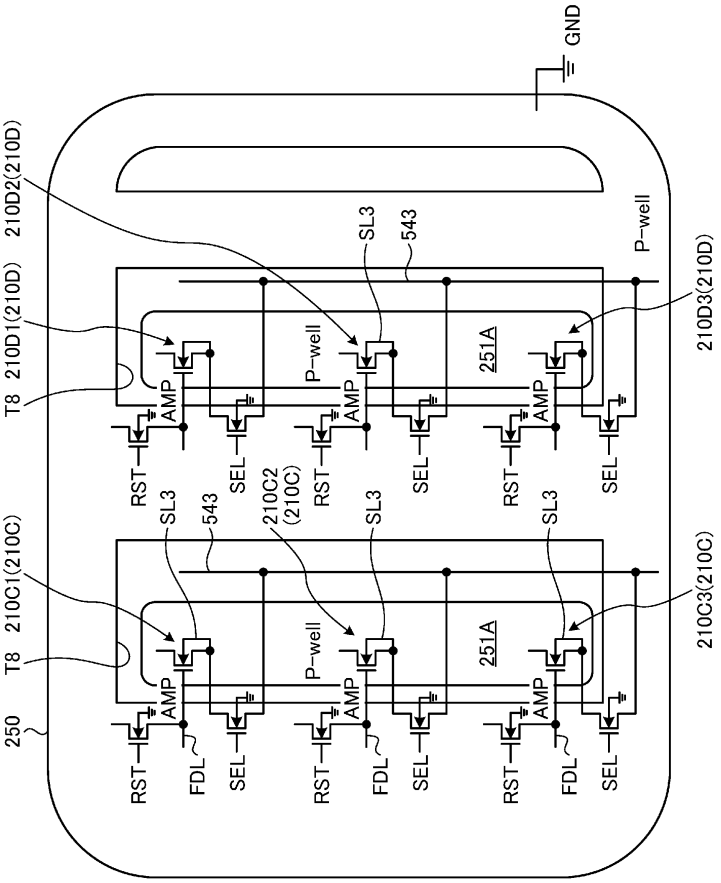
도면53


실드배선
SL2
FD배선
FDL
FD

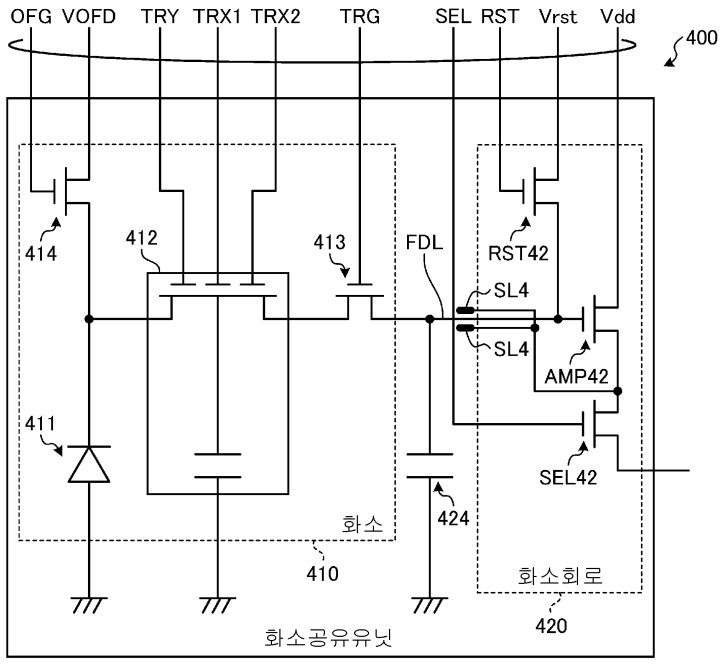
도면54


100
200
100S
100T
200T
200S
T7
210B
PD
FD
AMP
헬 분리
T7 T7
210B
게이트 소스
T7
M1
M2
M3
CC
CC
MP
M3
M2
M1
TG
CC
FDL
SL2

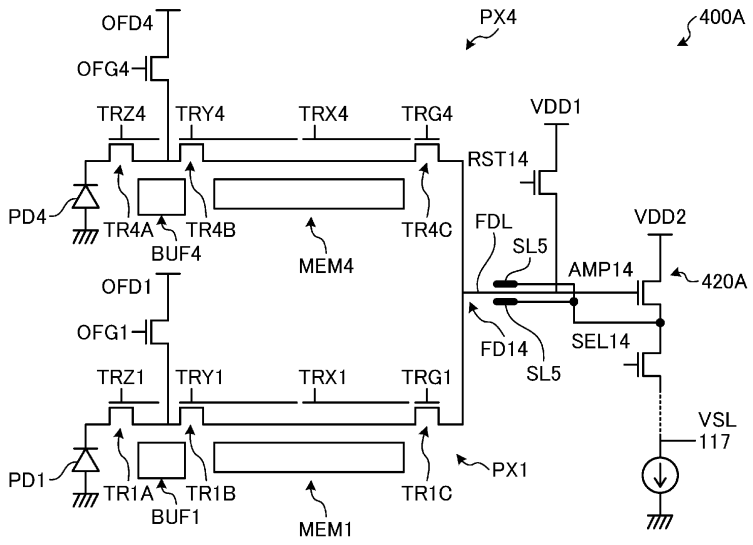
도면55


GND
210D2(210D)
210D1(210D)
T8
210C1(210C)
T8
250
210D3(210D)
210C3(210C)
210C2
(210C)
P-well
SL3
543
251A
AMP
RST
SEL
FDL

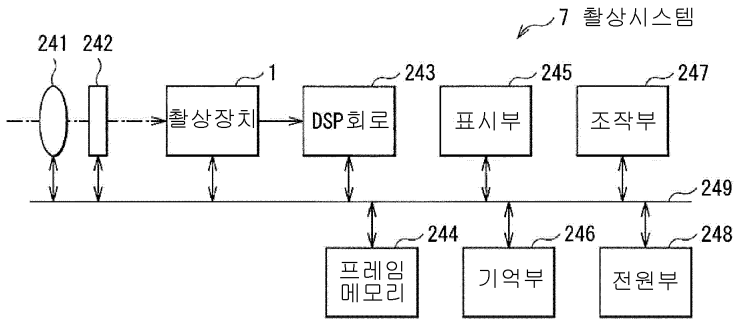
도면56


OFG VOFD TRY TRX1 TRX2 TRG SEL RST Vrst Vdd
400
414
412
413
FDL
RST42
SL4
SL4
AMP42
SEL42
411
424
화소
410
화소회로
420
화소공유유닛

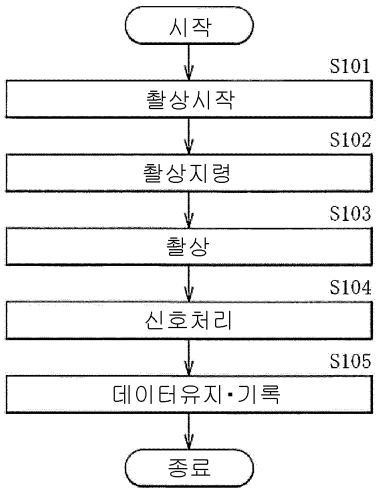
도면57



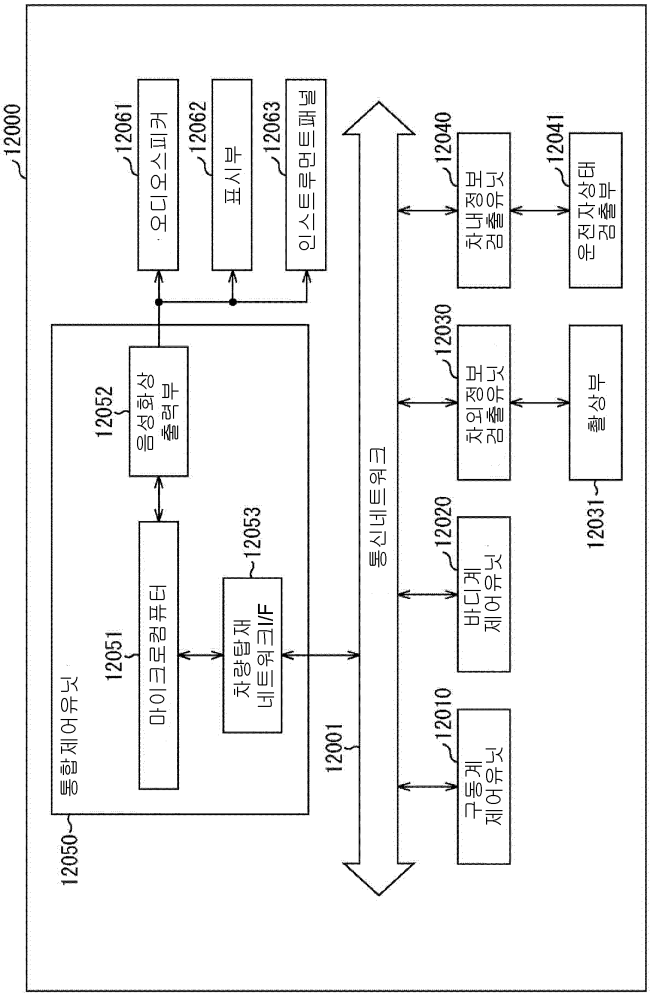
도면58



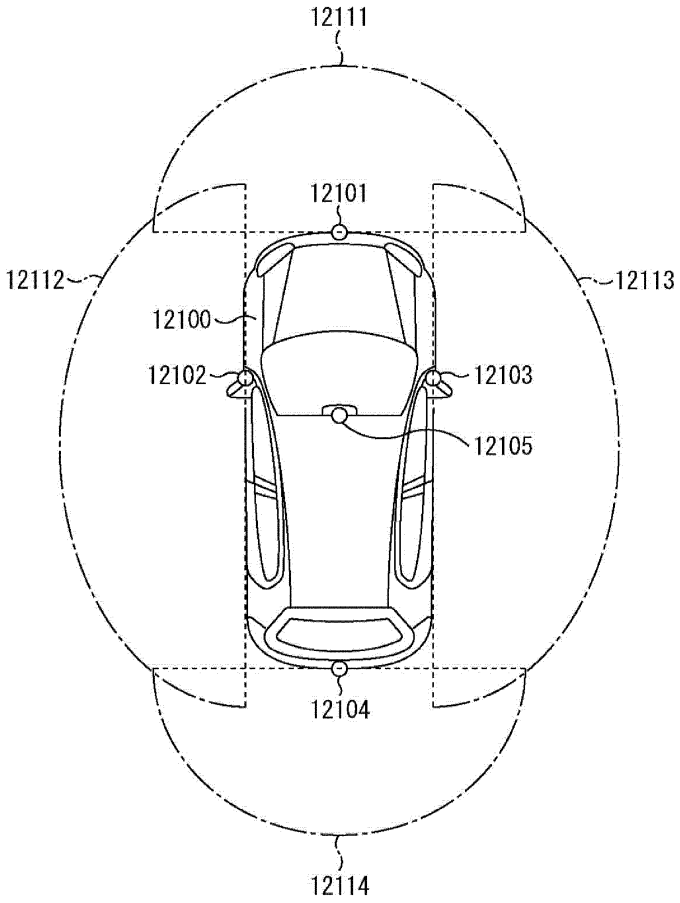
도면59



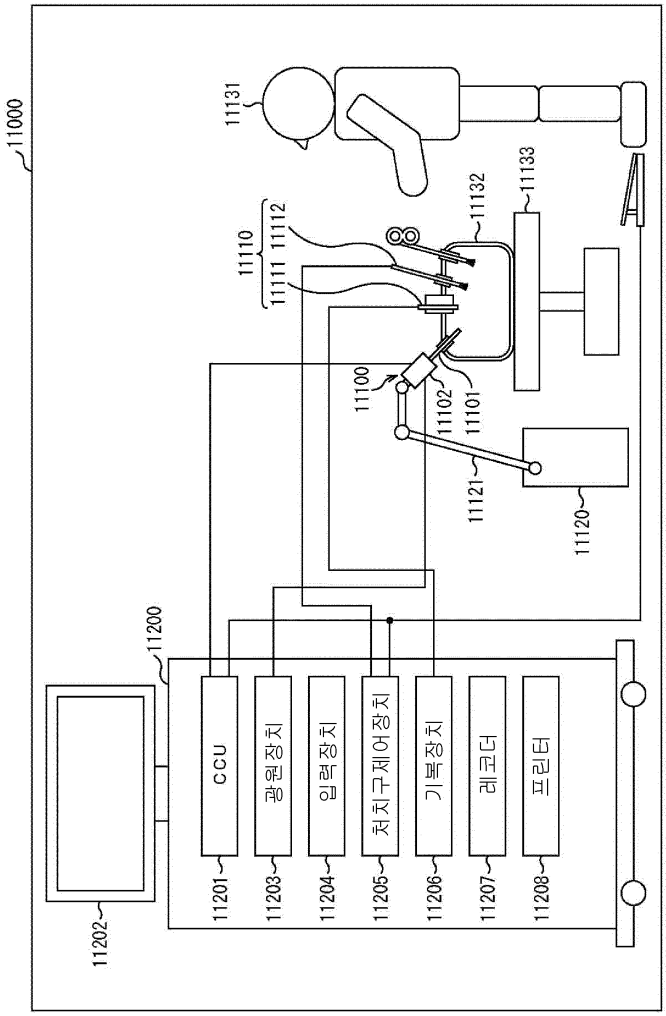
도면60


12000
12061
오디오스피커
12062
표시부
12063
인스트루먼트패널
12052
음성화상
출력부
12051
마이크로컴퓨터
12053
차량탑재
네트워크I/F
통합제어유닛
12050
12001
통신네트워크
12010
구동계
제어유닛
12020
바디계
제어유닛
12030
차외정보
검출유닛
12040
차내정보
검출유닛
12031
촬상부
12041
운전자상태
검출부

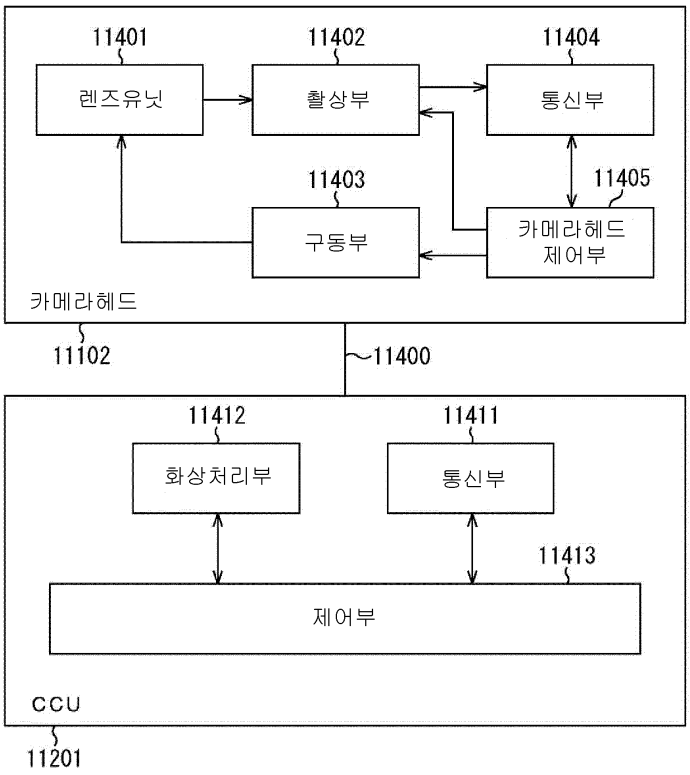
도면61


12111
12101
12112
12113
12100
12102
12103
12105
12104
12114

도면62


11000
11131
11132
11133
11110
11111
11112
11100
11102
11101
11121
11120
11200
CCU
광원장치
입력장치
처치구제어장치
기록장치
레코더
프린터
11201
11203
11204
11205
11206
11207
11208
11202

도면63


11401
11402
11404
렌즈유닛
촬상부
통신부
11403
11405
구동부
카메라헤드
제어부
카메라헤드
11102
11400
11412
11411
화상처리부
통신부
11413
제어부
CCU
11201