

申請日期	89. 7. 31
案 號	89115326
類 別	G01R 1/00, G01S 5/00

(以上各欄由本局填註)

公告本

A4
C4

577986

發明專利說明書

一、發明 名稱	中 文	超音波成像系統之動態延遲曲線產生方法及裝置
	英 文	
二、發明 創作人	姓 名	1 胡振華 2 高幼齡 3 廖振南
	國 籍	中華民國
	住、居所	1 桃園縣龍潭鄉上林村溝西六巷 1 弄 73 號 2 台北縣永和市中山路一段 79 號 4 樓 3 桃園縣中壢市立和路 71 巷 19 號
三、申請人	姓 名 (名稱)	國防部中山科學研究院
	國 籍	中華民國
	住、居所 (事務所)	桃園縣龍潭鄉佳安村中正路佳安段 481 號
	代 表 人 姓 名	劉金陵

五、發明說明 (/)

本發明是有關於一種動態延遲曲線產生方法及裝置，特別是有關於一種超音波成像系統之動態延遲曲線產生方法及裝置。

一般，超音波成像系統(例如：醫療檢查用之超音波掃瞄儀)具有一轉換器陣列(Transducer Array)，其由複數個轉換器元件(Transducer Elements)以直線型或弧型排列方式所組合而成。在使用超音波掃瞄儀實施目標物之掃描時，由於波束自某一目標點反射至每一轉換器元件具不同之距離，所以每一轉換器元件會以不同時間接收到來自目標點之反射回應信號(Echo Signal)。因此，每一轉換器元件所接收到之回應信號必需給予適當之延遲，如此才能使複數個轉換器元件在不同時間所接收到之所有回應信號同時相加，以產生一單一回應信號。此單一回應信號代表波束自目標點反射之所有超音波能量。

每一轉換器元件可以定義成爲一個通道(Channel)，例如：轉換器陣列具 M 個轉換器元件，則通道亦有 M 個。通常，對應於用來接收反射波束之每一轉換器元件之動態延遲曲線可以下列式子來表示：

$$\Delta t = D(x, \theta, R_0) = \frac{-x \sin \theta}{V} + \frac{(x \cos \theta)^2}{V^2 R_0}$$

其中， Δt ：延遲加權參數，其用來控制一轉換器元件所

接收到之回應信號之延遲；

x：每一轉換器元件之位置；

五、發明說明 (2)

θ :波束操縱角(Beam Steering Angle)，其定義為

波束反射點至轉換器陣列中心點之連線與轉換器陣列之中垂線間之夾角；

V :波束速度；以及

R_0 :波束反射點至轉換器陣列中心點之距離。

參考第 1 圖，其係顯示出對應於超音波成像系統中之一轉換器元件(通道)之動態延遲曲線圖。如第 1 圖所示，由於波束操縱角 θ 為固定，所以依據上述動態延遲曲線式子，此轉換器元件(對應某一位置 x)之延遲參數 Δt 只隨著距離 R 變化，其中距離 R 可以延遲週期數 N 來表示。

第 2 圖係顯示出傳統超音波成像系統中波束成形器(Beamformer)之部分電路，其包括對應於一轉換器或通道 1(CH#1)之一延遲產生器 20、一記憶體 24、一內插電路 26，並包括一加法器 28 與一參數解碼器 22。如第 2 圖所示，延遲產生器 20 會依據參數解碼器 22 所輸出之參數，產生一粗調延遲控制信號 23 與一細調延遲控制信號 25 分別至記憶體 24 與內插電路 26，其用以控制上述轉換器元件所接收之回應信號之延遲。換言之，粗調延遲控制信號 23 與細調延遲控制信號 25 乃是由延遲產生器 20 內部所計算出之數位動態延遲加權參數 K (如第 1 圖所示)來決定。

第 3 圖係顯示出傳統超音波成像系統之動態延遲曲線產生方法之流程圖。此昔知動態延遲曲線產生方法是由第

五、發明說明 (3)

2 圖中之延遲產生器 20 來實施，藉以產生對應於某一轉換器元件之數位延遲加權參數 K ，來控制上述轉換器元件所接收之回應信號之延遲。如第 3 圖所示，首先，在步驟 S30 中，定義 $A=N_0+1-\phi; j=1; \Delta N=1$ ，其中 $\phi = \frac{x^2 \cos^2 \theta}{C^2 T_R \Delta t_0}$ ， T_R : 取樣週期， Δt_0 : 細解析度周期。在步驟 S32 中，判斷是否 $A \leq 0$ 。如果 $A \leq 0$ 成立，則到步驟 S34 中，執行 $A=A+j-\phi; \Delta N=\Delta N+1$ ，再執行步驟 S32。如果 $A \leq 0$ 成立，則到步驟 S36 中，執行 $A=A+N_0+\Delta N; j=j+1$ ，再執行步驟 34。同時，在 $A \leq 0$ 成立時，至步驟 S35 中，執行 $K=K+1$ 之運算，此目前所獲得之延遲加權參數 K 是用以控制上述轉換器元件所接收到之一對應回應信號之延遲。如此，依據上述傳統超音波成像系統之動態延遲曲線產生方法，即可獲得對應此轉換器元件之動態延遲曲線。

單純就用以實施上述傳統動態延遲曲線產生方法之硬體(亦即第 2 圖中之延遲產生器 20)來看，如果每 40MHz 要有一個運算結果輸出，則系統須要提供一 120MHz 之時脈信號。亦即，在傳統波束成形器之設計中，需要兩組時脈信號(40MHz 與 120MHz)，一組(40MHz)做為一般信號取樣之用，另一組(120MHz)則是用來做為延遲產生器 20 產生動態延遲曲線之用。由於，在一系統中使用兩組不同時脈，除了會增加系統複雜度外，並且易造成系統之不穩定。

有鑑於此，本發明的主要目的在於提供一種超音波成像系統之動態延遲曲線產生方法。上述超音波成像系統具有一轉換器陣列，其由複數個轉換器元件所組成。每一轉換

五、發明說明 (4)

器元件對應一位置 x ，並定義 θ 為一波束反射點至該轉換器陣列中心點之連線與該轉換器陣列之中垂線間之夾角， T_R 為取樣周期， Δt_0 為細解析度周期， V 為波速速度。上述超音波成像系統亦具有一參數解碼器。對應於每一轉換器元件之動態延遲曲線產生方法至少包括下列步驟：(1)自上述參數解碼器接收三個初始值 K_0 、 N_0 及 ϕ_1 ，其中 K_0 為初始延遲加權參數， N_0 為初始延遲週期數， $\phi_1 = 1 - \frac{x^2 \cos^2 \theta}{N_0 V^2 T_R \Delta t_0}$ ；(2)定義 $A = N_0 + \phi_1$ 、 $B = 1 + N_0$ 、 $C = \phi_1$ 、 $D = 0$ 、 $E = 0$ 、 $K = K_0$ ；(3)執行 $B = B + 1$ 、 $D = B + E$ 、 $E = C + 2$ ；(4)判斷是否 $A \leq 0$ ，如果 $A \leq 0$ 不成立，則執行步驟(5)，反之，則執行步驟(6)；(5)執行 $A = A + C$ ，再執行步驟(3)；以及(6)執行 $A = A + D$ 、 $C = C + 1$ ，同時並執行 $K = K + 1$ ，上述延遲加權參數 K 是用以控制每一轉換器元件所接收到之回應信號以延遲，然後再執行步驟(3)。

本發明之另一目的在提供一種超音波成像系統之動態延遲曲線產生裝置。上述超音波成像系統具有一轉換器陣列，其由複數個轉換器元件所組成。每一轉換器元件對應一位置 x ，並定義 θ 為一波束反射點至上述轉換器陣列中心點之連線與上述轉換器陣列之中垂線間之夾角， T_R 為取樣周期， Δt_0 為細解析度周期， V 為波速速度。同時，上述超音波成像系統亦具有一參數解碼器，其用以提供三個初始參數 K_0 、 N_0 及 ϕ_1 ，其中 K_0 為初始延遲加權參數， N_0 為初始延遲週期數， $\phi_1 = 1 - \frac{x^2 \cos^2 \theta}{N_0 V^2 T_R \Delta t_0}$ 。本發明之動態延遲曲線產生裝置包括第一加法器至少包括二個輸入端，第一輸入端

五、發明說明 (5)

接收參數 1，第二輸入端接收參數 B，第一加法器執行加法運算，並由輸出端輸出運算值。第一鎖存電路鎖存第一加法器所輸出的運算值，並將鎖存第一加法器所輸出的運算值作為參數 B 輸出。第二加法器至少包括二個輸入端，第一輸入端接收參數 E，第二輸入端接收參數 B，第二加法器執行加法運算，並由輸出端輸出的運算值。第二鎖存電路鎖存第二加法器所輸出的運算值，並將鎖存第二加法器所輸出的運算值作為參數 D 輸出。第三加法器至少包括二個輸入端，第一輸入端接收參數 C，第二輸入端接收參數 2，第三加法器執行加法運算，並由輸出端輸出運算值。第三鎖存電路鎖存第三加法器所輸出的運算值，並將鎖存第三加法器所輸出的運算值作為參數 E 輸出。第四加法器至少包括二個輸入端，第一輸入端接收參數 C，第二輸入端接收參數 1，第四加法器執行加法運算，並由輸出端輸出運算值。第四鎖存電路鎖存第四加法器所輸出的運算值，並將鎖存第四加法器所輸出的運算值作為參數 C 輸出。第五加法器至少包括二個輸入端，第一輸入端接收參數 D，第二輸入端接收參數 A，第五加法器執行加法運算，並由輸出端輸出運算值。第六加法器至少包括二個輸入端，第一輸入端接收參數 A，第二輸入端接收參數 C，第六加法器執行加法運算，並由輸出端輸出運算值。多工器至少包括三個輸入端，第一輸入端接收第五加法器所輸出的運算值，第二輸入端接收第六加法器所輸出的運算值，第三輸入端接收選擇信號，輸出端輸出一個多工信號。第五鎖存

五、發明說明(6)

電路鎖存多工器所輸出的多工信號，並將鎖存多工信號作為參數 A 輸出。以及，比較器接收並比較第五鎖存電路所輸出的參數 A，並輸出選擇信號至多工器。

其中，由參數解碼器所輸出的三個初始參數 K_0 、 N_0 及 ϕ_1 ，用以執行 $A=N_0+\phi_1$ 、 $B=1+N_0$ 、 $C=\phi_1$ 、 $D=0$ 、 $E=0$ 、 $K=K_0$ 之運算。

在應用本發明之系統中，只需提供一單一時脈信號 40MHz。因此，依據本發明之動態延遲曲線產生方法及裝置，可降低超音波成像系統之複雜度，並可提升其穩定度。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖係顯示出對應於超音波成像系統中一轉換器元件之動態延遲曲線圖；

第 2 圖係顯示出傳統超音波成像系統中波束形成器之部分電路方塊圖；

第 3 圖係顯示出傳統超音波成像系統之動態延遲曲線產生方法之流程圖；

第 4 圖係顯示出依據本發明之一種超音波成像系統之動態延遲曲線產生方法之流程圖；以及

第 5 圖係顯示出依據本發明之一種用以產生動態延遲

五、發明說明 (7)

曲線之延遲產生器。

符號說明：

- 50：第一加法器(First Adder)
- 52：第一鎖存電路(First Latch Circuit)
- 54：第二加法器(Secondary Adder)
- 56：第二鎖存電路(Secondary Latch Circuit)
- 58：第三加法器(Third Adder)
- 60：第三鎖存電路(Third Latch Circuit)
- 62：第四加法器(Fourth Adder)
- 64：第四鎖存電路(Fourth Latch Circuit)
- 66：第五加法器(Fifth Adder)
- 68：第六加法器(Sixth Adder)
- 70：多工器(Multiplexer)
- 72：第五鎖存電路(Fifth Latch Circuit)
- 74：比較器(Comparator)

實施例

參考第 4 圖，其係顯示出依據本發明之一種超音波成像系統之動態延遲曲線產生方法之流程圖。上述超音波成像系統具有一轉換器陣列，其由複數個轉換器元件所組成，每一轉換器元件對應一位置 x 。同時並定義 θ 為一波束反射點至該轉換器陣列中心點之連線與該轉換器陣列之中垂線間之夾角， T_R 為取樣周期， Δt_0 為細解析度周期， V 為波速速度。再者，上述超音波成像系統亦具有一參數解碼器，其用來提供三個初始值 K_0 、 N_0 及 ϕ_1 ，其中 K_0 為初始

五、發明說明 (8)

延遲加權參數， N_0 為初始延遲週期數， $\phi_1 = 1 - \frac{x^2 \cos^2 \theta}{N_0 V^2 T_R \Delta t_0}$ 。

如第 4 圖所示，對應於每一轉換器元件之動態延遲曲線產生方法包括下列步驟：首先，在步驟 S40 中，定義 $A=N_0+\phi_1$ 、 $B=1+N_0$ 、 $C=\phi_1$ 、 $D=0$ 、 $E=0$ 、 $K=K_0$ 。在步驟 S42 中，執行 $B=B+1$ 、 $D=B+E$ 、 $E=C+2$ 之運算。在步驟 S44 中，判斷是否 $A \leq 0$ 。如果 $A \leq 0$ 不成立，則至步驟 S46，執行 $A=A+C$ 之運算，再執行上述步驟 S42。如果 $A \leq 0$ 成立，則至步驟 S48，執行 $A=A+D$ 、 $C=C+1$ 之運算，然後再執行步驟 S42。同時，在 $A \leq 0$ 成立時，到步驟 S50 中，執行 $K=K+1$ 之運算，此目前所獲得之延遲加權參數 K 是用以延遲每一轉換器元件所接收到之一對應回應信號。

參考第 5 圖，其係顯示出依據本發明之一種用以在超音波成像系統中產生動態延遲曲線之延遲產生器。上述超音波成像系統具有一轉換器陣列，其由複數個轉換器元件所組成，每一轉換器元件對應一位置 x 。同時並定義 θ 為一波束反射點至該轉換器陣列中心點之連線與該轉換器陣列之中垂線間之夾角， T_R 為取樣周期， Δt_0 為細解析度周期， V 為波速速度。再者，上述超音波成像系統亦具有一參數解碼器(未顯示於圖中)，其用來提供三個初始值 K_0 、 N_0 及 ϕ_1 ，其中 K_0 為初始延遲加權參數， N_0 為初始延遲週期數，

$$\phi_1 = 1 - \frac{x^2 \cos^2 \theta}{N_0 V^2 T_R \Delta t_0}。$$

如第 5 圖所示，第一加法器 50 的第一輸入端接收參數 1，第二輸入端接收參數 B ，第一加法器 50 執行 $B=B+1$ 的

五、發明說明(9)

加法運算，並由輸出端輸出運算的數值 B。第一鎖存電路 52 鎖存第一加法器所輸出的運算數值 B，並將鎖存的運算數值 B 作為參數 B 輸出。

第二加法器 54 的第一輸入端接收參數 E，第二輸入端接收參數 B，第二加法器 54 執行 $D=B+E$ 的加法運算，並由輸出端輸出運算數值 D。第二鎖存電路 56 鎖存第二加法器 54 所輸出的運算數值 D，並將鎖存的運算數值 D 作為參數 D 輸出。

第三加法器 58 的第一輸入端接收參數 C，第二輸入端接收參數 2，第三加法器 58 執行 $E=C+2$ 的加法運算，並由輸出端輸出運算數值 E。第三鎖存電路 60 鎖存第三加法器 58 所輸出的運算數值 E，並將鎖存的運算數值 E 作為參數 E 輸出。

第四加法器 62 的第一輸入端接收參數 C，第二輸入端接收參數 1，第四加法器 62 執行 $C=C+1$ 的加法運算，並由輸出端輸出運算數值 C。第四鎖存電路 64 鎖存第四加法器 62 所輸出的運算數值 C，並將鎖存的運算數值 C 作為參數 C 輸出。

第五加法器 66 的第一輸入端接收參數 D，第二輸入端接收參數 A，第五加法器 66 執行 $A=A+D$ 的加法運算，並由輸出端輸出運算數值 A。第六加法器 68 的第一輸入端接收參數 A，第二輸入端接收參數 C，第六加法器 68 執行 $A=A+C$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

的加法運算，並由輸出端輸出運算數值 A。

多工器 70 的第一輸入端接收第五加法器 66 所輸出的運算數值 A，第二輸入端接收第六加法器 68 所輸出的運算數值 A，第三輸入端接收一個選擇信號，輸出端輸出一個多工信號。第五鎖存電路 72 鎖存多工器 70 所輸出的多工信號，並將鎖存的多工信號作為參數 A 輸出。比較器 74 接收並比較第五鎖存電路 72 所輸出的參數 A，並輸出選擇信號至多工器 70。

其中，由參數解碼器(未繪示)所輸出的三個初始參數 K_0 、 N_0 及 ϕ_1 ，用以執行 $A=N_0+\phi_1$ 、 $B=1+N_0$ 、 $C=\phi_1$ 、 $D=0$ 、 $E=0$ 、 $K=K_0$ 之運算。

與昔知技術相比，由於在本發明之動態延遲曲線產生方法及裝置中，每一次相加運算都只有兩個數相加，所以在本發明中每 40MHz 可獲得一個運算結果輸出。亦即，在應用本發明之系統中，只需提供一單一時脈信號 40MHz。因此，依據本發明之動態延遲曲線產生方法及裝置，可降低超音波成像系統之複雜度，並可提升其穩定度。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

四、中文發明摘要(發明之名稱：

超音波成像系統之動態延遲曲線
產生方法及裝置

本發明揭露一種超音波成像系統之動態延遲曲線產生方法。動態延遲曲線產生方法至少包括下列步驟：(1)自該參數解碼器接收三個初始值 K_0 、 N_0 及 ϕ_1 ，其中 K_0 為初始延遲加權參數， N_0 為初始延遲週期數， $\phi_1 = 1 - \frac{x^2 \cos^2 \theta}{N_0 V^2 T_R \Delta t_0}$ ；(2)定義 $A = N_0 + \phi_1$ 、 $B = 1 + N_0$ 、 $C = \phi_1$ 、 $D = 0$ 、 $E = 0$ 、 $K = K_0$ ；(3)執行 $B = B + 1$ 、 $D = B + E$ 、 $E = C + 2$ ；(4)判斷是否 $A \leq 0$ ，如果 $A \leq 0$ 不成立，則執行步驟(5)，反之，則執行步驟(6)；(5)執行 $A = A + C$ ，再執行步驟(3)；以及(6)執行 $A = A + D$ 、 $C = C + 1$ ，同時並執行 $K = K + 1$ ，該延遲加權參數 K 是用延遲每一轉換器元件所接收到之回應信號，然後再執行步驟(3)。

英文發明摘要(發明之名稱：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1.一種超音波成像系統之動態延遲曲線產生方法，該超音波成像系統具有一轉換器陣列，該轉換器陣列是由複數個轉換器元件所組成，每一轉換器元件對應一位置 x ，並定義 θ 為一波束反射點至該轉換器陣列中心點之連線與該轉換器陣列之中垂線間之夾角， T_R 為取樣周期， Δt_0 為細解析度周期， V 為波速速度，該超音波成像系統具有一參數解碼器，對應於每一轉換器元件之動態延遲曲線產生方法至少包括下列步驟：

(1)自該參數解碼器接收三個初始值 K_0 、 N_0 及 ϕ_1 ，其中 K_0 為初始延遲加權參數， N_0 為初始延遲週期數，

$$\phi_1 = 1 - \frac{x^2 \cos^2 \theta}{N_0 V^2 T_R \Delta t_0};$$

(2)定義 $A=N_0+\phi_1$ 、 $B=1+N_0$ 、 $C=\phi_1$ 、 $D=0$ 、 $E=0$ 、 $K=K_0$ ；

(3)執行 $B=B+1$ 、 $D=B+E$ 、 $E=C+2$ ；

(4)判斷是否 $A \leq 0$ ，如果 $A \leq 0$ 不成立，則執行步驟(5)，反之，則執行步驟(6)；

(5)執行 $A=A+C$ ，再執行步驟(3)；以及

(6)執行 $A=A+D$ 、 $C=C+1$ ，同時並執行 $K=K+1$ ，該延遲加權參數 K 是用以控制每一轉換器元件所接收到之回應信號之延遲，然後再執行步驟(3)。

2.如申請專利第 1 項所述之超音波成像系統之動態延遲曲線產生方法，其中複數個轉換器是以直線型方式來排列。

3.如申請專利第 1 項所述之超音波成像系統之動態延

六、申請專利範圍

遲曲線產生方法，其中複數個轉換器是以弧型方式來排列。

4.一種超音波成像系統之動態延遲曲線產生裝置，該超音波成像系統具有一轉換器陣列，該轉換器陣列是由複數個轉換器元件所組成，每一轉換器元件對應一位置 x ，並定義 θ 為一波束反射點至該轉換器陣列中心點之連線與該轉換器陣列之中垂線間之夾角， T_R 為取樣周期， Δt_0 為細解析度周期， V 為波速速度，該超音波成像系統具有一參數解碼器，其用以提供三個初始參數 K_0 、 N_0 及 ϕ_1 ，其中 K_0 為初始延遲加權參數， N_0 為初始延遲週期數， $\phi_1 = 1 - \frac{x^2 \cos^2 \theta}{N_0 V^2 T_R \Delta t_0}$ ，該延遲產生器至少包括：

一第一加法器，至少包括二個輸入端，一第一輸入端接收一參數 1，一第二輸入端接收一參數 B ，該第一加法器執行加法運算，並由一輸出端輸出一運算值；

一第一鎖存電路，鎖存該第一加法器所輸出之該運算值，並將鎖存該第一加法器所輸出之該運算值結果作為該參數 B 輸出；

一第二加法器，至少包括二個輸入端，該第一輸入端接收一參數 E ，該第二輸入端接收該參數 B ，該第二加法器執行加法運算，並由該輸出端輸出之該運算值；

一第二鎖存電路，鎖存該第二加法器所輸出之該運算值，並將鎖存該第二加法器所輸出之該運算值作為一參數

六、申請專利範圍

D 輸出；

一第三加法器，至少包括二個輸入端，該第一輸入端接收一參數 C，該第二輸入端接收一參數 2，該第三加法器執行加法運算，並由該輸出端輸出該運算值；

一第三鎖存電路，鎖存該第三加法器所輸出之該運算值，並將鎖存該第三加法器所輸出之該運算值作為該參數 E 輸出；

一第四加法器，至少包括二個輸入端，該第一輸入端接收該參數 C，該第二輸入端接收該參數 1，該第四加法器執行加法運算，並由該輸出端輸出該運算值；

一第四鎖存電路，鎖存該第四加法器所輸出之該運算值，並將鎖存該第四加法器所輸出之該運算值作為該參數 C 輸出；

一第五加法器，至少包括二個輸入端，該第一輸入端接收該參數 D，該第二輸入端接收一參數 A，該第五加法器執行加法運算，並由該輸出端輸出該運算值；

一第六加法器，至少包括二個輸入端，該第一輸入端接收該參數 A，該第二輸入端接收該參數 C，該第六加法器執行加法運算，並由該輸出端輸出該運算值；

一多工器，至少包括三個輸入端，該第一輸入端接收該第五加法器所輸出之該運算值，該第二輸入端接收該第

六、申請專利範圍

六加法器所輸出之該運算值，一第三輸入端接收一選擇信號，該輸出端輸出一多工信號；

一第五鎖存電路，鎖存該多工器所輸出之該多工信號，並將鎖存該多工信號作為該參數 A 輸出；以及

一比較器，接收並比較該第五鎖存電路所輸出之該參數 A，並輸出該選擇信號至該多工器；

其中，由該參數解碼器所輸出的三個初始參數 K_0 、 N_0 及 ϕ_1 ，用以執行 $A=N_0+\phi_1$ 、 $B=1+N_0$ 、 $C=\phi_1$ 、 $D=0$ 、 $E=0$ 、 $K=K_0$ 之運算。

5.如申請專利第 4 項所述之超音波成像系統之動態延遲曲線產生裝置，其中複數個轉換器是以直線型方式來排列。

6.如申請專利第 4 項所述之超音波成像系統之動態延遲曲線產生裝置，其中複數個轉換器是以弧型方式來排列。

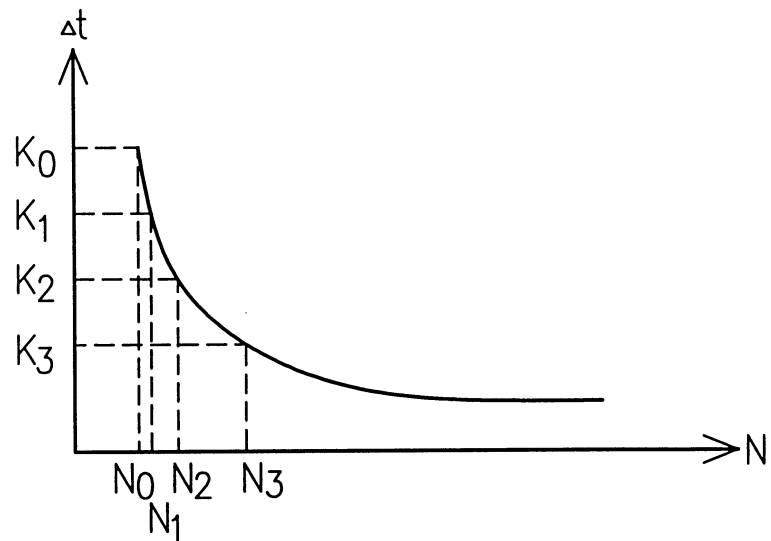
(請先閱讀背面之注意事項再填寫本頁)

裝

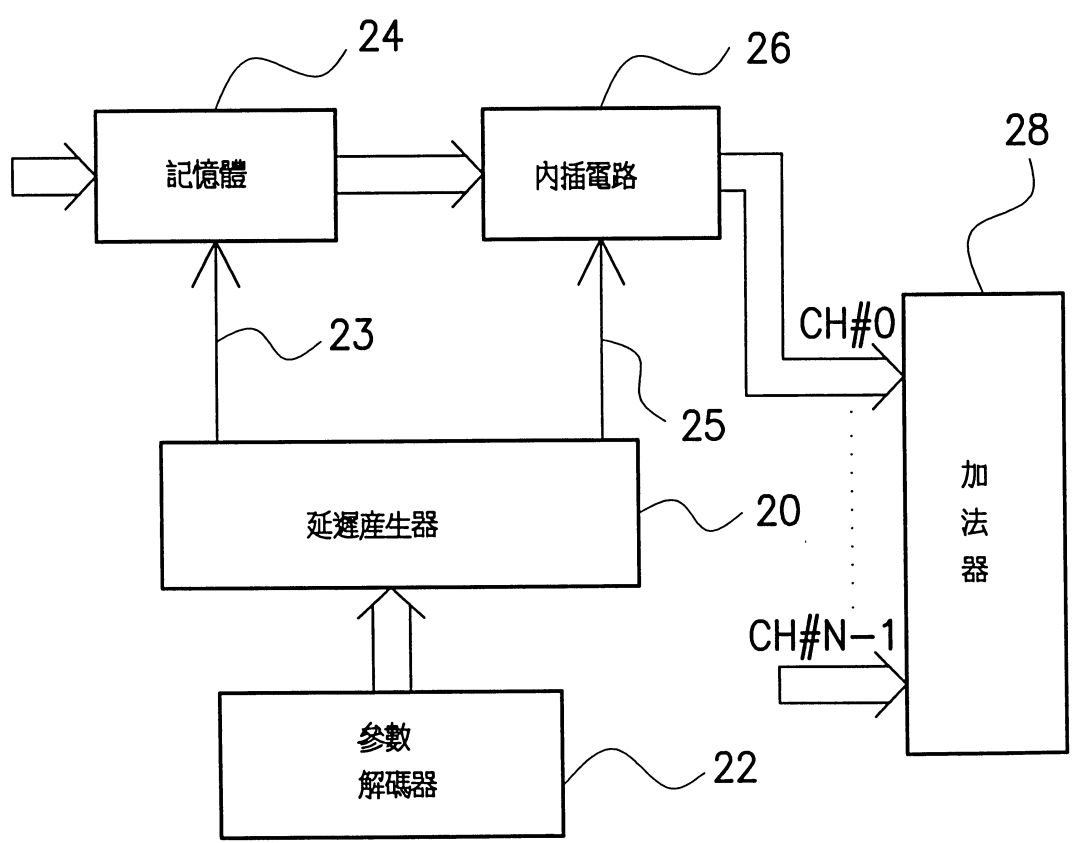
訂

位

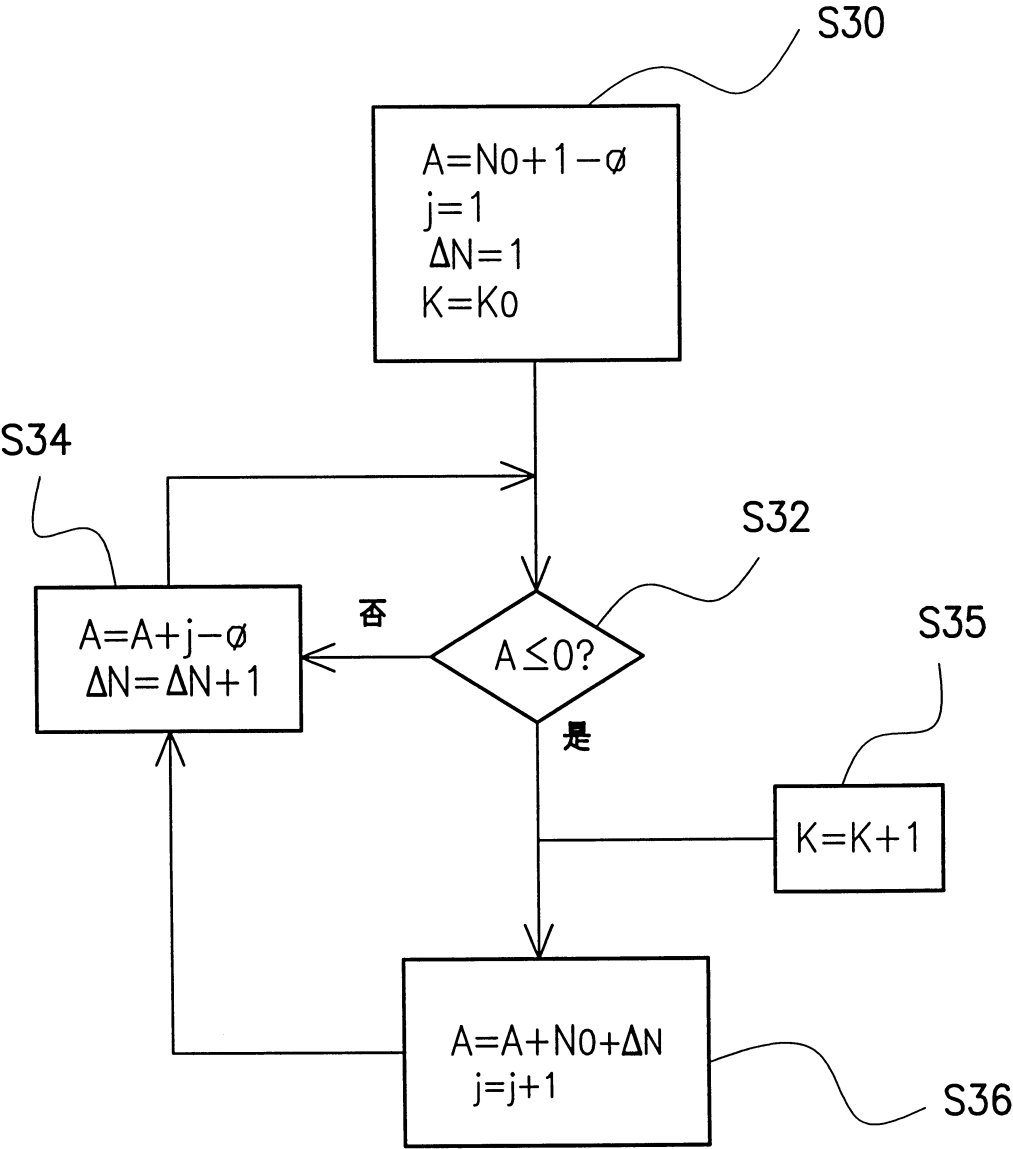
6005TW



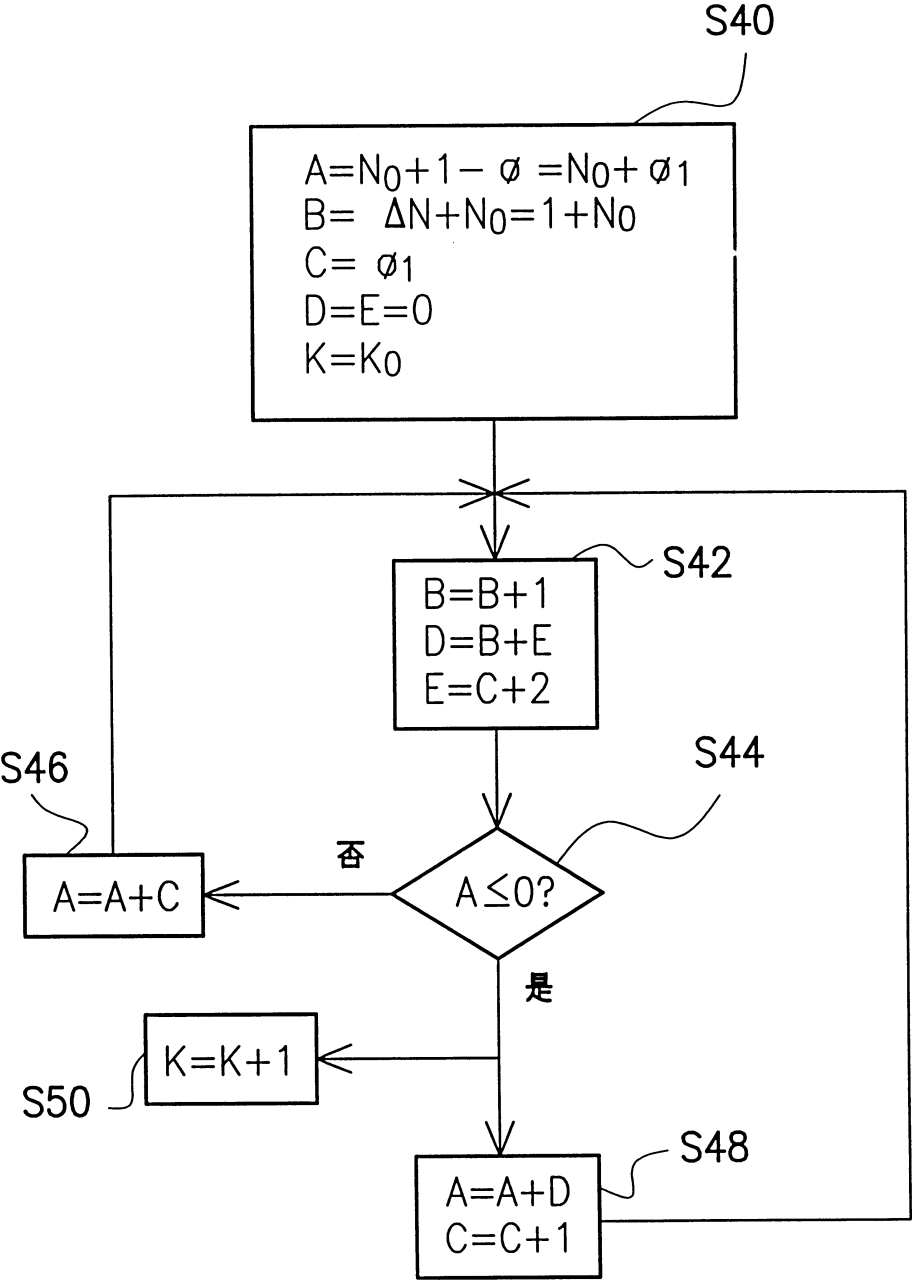
第 1 圖



第 2 圖

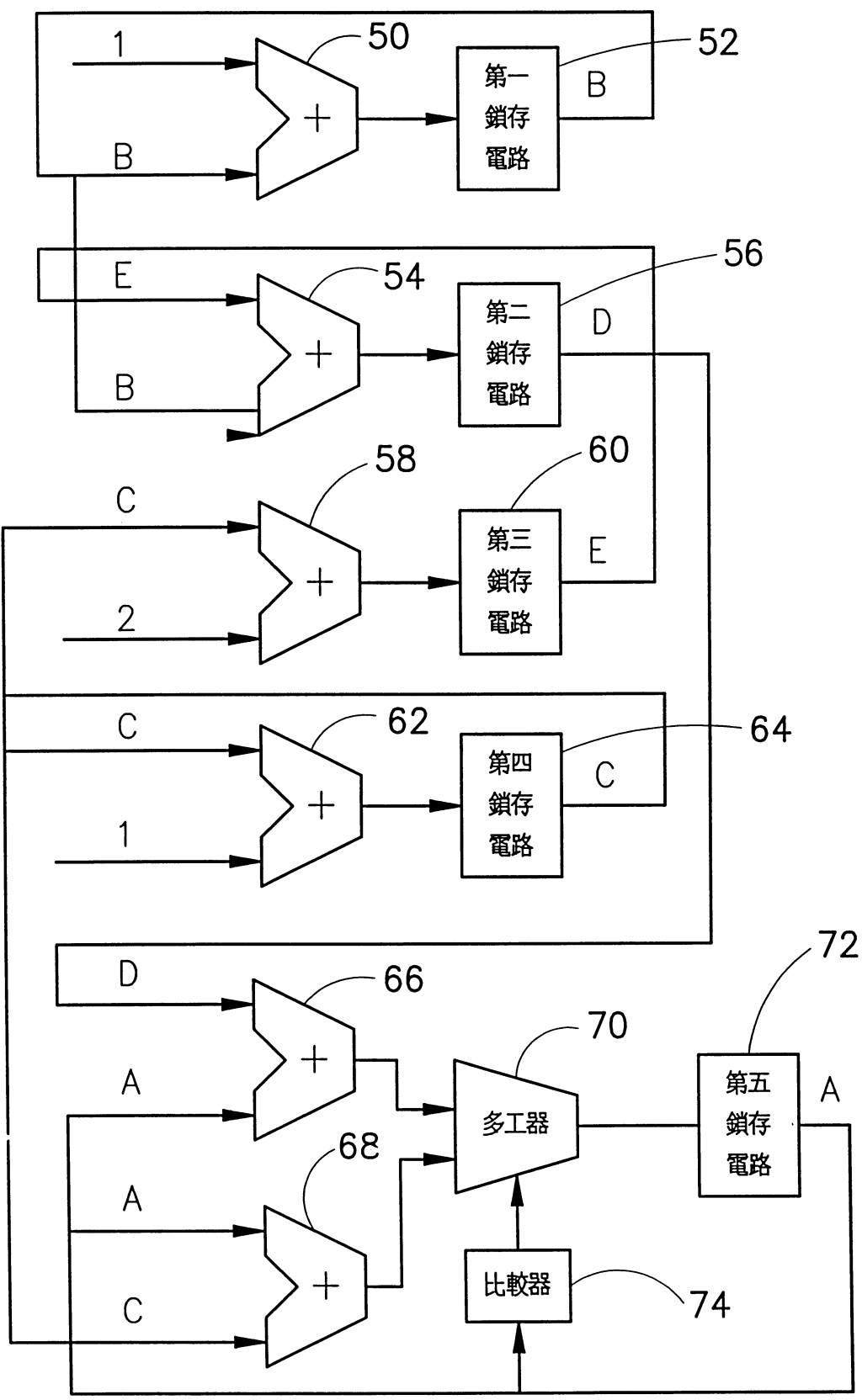


第 3 圖



第 4 圖

6005TW



第 5 圖