



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2014-0012213  
(43) 공개일자 2014년01월29일

- |   |   |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)<br/>G11C 13/00 (2006.01) G11C 8/16 (2006.01)<br/>G11C 16/06 (2006.01)</p> <p>(21) 출원번호 10-2014-7000913(분할)</p> <p>(22) 출원일자(국제) 2011년03월22일<br/>심사청구일자 2014년01월13일</p> <p>(62) 원출원 특허 10-2012-7027506<br/>원출원일자(국제) 2011년03월22일<br/>심사청구일자 2012년10월22일</p> <p>(85) 번역문제출일자 2014년01월13일</p> <p>(86) 국제출원번호 PCT/US2011/029483</p> <p>(87) 국제공개번호 WO 2011/119647<br/>국제공개일자 2011년09월29일</p> <p>(30) 우선권주장<br/>12/728,337 2010년03월22일 미국(US)</p> | <p>(71) 출원인<br/><b>헬컴 인코포레이티드</b><br/>미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775</p> <p>(72) 발명자<br/><b>라오, 하리 엠.</b><br/>미국 92121 캘리포니아 샌디에고 모어하우스 드라이브 5775<br/><b>김, 정필</b><br/>미국 92121 캘리포니아 샌디에고 모어하우스 드라이브 5775</p> <p>(74) 대리인<br/><b>특허법인 남앤드남</b></p> |
|---|---|

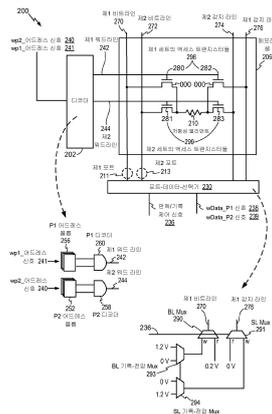
전체 청구항 수 : 총 35 항

(54) 발명의 명칭 **저항성 메모리 엘리먼트를 포함하는 멀티-포트 비휘발성 메모리**

**(57) 요약**

저항성 메모리 엘리먼트를 포함하는 멀티-포트 비휘발성 메모리에 액세스하기 위한 시스템 및 방법이 개시된다. 특정 실시예에서, 저항성 메모리 셀 및 저항성 메모리 셀에 커플링되는 다수의 포트들을 포함하는 멀티-포트 비휘발성 메모리 디바이스가 개시된다.

**대표도** - 도2



## 특허청구의 범위

### 청구항 1

프로세서; 및

상기 프로세서에 연결된 멀티 포트 메모리를 포함하고,

상기 멀티 포트 메모리는,

제1 저항성 메모리 구조를 포함하는 제1 비휘발성 메모리를 포함하는 제1 메모리 셀;

제2 저항성 메모리 구조를 포함하는 제2 비휘발성 메모리를 포함하는 제2 메모리 셀; 및

제1 포트 및 제2 포트를 포함하고,

상기 제1 포트 및 제2 포트는, 상기 제2 포트를 통하여 상기 제2 메모리 셀에 대하여 제2 메모리 동작의 실행을 인에이블하는 동안 상기 제1 포트를 통하여 상기 제1 메모리 셀에 대하여 제1 메모리 동작의 실행을 인에이블하도록 동작가능하고,

상기 제1 메모리 셀 및 상기 제2 메모리 셀은 각각 상기 제1 포트 및 상기 제2 포트를 통하여 액세스 가능한, 시스템.

### 청구항 2

제1항에 있어서,

상기 제1 메모리 동작은 데이터 판독 동작이고, 상기 제2 메모리 동작은 데이터 기록 동작인,

시스템.

### 청구항 3

제1항에 있어서,

상기 제1 저항성 메모리 구조는, 비트 라인과 감지 라인 사이에서 제1 액세스 트랜지스터 및 제2 액세스 트랜지스터와 직렬로 연결되는,

시스템.

### 청구항 4

제3항에 있어서,

상기 제1 포트 및 상기 제2 포트에 연결되는 포트-데이터-선택기를 더 포함하고, 상기 포트-데이터-선택기는 상기 비트 라인이 판독 동작 및 기록 동작 중 하나에 사용될 것인지를 결정하도록 구성되는,

시스템.

### 청구항 5

제3항에 있어서,

상기 제1 포트 및 상기 제2 포트에 연결되는 포트-데이터 선택기를 더 포함하고, 상기 포트-데이터 선택기는 상기 감지 라인이 판독 동작 및 기록 동작 중 하나에 사용될 것인지를 결정하도록 구성되는,

시스템.

### 청구항 6

제1항에 있어서,

상기 멀티 포트 메모리는, 멀티-포트(multi-ported) 스핀 토크 전달 자기저항성 랜덤 액세스 메모리(STT-MRAM)

셀들을 포함하는 레지스터 파일인,  
시스템.

**청구항 7**

제1항에 있어서,  
상기 프로세서 및 상기 멀티 포트 메모리는 적어도 하나의 반도체 다이에 통합되는,  
시스템.

**청구항 8**

제1항에 있어서,  
상기 프로세서와 상기 멀티 포트 메모리가 통합되는, 셋톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 통신 디바이스, 개인 디지털 정보 단말(PDA), 고정 위치 데이터 유닛, 또는 컴퓨터, 또는 이들의 조합을 포함하는 디바이스를 더 포함하는,  
시스템.

**청구항 9**

멀티 포트 비휘발성 메모리 디바이스를 액세스하는 방법으로서,  
제2 메모리 셀에 대하여 제2 메모리 동작을 실행하는 동안 제1 메모리 셀에 대하여 제1 메모리 동작을 실행하는 단계를 포함하고,  
상기 제1 메모리 동작은 제1 포트를 통하여, 상기 제2 메모리 동작은 제2 포트를 통하여,  
상기 제1 메모리 셀은 제1 저항성 메모리 구조를 포함하는 제1 비휘발성 메모리를 포함하고, 상기 제2 메모리 셀은 제2 저항성 메모리 구조를 포함하는 제2 비휘발성 메모리를 포함하고,  
상기 제1 메모리 셀 및 상기 제2 메모리 셀은 각각 상기 제1 포트 및 상기 제2 포트를 통하여 액세스 가능한,  
멀티 포트 비휘발성 메모리 디바이스를 액세스하는 방법.

**청구항 10**

제9항에 있어서,  
제1 제어 신호에 응답하여, 상기 제1 포트를 통한 상기 제1 저항성 메모리 구조에 대한 액세스를 인에이블시키고, 상기 제2 포트를 통한 상기 제1 저항성 메모리 구조에 대한 액세스를 디스에이블시키는 단계; 및  
제2 제어 신호에 응답하여, 상기 제2 포트를 통한 상기 제2 저항성 메모리 구조에 대한 액세스를 인에이블시키고, 상기 제1 포트를 통한 상기 제2 저항성 메모리 구조에 대한 액세스를 디스에이블시키는 단계를 더 포함하는,  
멀티 포트 비휘발성 메모리 디바이스를 액세스하는 방법.

**청구항 11**

제9항에 있어서,  
상기 제1 포트 및 상기 제2 포트는 각각 판독 및 기록 동작들을 수행하기 위해 상기 제1 메모리 셀을 액세스하도록 동작 가능한,  
멀티 포트 비휘발성 메모리 디바이스를 액세스하는 방법.

**청구항 12**

제9항에 있어서,  
상기 제1 메모리 동작 및 상기 제2 메모리 동작은 데이터 판독 동작들인,

멀티 포트 비휘발성 메모리 디바이스를 액세스하는 방법.

**청구항 13**

제9항에 있어서,

상기 제1 메모리 동작 및 상기 제2 메모리 동작은 데이터 기록 동작들인,

멀티 포트 비휘발성 메모리 디바이스를 액세스하는 방법.

**청구항 14**

제9항에 있어서,

상기 제1 메모리 동작은 제1 데이터 기록 동작이고, 상기 제2 메모리 동작은 데이터 판독 동작인,

멀티 포트 비휘발성 메모리 디바이스를 액세스하는 방법.

**청구항 15**

제14항에 있어서,

상기 제1 메모리 셀에서의 제2 데이터 기록 동작은 상기 제1 메모리 셀에서의 상기 제1 데이터 기록 동작 동안 차단되는,

멀티 포트 비휘발성 메모리 디바이스를 액세스하는 방법.

**청구항 16**

제9항에 있어서,

상기 제1 저항성 메모리 구조는 제1 액세스 트랜지스터를 통하여 제1 비트 라인에 연결되고, 제2 액세스 트랜지스터를 통하여 제1 감지 라인에 연결되고,

상기 제1 저항성 메모리 구조는 제3 액세스 트랜지스터를 통하여 제2 비트 라인에 연결되고, 제4 액세스 트랜지스터를 통하여 제2 감지 라인에 연결되는,

멀티 포트 비휘발성 메모리 디바이스를 액세스하는 방법.

**청구항 17**

제9항에 있어서,

상기 제1 포트 및 상기 제2 포트에 포트-데이터-선택기가 연결되고, 상기 포트-데이터-선택기는 상기 제1 포트 및 상기 제2 포트를 통하여 상기 제1 메모리 셀에 대하여 판독 및 기록 동작들을 수행하도록 구성되는,

멀티 포트 비휘발성 메모리 디바이스를 액세스하는 방법.

**청구항 18**

제9항에 있어서,

포트-데이터-선택기는,

상기 제1 포트와 연관된 비트 라인에 인가될 비트 라인 전압을 선택하도록 구성된 비트 라인 멀티플렉서; 및

상기 제1 포트와 연관된 감지 라인에 인가될 감지 라인 전압을 선택하도록 구성된 감지 라인 멀티플렉서를 포함하는,

멀티 포트 비휘발성 메모리 디바이스를 액세스하는 방법.

**청구항 19**

제18항에 있어서,

상기 비트 라인 전압은, 제1 전압, 제2 전압 및 제3 전압을 포함하는 제1의 복수의 전압들로부터 선택되고, 상기 감지 라인 전압은, 상기 제1 전압 및 상기 제2 전압을 포함하는 제2의 복수의 전압들로부터 선택되는, 멀티 포트 비휘발성 메모리 디바이스를 액세스하는 방법.

**청구항 20**

제18항에 있어서,

상기 비트 라인 전압 및 상기 감지 라인 전압이 동일한 전위일 때, 상기 제1 포트를 통한 판독 동작들 또는 기록 동작들이 금지되는,

멀티 포트 비휘발성 메모리 디바이스를 액세스하는 방법.

**청구항 21**

제9항에 있어서,

상기 제1 저항성 메모리 구조는 자기 터널 접합(MTJ)을 포함하는,

멀티 포트 비휘발성 메모리 디바이스를 액세스하는 방법.

**청구항 22**

제9항에 있어서,

상기 제2 메모리 동작을 수행하는 동안 상기 제1 메모리 동작을 실행하는 단계는 전자 디바이스에 통합된 프로세서에서 수행되는,

멀티 포트 비휘발성 메모리 디바이스를 액세스하는 방법.

**청구항 23**

제1 데이터 값을 저장하기 위한 수단;

제2 데이터 값을 저장하기 위한 수단;

제1 포트를 통하여, 상기 제1 데이터 값을 저장하기 위한 수단에 대하여 제1 메모리 동작을 실행하기 위한 수단; 및

제2 포트를 통하여, 상기 제2 데이터 값을 저장하기 위한 수단에 대하여 제2 메모리 동작을 실행하기 위한 수단을 포함하고,

상기 제1 메모리 동작을 실행하기 위한 수단은, 상기 제2 메모리 동작을 실행하기 위한 수단이 상기 제2 메모리 동작을 실행하고 있는 동안 상기 제1 메모리 동작을 실행하도록 동작가능하고,

상기 제1 데이터 값을 저장하기 위한 수단 및 상기 제2 데이터 값을 저장하기 위한 수단은 각각 상기 제1 포트 및 상기 제2 포트를 통하여 액세스 가능한,

장치.

**청구항 24**

제23항에 있어서,

상기 제1 데이터 값을 저장하기 위한 수단, 상기 제2 데이터 값을 저장하기 위한 수단, 상기 제1 메모리 동작을 실행하기 위한 수단, 및 상기 제2 메모리 동작을 실행하기 위한 수단은 적어도 하나의 반도체 다이에 통합되는,

장치.

**청구항 25**

제23항에 있어서,

상기 제1 데이터 값을 저장하기 위한 수단, 상기 제2 데이터 값을 저장하기 위한 수단, 상기 제1 메모리 동작을

실행하기 위한 수단, 및 상기 제2 메모리 동작을 실행하기 위한 수단이 통합되는, 셋톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 통신 디바이스, 개인 디지털 정보 단말(PDA), 고정 위치 데이터 유닛, 또는 컴퓨터, 또는 이들의 조합을 포함하는 디바이스를 더 포함하는, 장치.

**청구항 26**

제2 메모리 셀에 대하여 제2 메모리 동작을 실행하는 동안 제1 메모리 셀에 대하여 제1 메모리 동작을 실행하기 위한 제1 단계 - 상기 제1 메모리 동작은 제1 포트를 통하여, 상기 제2 메모리 동작은 제2 포트를 통하여, 상기 제1 메모리 셀은 제1 저항성 메모리 구조를 포함하는 제1 비휘발성 메모리를 포함하고, 상기 제2 메모리 셀은 제2 저항성 메모리 구조를 포함하는 제2 비휘발성 메모리를 포함하고, 상기 제1 메모리 셀 및 상기 제2 메모리 셀은 각각 상기 제1 포트 및 상기 제2 포트를 통하여 액세스 가능함 -;

제1 제어 신호에 응답하여, 상기 제1 포트를 통한 상기 제1 저항성 메모리 구조에 대한 액세스를 인에이블하고, 상기 제2 포트를 통한 상기 제1 메모리 구조에 대한 액세스를 디스에이블하기 위한 제2 단계; 및

제2 제어 신호에 응답하여, 상기 제2 포트를 통한 상기 제2 저항성 메모리 구조에 대한 액세스를 인에이블하고, 상기 제1 포트를 통한 상기 제2 저항성 메모리 구조에 대한 액세스를 디스에이블하기 위한 제3 단계를 포함하는,

방법.

**청구항 27**

제26항에 있어서,

상기 제1 단계, 상기 제2 단계, 및 상기 제3 단계는 전자 디바이스에 통합된 프로세서에 의해 수행되는,

방법.

**청구항 28**

컴퓨터에 의해 실행가능한 명령들을 저장하고 있는 컴퓨터 판독가능 매체로서,

상기 명령들은,

제2 메모리 셀에 대하여 제2 메모리 동작을 실행하는 동안 제1 메모리 셀에 대하여 제1 메모리 동작을 실행하기 위한, 상기 컴퓨터에 의해 실행가능한 명령들 - 상기 제1 메모리 동작은 제1 포트를 통하여, 상기 제2 메모리 동작은 제2 포트를 통하여, 상기 제1 메모리 셀은 제1 저항성 메모리 구조를 포함하는 제1 비휘발성 메모리를 포함하고, 상기 제2 메모리 셀은 제2 저항성 메모리 구조를 포함하는 제2 비휘발성 메모리를 포함하고, 상기 제1 메모리 셀 및 상기 제2 메모리 셀은 각각 상기 제1 포트 및 상기 제2 포트를 통하여 액세스 가능함 -;

제1 제어 신호에 응답하여, 상기 제1 포트를 통한 상기 제1 저항성 메모리 구조에 대한 액세스를 인에이블하고, 상기 제2 포트를 통한 상기 제1 저항성 메모리 구조에 대한 액세스를 디스에이블하기 위한, 상기 컴퓨터에 의해 실행가능한 명령들; 및

제2 제어 신호에 응답하여, 상기 제2 포트를 통한 상기 제2 저항성 메모리 구조에 대한 액세스를 인에이블하고, 상기 제1 포트를 통한 상기 제2 저항성 메모리에 대한 액세스를 디스에이블하기 위한, 상기 컴퓨터에 의해 실행가능한 명령들

을 포함하는,

컴퓨터 판독가능 매체.

**청구항 29**

제28항에 있어서,

상기 명령들은, 셋톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 통신 디바이스, 개인 디지털 정보 단말(PDA), 고정 위치 데이터 유닛, 또는 컴퓨터, 또는 이들의 조합을 포함하는 디바이스에 통합된 프로세서에 의해 실행가능한,

컴퓨터 판독가능 매체.

**청구항 30**

멀티 포트 비휘발성 메모리 디바이스를 포함하는 반도체 디바이스의 적어도 하나의 물리적 속성을 나타내는 설계 정보를 수신하는 단계;

상기 설계 정보를 파일 포맷에 부합하게 변형하는 단계; 및

상기 변형된 설계 정보를 포함하는 데이터 파일을 생성하는 단계를 포함하고,

상기 멀티 포트 비휘발성 메모리 디바이스는,

제1 저항성 메모리 구조를 포함하는 제1 비휘발성 메모리를 포함하는 제1 메모리 셀; 및

제2 저항성 메모리 구조를 포함하는 제2 비휘발성 메모리를 포함하는 제2 메모리 셀을 포함하고,

상기 멀티 포트 비휘발성 메모리 디바이스는, 제2 포트를 통하여 상기 제2 메모리 셀에 대하여 제2 메모리 동작을 실행하는 동안 제1 포트를 통하여 상기 제1 메모리 셀에 대하여 제1 메모리 동작을 실행하도록 구성되고, 상기 제1 메모리 셀 및 상기 제2 메모리 셀은 각각 상기 제1 포트 및 상기 제2 포트를 통하여 액세스 가능한, 방법.

**청구항 31**

제30항에 있어서,

상기 데이터 파일은 GDSII 포맷을 포함하는,

방법.

**청구항 32**

반도체 디바이스에 대응하는 설계 정보를 포함하는 데이터 파일을 수신하는 단계; 및

상기 설계 정보에 따라 상기 반도체 디바이스를 제조하는 단계를 포함하고,

상기 반도체 디바이스는 멀티 포트 비휘발성 메모리 디바이스를 포함하고,

상기 멀티 포트 비휘발성 메모리 디바이스는,

제1 저항성 메모리 구조를 포함하는 제1 비휘발성 메모리를 포함하는 제1 메모리 셀; 및

제2 저항성 메모리 구조를 포함하는 제2 비휘발성 메모리를 포함하는 제2 메모리 셀을 포함하고,

상기 멀티 포트 비휘발성 메모리 디바이스는, 제2 포트를 통하여 상기 제2 메모리 셀에 대하여 제2 메모리 동작을 실행하는 동안 제1 포트를 통하여 상기 제1 메모리 셀에 대하여 제1 메모리 동작을 실행하도록 구성되고, 상기 제1 메모리 셀 및 상기 제2 메모리 셀은 각각 상기 제1 포트 및 상기 제2 포트를 통하여 액세스 가능한, 방법.

**청구항 33**

제32항에 있어서,

상기 데이터 파일은 GDSII 포맷을 포함하는,

방법.

**청구항 34**

제32항에 있어서,

상기 데이터 파일은 GERBER 포맷을 포함하는,

방법.

**청구항 35**

제32항에 있어서,

셋톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 통신 디바이스, 개인 디지털 정보 단말(PDA), 고정 위치 데이터 유닛, 또는 컴퓨터, 또는 이들의 조합을 포함하는 디바이스 내에 상기 반도체 디바이스를 통합하는 단계를 더 포함하는,

방법.

## 명세서

### 기술분야

[0001] 본 개시내용은 일반적으로 멀티-포트 메모리에 관한 것이다.

### 배경기술

[0002] 기술의 진보들은 더 작고 더 강력한 컴퓨팅 디바이스들을 초래하였다. 예를 들어, 작고 경량이며 사용자들에 의해 용이하게 운반되는 무선 전화들, 개인 디지털 정보 단말(PDA)들 및 페이지 디바이스들과 같은 무선 컴퓨팅 디바이스들을 포함하는 다양한 휴대용 개인용 컴퓨팅 디바이스들이 현재 존재한다. 더 구체적으로, 셀룰러 전화들 및 인터넷 프로토콜(IP) 전화들과 같은 무선 전화들은 무선 네트워크들을 통해 음성 및 데이터 패킷들을 통신할 수 있다. 게다가, 많은 이러한 무선 전화들은 여기에 포함된 다른 타입들의 디바이스들을 포함한다. 예를 들어, 무선 전화는 또한 디지털 스틸 카메라, 디지털 비디오 카메라, 디지털 레코더 및 오디오 파일 플레이어 포함할 수 있다. 또한, 이러한 무선 전화들은 인터넷에 액세스하기 위해 사용될 수 있는 웹 브라우저 애플리케이션과 같은 소프트웨어 애플리케이션들을 포함하는 실행가능한 명령들을 프로세싱할 수 있다. 따라서, 이들 무선 전화들은 상당한 컴퓨팅 능력들을 포함할 수 있다.

[0003] 프로세서의 컴퓨팅 능력들은 랜덤 액세스 메모리(RAM) 셀들 내의 다수의 포트들의 사용을 통해 증가될 수 있다. 다수의 포트들은 메모리에 대한 다수의 관독 및 기록 액세스 메커니즘들을 제공함으로써 다수의 에이전트들로 하여금 동시에 관독 및 기록할 수 있게 한다. 예를 들어, 중앙 처리 장치(CPU) 시스템에서, 다수의 에이전트들은 동일한 프로세서 클록 사이클에서 레지스터 파일 내의 비트들에 액세스하려고 시도할 수 있다. 다수의 포트들에 의해, 제1 에이전트는 제1 에이전트가 관독 동작을 수행할 수 있기 전에 제2 에이전트가 관독 동작을 완료하기를 대기할 필요가 없다. 두 에이전트들 모두로 하여금 상이한 포트들을 통해 메모리에 액세스하게 하는 것은 멀티-포트 RAM으로 하여금 더 고속의 액세스 시간들을 제공할 수 있게 하며, 메모리 레이턴시를 감소시킨다.

[0004] RAM 디바이스의 각각의 메모리 셀에 대한 다수의 포트들의 추가는 디바이스의 사이즈 및 복잡도를 증가시킨다. 추가적인 포트들의 추가로 인한 사이즈의 증가는 메모리 디바이스의 타입에 의존할 수 있다. 예를 들어, 듀얼-포트 SRAM 셀을 형성하기 위해 단일 포트 정적 랜덤 액세스 메모리(SRAM) 셀에 추가적인 기록 포트를 추가하는 것은 통상적으로 추가 회로를 수반한다. 더 큰 메모리 셀의 동작은 추가적인 전력을 소모하고 추가적인 열을 발생한다. 추가적인 전력은 많은 전자 디바이스들에서 불리하다.

### 발명의 내용

[0005] 특정 실시예에서, 표준 멀티-포트 SRAM 디바이스보다 더 작은 사이즈를 가지는 멀티-포트 자기저항성 랜덤 액세스 메모리(MRAM) 디바이스가 개시된다. 감소된 사이즈의 멀티-포트 셀의 장점에 추가하여, 멀티-포트 MRAM 디바이스는 인스턴트-온(instant-on) 아키텍처의 사용을 가능하게 하는 비휘발성 메모리를 포함한다.

[0006] 특정 실시예에서, 저항성 메모리 셀 및 저항성 메모리 셀에 커플링된 다수의 포트들을 포함하는, 멀티-포트 비휘발성 메모리 디바이스가 개시된다.

[0007] 또 다른 특정 실시예에서, 제1 메모리 셀에 대해 제1 메모리 동작을 실행하는 한편 제2 메모리 셀에 대해 제2 메모리 동작을 실행하는 단계를 포함하는 방법이 개시된다. 제1 메모리 동작은 제1 포트를 통하여 제2 메모리 동작은 제2 포트를 통하여. 제1 메모리 셀은 제1 저항성 메모리 구조를 포함하고, 제2 메모리 셀은 제2 저항성 메모리 구조를 포함한다. 제1 메모리 셀 및 제2 메모리 셀은 각각 제1 포트 및 제2 포트를 통해 액세스가능하다.

[0008] 또 다른 특정 실시예에서, 복수의 메모리 셀들을 포함하는 메모리 어레이를 포함하는 멀티-포트 비휘발성 메모리가 개시된다. 멀티-포트 비휘발성 메모리는 또한 메모리 어레이에 커플링되는 다수의 포트들을 포함한다.

복수의 메모리 셀들 중 적어도 하나는 저항성 메모리 엘리먼트를 포함한다. 다수의 포트들 각각은 메모리 셀들 중 임의의 메모리 셀에 액세스하도록 동작가능하다. 다수의 포트들 중 적어도 둘은 동시에 메모리 동작을 수행하기 위해 사용될 수 있다.

[0009] 또 다른 특정 실시예에서, 멀티-포트 비휘발성 메모리는 복수의 메모리 셀들을 포함하는 메모리 어레이를 포함한다. 멀티-포트 비휘발성 메모리는 또한 메모리 어레이에 커플링되는 다수의 포트들을 포함한다. 다수의 포트들 각각은 메모리 셀들 중 임의의 메모리 셀에 액세스하도록 동작가능하다. 다수의 포트들 중 적어도 둘이 동시에 메모리 동작을 수행하기 위해 사용될 수 있다. 포트들 중 적어도 하나는 기록 포트이다.

[0010] 개시된 실시예들 중 적어도 하나에 의해 제공되는 하나의 특정한 장점은 인스턴트-온 아키텍처의 사용을 가능하게 하는 감소된 사이즈의 멀티-포트 셀이다. 본 개시내용의 다른 양상들, 장점들 및 특징들은 후속하는 섹션들:도면의 간단한 설명, 발명을 실시하기 위한 구체적인 내용 및 특허청구범위를 포함하는, 전체 출원의 검토 이후에 명백해질 것이다.

**도면의 간단한 설명**

[0011] 도 1은 다수의 포트들에 의해 액세스가능한 저항성 메모리 엘리먼트를 포함하는 메모리 셀들을 가지는 메모리 디바이스를 포함하는 시스템의 특정 예시적인 실시예의 블록도이다.

도 2는 다수의 포트들에 의해 액세스가능한 저항성 메모리 엘리먼트를 포함하는 메모리 셀을 가지는 시스템의 예시적인 실시예의 다이어그램이다.

도 3은 다수의 포트들에 의해 액세스가능한 저항성 메모리 엘리먼트들을 포함하는 메모리 셀들의 동작 방법의 특정 예시적인 실시예의 흐름도이다.

도 4는 다수의 포트들에 의해 액세스가능한 저항성 메모리 엘리먼트를 가지는 메모리 셀을 포함하는 무선 통신 디바이스의 특정 실시예의 블록도이다.

도 5는 다수의 포트들에 의해 액세스가능한 저항성 메모리 엘리먼트를 가지는 메모리 셀을 포함하는 디바이스와 함께 사용하기 위한 제조 프로세스를 예시하는 데이터 흐름도이다.

**발명을 실시하기 위한 구체적인 내용**

[0012] 도 1은 다수의 포트들에 의해 액세스가능한 저항성 메모리 엘리먼트를 포함하는 메모리 셀들을 가지는 메모리 디바이스를 포함하고 일반적으로 100으로 표기되는 시스템의 제1 실시예의 다이어그램이다. 시스템(100)은 메모리 디바이스(101), 및 제1 포트(116) 및 제2 포트(118)를 통해 복수의 메모리 셀들(104)에 커플링되는 포트-데이터-선택기(130)를 포함한다. 특정 실시예에서, 메모리 디바이스(101)는 메모리 어레이일 수 있다. 복수의 메모리 셀들(104)은 제1 메모리 셀(106) 및 제2 메모리 셀(112)을 포함한다. 제1 메모리 셀(106)은 제1 저항성 메모리 엘리먼트(110)를 포함하고, 제2 메모리 셀(112)은 제2 저항성 메모리 엘리먼트(114)를 포함한다.

[0013] 특정 실시예에서, 포트-데이터-선택기(130)는 제1 포트(116) 및 제2 포트(118)를 통해 메모리 디바이스(101)의 메모리 셀들(106, 112) 상에서의 메모리 동작들을 수행하도록 구성된다. 예를 들어, 포트-데이터-선택기(130)는 제1 포트(116)를 통해 제1 메모리 셀(106) 상에서 제1 메모리 동작(119)을 수행하도록 구성될 수 있다. 또 다른 예로서, 포트-데이터-선택기(130)는 제2 포트(118)를 통해 제2 메모리 셀(112) 상에서 제2 메모리 동작(120)을 수행하도록 구성될 수 있다. 특정 실시예에서, 다수의 포트들(116, 118) 중 적어도 하나는 판독 포트이다. 다수의 포트들(116, 118) 중 적어도 하나는 기록 포트일 수 있다.

[0014] 특정 실시예에서, 복수의 메모리 셀들(104)은 제1 포트(116) 및 제2 포트(118)를 통해 수행되는 동작에 응답한다. 예를 들어, 복수의 메모리 셀들(104)은 데이터 기록 동작들 및 데이터 판독 동작들을 수행할 수 있다. 각각의 포트(116, 118)는 동작들을 수행하기 위해 동시에 사용될 수 있다. 특정 실시예에서, 다수의 포트들(116, 118) 중 적어도 2개는 동시에 메모리 동작을 수행하기 위해 사용될 수 있다. 예를 들어, 제1 메모리 셀(106)은 제1 포트(116)를 통해 제1 메모리 동작(119)을 실행할 수 있는 한편, 제2 메모리 셀(112)은 제2 포트(118)를 통해 제2 메모리 동작(120)을 실행할 수 있다. 특정 실시예에서, 복수의 메모리 셀들(104) 중 적어도 하나의 셀(106, 112)은 제1 포트(116) 및 제2 포트(118)를 통해 동시에 액세스되도록 구성된다. 대안적으로, 각각의 메모리 셀(106, 112)은 한번에 오직 하나의 포트(116, 118)에 대한 액세스를 인에이블하도록 구성될 수 있다. 포트 제어 액세스는 제어 신호들을 통해 결정될 수 있다. 예를 들어, 제1 메모리 셀(106)은 제1 제어 신호(160)에 응답하여, 제1 포트(116)를 통한 제1 저항성 메모리 엘리먼트(110)에 대한 액세스를 인에이블시키고, 제2 포

트(118)를 통한 제1 저항성 메모리 엘리먼트(110)에 대한 액세스를 디스에이블할 수 있다. 또 다른 예로서, 제2 메모리 셀(112)은 제2 제어 신호(161)에 응답하여, 제2 메모리 포트(118)를 통한 제2 저항성 메모리 엘리먼트(114)에 대한 액세스를 인에이블시키고, 제1 포트(116)를 통한 제2 저항성 메모리 엘리먼트(114)에 대한 액세스를 디스에이블할 수 있다.

- [0015] 특정 실시예에서, 복수의 메모리 셀들(104)은 상이한 동작들을 수행하기 위해 동시에 사용될 수 있다. 예를 들어, 제2 메모리 셀(112)이 데이터 판독 동작을 수행하는 동안 제1 메모리 셀(106)은 데이터 기록 동작을 수행할 수 있다. 복수의 메모리 셀들(104)은 또한 동일한 타입의 동작을 수행하기 위해 사용될 수 있다. 예를 들어, 제2 메모리 셀(112)이 데이터 판독 동작을 수행하는 동안 제1 메모리 셀(106)은 데이터 기록 동작을 수행할 수 있다. 또 다른 예로서, 제1 메모리 셀(106) 및 제2 메모리 셀(112) 모두는 데이터 기록 동작들을 수행할 수 있다. 동일한 메모리 셀 상의 다수의 동작들의 수행이 차단될 수 있다. 예를 들어, 제1 메모리 셀(106)에서의 제2 데이터 기록 동작은 제1 메모리 셀(106)에서의 제1 데이터 기록 동작 동안 차단될 수 있다.
- [0016] 데이터 기록 동작의 일부분으로서, 복수의 메모리 셀들(104)은 포트-데이터-선택기(130)로부터 수신되는 데이터를 저장하도록 구성될 수 있다. 예를 들어, 제1 메모리 셀(106)은 논리 "0" 또는 논리 "1" 값에 대응하도록 제1 저항성 메모리 엘리먼트(110)의 제1 저항 값을 세팅함으로써 제1 데이터를 저장할 수 있고, 제2 메모리 셀(112)은 제2 저항성 메모리 엘리먼트(114)의 제2 저항 값을 세팅함으로써 제2 데이터를 저장할 수 있다.
- [0017] 특정 실시예에서, 제1 메모리 셀(106)은 출력 데이터(122)를 생성하기 위해 데이터 판독 동작에 응답한다. 출력 데이터(122)는 복수의 메모리 셀들(104)의 특정 저항성 엘리먼트(110, 114)에 대응할 수 있다. 예를 들어, 출력 데이터(122)는 제1 저항성 메모리 엘리먼트(110)의 제1 저항 값에 기초할 수 있다. 또 다른 예로서, 출력 데이터(122)는 제2 저항성 메모리 엘리먼트(114)의 제2 저항 값에 기초할 수 있다.
- [0018] 특정 실시예에서, 메모리 디바이스(101)는 스핀-토크-전달(STT-MRAM)을 사용하여 데이터를 기록하도록 구성되는 자기저항성 랜덤 액세스 메모리이다. 메모리 디바이스(101)는 단일 레지스터 파일이고, 제1 메모리 셀(106) 및 제2 메모리 셀(112)은 각각 단일 레지스터 파일 내의 비트에 대응할 수 있다. 예를 들어, 제1 메모리 셀(108)은 제1 상태 정보를 저장하도록 구성될 수 있고, 제2 메모리 셀(112)은 제2 상태 정보를 저장하도록 구성될 수 있다.
- [0019] 동작 동안, 복수의 메모리 셀들(104)은 판독 및 기록 동작들에 응답한다. 예를 들어, 제1 메모리 셀(106)은 제1 저항성 메모리 엘리먼트(110)에 저장될 포트-데이터-선택기(130)로부터 제1 데이터를 수신할 수 있다. 제1 데이터를 수신하는 것에 응답하여, 제1 메모리 셀(106)은 제1 저항성 메모리 엘리먼트(110)의 제1 저항 값을 세팅함으로써 제1 데이터를 저장할 수 있다. 제1 메모리 셀(106)의 데이터 판독 동작동안, 제1 메모리 셀(106)은 제1 저항성 메모리 엘리먼트(110)의 제1 저항 값에 기초하여 출력 데이터(122)를 생성할 수 있다.
- [0020] 특정 실시예에서, 제2 메모리 셀(112)은 제2 메모리 셀(112)에 저장될 포트-데이터-선택기(130)로부터 제2 데이터를 수신한다. 제2 데이터의 수신에 응답하여, 제2 메모리 셀(112)은 제2 저항성 메모리 엘리먼트(114)의 제2 저항 값으로서 제2 데이터를 저장할 수 있다. 제2 메모리 셀(112)의 판독 동작 동안, 제2 메모리 셀(112)은 제2 저항성 메모리 엘리먼트(114)의 제2 저항 값에 기초하여 출력 데이터(122)를 생성할 수 있다.
- [0021] 특정 실시예에서, 메모리 디바이스(101)는 프로세서에 대한 RAM으로서 이용된다. 메모리 디바이스(101)의 저항성 메모리 엘리먼트들(110, 114)에 상태 정보를 저장하는 것은 프로세서로 하여금 인스턴트-온 아키텍처를 구현하는 것을 가능하게 한다. 인스턴트-온 아키텍처에 의해, 프로세서는 상태 정보를 RAM으로 로딩해야 할 필요 없이 RAM 내의 상태 정보에 대해 즉시 액세스하게 한다. 제1 메모리 셀(106) 및 제2 메모리 셀(112)과 같은 비휘발성 메모리들은 메모리 디바이스(101)로 하여금 저장된 상태 정보를 유실하지 않고 파워오프되는 것을 가능하게 한다. 인스턴트-온 아키텍처를 가지는 메모리 디바이스(101)를 파워 온시키는 것은 프로세서로 하여금 비휘발성 메모리로서 기능하는 외부 디바이스로부터 상태 정보를 로딩해야 할 필요 없이 저장된 상태 정보에 대해 액세스하는 것을 가능하게 하고, 따라서, 프로세서 및 메모리 디바이스(101)를 이용하는 시스템의 시동(start-up) 시간을 단축시킨다.
- [0022] 도 2를 참조하면, 다수의 포트들에 의해 액세스가능한 저항성 메모리 엘리먼트를 포함하는 셀을 가지는 시스템의 특정 실시예의 다이어그램이 예시되며, 일반적으로 200으로 표기된다. 시스템(200)은 디코더(202)에 커플링된 메모리 셀(206) 및 포트-데이터-선택기(230)를 포함한다. 메모리 셀(206)은 도 1의 복수의 메모리 셀들(104) 중 하나(예를 들어, 제1 메모리 셀(106) 또는 제2 메모리 셀(112))일 수 있고, 포트-데이터-선택기(230)는 도 1의 포트-데이터 선택기(130)일 수 있다.

- [0023] 메모리 셀(206)은 저항성 메모리 엘리먼트(210)를 포함한다. 예를 들어, 메모리 셀(206)은 MRAM 또는 STT-MRAM 과 같은 저항성 메모리일 수 있다. 메모리 셀(206)의 저항성 메모리 엘리먼트(210)는 다수의 포트들에 의해 액세스가능할 수 있다. 다수의 포트들은 다수의 에이전트들로 하여금 동일한 저항성 메모리 엘리먼트(예를 들어, 저항성 메모리 엘리먼트(210))에 액세스하는 것을 가능하게 한다. 예를 들어, 데이터 값은 제1 포트(211)를 통해 저항성 메모리 엘리먼트(210)에 저장될 수 있고, 제2 포트(213)를 통해 저항성 메모리 엘리먼트(210)에 저장 될 수 있다.
- [0024] 특정 실시예에서, 메모리 셀(206)로부터의 데이터의 기록 및 판독을 인에이블시키기 위해, 디코더(202)는 제1 워드라인(242) 및 제2 워드라인(244)과 같은 워드라인들을 통해 제어 신호들(예를 들어, 도 1의 제1 제어 신호 (160) 또는 제2 제어 신호(161))을 제공하도록 구성된다. 디코더(202)는 메모리 셀(206)의 특정 포트에 관련된 입력 어드레스를 수신하도록 구성될 수 있다. 예를 들어, 입력 어드레스는 메모리 셀(206)의 제2 포트(213)로 향하는 wp2\_어드레스 신호(240)일 수 있다. 또 다른 예로서, 입력 어드레스는 메모리 셀(206)의 제1 포트(211)로 향하는 wp1\_어드레스 신호(241)일 수 있다.
- [0025] 특정 실시예에서, 디코더(202)는 입력 어드레스에 대응하는 포트에 기초하여 입력 어드레스를 프로세싱하도록 구성되는 회로를 포함한다. 예를 들어, 제2 포트(213)에 대응하는 wp2\_어드레스 신호(240)는 디코더(202)에 의해 수신될 수 있다. wp2\_어드레스 신호(240)는 P2 디코더(258)에 커플링되는 P2 어드레스 플롭(252)에서 수신 될 수 있다. 특정 실시예에서, P2 디코더(258)는 P2 어드레스 플롭(252)으로부터의 입력으로서 2개의 하이 신호들을 수신하는 것에 응답하여 하이 신호를 출력하도록 구성되는 AND 게이트이다. P2 디코더(258)는 워드 라인(예를 들어, 제2 워드라인(244)) 상에 하이 신호를 출력하도록 구성될 수 있다.
- [0026] 또 다른 예로서, 디코더(202)는 제1 포트(211)에 대응하는 wp1\_어드레스 신호(241)를 수신할 수 있다. wp1\_어드레스 신호(241)는 P1 디코더(260)에 커플링되는 P1 어드레스 플롭(256)에서 수신될 수 있다. 특정 실시예에서, P1 디코더(260)는 P1 어드레스 플롭(256)으로부터의 입력으로서 2개의 하이 신호들을 수신하는 것에 응답하여 하이 신호를 출력하도록 구성되는 AND 게이트이다. P1 디코더(260)는 워드 라인(예를 들어, 제1 워드라인 (242)) 상에서 신호를 출력하도록 구성될 수 있다.
- [0027] 특정 실시예에서, 포트-데이터-선택기(230)는 판독/기록(r/w) 제어 신호(236)를 수신하도록 구성된다. r/w 제어 신호(236)는 메모리 셀(206)이 특정 포트 상에서 판독 동작 또는 기록 동작을 수행하기 위한 것인지의 여부를 표시할 수 있다. 예를 들어, r/w 제어 신호(236)는 판독 동작이 메모리 셀(206)의 제1 포트(211) 상에서 수행될 것임을 표시할 수 있다. 또 다른 예로서, r/w 제어 신호(236)는 기록 동작이 메모리 셀(206)의 제2 포트 (213) 상에서 수행될 것임을 표시할 수 있다. 포트-데이터-선택기(230)는 기록 동작 동안 메모리 셀(206)의 포트들을 통해 데이터를 기록하기 위한 입력 데이터를 수신하도록 구성될 수 있다. 특정 실시예에서, 입력 데이터는 또한 저장될 값을 표시한다. 예를 들어, 입력 데이터는 제1 포트(211)가 1의 논리 값을 나타내는 데이터 값을 기록하기 위해 사용될 것임을 표시하는 wData\_P1 신호(238)일 수 있다. 또 다른 예로서, 입력 데이터는 제2 포트(213)가 0의 논리 값을 나타내는 데이터 값을 기록하기 위해 사용될 것임을 표시하는 wData\_P2 신호 (239)일 수 있다.
- [0028] 특정 실시예에서, 포트-데이터-선택기(230)는 판독/기록 제어 신호(236)를 프로세싱하고 기록 동작 동안 입력 데이터(예를 들어, wData\_P1 신호(238) 및 wData\_P2 신호(239))를 프로세싱하도록 구성되는 회로를 포함한다. 포트-데이터-선택기(230)의 회로는 비트 라인(BL) 멀티플렉서(290), 감지 라인(SL) 멀티플렉서(291), BL 기록-전압 멀티플렉서(293), 및 SL 기록-전압 멀티플렉서(294)를 포함할 수 있다. 도 2가 설명의 용이함을 위해 메모리 셀(206)의 제1 포트(211)를 프로세싱하기 위한 회로를 도시하지만, 포트-데이터-선택기(230)는 메모리 셀 (206)의 각각의 포트에 대한 대응하는 BL 멀티플렉서, SL 멀티플렉서, BL 기록-전압 멀티플렉서, 및 SL 기록-전압 멀티플렉서를 포함한다.
- [0029] BL 멀티플렉서(290) 및 SL 멀티플렉서(291) 모두는 판독/기록 제어 신호(236)를 수신하도록 구성될 수 있다. 판독/기록 제어 신호(236)는 BL 멀티플렉서(290) 및 SL 멀티플렉서(291)가 판독 동작에서 사용될 것인지 또는 기록 동작에서 사용될 것인지의 여부를 결정할 수 있다. BL 멀티플렉서(290)의 출력은 제1 포트(211)에 대응하는 비트 라인(예를 들어, 제1 비트 라인(270))에 접속되고, SL 멀티플렉서(291)의 출력은 제1 포트(211)에 대응 하는 감지 라인(예를 들어, 제1 감지 라인(276))에 접속된다.
- [0030] 판독 동작을 표시하는 판독/기록 제어 신호(236)를 수신하는 것에 응답하여, BL 멀티플렉서(290)는 제1 비트 라인(270) 상에 0.2 V의 전압을 출력하도록 구성될 수 있고, SL 멀티플렉서(291)는 제1 감지 라인(276) 상에 0V의 전압을 출력하도록 구성될 수 있다(예를 들어, 제1 감지 라인(276)이 접지에 커플링될 수 있다). 기록 동작을

표시하는 판독/기록 제어 신호(236)에 응답하여, BL 멀티플렉서(290)는 BL 기록-전압 멀티플렉서(293)에 기초하여 제1 비트 라인(270)에 전압을 출력하도록 구성될 수 있다. 특정 실시예에서, BL 기록-전압 멀티플렉서(293)의 출력은 포트-데이터-선택기(230)의 입력 데이터에 기초한다. 예를 들어, wData\_P1 신호(238)는 논리 "1" 데이터 값이 제1 포트(211)를 통해 메모리 셀(206)에 저장될 것임을 표시할 수 있다. 이러한 경우, BL 기록-전압 멀티플렉서(293)는 BL 멀티플렉서(290)에 1.2V를 출력하도록 구성될 수 있고, SL 기록-전압 멀티플렉서(294)는 SL 멀티플렉서(291)에 0V를 출력하도록 구성될 수 있다. 특정 실시예에서, 제1 비트 라인(270) 상의 1.2V 및 제1 감지 라인(276) 상의 0V의 출력은 메모리 셀(206)의 저항성 엘리먼트(210)에 저장되는 논리 "1" 값의 표현을 산출한다.

[0031] 대안적으로, wData\_P1 신호(238)는 논리 "0" 데이터 값이 제1 포트(211)를 통해 메모리 셀(206)에 저장될 것임을 표시할 수 있다. 이러한 경우, BL 기록-전압 멀티플렉서(293)는 BL 멀티플렉서(290)에 0V를 출력하도록 구성될 수 있고, SL 기록-전압 멀티플렉서(294)는 SL 멀티플렉서(291)에 1.2V를 출력하도록 구성될 수 있다. 특정 실시예에서, 제1 비트 라인(270) 상의 0V 및 제1 감지 라인(276) 상의 1.2V의 출력은 논리 "0" 값의 표현이 메모리 셀(206)의 저항성 엘리먼트(210)에 저장되는 것을 초래한다.

[0032] 특정 실시예에서, 메모리 셀(206)은 데이터의 제1 표현을 저장하도록 구성되는 저항성 엘리먼트(210)를 포함할 수 있다. 메모리 셀(206)은 데이터의 제1 표현이 저항성 엘리먼트(210)로부터 판독될 수 있도록 구성될 수 있다.

[0033] 특정 실시예에서, 메모리 셀(206)은 저항성 엘리먼트(210)에 저장되는 데이터를 저장 및 판독하기 위한 회로를 포함한다. 메모리 셀(206)은 저항성 엘리먼트(210)에 대한 액세스를 제어하는 액세스 트랜지스터들을 포함할 수 있다. 액세스 트랜지스터들은, 예를 들어, 바이폴라 트랜지스터들 또는 전계 효과 트랜지스터들일 수 있고, n-타입 또는 p-타입으로서 구성될 수 있다. 저항성 엘리먼트(210)는 제1 포트(211) 또는 제2 포트(213)를 통해 액세스가능할 수 있다. 제1 포트(211)를 통한 저항성 엘리먼트(210)에 대한 액세스는 제1 세트의 액세스 트랜지스터들(298)에 의해 제어된다. 제1 세트의 액세스 트랜지스터들(298)은 BL\_P1 액세스 트랜지스터(280) 및 SL\_P1 액세스 트랜지스터(282)를 포함한다. 제2 포트(213)를 통한 저항성 엘리먼트(210)의 액세스는 제2 세트의 액세스 트랜지스터들(299)에 의해 제어된다. 제2 세트의 액세스 트랜지스터들(299)은 BL\_P2 액세스 트랜지스터(281) 및 SL\_P2 액세스 트랜지스터(283)를 포함한다.

[0034] 메모리 셀(206)의 액세스 트랜지스터들(280-283)은 디코더(202)로부터의 워드 라인들(예를 들어, 제1 워드라인(242) 및 제2 워드라인(244)), 비트 라인들(예를 들어, 제1 비트 라인(270) 및 제2 비트 라인(272)), 및 감지 라인들(예를 들어, 제2 감지 라인(274) 및 제1 감지 라인(276))에 접속된다. 예를 들어, BL\_P1 액세스 트랜지스터(280)는 제1 워드라인(242) 및 제1 비트 라인(270)으로부터 신호를 수신할 수 있다. 특정 실시예에서, BL\_P1 액세스 트랜지스터(280)는 소스, 게이트 및 드레인을 포함하는 n-타입 JFET일 수 있다. 이러한 경우, BL\_P1 액세스 트랜지스터(280)는 게이트에서 제1 워드라인(242)으로부터의 신호 및 소스에서 제1 비트 라인(270)으로부터의 신호를 수신할 수 있다. BL\_P1\_T0 액세스 트랜지스터(280)의 드레인은 저항성 엘리먼트(210)에 접속될 수 있다.

[0035] 특정 실시예에서, SL\_P1 액세스 트랜지스터(282)의 소스는 저항성 엘리먼트(210), 제1 워드라인(242)에 대한 게이트, 및 제1 감지 라인(276)에 대한 드레인에 접속된다. BL\_P2 액세스 트랜지스터(281)의 소스는 제2 비트 라인(272), 제2 워드라인(244)에 대한 게이트, 및 저항성 엘리먼트(210)에 대한 드레인에 접속된다. SL\_P2 액세스 트랜지스터(283)의 소스는 저항성 엘리먼트(210), 제2 워드라인(244)에 대한 게이트 및 제2 감지 라인(274)에 대한 드레인에 접속된다.

[0036] 특정 실시예에서, 액세스 트랜지스터들(280-283)은 메모리 셀(206)의 저항성 엘리먼트(210)에 대한 액세스를 제어한다. 예를 들어, 제1 포트(211)를 통한 저항성 엘리먼트(210)에 대한 액세스는 BL\_P1 액세스 트랜지스터(280) 및 SL\_P1 액세스 트랜지스터(282) 모두를 턴온시킴으로써 인에이블된다. BL\_P1 액세스 트랜지스터(280)는 제1 워드라인(242)을 통해 디코더(202)로부터의 신호의 수신에 의해 턴온되도록 구성된다. SL\_P1 액세스 트랜지스터(282)는 제1 워드라인(242)을 통한 신호의 수신에 의해 턴온되도록 구성된다. BL\_P1 액세스 트랜지스터(280) 및 SL\_P1 액세스 트랜지스터(282)의 턴온은 메모리 셀(206)의 제1 포트(211)를 경유하여 제1 비트 라인(270)으로부터 제1 감지 라인(276)으로 저항성 엘리먼트(210)를 통해 전류가 흐르는 것을 가능하게 할 수 있다.

[0037] 또 다른 예로서, 제2 포트(213)를 통한 저항성 엘리먼트(210)에 대한 액세스는 BL\_P2 액세스 트랜지스터(281) 및 SL\_P2 액세스 트랜지스터(283)를 턴온시킴으로써 인에이블된다. BL\_P2 액세스 트랜지스터(281)는 제2 워드라인(244)을 통해 디코더(202)로부터 신호의 수신에 의해 턴온되도록 구성된다. SL\_P2 액세스 트랜지스터(283)

3)는 제2 워드라인(244)을 통한 신호의 수신에 의해 턴온되도록 구성된다. BL\_P2 액세스 트랜지스터(281) 및 SL\_P2 액세스 트랜지스터(283)의 턴온은 메모리 셀(206)의 제2 포트(213)를 경유하여 제2 비트 라인(272)으로부터 제2 감지 라인(274)으로 저항성 엘리먼트(210)를 통해 전류가 흐르는 것을 가능하게 할 수 있다.

[0038] 기록 동작 동안, 디코더(202)는 입력 어드레스의 수신에 응답하여 출력 신호를 생성할 수 있다. 출력 신호는 입력 어드레스에 의해 표시되는 특정 포트에 기초하여 특정 워드 라인으로 향할 수 있다. 예를 들어, 디코더(202)는 제1 포트를 표시하는 P1 어드레스 플롭(256)에서 wp1\_어드레스 신호(241)를 수신할 수 있다.

[0039] 특정 실시예에서, P1 어드레스 플롭(256)의 출력은 P1 디코더(260)에서 출력을 생성한다. P1 어드레스 플롭(256)의 출력으로부터 하이 신호를 수신하는 것에 응답하여, P1 디코더(260)는 제1 워드라인(242) 상에서 하이 신호를 생성할 수 있다. 제1 워드라인(242) 상의 하이 신호는 BL\_P1 액세스 트랜지스터(280) 및 SL\_P1 액세스 트랜지스터(282)에 의해 수신될 수 있다.

[0040] 특정 실시예에서, 포트-데이터-선택기(230)에 의해 수신되는 판독/기록 제어 신호(236)는 기록 동작이 메모리 셀(206)에 의해 수행될 것임을 표시한다. 포트-데이터-선택기(230)는 기록 동작 동안 기록될 입력 데이터를 수신할 수 있다. 기록 동작을 표시하는 판독/기록 제어 신호(236)에 응답하여, BL 멀티플렉서(290)는 BL 기록-전압 멀티플렉서(293)에 기초하여 제1 비트 라인(270)에 전압을 출력하도록 구성될 수 있다. 특정 실시예에서, BL 기록-전압 멀티플렉서(293)의 출력은 포트-데이터-선택기(230)의 입력 데이터에 기초한다. 예를 들어, wData\_P1 신호(238)는 논리 "1" 데이터 값이 제1 포트(211)를 통해 메모리 셀(206)에 저장될 것임을 표시할 수 있다. 이러한 경우, BL 기록-전압 멀티플렉서(293)는 BL 멀티플렉서(290)에 1.2V를 출력할 수 있고, SL 기록-전압 멀티플렉서(294)는 SL 멀티플렉서(291)에 0V를 출력할 수 있다.

[0041] 특정 실시예에서, 제1 비트 라인(270) 상의 1.2V 및 제1 감지 라인(276) 상의 0V의 출력은 메모리 셀(206)의 저항성 엘리먼트(210)에 저장되는 논리 "1" 표현을 산출한다. 대안적으로, wData\_P1 신호(238)는 0V의 표현이 제1 포트(211)를 통해 메모리 셀(206)에 저장될 것임을 표시할 수 있다. 이러한 경우, BL 기록-전압 멀티플렉서(293)는 BL 멀티플렉서(290)에 0V를 출력하도록 구성될 수 있고, SL 기록-전압 멀티플렉서(294)는 SL 멀티플렉서(291)에 1.2V를 출력하도록 구성될 수 있다. 제1 비트 라인(270) 상의 0V 및 제1 감지 라인(276) 상의 1.2V의 출력은 메모리 셀(206)의 저항성 엘리먼트(210)에 저장되는 논리 "0"의 표현을 산출할 수 있다.

[0042] 특정 실시예에서, 저항성 엘리먼트(210)의 저항 값은 메모리 셀(206)에 의해 저장될 데이터의 표현을 표시한다. 예를 들어, 저항성 엘리먼트(210)는 특정 자기 배향으로 정렬되는 층들을 포함하는 자기 터널링 접합(MTJ)일 수 있다. 전류가 층들을 통과함에 따라, 하나 또는 그 초과된 층들의 자기 모멘트의 배향이 변경되어, MTJ의 저항을 증가 또는 감소시킬 수 있다.

[0043] 특정 실시예에서, 제1 비트 라인(270)은 제1 전압을 가지고, 제1 감지 라인(276)은 제1 포트(211) 상에서의 기록 동작 동안 제2 전압을 가진다. 제1 전압이 제2 전압보다 더 큰지의 여부는 어떤 저항 값이 저항성 엘리먼트(210)에 기록될 것인지에 기초할 수 있다. 예를 들어, 포트-데이터-선택기(230)는 1.2V의 전압을 제1 비트 라인(270)에 제공하고, 0V의 전압을 제1 감지 라인(276)에 제공할 수 있다. 이러한 경우, 전류는 제1 비트 라인(270)으로부터 감지 엘리먼트(210)를 통해 제1 감지 라인(276)으로 흘러서, MTJ의 층들의 적어도 2개의 자기 모멘트들을 병렬 배향으로 정렬할 것이다. 대안적으로, 제1 비트 라인(270)의 전압이 0V이고 제1 감지 라인(276) 전압이 1.2V인 경우, 전류는 제1 감지 라인(276)으로부터 저항성 엘리먼트(210)를 통해 제1 비트 라인(270)으로 흘러서, 저항성 엘리먼트(210)의 층들의 적어도 2개의 자기 모멘트들을 역병렬(anti-parallel) 배향으로 정렬할 수 있다. MTJ의 층들의 자기 모멘트들이 병렬 배향인 경우, MTJ의 저항 값은 자기 모멘트들이 역병렬 배향인 경우보다 더 작다. MTJ(예를 들어, 제1 저항성 엘리먼트(210))의 작은 저항값은 제1 데이터 표현에 대응할 수 있고, 큰 저항 값은 제2 데이터 표현에 대응할 수 있다.

[0044] 판독 동작 동안, 디코더(202)는 입력 어드레스의 수신에 응답하여 출력 신호를 생성할 수 있다. 출력 신호는 입력 어드레스에 의해 표시되는 특정 포트에 기초하여 특정 워드 라인으로 향할 수 있다. 예를 들어, 디코더(202)는 P1 어드레스 플롭(256)에서 wp1\_어드레스 신호(241)를 수신할 수 있다. P1 어드레스 플롭(256)의 출력은 P1 디코더(260)에서 출력을 생성할 수 있다. P1 어드레스 플롭(256)의 출력으로부터 하이 신호를 수신하는 것에 응답하여, P1 디코더(260)는 제1 워드라인(242) 상에 하이 신호를 생성할 수 있다. 제1 워드라인(242) 상의 하이 신호는 BL\_P1 액세스 트랜지스터(280) 및 SL\_P1 액세스 트랜지스터(282)에 의해 수신될 수 있다.

[0045] 특정 실시예에서, 포트-데이터-선택기(230)에 의해 수신되는 판독/기록 제어 신호(236)는 판독 동작이 메모리 셀(206)에 의해 수신될 것임을 표시한다. 판독 동작을 표시하는 판독/기록 제어 신호(236)에 응답하여, BL 멀티플렉서(290)는 BL 기록-전압 멀티플렉서(293)에 기초하여 제1 비트 라인(270)에 전압을 출력하도록 구성될 수 있다. 특정 실시예에서, BL 기록-전압 멀티플렉서(293)의 출력은 포트-데이터-선택기(230)의 입력 데이터에 기초한다. 예를 들어, wData\_P1 신호(238)는 논리 "1" 데이터 값이 제1 포트(211)를 통해 메모리 셀(206)에 저장될 것임을 표시할 수 있다. 이러한 경우, BL 기록-전압 멀티플렉서(293)는 BL 멀티플렉서(290)에 1.2V를 출력할 수 있고, SL 기록-전압 멀티플렉서(294)는 SL 멀티플렉서(291)에 0V를 출력할 수 있다.

티플렉서(290)는 제1 비트 라인(270) 상에 0.2V의 전압을 출력하도록 구성될 수 있고, SL 멀티플렉서(291)는 제1 감지 라인(276) 상에 0V의 전압을 출력하도록 구성될 수 있다. 특정 실시예에서, 제1 비트 라인(270)은 BL\_P1 액세스 트랜지스터(280)에 0.2V를 제공하고, 제1 감지 라인(276)은 SL\_P1 액세스 트랜지스터(282)에 0V를 제공한다. 이러한 경우, 판독 전류는 제1 비트 라인(270)으로부터 저항성 엘리먼트(210)를 통해 제1 감지 라인(276)으로 흐른다.

[0046] 특정 실시예에서, 제1 감지 라인(276)에 접속된 센서 회로는 저항성 엘리먼트(210)의 저항 값을 결정하기 위해 제1 감지 라인(276) 상의 전류를 기준 전류에 비교한다. 예를 들어, 큰 전류는 작은 저항 값을 표시할 수 있고, 작은 전류는 큰 저항 값을 표시할 수 있다. 이러한 경우, 저항성 엘리먼트(210)의 저항 값은 저항성 엘리먼트(210)의 저장된 엘리먼트의 논리 값의 표시의 역할을 할 수 있다. MTJ(예를 들어, 저항성 엘리먼트(210))의 층들의 자기 모멘트들이 병렬 배향인 경우, 검출된 저항은 자기 모멘트들이 역병렬 배향인 경우보다 더 작을 것이다. 예를 들어, 큰 저항 값은 0의 논리 값을 나타낼 수 있고, 작은 저항 값은 1의 논리 값을 나타낼 수 있다.

[0047] 특정 실시예에서, 메모리 셀(206)은 프로세서에 대한 RAM 셀로서 이용된다. 메모리 셀(206)의 저항성 메모리 엘리먼트(210) 내의 저항 값으로서 상태 정보(예를 들어, wData\_P1 신호(238) 및 wData\_P2 신호(239))를 저장하는 것은 프로세서로 하여금 인스턴트-온 아키텍처를 구현하는 것을 가능하게 한다. 인스턴트-온 아키텍처에 의해, 프로세서는 상태 정보를 RAM으로 로딩해야 할 필요 없이 RAM 내의 상태 정보에 즉시 액세스하게 한다. 저항성 메모리 엘리먼트는 상태 정보를 나타내는 저항 값들을 유지하지 않고 메모리 셀(206)이 파워오프되게 한다. 메모리 셀(206)을 파워 오프시키는 것은 프로세서로 하여금 비휘발성 메모리로서 기능하는 외부 디바이스로부터 RAM으로 상태 정보를 로딩해야 할 필요 없이 저장된 상태 정보를 액세스하는 것을 가능하게 하며, 따라서, 메모리 셀(206)을 이용하는 시스템의 시동 시간을 단축시킨다.

[0048] 도 3은 다수의 포트들에 의해 액세스가능한 저항성 메모리 엘리먼트를 포함하는 메모리 셀을 동작시키는 방법(300)의 제1 실시예의 흐름도이다. 특정 실시예에서, 방법(300)은 도 1 및 2의 시스템들 중 임의의 것, 또는 이들의 임의의 조합에 의해 수행된다. 방법(300)은 302에서, 제1 메모리 셀에 대해 제1 메모리 동작을 실행하는 한편 제2 메모리 셀에 대해 제2 메모리 동작을 실행하는 단계를 포함한다. 예를 들어, 도 1의 메모리 셀(106)은 제1 메모리 셀(106)에 대해 제1 메모리 동작(119)을 실행하는 한편 제2 메모리 셀(112)에 대해 제2 메모리 동작(120)을 실행할 수 있다. 방법(300)에서, 제1 메모리 동작은 제1 포트를 통하고, 제2 메모리 동작은 제2 포트를 통한다. 예를 들어, 도 1의 제1 동작(119)은 제1 포트(116)를 통할 수 있고, 제2 메모리 동작(120)은 제2 포트(118)를 통할 수 있다.

[0049] 제1 메모리 셀은 제1 저항성 메모리 구조를 포함하고, 제2 메모리 셀은 제2 저항성 메모리 구조를 포함한다. 예를 들어, 도 1의 제1 메모리 셀(106)은 제1 저항성 메모리 엘리먼트(110)를 포함하고, 제2 메모리 셀(112)은 제2 저항성 메모리 엘리먼트(114)를 포함한다. 제1 메모리 셀 및 제2 메모리 셀은 각각 제1 포트 및 제2 포트를 통해 액세스가능하다.

[0050] 방법(300)은 선택적으로, 304에서, 제1 제어 신호에 응답하여, 제1 포트를 통해 제1 저항성 메모리 구조에 대한 액세스를 인에이블시키고, 제2 포트를 통해 제1 저항성 메모리 구조에 대한 액세스를 디스에이블시키는 것을 포함한다. 예를 들어, 도 1의 제1 메모리 셀(106)은 제1 제어 신호(160)에 응답하여, 제1 포트(116)를 통한 제1 저항성 메모리 엘리먼트(110)에 대한 액세스를 인에이블시키고 제2 포트(118)를 통한 제1 저항성 메모리 엘리먼트(110)에 대한 액세스를 디스에이블시킬 수 있다. 방법(300)은 또한 306에서, 제2 제어 신호에 응답하여, 제2 포트를 통한 제2 저항성 메모리 구조에 대한 액세스를 인에이블시키고 제1 포트를 통한 저항성 메모리 구조에 대한 액세스를 디스에이블시키는 것을 포함할 수 있다. 예를 들어, 도 1의 제2 메모리 셀(112)은 제2 제어 신호(161)에 응답하여, 제2 포트(118)를 통한 제2 저항성 메모리 구조(114)에 대한 액세스를 인에이블시키고, 제1 포트(116)를 통한 제2 저항성 메모리 엘리먼트(114)에 대한 액세스를 디스에이블시킬 수 있다.

[0051] 도 4는 다수의 포트들(464)에 의해 액세스 가능한 저항성 메모리 엘리먼트를 가지는 메모리 셀을 갖는 무선 통신 디바이스(400)의 실시예의 블록도이다. 무선 통신 디바이스(400)는 메모리(432)에 커플링되는, 디지털 신호 프로세서(DSP)와 같은 프로세서(410)를 포함하는 휴대용 무선 전자 디바이스로서 구현될 수 있다. 예를 들어, 메모리(432)는 컴퓨터(예를 들어, 프로세서(410))에 의해 실행가능한 명령들(예를 들어, 소프트웨어(433))을 저장하는 컴퓨터 판독가능한 유형(tangible) 매체를 포함할 수 있고, 명령들은 도 3의 방법(300)을 수행하기 위해 컴퓨터에 의해 실행되는 명령들을 포함한다. 예시적인 예에서, 다수의 포트들(464)에 의해 액세스 가능한 저항성 메모리 엘리먼트를 가지는 메모리 셀은 도 1-2의 컴포넌트들 중 하나 또는 그 조합을 포함하거나, 도 3의 방

법에 따라 동작하거나, 또는 이들의 임의의 조합을 포함한다. 다수의 포트들(464)에 의해 액세스가능한 저항성 메모리 엘리먼트를 가지는 메모리 셀은 프로세서(410)에 있을 수 있거나 별도의 디바이스일 수 있다.

[0052] 일 실시예에서, 디스플레이 제어기(426)는 프로세서(410) 및 디스플레이 디바이스(428)에 커플링된다. 코더/디코더(CODEC)(434)는 또한 프로세서(410)에 커플링될 수 있다. 스피커(436) 및 마이크로폰(438)은 CODEC(434)에 커플링될 수 있다. 무선 제어기(440)는 프로세서(410) 및 무선 안테나(442)에 커플링될 수 있다. 다수의 포트들(464)에 의해 액세스 가능한 저항성 메모리 엘리먼트를 가지는 메모리 셀은 무선 제어기(440), CODEC(434), 및 디스플레이 제어기(426)에 커플링된다. 특정 실시예에서, 다수의 포트들(464)에 의해 액세스 가능한 저항성 메모리 엘리먼트를 가지는 메모리 셀은 디스플레이 제어기(426), CODEC(434), 및 무선 제어기(440) 중 적어도 하나와 관련된 데이터를 저장하도록 구성된다. 다수의 포트들(464)에 의해 액세스가능한 저항성 메모리 엘리먼트를 가지는 메모리 셀은 프로세서(410)에 의해 인스턴트-온 아키텍처를 동작시키도록 구성될 수 있다.

[0053] 특정 실시예에서, 신호 프로세서(410), 디스플레이 제어기(426), 메모리(432), CODEC(434), 및 무선 제어기(440)가 시스템-인-패키지 또는 시스템-온-칩 디바이스(422)에 포함된다. 특정 실시예에서, 입력 디바이스(430) 및 전원장치(444)는 시스템-온-칩 디바이스(422)에 커플링된다. 또한, 특정 실시예에서, 도 4에 예시된 바와 같이, 디스플레이 디바이스(428), 입력 디바이스(430), 스피커(436), 마이크로폰(438), 무선 안테나(442) 및 전원장치(444)는 시스템-온-칩 디바이스(422)의 외부에 있다. 그러나, 디스플레이 디바이스(428), 입력 디바이스(430), 스피커(436), 마이크로폰(438), 무선 안테나(442) 및 전원장치(444) 각각은 인터페이스 또는 제어기와 같은 시스템-온-칩 디바이스(422)의 컴포넌트에 커플링될 수 있다.

[0054] 또 다른 특정 실시예에서, 도 4의 시스템(400)은 하나 또는 그 초과와 전자 디바이스들에 통합될 수 있다. 예시적인 비제한적인 예로서, 하나 또는 그 초과와 전자 디바이스들은 셋톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 개인 디지털 정보 단말(PDA), 고정 위치 데이터 유닛, 및 컴퓨터의 그룹으로부터 선택될 수 있다. 또 다른 예시적인 비제한적인 예로서, 하나 또는 그 초과와 전자 디바이스들은 모바일 전화들과 같은 원격 유닛들, 핸드헬드 개인 통신 시스템(PCS) 유닛들, 개인 데이터 정보 단말(PDA)과 같은 휴대용 데이터 유닛들, 글로벌 위치확인 시스템(GPS) 인에이블드 디바이스들, 내비게이션 디바이스들, 미터 관측 장비와 같은 고정 위치 데이터 유닛들, 임의의 다른 전자 디바이스, 또는 이들의 임의의 조합일 수 있다. 본 개시내용은 이들 예시적인 유닛들에 제한되지 않는다. 본 개시내용의 실시예들은 메모리 및 회로를 포함하는 능동 집적 회로들을 포함하는 임의의 디바이스 내에 적절하게 사용될 수 있다.

[0055] 앞서 개시된 디바이스들 및 기능성들은 컴퓨터 관독가능한 매체 상에 저장된 컴퓨터 파일들(예를 들어, RTL, GDSII, GERBER 등)으로 설계 및 구성될 수 있다. 일부 또는 모든 이러한 파일들은 이러한 파일들에 기초하여 디바이스들을 제조하는 제조 핸들러(handler)들에게 제공될 수 있다. 결과 제품들은 반도체 웨이퍼들을 포함하며, 이들은 이후 반도체 다이로 커팅되고 반도체 칩으로 패키징된다. 칩들은 이후 전송된 바와 같은 디바이스들에서 사용된다. 도 5는 전자 디바이스 제조 프로세스(500)의 특정 예시적인 실시예를 도시한다.

[0056] 물리적 디바이스 정보(502)는 제조 프로세스(500)에서, 예컨대 리서치 컴퓨터(506)에서 수신된다. 물리적 디바이스 정보(502)는 도 1의 시스템(100), 도 2의 시스템(200), 또는 이들의 임의의 조합과 같은 반도체 디바이스의 적어도 하나의 물리적 특성을 나타내는 설계 정보를 포함할 수 있다. 예를 들어, 물리적 디바이스 정보(502)는 물리적 파라미터들, 물질 특징들, 및 리서치 컴퓨터(506)에 커플링되는 사용자 인터페이스(504)를 통해 입력되는 구조 정보를 포함할 수 있다. 리서치 컴퓨터(506)는 메모리(510)와 같은 컴퓨터 관독가능한 매체에 커플링되는 하나 또는 그 초과와 프로세싱 코어들과 같은 프로세서(508)를 포함한다. 메모리(510)는 프로세서(508)로 하여금 파일 포맷에 따르도록 물리적 디바이스 정보(502)를 변환하고 라이브러리 파일(512)을 생성하게 하도록 실행가능한 컴퓨터 관독가능한 명령들을 저장할 수 있다.

[0057] 특정 실시예에서, 라이브러리 파일(512)은 변환된 설계 정보를 포함하는 적어도 하나의 데이터 파일을 포함한다. 예를 들어, 라이브러리 파일(512)은, 전자 설계 자동화(EDA) 툴(520)과 함께 사용하도록 제공되는, 도 1의 메모리 셀(106)을 포함하는 디바이스(예를 들어, 도 1의 시스템(100)), 도 2의 메모리 셀(206)을 포함하는 디바이스(예를 들어, 도 2의 시스템(200)), 또는 이들의 임의의 조합을 포함하는 반도체 디바이스들의 라이브러리를 포함할 수 있다.

[0058] 라이브러리 파일(512)은 메모리(518)에 커플링되는, 하나 또는 그 초과와 프로세싱 코어들과 같은 프로세서(516)를 포함하는 설계 컴퓨터(514)에서 EDA 툴(520)과 함께 사용될 수 있다. EDA 툴(520)은 라이브러리 파일(512) 중에서, 설계 컴퓨터(514)의 사용자로 하여금, 도 1의 메모리 셀(106)을 포함하는 디바이스(예를 들어,

도 1의 시스템(100)), 도 2의 메모리 셀(206)을 포함하는 디바이스(예를 들어, 도 2의 시스템(200)), 또는 이들의 임의의 조합을 포함하는 회로를 설계하는 것을 가능하게 하기 위한 프로세서 실행가능한 명령들로서 메모리(518)에 저장될 수 있다. 예를 들어, 설계 컴퓨터(514)의 사용자는 설계 컴퓨터(514)에 커플링되는 사용자 인터페이스(524)를 통해 회로 설계 정보(522)를 입력할 수 있다. 회로 설계 정보(522)는 도 1의 메모리 셀(106)을 포함하는 디바이스(예를 들어, 도 1의 시스템(100)), 도 2의 메모리 셀(206)을 포함하는 디바이스(예를 들어, 도 2의 시스템(200)), 또는 이들의 임의의 조합과 같은, 반도체 디바이스의 적어도 하나의 물리적 특성을 나타내는 설계 정보를 포함할 수 있다. 예시를 위해, 회로 설계 특성은 회로 설계 시 다른 엘리먼트들에 대한 특정 회로들 및 관계들의 식별, 위치확인 정보, 피쳐 사이즈 정보, 상호접속 정보, 또는 반도체 디바이스의 물리적 특성을 나타내는 다른 정보를 포함할 수 있다.

[0059] 설계 컴퓨터(514)는 파일 포맷에 따르도록 회로 설계 정보(522)를 포함하는 설계 정보를 변환하도록 구성될 수 있다. 예시를 위해, 파일 포맷은 평면 기하학 형상들, 텍스트 라벨들, 및 계층 포맷인 회로 레이아웃에 관한 다른 정보를 나타내는 데이터베이스 이진 파일 포맷, 예컨대, 그래픽 데이터 시스템(GDSII) 파일 포맷을 포함할 수 있다. 설계 컴퓨터(514)는 다른 회로들 또는 정보 외에도, 도 1의 메모리 셀(106), 도 2의 메모리 셀(206), 또는 이들의 임의의 조합을 설명하는 정보를 포함하는 GDSII 파일(526)과 같은 변환된 설계 정보를 포함하는 데이터 파일을 생성하도록 구성될 수 있다. 예시를 위해, 데이터 파일은 도 1의 메모리 셀(106)을 포함하고, 또한 SOC 내에 추가적인 전자 회로들 및 컴포넌트들을 포함하는 시스템-온-칩(SOC)에 대응하는 정보를 포함할 수 있다.

[0060] GDSII 파일(526)은, GDSII 파일(526) 내의 변환된 정보에 따라, 도 1의 메모리 셀(106), 도 2의 메모리 셀(206), 또는 이들의 임의의 조합을 제조하기 위해 제조 프로세스(528)에서 수신될 수 있다. 예를 들어, 디바이스 제조 프로세스는 대표 마스크(532)로서 예시된, 포토리소그래피 프로세싱과 함께 사용될 마스크들과 같은 하나 또는 그 초과 마스크들을 생성하기 위해 마스크 제조자(530)에게 GDSII 파일(526)을 제공하는 것을 포함할 수 있다. 마스크(532)는 하나 또는 그 초과 웨이퍼들(534)을 생성하기 위한 제조 프로세스 동안 사용될 수 있는데, 하나 또는 그 초과 웨이퍼들(534)은 테스트되어 대표 다이(536)와 같은 다이들로 분리될 수 있다. 다이(536)는 도 1의 메모리 셀(106)을 포함하는 디바이스(예를 들어, 도 1의 시스템(100)), 도 2의 메모리 셀(206)을 포함하는 디바이스(예를 들어, 도 2의 시스템(200)), 또는 이들의 임의의 조합을 포함하는 회로를 포함한다.

[0061] 다이(536)는 다이(536)가 대표 패키지(540)로 통합되는 패키징 프로세스(538)에 제공될 수 있다. 예를 들어, 패키지(540)는 단일 다이(536) 또는 시스템-인-패키지(SiP) 어레이먼트(arrangement)와 같은 다수의 다이들을 포함할 수 있다. 패키지(540)는 JEDEC(Joint Electron Device Engineering Council) 표준들과 같은 하나 또는 그 초과 표준들 또는 규격들에 따르도록 구성될 수 있다.

[0062] 패키지(540)에 관한 정보는 다양한 제품 설계자들에게 예컨대, 컴퓨터(546)에 저장되는 컴포넌트 라이브러리를 통해 배포될 수 있다. 컴퓨터(546)는 메모리(550)에 커플링되는 하나 또는 그 초과 프로세싱 코어들과 같은 프로세서(548)를 포함할 수 있다. 인쇄 회로 기판(PCB) 툴은 사용자 인터페이스(544)를 통해 컴퓨터(546)의 사용자로부터 수신되는 PCB 설계 정보(542)를 프로세싱하도록 메모리(550)에 프로세서 실행가능한 명령들로서 저장될 수 있다. PCB 설계 정보(542)는 회로 보드 상의 패키징된 반도체 디바이스의 물리적 위치확인 정보를 포함할 수 있으며, 패키징된 반도체 디바이스는 도 1의 메모리 셀(106), 도 2의 메모리 셀(206), 또는 이들의 임의의 조합을 포함하는 패키지(540)에 대응한다.

[0063] 컴퓨터(546)는 회로 보드 상의 패키징된 반도체 디바이스의 물리적 위치확인 정보 뿐만 아니라 트레이스들 및 비아들과 같은 전기 접속들의 레이아웃을 포함하는 데이터를 가지는 GERBER 파일(552)과 같은 데이터 파일을 생성하기 위해 PCB 설계 정보(542)를 변환하도록 구성될 수 있고, 여기서 패키징된 반도체 디바이스는 도 1의 메모리 셀(106), 도 2의 메모리 셀(206), 또는 이들의 임의의 조합을 포함하는 패키지(540)에 대응한다. 다른 실시예들에서, 변환된 PCB 설계 정보에 의해 생성된 데이터 파일은 GERBER 포맷이 아닌 포맷을 가질 수 있다.

[0064] GERBER 파일(552)은 보드 어셈블리 프로세스(554)에서 수신되고, GERBER 파일(552) 내에 저장된 설계 정보에 따라 제조되는 대표 PCB(556)와 같은 PCB들을 생성하기 위해 사용될 수 있다. 예를 들어, GERBER 파일(552)은 PCB 제조 프로세스의 다양한 단계들을 수행하기 위해 하나 또는 그 초과 기계들에 업로드될 수 있다. PCB(556)는 대표 인쇄 회로 어셈블리(PCA)(558)를 형성하기 위해 패키지(540)를 포함하는 전자 컴포넌트들로 포플레이팅(populated) 수 있다.

[0065] PCA(558)는 제품 제조 프로세스(560)에서 수신되고, 제1 대표 전자 디바이스(562) 및 제2 대표 전자 디바이스

(564)와 같은 하나 또는 그 초과 전자 디바이스들로 통합될 수 있다. 예시적인 비제한적인 예로서, 제1 대표 전자 디바이스(562), 제2 대표 전자 디바이스(564), 또는 양자 모두는, 적어도 하나의 제어가능한 에너지 소모 모듈이 통합되는, 셋톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 개인 디지털 정보 단말(PDA), 고정 위치 데이터 유닛 및 컴퓨터의 그룹으로부터 선택될 수 있다. 또 다른 예시적인 비제한적인 예로서, 전자 디바이스들(562 및 564) 중 하나 또는 그 초과는 모바일 전화들과 같은 원격 유닛들, 핸드헬드 개인 통신 시스템들(PCS) 유닛들, 개인 데이터 정보 단말들과 같은 휴대용 데이터 유닛들, 글로벌 위치확인 시스템(GPS) 인에이블드 디바이스들, 내비게이션 디바이스들, 미터 판독 장비와 같은 고정 위치 데이터 유닛들, 또는 데이터 또는 컴퓨터 명령들을 저장 또는 리트리브(retrieve)하는 임의의 다른 디바이스, 또는 이들의 임의의 조합일 수 있다. 도 5가 본 개시내용의 교시들에 따른 원격 유닛들을 예시하지만, 본 개시내용은 이들 예시적인 예시된 유닛들에 제한되지 않는다. 본 개시내용의 실시예들은 메모리 및 온-칩 회로를 포함하는 능동 집적 회로를 포함하는 임의의 디바이스에서 적절하게 사용될 수 있다.

[0066] 도 1의 메모리 셀(106)을 포함하는 디바이스(예를 들어, 도 1의 시스템(100)), 도 2의 메모리 셀(206)을 포함하는 디바이스(도 2의 시스템(200)), 또는 이들의 임의의 조합은 예시적인 프로세스(500)에서 설명된 바와 같이 제조되고, 프로세싱되고, 전자 디바이스에 통합될 수 있다. 도 1-2에 대해 개시된 실시예들의 하나 또는 그 초과 양상들은 다양한 프로세싱 스테이지들에서, 예컨대, 라이브러리 파일(512), GDSII 파일(526) 및 GERBER 파일(552) 내에 포함되고, 뿐만 아니라 리서치 컴퓨터(506)의 메모리(510), 설계 컴퓨터(514)의 메모리(518), 컴퓨터(546)의 메모리(550), 보드 어셈블리 프로세스(554)에서와 같은 다양한 스테이지들에서 사용되는 하나 또는 그 초과 다른 컴퓨터들 또는 프로세서들의 메모리(미도시)에 저장되고, 또한 마스크(532), 다이(536), 패키지(540), PCA(558), 프로토타입 회로들 또는 디바이스들(미도시)과 같은 다른 제품들, 또는 이들의 임의의 조합에 통합될 수 있다. 물리적 디바이스 설계로부터 최종 제품까지의 생산의 다양한 대표 스테이지들이 도시되었지만, 다른 실시예들에서, 더 적은 스테이지들이 사용될 수 있거나 추가적인 스테이지들이 포함될 수 있다. 유사하게, 프로세스(500)는 프로세스(500)의 다양한 스테이지들을 수행하는 하나 또는 그 초과 엔티티들에 의해 또는 단일 엔티티에 의해 수행될 수 있다.

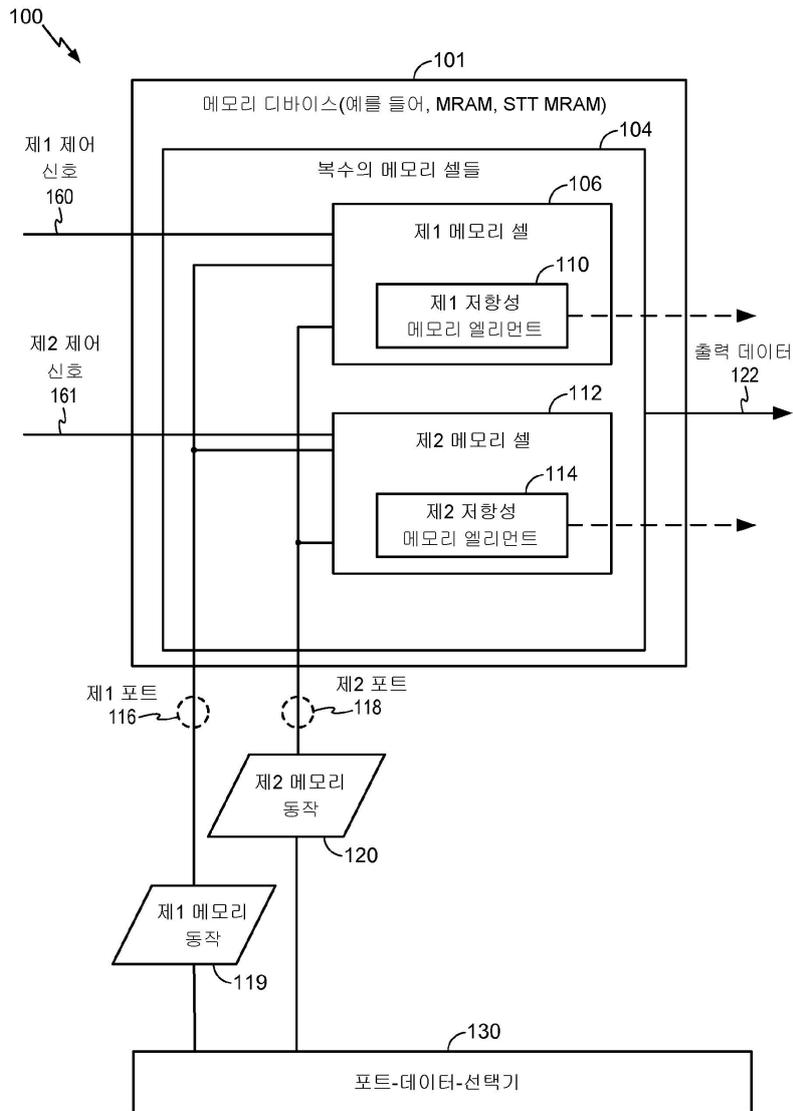
[0067] 당업자는 여기서 개시된 실시예들에 대해 설명된 다양한 예시적인 논리 블록들, 구성들, 모듈들, 회로들 및 방법 단계들이 전자 하드웨어, 프로세싱 유닛에 의해 실행되는 컴퓨터 소프트웨어, 또는 양자 모두의 조합들로서 구현될 수 있다는 점을 추가로 이해할 것이다. 다양한 예시적인 컴포넌트들, 블록들, 구성들, 모듈들, 회로들 및 단계들이 이들의 기능성의 견지에서 일반적으로 전술되었다. 이러한 기능이 하드웨어로서 구현되는지 또는 실행가능한 프로세싱 명령들로서 구현되는지의 여부는 전체 시스템에 부과된 설계 제약들 및 특정 애플리케이션에 의존한다. 당업자는 설명된 기능성을 각각의 특정 애플리케이션을 이용하여 가변 방식으로 구현할 수 있지만, 이러한 구현 결정들이 본 개시내용의 범위로부터 이탈을 야기하는 것으로서 해석되지 않아야 한다.

[0068] 소프트웨어 모듈은 랜덤 액세스 메모리(RAM), 자기저항성 랜덤 액세스 메모리(MRAM), 스핀-토크-전달 MRAM(STT-MRAM), 플래시 메모리, 판독 전용 메모리(ROM), 프로그램가능 판독 전용 메모리(PROM), 소거가능 프로그램가능 판독 전용 메모리(EPROM), 전기적 소거가능 프로그램가능 판독 전용 메모리(EEPROM), 레지스터들, 하드 디스크, 이동식 디스크, 콤팩트 디스크 판독 전용 메모리(CD-ROM), 또는 당해 기술 분야에 공지된 임의의 다른 형태의 저장 매체에 상주할 수 있다. 예시적인 저장 매체는 프로세서가 저장 매체로부터 정보를 판독하고 저장 매체에 정보를 기록할 수 있도록 프로세서에 커플링된다. 대안적으로, 저장 매체는 프로세서에 통합될 수 있다. 프로세서 및 저장 매체는 주문형 집적 회로(ASIC)에 상주할 수 있다. ASIC은 컴퓨팅 디바이스 또는 사용자 단말에 상주할 수 있다. 대안적으로, 프로세서 및 저장 매체는 컴퓨팅 디바이스 또는 사용자 단말 내에 이산 컴포넌트들로서 상주할 수 있다.

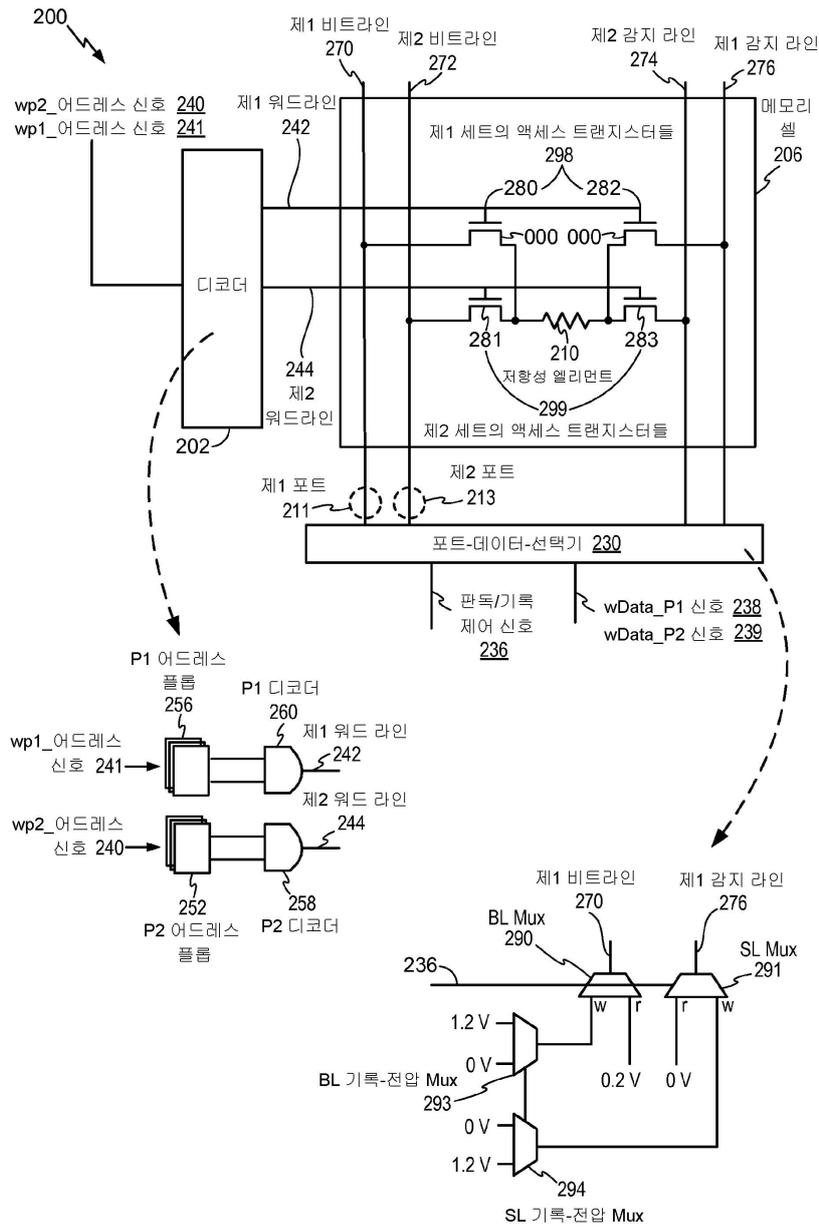
[0069] 개시된 실시예들의 이전 설명은 당업자로 하여금 개시된 실시예들을 제작 또는 사용하는 것을 가능하게 하도록 제공된다. 이들 실시예들의 다양한 수정들이 당업자에게 자명(readily apparent)할 것이며, 여기서 정의되는 원리들은 본 개시내용의 범위로부터 벗어남이 없이 다른 실시예들에 적용될 수 있다. 따라서, 본 개시내용은 여기서 도시된 실시예들에 제한되도록 의도되는 것이 아니라, 후속하는 청구항들에 의해 정의되는 바와 같은 원리들 및 신규한 특징들에 부합하는 가능한 가장 넓은 범위에 따를 것이다.

도면

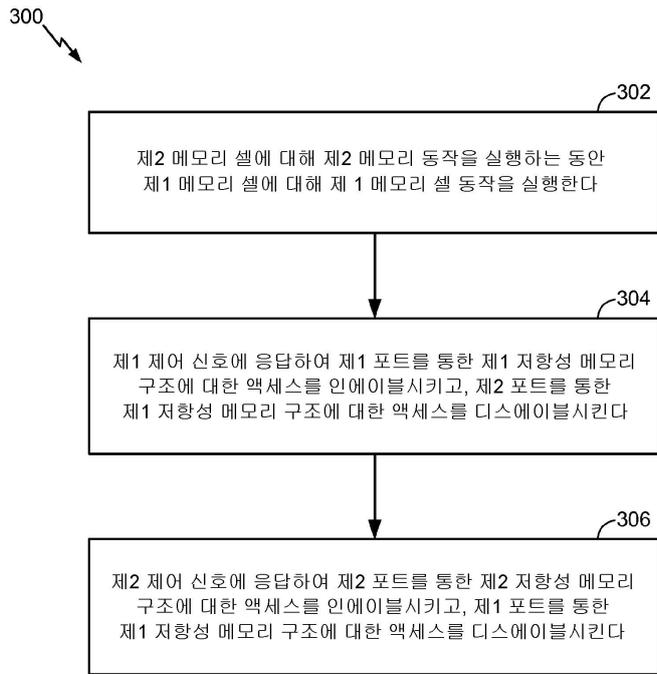
도면1



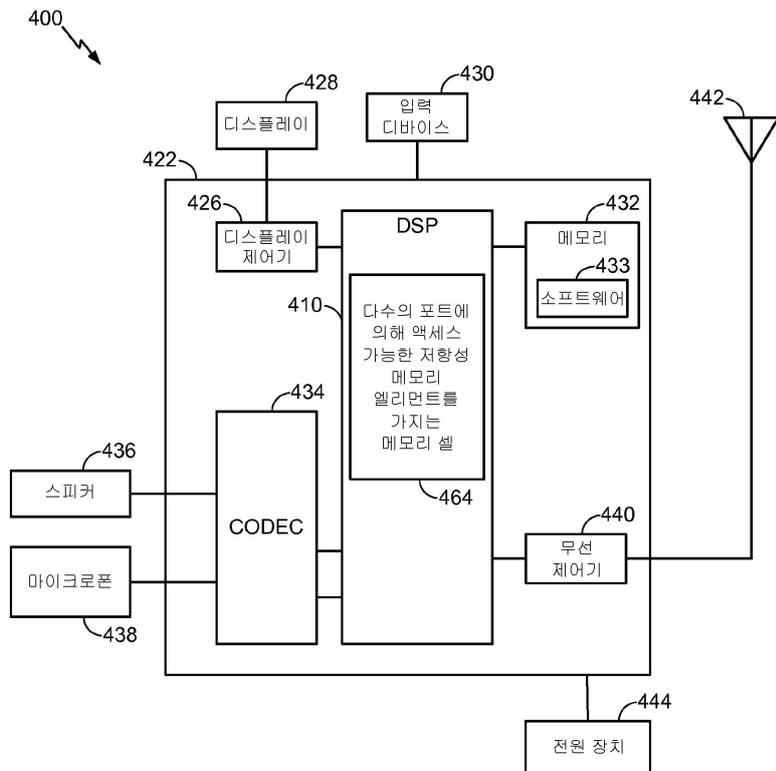
도면2



도면3



도면4



도면5

