

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6076268号
(P6076268)

(45) 発行日 平成29年2月8日 (2017.2.8)

(24) 登録日 平成29年1月20日 (2017.1.20)

(51) Int. Cl.	F I
H03M 1/10 (2006.01)	H03M 1/10 A
H03M 1/14 (2006.01)	H03M 1/14 A

請求項の数 19 (全 15 頁)

(21) 出願番号	特願2013-555511 (P2013-555511)	(73) 特許権者	390020248
(86) (22) 出願日	平成24年2月22日 (2012.2.22)		日本テキサス・インスツルメンツ株式会社
(65) 公表番号	特表2014-506773 (P2014-506773A)		東京都新宿区西新宿六丁目24番1号
(43) 公表日	平成26年3月17日 (2014.3.17)	(73) 特許権者	507107291
(86) 国際出願番号	PCT/US2012/026022		テキサス インスツルメンツ インコーポ
(87) 国際公開番号	W02012/116006		レイテッド
(87) 国際公開日	平成24年8月30日 (2012.8.30)		アメリカ合衆国 テキサス州 75265
審査請求日	平成27年2月3日 (2015.2.3)		-5474 ダラス メール ステーショ
(31) 優先権主張番号	13/032, 457		ン 3999 ビーオーボックス 655
(32) 優先日	平成23年2月22日 (2011.2.22)		474
(33) 優先権主張国	米国 (US)	(74) 上記1名の代理人	100098497
			弁理士 片寄 恭三

最終頁に続く

(54) 【発明の名称】 パイプラインADC内部ステージ誤差キャリブレーション

(57) 【特許請求の範囲】

【請求項1】

装置であって、

複数のパイプラインアナログデジタルコンバータ (ADC) であって、各パイプラインADCがアナログ入力信号を受け取るように適合され、各パイプラインADCが調節可能な伝達関数を有し、各パイプラインADCが、補償器と、シーケンスに互いに結合される複数のステージと、前記シーケンスの最終ステージに結合されるバックエンドサブADCとを含む、前記複数のパイプラインADCと、

各パイプラインADCに結合される調節回路であって、推定曖昧性を概してなくすように各パイプラインADCに対して前記伝達関数を調節し、デジタルアナログコンバータ (DAC) 利得誤差を含む内部ステージ誤差を推定し、前記内部ステージ誤差を補償するため各パイプラインADCに対して前記補償器を調節する、前記調節回路と、

を含む、装置。

【請求項2】

請求項1に記載の装置であって、

各補償器が、

そのパイプラインADCの前記シーケンスの各ステージに結合されるデジタル加算器と、

前記バックエンドサブADCと前記デジタル加算器との間に結合され、前記調節回路に結合されるデジタル乗算器と、

を更に含み、
前記調節回路が、前記内部ステージ誤差を補償するように前記デジタル乗算器に対して利得を調節する、装置。

【請求項 3】

請求項 2 に記載の装置であって、
 各パイプライン A D C のための各ステージが、
 入力端子と、
 前記入力端子に結合されるサブ A D C と、
 前記サブ A D C に結合される D A C と、
 前記入力端子と前記 D A C とに結合される相殺器と、
 前記相殺器に結合される残存増幅器と、
 を更に含む、装置。

10

【請求項 4】

請求項 3 に記載の装置であって、
 各サブ A D C が、そのパイプライン A D C の前記伝達関数を調節するように、シフトされるように適合される複数のコンパレータを更に含む、装置。

【請求項 5】

請求項 4 に記載の装置であって、
 前記調節回路が、前記パイプライン A D C の少なくとも 1 つの前記第 1 のステージの前記サブ A D C を最下位ビット (L S B) の 4 分の 1 シフトする、装置。

20

【請求項 6】

請求項 3 に記載の装置であって、
 前記パイプライン A D C のための各ステージが、前記入力端子と前記サブ A D C との間に結合されるアナログ乗算器を更に含み、前記アナログ乗算器の利得が前記調節回路により調節される、装置。

【請求項 7】

第 1 のパイプライン A D C と第 2 のパイプライン A D C とを有する A D C をキャリブレーションするための方法であって、前記方法が、

前記第 1 のパイプライン A D C 内のステージの第 1 のセットの第 1 のステージの第 1 のサブ A D C のコンパレータの第 1 のセットを、前記第 1 のパイプライン A D C の第 1 の伝達関数を調節するために第 1 の量シフトする工程と、

30

前記第 2 のパイプライン A D C 内のステージの第 2 のセットの第 1 のステージの第 1 のサブ A D C のコンパレータの第 2 のセットを、前記第 2 のパイプライン A D C の第 2 の伝達関数を調節するために第 2 の量シフトする工程と、

コンパレータの前記第 1 のセットとコンパレータの前記第 2 のセットとがシフトされると前記 A D C に対する内部ステージ誤差を推定する工程であって、前記内部ステージ誤差が、内部ステージ誤差と D A C 利得誤差とのうちの少なくとも 1 つを含む、前記推定する工程と、

前記内部ステージ誤差を補償するために前記第 1 のパイプライン A D C の第 1 の補償器と前記第 2 のパイプライン A D C の第 2 の補償器とを調節する工程であって、前記第 1 の補償器が前記ステージの第 1 のセット内のステージの各々に結合され、前記第 2 の補償器が前記ステージの第 2 のセット内のステージの各々に結合される、前記調節する工程と、

40

を含む、方法。

【請求項 8】

請求項 7 に記載の方法であって、

前記調節する工程が、

前記第 1 のパイプライン A D C の第 1 のデジタル乗算器の第 1 の利得を調節することと

、

前記第 1 のパイプライン A D C の第 1 のバックエンドサブ A D C からのデジタル出力を前記第 1 の利得で乗算することと、

50

前記第2のパイプラインADCの各ステージに対する及び前記第1のデジタル乗算器に対するデジタル出力を共に加算することと、

前記第2のパイプラインADCの第2のデジタル乗算器の第2の利得を調節することと

、

前記第2のパイプラインADCの第2のバックエンドサブADCからのデジタル出力を前記第2の利得で乗算することと、

前記第2のパイプラインADCの各ステージに対する及び前記第2のデジタル乗算器に対するデジタル出力を共に加算することと、

を更に含む、方法。

【請求項9】

10

請求項8に記載の方法であって、

前記方法が、

前記第1及び第2のパイプラインADC間の利得ミスマッチを推定することと、

前記第1及び第2のパイプラインADC間のオフセットミスマッチを推定することと、

前記利得及びオフセットミスマッチを補償することと、

を更に含む、方法。

【請求項10】

請求項9に記載の方法であって、

前記第1及び第2の量がLSBの4分の1である、方法。

【請求項11】

20

装置であって、

第1の伝達関数を有する第1のパイプラインADCであって、

アナログ入力信号を受け取るように適合される第1のトラックアンドホールド(T/H)回路と、

第1のシーケンスに互いに結合されるステージの第1のセットであって、前記第1のシーケンスの第1のステージが前記第1のT/H回路に結合され、前記ステージの第1のセットからの前記ステージの少なくとも1つが第1の伝達関数を調節するように調節可能である、前記ステージの第1のセットと、

前記第1のシーケンスの最終ステージに結合される第1のバックエンドサブADCと、

前記ステージの第1のセットから各ステージと前記第1のバックエンドサブADCとに結合される第1の補償器と、

30

を有する、前記第1のパイプラインADCと、

第2の伝達関数を有する第2のパイプラインADCであって、

前記アナログ入力信号を受け取るように適合される第2のT/H回路と、

第2のシーケンスに互いに結合されるステージの第2のセットであって、前記第2のシーケンスの第1のステージが前記第2のT/H回路に結合され、前記ステージの第2のセットからの前記ステージの少なくとも1つが、第2の伝達関数を調節するように調節可能である、前記ステージの第2のセットと、

前記第2のシーケンスの最終ステージに結合される第2のバックエンドサブADCと、

前記ステージの第2のセットから各ステージと前記第2のバックエンドサブADCとに結合される第2の補償器と、

40

を有する、前記第2のパイプラインADCと、

前記第1及び第2の伝達関数を調節するように前記第1及び第2のパイプラインADCに結合され、且つ、前記第1及び第2の補償器に結合される調節回路であって、内部ステージ利得誤差とDAC利得誤差とのうちの少なくとも1つを含む内部ステージ誤差を推定し、前記内部ステージ誤差を補償するように前記第1及び第2の補償器を調節する、前記調節回路と、

を含む、装置。

【請求項12】

請求項11に記載の装置であって、

50

前記第 1 の補償器が、
前記ステージの第 1 のセットから各ステージに結合される第 1 のデジタル加算器と、
前記第 1 のバックエンドサブ A D C と前記第 1 のデジタル加算器との間に結合され、前記調節回路に結合される、第 1 のデジタル乗算器と、
を更に含む、装置。

【請求項 1 3】

請求項 1 2 に記載の装置であって、
前記第 2 の補償器が、
前記ステージの第 2 のセットから各ステージに結合される第 2 のデジタル加算器と、
前記第 2 のバックエンドサブ A D C と前記第 2 のデジタル加算器との間に結合され、前記調節回路に結合される、第 2 のデジタル乗算器と、
を更に含む、装置。 10

【請求項 1 4】

請求項 1 3 に記載の装置であって、
前記ステージの第 1 及び第 2 のセットからの各ステージが、
入力端子と、
前記入力端子に結合されるサブ A D C と、
前記サブ A D C に結合される D A C と、
前記入力端子と前記 D A C とに結合される相殺器と、
前記相殺器に結合される残存増幅器と、
を更に含む。 20

【請求項 1 5】

請求項 1 4 に記載の装置であって、
各サブ A D C が複数のコンパレータを有するフラッシュ A D C を更に含み、前記コンパレータの各々がシフトされるように適合される、装置。

【請求項 1 6】

請求項 1 5 に記載の装置であって、
前記調節回路が、前記パイプライン A D C の少なくとも 1 つの前記第 1 のステージの前記サブ A D C を L S B の 4 分の 1 シフトする、装置。

【請求項 1 7】

請求項 1 6 に記載の装置であって、
前記第 1 及び第 2 のデジタル加算器に結合される出力回路を更に含む、装置。 30

【請求項 1 8】

請求項 1 7 に記載の装置であって、
前記第 1 のパイプライン A D C が、前記第 1 の T / H 回路と前記ステージの第 1 のセットの前記第 1 のステージとの間に結合される第 1 のミスマッチ補償器を更に含み、
前記第 2 のパイプライン A D C が、前記第 2 の T / H 回路と前記ステージの第 2 のセットの前記第 1 のステージとの間に結合される第 2 のミスマッチ補償器を更に含み、
前記調節回路が、前記第 1 及び第 2 のパイプライン A D C 間の利得及びオフセットのミスマッチを推定し、前記第 1 及び第 2 のミスマッチ補償器を調節する、装置。 40

【請求項 1 9】

請求項 1 8 に記載の装置であって、
前記調節回路が、最小二乗平均 (L M S) を用いて、前記内部ステージ誤差と前記利得ミスマッチと前記オフセットミスマッチとを推定する、装置。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、概してパイプラインアナログデジタルコンバータ (A D C) に関し、更に特定して言えば、各ステージにおいて内部ステージ (inter-stage) 利得誤差又はデジタルア 50

ナログコンバータ(DAC)利得誤差を補償するため分割(split)ADCアーキテクチャを用いるパイプラインADCに関連する。

【背景技術】

【0002】

パイプラインADCは、(例えば)高性能デジタル通信システム、波形取得、及び計測において幅広く用いられてきている。最新のパイプラインADCの速度は100MSPSを超えるが、解像度は概して、回路非理想値(即ち、キャパシタミスマッチ及び有限演算増幅器(オペアンプ)利得など)に起因する内部ステージ利得誤差及び/又はDAC利得誤差により制限される。そのため、12ビットより高い解像度の大抵のパイプラインADCは通常、何らかの線形性向上手法を必要とする。

10

【0003】

バックグラウンドキャリブレーションを実行するために用いることができる、分割ADCアーキテクチャとして知られているアーキテクチャもあり、図1に移ると、分割ADCアーキテクチャを用いる従来のADC100の一例を見ることができる。このADC100は、チャンネル又はADC102-1及び102-2、加算器104-1及び104-2、及び分周器106を概して含む。典型的に、ADC102-1及び102-2は、同じ全般的構造を有し、オペレーションにおいて、ほぼ同時にデータ変換を実行するように(それぞれ、デジタル出力信号DA及びDBを生成する)同じアナログ入力信号AINを受け取る。加算器104-2(これは相殺器として動作する)により生成される、これらの出力信号DA及びDB間の差Dは、ADC102-1及び102-2をキャリブレーションするために用いることができ、一方、出力信号DA及びDBの平均(加算器104-1及び分周器106により生成される)は、ADC100のデジタル出力に対応し得る。しかし、ADC102-1及び102-2がパイプラインADCであるとき、内部ステージ利得誤差及び/又はDAC利得誤差を補償することが困難である。

20

【0004】

従って、パイプラインADCにおいて内部ステージ利得誤差及び/又はDAC利得誤差を補償する方法及び/又は装置が求められている。

【0005】

従来の回路の幾つかの例は下記文献に記載されている。

【非特許文献1】Park et al, "A 10-b 100MS/s CMOS pipelined ADC with 1.8V power supply," Proc. ISSCC Digest Technical Papers, pp. 130-131, Feb. 2001

30

【非特許文献2】McNeill et al, "Split ADC Architecture for Deterministic Digital Background Calibration of a 16-bit 1-MS/s ADC," IEEE Journal of Solid State Circuits, vol. 40, pp. 2437-2445, Dec. 2005

【非特許文献3】Li et al, "Background calibration techniques for multistage pipelined ADCs with digital redundancy," IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process., vol. 50, no. 9, pp. 531-538, Sep. 2003

【特許文献1】米国特許番号第6,081,215号

【特許文献2】米国特許番号第6,445,317号

【特許文献3】米国特許番号第6,452,518号

40

【特許文献4】米国特許番号第7,312,734号

【特許文献5】米国特許公開番号2006/0176197

【発明の概要】

【0006】

従って、例示の一実施例は或る装置を提供する。この装置は、複数のパイプラインアナログデジタルコンバータ(ADC)であって、各パイプラインADCがアナログ入力信号を受け取るように適合され、各パイプラインADCが調節可能な伝達関数を有し、各パイプラインADCが補償器を含む、複数のパイプラインADC、及び各パイプラインADCに結合される調節回路を含む。調節回路は、推定曖昧性を概してなくすように各パイプラインADCに対し伝達関数を調節する。調節回路は、少なくとも一つの内部ステージ利得

50

誤差及びデジタルアナログコンバータ(DAC)利得誤差を含む内部ステージ誤差を推定し、内部ステージ誤差を補償するため各パイプラインADCに対し補償器を調節する。

【0007】

例示の一実施例において、各パイプラインADCが、シーケンスに互いに結合される複数のステージ、及びシーケンスの最終ステージに結合されるバックエンドサブADCを更に含む。

【0008】

例示の一実施例において、各補償器が、そのパイプラインADCのシーケンスの各ステージに結合されるデジタル加算器、及びバックエンドサブADCとデジタル加算器との間に結合され、且つ、調節回路に結合されるデジタル乗算器を更に含む。調節回路は、内部

10

【0009】

例示の一実施例において、各パイプラインADCのための各ステージが、入力端子、入力端子に結合されるサブADC、サブADCに結合されるDAC、入力端子及びDACに結合される相殺器、及び相殺器に結合される残存増幅器を更に含む。

【0010】

例示の一実施例において、各サブADCが、そのパイプラインADCの伝達関数を調節するようにシフトされるように適合される複数のコンパレータを更に含む。

【0011】

例示の一実施例において、調節回路は、パイプラインADCの少なくとも1つの第1の

20

【0012】

例示の一実施例において、パイプラインADCのための各ステージが、入力端子とサブADCとの間に結合されるアナログ乗算器を更に含み、アナログ乗算器の利得が調節回路により調節される。

【0013】

例示の一実施例において、第1のパイプラインADC及び第2のパイプラインADCを有するADCをキャリブレーションするための方法が提供される。この方法は、第1のパイプラインADCの第1のステージの第1のサブADCのコンパレータの第1のセットを、第1のパイプラインADCの第1の伝達関数を調節するため第1の量シフトする工程、第2のパイプラインADCの第1のステージ第1のサブADCのコンパレータの第2のセットを、第2のパイプラインADCの第2の伝達関数を調節するため第2の量シフトする工程、コンパレータの第1のセット及びコンパレータの第2のセットがシフトされるとADCに対する内部ステージ誤差を推定する工程であって、内部ステージ誤差が、内部ステージ誤差及びDAC利得誤差のうち少なくとも一つを含むこと、及び内部ステージ誤差を補償するため第1のパイプラインADCの第1の補償器及び第2のパイプラインADCの第2の補償器を調節する工程を含む。

30

【0014】

例示の一実施例において、調節する工程は、第1のパイプラインADCの第1のデジタル乗算器の第1の利得を調節すること、第1のパイプラインADCの第1のバックエンドサブADCからのデジタル出力を第1の利得で乗算すること、第2のパイプラインADCの各ステージに対する及び第1のデジタル乗算器に対するデジタル出力を共に加算すること、第2のパイプラインADCの第2のデジタル乗算器の第2の利得を調節すること、第2のパイプラインADCの第2のバックエンドサブADCからのデジタル出力を第2の利得で乗算すること、及び第2のパイプラインADCの各ステージに対する及び第2のデジタル乗算器に対するデジタル出力を共に加算することを更に含む。

40

【0015】

例示の一実施例において、この方法は、第1及び第2のパイプラインADC間の利得ミスマッチを推定すること、第1及び第2のパイプラインADC間のオフセットミスマッチを推定すること、及び利得及びオフセットミスマッチを補償することを更に含む。

50

【 0 0 1 6 】

例示の一実施例において、第 1 及び第 2 の量が L S B の 4 分の 1 である。

【 0 0 1 7 】

例示の一実施例において或る装置が提供される。この装置は、第 1 の伝達関数を有する第 1 のパイプライン A D C、第 2 の伝達関数を有する第 2 のパイプライン A D C、並びに、第 1 及び第 2 の伝達関数を調節するように第 1 及び第 2 のパイプライン A D C に結合され、且つ、第 1 及び第 2 の補償器に結合される調節回路を含む。第 1 のパイプライン A D C は、アナログ入力信号を受け取るように適合される第 1 のトラックアンドホールド (T / H) 回路と、第 1 のシーケンスに互いに結合されるステージの第 1 のセットであって、第 1 のシーケンスの第 1 のステージが第 1 の T / H 回路に結合され、ステージの第 1 のセッ
10
トからのステージの少なくとも 1 つが第 1 の伝達関数を調節するように調節可能である、ステージの第 1 のセットと、第 1 のシーケンスの最終ステージに結合される第 1 のバックエンドサブ A D C と、ステージの第 1 のセット及び第 1 のバックエンドサブ A D C から各ステージに結合される第 1 の補償器とを有する。第 2 のパイプライン A D C は、アナログ入力信号を受け取るように適合される第 2 の T / H 回路と、第 2 のシーケンスに互いに結合されるステージの第 2 のセットであって、第 2 のシーケンスの第 1 のステージが第 2
20
の T / H 回路に結合され、ステージの第 2 のセットからのステージの少なくとも 1 つが、第 2 の伝達関数を調節するように調節可能である、ステージの第 2 のセットと、第 2 のシーケンスの最終ステージに結合される第 2 のバックエンドサブ A D C と、ステージの第 2 のセット及び第 2 のバックエンドサブ A D C から各ステージに結合される第 2 の補償器とを有する。調節回路は、内部ステージ利得誤差及び D A C 利得誤差のうち少なくとも一つを含む内部ステージ誤差を推定し、内部ステージ誤差を補償するように第 1 及び第 2 の補償器を調節する。

【 0 0 1 8 】

例示の一実施例において、第 1 の補償器は、ステージの第 1 のセットから各ステージに結合される第 1 のデジタル加算器、及び第 1 のバックエンドサブ A D C と第 1 のデジタル加算器との間に結合され、且つ、調節回路に結合される第 1 のデジタル乗算器を更に含む。

【 0 0 1 9 】

例示の一実施例において、第 1 の補償器は、ステージの第 2 のセットから各ステージに結合される第 2 のデジタル加算器、及び第 2 のバックエンドサブ A D C と第 2 のデジタル加算器との間に結合され、且つ、調節回路に結合される第 1 のデジタル乗算器を更に含む。

【 0 0 2 0 】

例示の一実施例において、ステージの第 1 及び第 2 のセットからの各ステージが、入力端子、入力端子に結合されるサブ A D C、サブ A D C に結合される D A C、入力端子及び D A C に結合される相殺器、及び相殺器に結合される残存増幅器を更に含む。

【 0 0 2 1 】

例示の一実施例において、各サブ A D C が、複数のコンパレータを有するフラッシュ A D C を更に含み、コンパレータの各々がシフトされるように適合される。

【 0 0 2 2 】

例示の一実施例において、調節回路は、パイプライン A D C の少なくとも 1 つの第 1 のステージのサブ A D C を最下位ビット (L S B) の 4 分の 1 シフトする。

【 0 0 2 3 】

例示の一実施例に従って、この装置は、第 1 及び第 2 のデジタル加算器に結合される出力回路を更に含む。

【 0 0 2 4 】

例示の一実施例において、第 1 のパイプライン A D C は、第 1 の T / H 回路とステージの第 1 のセットの第 1 のステージとの間に結合される第 1 のミスマッチ補償器を更に含み、第 2 のパイプライン A D C は、第 2 の T / H 回路とステージの第 2 のセットの第 1 のス
50

テージとの間に結合される第2のミスマッチ補償器を更に含み、調節回路は、第1及び第2のパイプラインADC間の利得及びオフセットミスマッチを推定し、第1及び第2のミスマッチ回路を調節する。

【0025】

例示の一実施例において、調節回路は、最小二乗平均(LMS)アルゴリズムを用いて、内部ステージ誤差、利得ミスマッチ、及びオフセットミスマッチを推定する。

【図面の簡単な説明】

【0026】

【図1】図1は従来のADCの例を示す。

【0027】

【図2】図2は、例示の一実施例に従ったADCの例を示す。

【0028】

【図3】図3は、図2のパイプラインADCの例を示す。

【0029】

【図4】図4は、図3のステージの例を示す。

【図5】図5は、図3のステージの例を示す。

【0030】

【図6】図6は、図4及び図5のサブADCの例を示す。

【0031】

【図7A】図7Aは、図2のパイプラインADCの伝達関数に対する調節を示す。

【図7B】図7Bは、図2のパイプラインADCの伝達関数に対する調節を示す。

【0032】

【図8A】図8Aは、キャリブレーション有りの図2のADCのスプリアスフリーダイナミックレンジ(SFDR)を示す。

【図8B】図8Bは、キャリブレーションなしの図2のADCのスプリアスフリーダイナミックレンジ(SFDR)を示す。

【0033】

【図9】図9は、図2ADCにより用いられるキャリブレーション方法の収束を示す。

【発明を実施するための形態】

【0034】

図2は、パイプラインADC 202-1及び202-2、調節回路204、及び出力回路206を概して含むADC 200の例を図示する。ここでは、簡潔にするため2つのパイプラインADCが示されているが、付加的なパイプラインADC又はADCツリーが用いられてもよい。オペレーションにおいて、ADC 202-1及び202-2の各々は、概して同じ構造を有し、アナログ入力信号AINを受け取り、出力回路206（これはこれらの信号を平均化し得、デジタル補正を実行することができる）に対し出力信号Da及びDbを生成する。調節回路204は、内部ステージ利得誤差及び/又はDAC利得誤差（ADC 202-1及び202-2内）及び利得/オフセットミスマッチ（ADC 202-1及び202-2間）を補償するように、ADC 202-1及び202-2に調節を提供する。

【0035】

図3において、各パイプラインADC 202-1及び202-2（後述では、図3の202）を更に詳細に見ることができる。図示するように、パイプラインADC 202は、補償器314（これは概してデジタル乗算器又はデジタル利得ブロック312及び加算器又は結合器(combiner)310を含む）及びパイプライン301（これはトラックアンドホールド(T/H)回路302、ミスマッチ補償器308、シーケンスに共に結合されるステージ304-1~304-Nのセット、及びバックエンドサブADC 306を含む）を概して含む。オペレーションにおいて、調節回路206は、加算器310（これはステージ304-1~304-N及びバックエンドサブADC 306からのデジタル出力を組み合わせる）からの出力を受け取り、デジタル乗算器312（これは、加算器310とバ

10

20

30

40

50

ックエンドサブADC306との間に結合される)に対して調節を実行すること(即ち、利得を調節すること)により内部ステージ利得誤差及び/又はDAC利得誤差を補償することができる。しかし、これらの状況下では、概して正確な推定を妨げる推定曖昧性が存在する。

【0036】

簡潔にするため、1つのステージ(即ち、304-1)及びバックエンドサブADC(即ち、306)があると仮定することができる。出力信号Da及びDbは下記となり得る。

$$(1) \quad D_a = D_{1,a} + g_a D_{2,a}$$

$$(2) \quad D_b = D_{1,b} + g_b D_{2,b}$$

ここで、 $D_{1,a}$ 及び $D_{1,b}$ はステージ(即ち304-1)からの出力であり、 $D_{2,a}$ 及び $D_{2,b}$ はバックエンドサブADC(即ち、306)からの出力であり、 g_a 及び g_b はデジタル乗算器(即ち、312)の利得である。ステージ(即ち、304-1)からの出力 $D_{1,a}$ 及び $D_{1,b}$ は同じであるべきであり、そのため、差Dは下記となり得る。

$$(3) \quad D = D_a - D_b = g_a D_{2,a} - g_b D_{2,b}$$

デジタル乗算器(即ち、306)に対する最適な解は次の通りである。

【数1】

$$(4) \quad g_a^{opt} = \frac{1}{G_{1a}}$$

$$(5) \quad g_b^{opt} = \frac{1}{G_{1b}}$$

ここで、 $G_{1,a}$ 及び $G_{1,b}$ は内部ステージ利得及び/又はDAC利得誤差を示し、そのため、差が最小二乗平均(LMS)アルゴリズムを用いて最小化されるとき、変数の数がシステムの式の数を超えるため推定曖昧性がある。即ち、推定曖昧性は下記の通りである。

【数2】

$$(6) \quad \hat{g}_a = \alpha g_a^{opt}$$

$$(7) \quad \hat{g}_b = \alpha g_b^{opt}$$

この推定曖昧性に対処するため、調節回路204は、パイプラインADC(即ち、図2の204-1及び204-2)の各々の伝達関数を調節することができ、これらの伝達関数を調節するための方式が幾つかある。

【0037】

図4及び図5は、調節回路204により調節され得るステージ304-1~304-N(これ以降では、それぞれ、図4及び図5で304-A及び304-B)の一つの例を図示する。ステージ304-Aは、サブADC402-1、DAC404、加算器408(これは相殺器として動作する)、及び残存増幅器406を概して含み、ステージ304-Bは、サブADC402-2、及びアナログ乗算器502を含む。典型的に、(T/H回

10

20

30

40

50

路 3 0 2 又は前のステージのいずれかからの) アナログ信号は、サブ A D C 4 0 2 - 1 (又は 4 0 2 - 2) によってデジタル信号に変換される。このデジタル信号は加算器 3 1 0 及び D A C 4 0 4 に提供される。D A C 4 0 4 はこの信号をアナログ信号に変換し、D A C 4 0 4 (これは D A C 利得を導入し得る) からのアナログ信号は、加算器 4 0 8 により T / H 回路 3 0 2 又は前のステージからのアナログ信号から減算されて、残存信号を生成する。この残存信号は残存増幅器 4 0 6 (これは内部ステージ利得を導入し得る) により増幅される。

【 0 0 3 8 】

図 6 に示すように、サブ A D C 4 0 2 - 1 又は 4 0 2 - 2 (後述では、4 0 2) は、種々のタイプの A D C の一つであってよいが、典型的には、(図示するような) フラッシュ A D C である。このフラッシュ A D C 4 0 2 は、分圧器 6 0 4 (これは概して、互いに直列に結合されるレジスタ R 1 ~ R (M + 1) を含む) 及びコンパレータ 6 0 2 - 1 ~ 6 0 2 - M を概して含む。概して、各コンパレータ 6 0 2 - 1 ~ 6 0 2 - M は、分圧器 6 0 4 に結合され、デジタル出力信号を生成するためアナログ入力信号を受け取る。

【 0 0 3 9 】

図 4 に戻ると、伝達関数に対する調節は、サブ A D C 4 0 2 - 1 に対し直に調節をすることにより達成され得る。好ましくは、伝達関数に対する調節は、コンパレータ 6 0 2 - 1 ~ 6 0 2 - M をサブ A D C 4 0 2 - 1 内で調節信号 A D J でシフトさせること(即ち、基準電圧 R E F をシフトすること)により実行され得る。通常、パイプライン A D C 2 0 2 - 1 及び 2 0 2 - 2 の各々に対する伝達関数は、(図 7 A に図示するように) 合致すると考えられるが、上述の推定曖昧性を解決するため、パイプライン A D C の各々の 1 つ又は複数のステージに対するコンパレータ 6 0 2 - 1 ~ 6 0 2 - M は、所定の量シフトされ得る。例えば、図 7 B に示すように、パイプライン A D C 2 0 2 - 1 に対する第 1 のステージ(即ち、3 0 4 - 1) のためのコンパレータ 6 0 2 - 1 ~ 6 0 2 - M は、最下位ビット(L S B) の + 4 分の 1 シフトされ得、一方、パイプライン A D C 2 0 2 - 2 に対する第 1 のステージ(即ち、3 0 4 - 1) のためのコンパレータ 6 0 2 - 1 ~ 6 0 2 - M は、L S B の - 4 分の 1 シフトされ得る。しかしながら、これを行うことにより、デジタル冗長性における解像度が幾らか失われる。

【 0 0 4 0 】

代替として、図 5 に示すように、T / H 回路 3 0 2 から又は前のステージからのアナログ信号は、変換される前に修正され得る。図示するように、乗算器 5 0 2 が信号経路に含まれ得る。調節回路 2 0 6 は、上述の A D C 4 0 2 - 1 を直接的に調節するのと実質的に同一の目的を達成するため、利得 M U L (又は代替として信号) を提供することができる。

【 0 0 4 1 】

マルチパイプライン A D C (即ち、A D C 2 0 0) では、チャンネル間の利得及びオフセットミスマッチがあることにも注意されたい。これらのミスマッチは、乗算器(即ち、3 1 2) が実質的に最適であるように調節されるとき、概してゼロとならない。そのため、推定は、利得及びオフセットミスマッチを考慮すべきである。ここでも、(説明を簡潔にするため) 各々 2 つのステージを有する(図 2 に図示するような) 2 つのパイプライン A D C があり、ここで、 K_a 及び K_b が(それぞれ)パイプライン A D C 2 0 2 - 1 及び 2 0 2 - 2 に対する全体的な利得を示し、 $O S_a$ 及び $O S_b$ が(それぞれ)パイプライン A D C 2 0 2 - 1 及び 2 0 2 - 2 に対するオフセットを示し、 D_0 が理想的な出力であると仮定する。内部ステージ利得及び D A C 利得誤差を無視すると、出力信号 D_a 及び D_b は下記となり得る。

$$(8) \quad D_a = K_a D_0 + O S_a$$

$$(9) \quad D_b = K_b D_0 + O S_b$$

重み付された差 D は、上記式(8) 及び(9) を用いて次のように定義することができる。

$$(10) \quad D = K D_a - D_b + O S = (K K_a - K_b) D_0 + (O S + O S_a - O S_b)$$

10

20

30

40

50

b)

ここで、K及びOSはミスマッチ補償器308に対する利得及びオフセット調節である。その結果のコスト関数Jは下記となり得る。

$$(11) \quad J = D^2$$

ミスマッチ補償器に対する利得調節K及びオフセット調節OSは、下記のように収束する。

$$(12) \quad K = K_b / K_a$$

$$(13) \quad OS = OS_b - OS_a$$

コスト関数Jの最小化はゼロとなり得、利得及びオフセットミスマッチが補償され得ることを示す。このコスト関数を適応性推定（これは内部ステージ利得誤差及び/又はDAC利得誤差に対する推定を含む）に展開すると、出力信号 D_a 及び D_b は下記となる。

$$(14) \quad D_a = K_a (D_{1,a} + g_a D_{2,a}) + OS_a$$

$$(15) \quad D_b = K_b (D_{1,b} + g_a D_{2,b}) + OS_b$$

その後、LMSアルゴリズムが（式（14）及び（15）の出力信号 D_a 及び D_b を用いる上記式（11）の）コスト関数Jに適用され得、下記式となる。

【数3】

$$(16) \quad \hat{g}_a(k+1) = \hat{g}_a(k) - \mu_a \nabla J_{g_a}$$

$$(17) \quad \hat{g}_b(k+1) = \hat{g}_b(k) - \mu_b \nabla J_{g_b}$$

$$(18) \quad \hat{K}(k+1) = \hat{K}(k) - \mu_K \nabla J_K$$

$$(19) \quad \hat{OS}(k+1) = \hat{OS}(k) - \mu_{OS} \nabla J_{OS}$$

そのため、上記式（16）～（19）を用いて、調節回路204は、ほぼ同時に内部ステージ利得誤差、DAC利得誤差及び利得/オフセットミスマッチを推定（及び補償）することができる。

【0042】

図8A～図9は、幾つかの例示シミュレーションの結果を示す。この例では、パイプラインADC202-1及び202-2の各々が、4つのステージを有する16ビットパイプラインADCである。この例のパイプラインにおける4つのステージの各々は、それぞれ、各ステージに対し、4、5、5、及び5ビットを有する。これに対応して、最適な内部ステージ利得は、第1及び第2のステージでは8及び16である。この例では、両方のパイプラインが最初の2ステージにおいて利得誤差を有すると仮定し、パイプラインADC202-1及び202-2に対して実装される利得を下記表1に示す。

【表1】

Table 1

	パイプラインADC202-1	パイプラインADC202-2
ステージ1	8.0092	7.9077
ステージ1	16.1278	16.0653

10

20

30

40

50

チャネルミスマッチをモデル化するため、 0.05% 利得ミスマッチ及び 10 LSB オフセットミスマッチが導入された。図 8 A 及び図 8 B において、キャリブレーション前後の SFDR が示されており、SFDR は 74 dB から 113 dB まで改善されることが分かる。また、パイプライン ADC 202 - 1 及び 202 - 2 の各々に対するデジタル乗算器（即ち、312）の収束曲線を図 9 において見ることで、 4 分の 1 LSB シフト（これは一層長い収束時間となる）の代わりに $1/10\text{ LSB}$ シフトを用いるときの約 $40,000$ 個のサンプルでの収束を示し、これは、任意の他の既知のアプローチより約 100 倍速く、（幾つかのエネルギーフリーアプローチとは異なり）制約がない。

【0043】

本発明に関連する技術に習熟した者であれば、本発明の特許請求の範囲内で、説明した例示の実施例に変形が成され得ること、及び他の実施例を実装し得ることが分かるであろう。

10

【図 7 A】

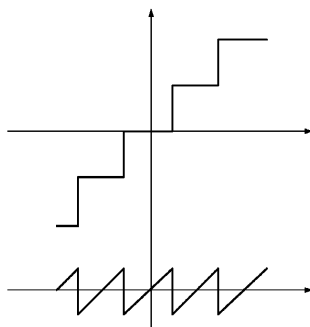


FIG. 7A

【図 7 B】

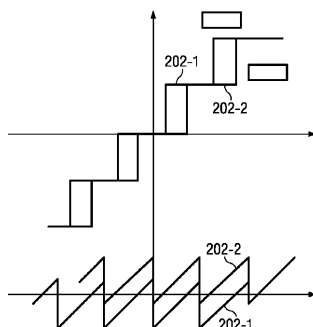


FIG. 7B

【図 1】

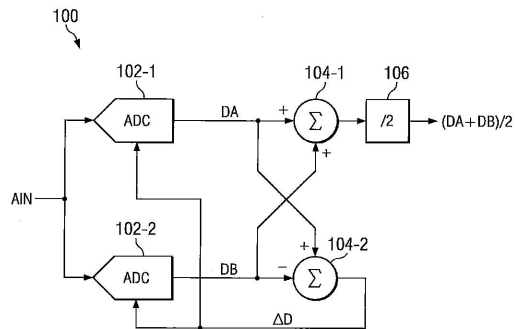


FIG. 1

（従来技術）

【図 2】

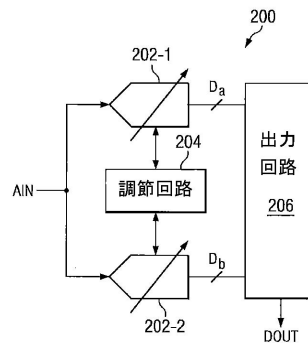
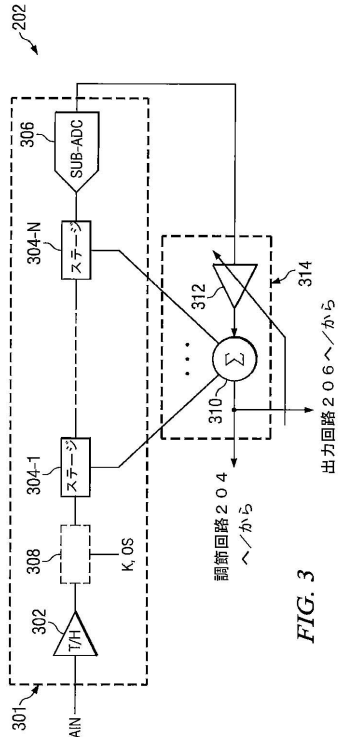


FIG. 2

【 図 3 】



【 図 4 】

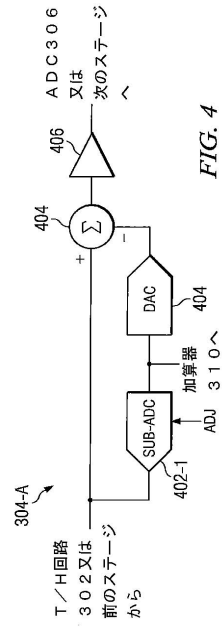


FIG. 4

【 図 5 】

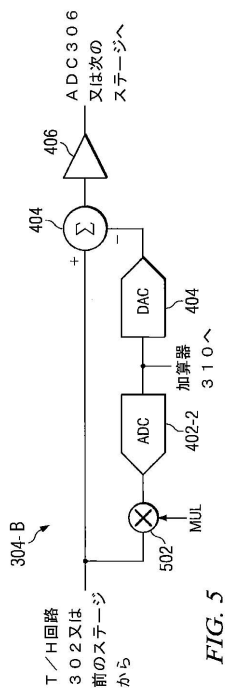


FIG. 5

【 図 6 】

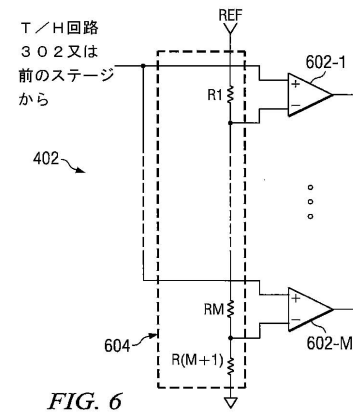


FIG. 6

【図 8 A】

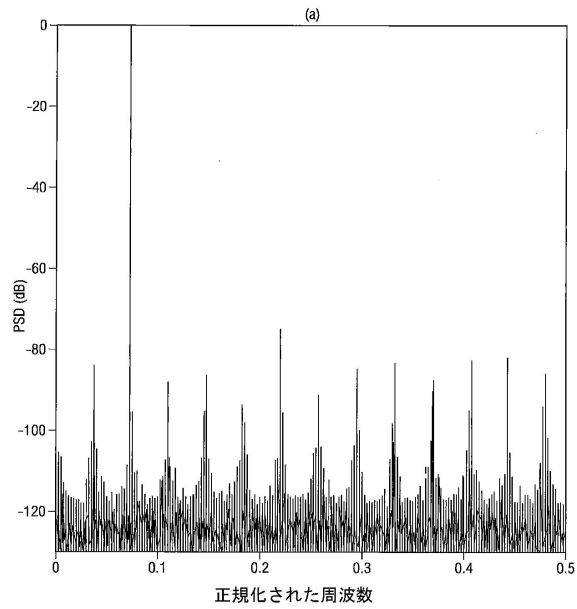


FIG. 8A

【図 8 B】

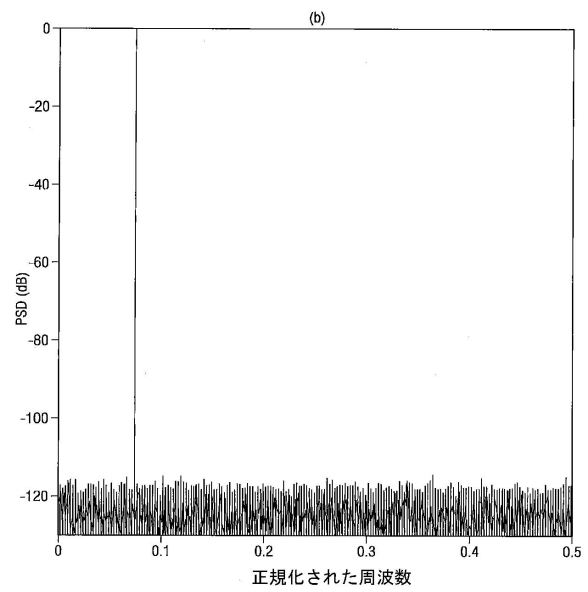


FIG. 8B

【図 9】

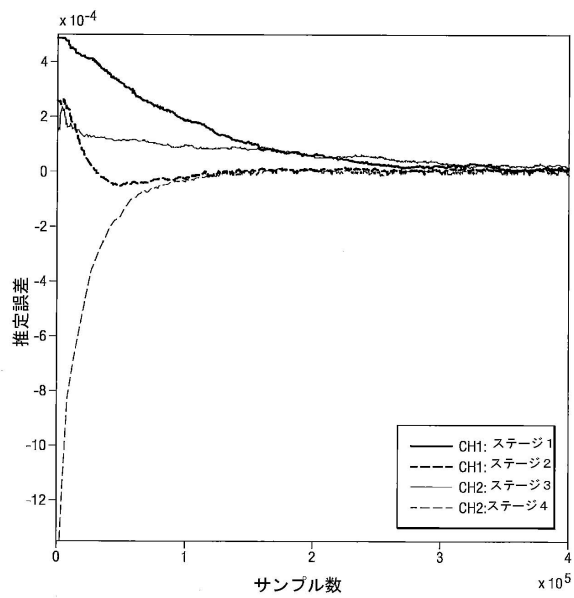


FIG. 9

フロントページの続き

(72)発明者 クン シー

アメリカ合衆国 75081 テキサス州 リチャードソン, エイピーティ 1030, バッ
キンガム ロード 540

(72)発明者 チャールズ セストック

アメリカ合衆国 75251 テキサス州 ダラス, エイピーティ 11-205, チャーチ
ル ウェイ 7900

(72)発明者 パトリック サターザデー

アメリカ合衆国 75001 テキサス州 アディソン, エイピーティ 2402 スペクトラ
ム ドライブ 15695

(72)発明者 アーサー ジェイ レドファーン

アメリカ合衆国 75025 テキサス州 プラノ, グランド メサ ドライブ 3448

審査官 栗栖 正和

(56)参考文献 特開2010-035140(JP, A)

米国特許出願公開第2006/0176197(US, A1)

特開2002-368618(JP, A)

特開2001-313566(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03M 1/00-1/88