(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3639050号
(P3639050)
(45)発行日　平成17年4月13日(2005.4.13)　(24)登録日　平成17年1月21日(2005.1.21)

(51)Int.Cl.[7]	F I	
H03K 19/0175	H03K 19/00	101K
H03K 3/013	H03K 3/013	
H03K 5/1252	H03K 5/01	G

請求項の数 6　(全 11 頁)

(21)出願番号　特願平8-179462
(22)出願日　平成8年7月9日(1996.7.9)
(65)公開番号　特開平10-28040
(43)公開日　平成10年1月27日(1998.1.27)
審査請求日　平成15年5月21日(2003.5.21)

(73)特許権者　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(73)特許権者　000237617
富士通ヴィエルエスアイ株式会社
愛知県春日井市高蔵寺町２丁目１８４４番２
(74)代理人　100068755
弁理士　恩田　博宣
(72)発明者　河合　繁樹
愛知県春日井市高蔵寺町二丁目１８４４番２　富士通ヴィエルエスアイ株式会社内

審査官　彦田　克文

最終頁に続く

(54)【発明の名称】入力回路及び半導体装置

(57)【特許請求の範囲】

【請求項１】

直列に接続された２段のインバータ回路の前段に入力信号が入力され、次段のインバータ回路から内部回路に前記入力信号が出力され、前記次段のインバータ回路の入出力端子間には、該次段のインバータ回路の出力信号に基づいて動作して、該次段のインバータ回路の入出力レベルを相補レベルに維持するフィードバック回路を備えた入力回路であって、前記入力信号の切り替わりに基づく前記前段のインバータ回路の反転動作時には、制御信号に基づいて前記フィードバック回路への電源の供給を遮断して、該フィードバック回路の動作を停止させるスイッチ回路を備えたことを特徴とする入力回路。

【請求項２】

前記フィードバック回路は、前記次段のインバータ回路の出力信号がゲートに入力されるとともに、そのドレインが該次段のインバータ回路の入力端子に接続されるＰチャネルＭＯＳトランジスタで構成し、前記スイッチ回路は、前記ＰチャネルＭＯＳトランジスタのソースと高電位側電源との間に介在され、そのゲートに前記制御信号が入力されるＰチャネルＭＯＳトランジスタで構成したことを特徴とする請求項１に記載の入力回路。

【請求項３】

前記フィードバック回路は、前記次段のインバータ回路の出力信号がゲートに入力されるとともに、そのドレインが該次段のインバータ回路の入力端子に接続されるＮチャネルＭＯＳトランジスタで構成し、前記スイッチ回路は、前記ＮチャネルＭＯＳトランジスタのソースと低電位側電源との間に介在され、そのゲートに前記制御信号が入力されるＮチャ

ネルＭＯＳトランジスタで構成したことを特徴とする請求項１に記載の入力回路。
【請求項４】
前記フィードバック回路は、前記次段のインバータ回路の出力信号がゲートに入力されるとともに、そのドレインが該次段のインバータ回路の入力端子に接続されるＰチャネルＭＯＳトランジスタと、前記次段のインバータ回路の出力信号がゲートに入力されるとともに、そのドレインが該次段のインバータ回路の入力端子に接続されるＮチャネルＭＯＳトランジスタとで構成し、前記スイッチ回路は、前記ＰチャネルＭＯＳトランジスタのソースと高電位側電源との間に介在され、そのゲートに前記制御信号が入力されるＰチャネルＭＯＳトランジスタと、前記ＮチャネルＭＯＳトランジスタのソースと低電位側電源との間に介在され、そのゲートに前記制御信号が入力されるＮチャネルＭＯＳトランジスタで構成し、前記スイッチ回路を構成するＰチャネルＭＯＳトランジスタ及びＮチャネルＭＯＳトランジスタは、前記制御信号に基づいて、前記入力信号の切り替わり後に直ちにオンされることを特徴とする請求項１に記載の入力回路。
【請求項５】
直列に接続された２段のインバータ回路の前段に入力パッドから入力信号が入力され、次段のインバータ回路から内部回路に前記入力信号を出力し、前記次段のインバータ回路の入出力端子間には、該次段のインバータ回路の出力信号に基づいて動作して、該次段のインバータ回路の入出力レベルを相補レベルに維持するフィードバック回路を備えた入力回路と、
　前記入力信号に基づいて出力トランジスタを駆動する出力制御回路と
を備えた半導体装置であって、
　前記フィードバック回路への電源供給を制御するスイッチ回路と、
　前記出力制御回路の出力信号に基づいて、前記フィードバック回路へ所定時間に限り電源を供給する制御信号を前記スイッチ回路に出力する活性化パルス発生回路と
を備えたことを特徴とする半導体装置。
【請求項６】
　前記入力パッドからの制御信号である入力信号は、内部回路を動作させて前記データ信号及びＬｏｗ－Ｚ信号を生成するとともに、前記次段の出力制御回路を動作させて出力パッドにデータの出力を行う、もしくは出力パッドをハイインピーダンス制御する信号であることを特徴とする請求項５に記載の半導体装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、半導体記憶装置等に搭載される入力回路に関するものである。
近年の半導体記憶装置は、大容量多ビット化がますます進み、これにともなって出力回路の同時スイッチング動作時の電源ノイズが非常に大きくなってきている。又、この電源ノイズにより、入力回路の誤動作が発生してきている。そこで、このような半導体記憶装置では、電源ノイズによる影響を低減し、さらに、誤動作を防ぐ入力回路が要求されている。
【０００２】
【従来の技術】
従来の半導体記憶装置の入力回路には、電源ノイズによる誤動作を防止する対策として、図９に示すように、フィードバック回路が設けられている。
【０００３】
前記入力回路は、前記半導体記憶装置の入力パッド１と、ＰチャネルＭＯＳトランジスタＴｒ１とＮチャネルＭＯＳトランジスタＴｒ２からなるＣＭＯＳインバータ回路と、次段のインバータ回路２と、フィードバック回路を構成するＰチャネルＭＯＳトランジスタＴｒ３とから構成されている。
【０００４】
前記パッド１は、前記トランジスタＴｒ１，Ｔｒ２のゲートに接続されている。前記トラ

ンジスタＴｒ１のソースは電源Ｖｃｃに接続され、前記トランジスタＴｒ２のソースはグランドＧＮＤに接続されている。前記トランジスタＴｒ１，Ｔｒ２のドレインは互いに接続されており、ノードＮ１となる。

【０００５】

前記ノードＮ１は前記インバータ回路２の入力端子に接続され、同インバータ回路２の出力端子は前記トランジスタＴｒ３のゲートに接続されている。又、前記トランジスタＴｒ３のソースは電源Ｖｃｃに接続され、ドレインは前記インバータ回路２の入力端子に接続され、フィードバック回路を形成している。

【０００６】

上記のように構成された入力回路において、前記パッド１を介してＨレベルの入力信号ＩＮがトランジスタＴｒ１，Ｔｒ２のゲートに入力されると、前記トランジスタＴｒ１がオフされるとともに、前記トランジスタＴｒ２がオンされ、ノードＮ１はグランドＧＮＤレベル、すなわち、Ｌレベルとなる。前記パッド１を介してＬレベルの入力信号ＩＮがトランジスタＴｒ１，Ｔｒ２のゲートに入力されると、前記トランジスタＴｒ１がオンされるとともに、トランジスタＴｒ２がオフされ、前記ノードＮ１は電源Ｖｃｃレベル、すなわち、Ｈレベルとなる。

【０００７】

前記ノードＮ１がＨレベルのとき、前記インバータ回路２からはＬレベルが出力され、前記トランジスタＴｒ３はオンされる。このとき、前記トランジスタＴｒ３のドレインは電源Ｖｃｃレベル、すなわち、Ｈレベルとなり、前記インバータ回路２に出力される。又、前記インバータ回路２は内部回路にＬレベルの信号を出力する。

【０００８】

上記入力回路は、Ｌレベルの入力信号ＩＮが入力されている時、多数の出力回路が同時にＨレベルの信号を出力して電源Ｖｃｃの電圧が瞬間的に低下しても、トランジスタＴｒ１，Ｔｒ３が並列に動作しているためノードＮ１の瞬間的な電圧低下が抑制される。

【０００９】

従って、この入力回路は、電源ノイズの影響を低減することができる。

【００１０】

【発明が解決しようとする課題】

しかしながら、従来の入力回路では、入力信号ＩＮがＬレベルからＨレベルに移行する時に、トランジスタＴｒ３がオンされているため、トランジスタＴｒ３のドレイン電流がトランジスタＴｒ２の負荷となってノードＮ１のＬレベルへの速やかな移行が阻害され、入力信号ＩＮの立ち上がりに対する感度が低下する。

【００１１】

従って、動作速度の低下を招くとともに、その動作速度の低下により内部回路で誤動作が発生する恐れがある。

本発明は上記問題点を解消するためになされたものであって、その目的は前記電源ノイズの影響を低減しながら、動作速度の低下を防止し得る入力回路を提供することにある。

【００１２】

【課題を解決するための手段】

図１は本発明の原理説明図である。すなわち、直列に接続された２段のインバータ回路の前段１４に入力信号ＩＮが入力され、次段のインバータ回路２から内部回路に前記入力信号ＩＮが出力される。前記次段のインバータ回路２の入出力端子間には、該次段のインバータ回路２の出力信号ＯＵＴに基づいて動作して、該次段のインバータ回路２の入出力レベルを相補レベルに維持するフィードバック回路１５が備えられる。前記入力信号ＩＮの切り替わりに基づく前記前段のインバータ回路１４の反転動作時には、制御信号φに基づいて前記フィードバック回路１５への電源Ｖ１の供給を遮断して、該フィードバック回路１５の動作を停止させるスイッチ回路１６が備えられる。

【００１３】

請求項２では、前記フィードバック回路は、前記次段のインバータ回路の出力信号がゲー

トに入力されるとともに、そのドレインが該次段のインバータ回路の入力端子に接続されるＰチャネルＭＯＳトランジスタで構成され、前記スイッチ回路は、前記ＰチャネルＭＯＳトランジスタのソースと高電位側電源との間に介在され、そのゲートに前記制御信号が入力されるＰチャネルＭＯＳトランジスタで構成される。

【００１４】

請求項３では、前記フィードバック回路は、前記次段のインバータ回路の出力信号がゲートに入力されるとともに、そのドレインが該次段のインバータ回路の入力端子に接続されるＮチャネルＭＯＳトランジスタで構成され、前記スイッチ回路は、前記ＮチャネルＭＯＳトランジスタのソースと低電位側電源との間に介在され、そのゲートに前記制御信号が入力されるＮチャネルＭＯＳトランジスタで構成される。

【００１５】

請求項４では、前記フィードバック回路は、前記次段のインバータ回路の出力信号がゲートに入力されるとともに、そのドレインが該次段のインバータ回路の入力端子に接続されるＰチャネルＭＯＳトランジスタと、前記次段のインバータ回路の出力信号がゲートに入力されるとともに、そのドレインが該次段のインバータ回路の入力端子に接続されるＮチャネルＭＯＳトランジスタとで構成され、前記スイッチ回路は、前記ＰチャネルＭＯＳトランジスタのソースと高電位側電源との間に介在され、そのゲートに前記制御信号が入力されるＰチャネルＭＯＳトランジスタと、前記ＮチャネルＭＯＳトランジスタのソースと低電位側電源との間に介在され、そのゲートに前記制御信号が入力されるＮチャネルＭＯＳトランジスタで構成される。前記スイッチ回路を構成するＰチャネルＭＯＳトランジスタ及びＮチャネルＭＯＳトランジスタは、前記制御信号に基づいて、前記入力信号の切り替わり後に直ちにオンされる。

請求項５では、直列に接続された２段のインバータ回路の前段に入力パッドから入力信号が入力され、次段のインバータ回路から内部回路に前記入力信号を出力し、前記次段のインバータ回路の入出力端子間には、該次段のインバータ回路の出力信号に基づいて動作して、該次段のインバータ回路の入出力レベルを相補レベルに維持するフィードバック回路を備えた入力回路と、前記入力信号に基づいて出力トランジスタを駆動する出力制御回路とを備えた半導体装置であって、前記フィードバック回路への電源供給を制御するスイッチ回路と、前記出力制御回路の出力信号に基づいて、前記フィードバック回路へ所定時間に限り電源を供給する制御信号を前記スイッチ回路に出力する活性化パルス発生回路とを備えて構成される。

請求項６では、前記入力パッドからの制御信号である入力信号は、内部回路を動作させて前記データ信号及びＬｏｗ－Ｚ信号を生成するとともに、前記次段の出力制御回路を動作させて出力パッドにデータの出力を行う、もしくは出力パッドをハイインピーダンス制御する信号である。

（作用）

請求項１に記載の発明によれば、入力信号の切り替わりに基づく前段のインバータ回路の反転動作時にはスイッチ回路の動作によりフィードバック回路への電源の供給が遮断される。

【００１６】

請求項２に記載の発明によれば、入力信号がＬレベルとなったとき、フィードバック回路及びスイッチ回路を構成するＰチャネルＭＯＳトランジスタがオンされる。入力信号が切り替わるときにはスイッチ回路を構成するＰチャネルＭＯＳトランジスタがオフされる。

【００１７】

請求項３に記載の発明によれば、入力信号がＨレベルとなったとき、フィードバック回路及びスイッチ回路を構成するＮチャネルＭＯＳトランジスタがオンされる。入力信号が切り替わるときにはスイッチ回路を構成するＮチャネルＭＯＳトランジスタがオフされる。

【００１８】

請求項４に記載の発明によれば、入力信号の切り替わり時には各スイッチ回路がオフされて、各フィードバック回路が不活性化される。各スイッチ回路は入力信号の切り替わり後

に直ちにオンされて、各フィードバック回路が活性化され、入力信号に含まれるノイズによる影響が低減される。

請求項５に記載の発明によれば、入力信号の切り替わりに基づく前段のインバータ回路の反転動作時にはフィードバック回路への電源の供給が遮断される。

請求項６に記載の発明によれば、入力信号により内部回路からデータ信号及びＬｏｗ－Ｚ信号が生成される。また、出力制御回路が動作され出力パッドにデータの出力、もしくは出力パッドのハイインピーダンス制御が行われる。

【００１９】

【発明の実施の形態】

（第１の実施の形態）

図２は本発明を半導体記憶装置の入力回路に具体化した第１の実施の形態を示す。入力パッド１に入力される入力信号ＩＮは、ＰチャネルＭＯＳトランジスタＴｒ１及びＮチャネルＭＯＳトランジスタＴｒ２のゲートに入力される。

【００２０】

前記トランジスタＴｒ１のソースは電源Ｖｃｃに接続され、前記トランジスタＴｒ２のソースはグランドＧＮＤに接続されている。前記トランジスタＴｒ１，Ｔｒ２のドレインは互いに接続されており、ノードＮ１となる。

【００２１】

前記ノードＮ１はインバータ回路２の入力端子に接続され、同インバータ回路２の出力端子はＰチャネルＭＯＳトランジスタＴｒ３のゲートに接続されている。

【００２２】

前記トランジスタＴｒ３のソースはＰチャネルＭＯＳトランジスタＴｒ４を介して電源Ｖｃｃに接続され、同トランジスタＴｒ３のドレインは前記インバータ回路２の入力端子に接続され、フィードバック回路を形成している。

【００２３】

出力制御回路３はこの半導体記憶装置の出力回路を制御するものであり、活性化パルス発生回路４に接続され、同活性化パルス発生回路４の出力信号φ０は前記トランジスタＴｒ４のゲートに入力されている。

【００２４】

前記インバータ回路２の出力信号ＯＵＴがＬレベルとなり、前記活性化パルス発生回路４の出力信号φ０がＬレベルとなって、トランジスタＴｒ３，Ｔｒ４が共にオンされたとき、フィードバック回路が活性化される。

【００２５】

前記インバータ回路２の出力信号ＯＵＴは内部回路に出力される。

前記活性化パルス発生回路４の具体的構成を図３に示す。前記出力制御回路３はＬレベルの出力制御信号ＯＥバーに基づいて活性化され、内部回路から出力されるデータＲＤに基づいて、相補制御信号Ｐｕ，Ｐｄを出力する。前記出力制御回路３の不活性時には前記制御信号Ｐｕ，Ｐｄは共にＬレベルなる。

【００２６】

前記制御信号Ｐｕはプルアップ側の出力トランジスタＴｒ５のゲートに出力され、前記制御信号Ｐｄはプルダウン側の出力トランジスタＴｒ６のゲートに出力される。前記出力トランジスタＴｒ５，Ｔｒ６はＮチャネルＭＯＳトランジスタで構成される。

【００２７】

前記トランジスタＴｒ５，Ｔｒ６の接続点は出力パッドＤＱＰに接続されている。

前記制御信号ＰｕがＨレベル、前記制御信号ＰｄがＬレベルとなると、前記トランジスタＴｒ５はオンされるとともに前記トランジスタＴｒ６はオフされ、前記パッドＤＱＰからＨレベルの出力データが出力される。又、前記制御信号ＰｕがＬレベル、前記制御信号ＰｄがＨレベルとなると、前記トランジスタＴｒ６はオンされるとともに前記トランジスタＴｒ５はオフされ、前記パッドＤＱＰからＬレベルの出力データが出力される。

【００２８】

前記制御信号Ｐｕ，Ｐｄが共にＬレベルとなると、トランジスタＴｒ５，Ｔｒ６は共にオフされて、パッドＤＱＰはハイインピーダンスとなる。
前記信号Ｐｕ，Ｐｄは前記活性化パルス発生回路４を構成するＮＯＲ回路５に入力される。前記ＮＯＲ回路５の出力信号はＮＯＲ回路６の一方の入力端子に入力されるとともに、３段のインバータ回路８を介して他方の入力端子に入力される。前記インバータ回路８の接続点は容量Ｃを介してグランドＧＮＤに接続され、このインバータ回路８と容量Ｃとで遅延回路が構成される。

【００２９】

さらに、前記ＮＯＲ回路６の出力信号はインバータ回路７を介して前記出力信号φ０として出力される。
このように構成された前記活性化パルス発生回路４は前記制御信号Ｐｕ，Ｐｄが共にＬレベルの状態からその一方がＨレベルとなるとき、前記遅延回路の遅延時間に相当するパルス幅でＬレベルとなる出力信号φ０を出力する。

【００３０】

又、トランジスタＴｒ５，Ｔｒ６は十分な負荷駆動能力を確保するために、そのサイズが大きく設定されている。このため、図４に示すように、制御信号Ｐｕ，Ｐｄに基づく出力データＤＱの出力に先立って、出力信号φ０がＬレベルに立ち下がる。

【００３１】

上記のように構成された半導体記憶装置の動作を図４に従って説明する。
この半導体記憶装置では、制御信号ＲＡＳバー、ＣＡＳバー、ＯＥバーがＬレベル、ＷＥバーがＨレベルとなると、読み出しモードが設定される。読み出しモードではアドレス信号に基づいて選択された記憶セルからセル情報が読み出され、そのセル情報に基づいて出力制御回路３から出力される制御信号Ｐｕ，Ｐｄは相補信号となる。すると、前記活性化パルス発生回路４の出力信号φ０は出力データＤＱの出力に先立ってＬレベルとなり、図２に示す入力回路ではトランジスタＴｒ３，Ｔｒ４がオンされる。

【００３２】

前記入力回路のパッド１に例えばＬレベルの制御信号ＲＡＳバーが入力されている状態で多数の出力回路からＨレベルの出力信号が同時に出力されて、電源Ｖｃｃの電圧レベルが一時的に低下しても、ノードＮ１には電源Ｖｃｃからトランジスタ Ｔｒ１及びトランジスタＴｒ３，Ｔｒ４を介して電流が供給されているので、実質的にトランジスタＴｒ１のサイズが増大されたことになり、電源Ｖｃｃの低下にともなうノードＮ１の低下を抑制することができる。

【００３３】

又、制御信号ＲＡＳバーがＨレベルに復帰するとき、すでに、前記活性化パルス発生回路４の出力信号φ０は一定時間を経過してＨレベルとなっており、トランジスタＴｒ４はオフされている。

【００３４】

よって、ノードＮ１にはトランジスタＴｒ３，Ｔｒ４を介して電流が供給されることはない。従って、トランジスタＴｒ３，Ｔｒ４がトランジスタＴｒ２の負荷となることはないので、ノードＮ１は速やかにＬレベルへ移行する。

【００３５】

つまり、入力信号ＩＮのＬレベルからＨレベルへの移行に対する動作速度を向上させ、内部回路の誤動作を防止することができる。
図５は、前記活性化パルス発生回路４と前記出力制御回路３の構成を別の構成にした一具体例の回路図である。この活性化パルス発生回路１０は前記出力制御回路３の前段の出力制御回路９からの信号に基づいて動作する。

【００３６】

前記出力制御回路９は前記出力制御回路３にデータ信号Ｄを出力している。一方、前記出力制御回路９は前記出力制御回路３にＬｏｗ－Ｚ信号ＬＺを出力している。

【００３７】

前記信号ＬＺは活性化パルス発生回路１０を構成するＮＡＮＤ回路１１の一方の入力端子に入力されるとともに、３段のインバータ回路８を介して他方の入力端子に入力される。

【００３８】

前記インバータ回路８の接続点は容量Ｃを介してグランドＧＮＤに接続され、このインバータ回路８と容量Ｃとで遅延回路が構成される。

前記ＮＡＮＤ回路１１の出力信号は前記出力信号φ０として出力される。

【００３９】

このように構成された前記活性化パルス発生回路１０では前記信号ＬＺがＬレベルの状態からＨレベルとなるとき、前記遅延回路の遅延時間に相当するパルス幅でＬレベルとなる出力信号φ０を出力する。

【００４０】

よって、前述した第１の実施の形態の効果と同様の効果を得ることができる。（第２の実施の形態）

図６は、本発明を具体化した入力回路の第２の実施の形態を示す。この実施の形態は前記第１の実施の形態の電源Ｖｃｃ側のフィードバック回路をグランドＧＮＤ側に設けたもので、同様の符号を付した構成部分については同様の動作をするものとし、説明を省略する。

【００４１】

前記トランジスタＴｒ１，Ｔｒ２のドレインは互いに接続されており、ノードＮ２となる。前記ノードＮ２はインバータ回路２の入力端子に接続され、同インバータ回路２の出力端子はＮチャネルＭＯＳトランジスタＴｒ７のゲートに接続されている。

【００４２】

前記トランジスタＴｒ７のソースはＮチャネルＭＯＳトランジスタＴｒ８を介してグランドＧＮＤに接続され、同トランジスタＴｒ７のドレインは前記インバータ回路２の入力端子に接続され、フィードバック回路を形成している。

【００４３】

又、活性化パルス発生回路１１は図示しない出力制御回路の出力信号に基づいて制御され、同活性化パルス発生回路１１の出力信号φ１は前記トランジスタＴｒ８のゲートに入力されている。

【００４４】

前記インバータ回路２の出力信号ＯＵＴがＨレベルとなり、前記活性化パルス発生回路１１の出力信号φ１がＨレベルとなって、トランジスタＴｒ７，Ｔｒ８が共にオンされたとき、フィードバック回路が活性化される。

【００４５】

前記活性化パルス発生回路１１は例えば読み出しモード時の制御信号ＷＥバーのようにＨレベルの入力信号ＩＮがこの入力回路に入力されているとき、前記第１の実施の形態と同様の思想で出力データＤＱの出力に先立って出力信号φ１はＨレベルに立ち上がる。

【００４６】

すなわち、Ｌレベルの出力データＤＱが多数の出力回路から同時に出力されて、グランドＧＮＤレベルが一時的に上昇してもノードＮ２からトランジスタＴｒ２及びトランジスタＴｒ７，Ｔｒ８を介してグランドＧＮＤに電流が流れるので、実質的にトランジスタＴｒ２のサイズが増大されたことになり、ノードＮ２は速やかにＬレベルに移行する。

【００４７】

又、入力信号ＩＮがＨレベルからＬレベルに移行するとき、すでに、前記活性化パルス発生回路１１の出力信号φ１は一定時間を経過してＬレベルとなっており、前記トランジスタＴｒ８はオフされている。

【００４８】

よって、トランジスタＴｒ７，Ｔｒ８がトランジスタＴｒ１の負荷となることはなく、ノードＮ２は速やかにＨレベルに移行する。

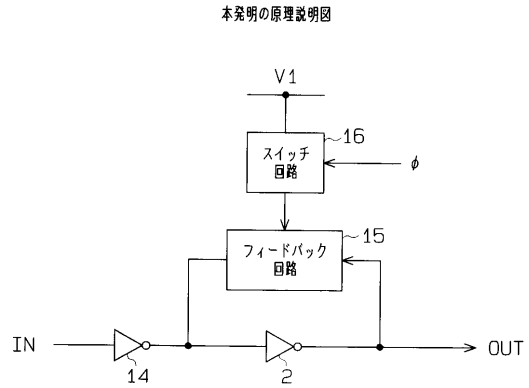
つまり、入力信号ＩＮのＨレベルからＬレベルへの移行に対する動作速度の感度を向上し

、内部回路の誤動作を防止することができる。
（第３の実施の形態）
図７は、本発明を具体化した入力回路の第３の実施の形態を示す。この実施の形態の入力回路は前記第１の実施の形態と前記第２の実施の形態におけるフィードバック回路を両方とも設けたもので、同様の符号を付した構成部分については同様の動作をするものとし、説明を省略する。
【００４９】
図７の入力回路において、活性化パルス発生回路１２は入力信号ＩＮのＬレベルへの移行にともなって一定時間Ｌレベルとなる出力信号φ２を出力するものとする。又、活性化パルス発生回路１３は入力波形ＩＮのＨレベルへの移行にともなって一定時間Ｈレベルとなる出力信号φ３を出力するものとする。
【００５０】
上記入力回路の動作を図８に従って説明する。
入力信号ＩＮがＨレベルからＬレベルに移行するとき、入力信号を供給する外部回路の負荷駆動能力が高すぎると、パッド１に実際に入力される入力信号ＩＮｒにはオーバーシュートに続いてアンダーシュートＶａが発生する。又、入力信号ＩＮがＬレベルからＨレベルに移行するとき、実際に入力される入力信号ＩＮｒにはオーバーシュートに続いてアンダーシュートＶｂが発生する。
【００５１】
前記オーバーシュートＶａが発生する前に前記フィードバック回路活性時間φ２が前記トランジスタＴｒ４をオンさせて、該フィードバック回路を活性化させることにより、前記アンダーシュートＶａによるノードＮ３の電位の変化を抑えることができる。
【００５２】
前記アンダーシュートＶｂが発生する前に前記フィードバック回路活性時間φ３が前記トランジスタＴｒ８をオンさせて、該フィードバック回路を活性化させることにより、前記アンダーシュートＶｂによるノードＮ３の電位の変化を抑えることができる。
【００５３】
よって、この入力回路では前記第１及び第２の実施の形態の作用効果に加えて、入力波形のオーバーシュートに続くアンダーシュートＶａ，Ｖｂによる誤動作を防ぎ理想的な入力信号ＩＮに基づく動作と同等な動作となる。
【００５４】
尚、本発明は、上記実施の形態に限定されるものではなく以下のように実施してもよい。
（１）前記活性化パルス発生回路４，９は出力信号ＤＱが出力されるとき、トランジスタＴｒ４をオンさせることができれば、その構成はどのように構成してもよい。
【００５５】
（２）前記活性化パルス発生回路１１は出力信号ＤＱが出力されるとき、トランジスタＴｒ８をオンさせることができれば、その構成はどのように構成してもよい。
【００５６】
（３）前記活性化パルス発生回路１２，１３は入力信号ＩＮが移行した後、前記アンダーシュートＶａ，Ｖｂが発生する前に前記出力信号φ２，φ３を出力できれば、その構成はどのように構成してもよい。
【００５７】
【発明の効果】
以上詳述したように、この発明は電源ノイズの影響を低減しながら、動作速度の低下を防止し得る入力回路を提供することができる。
【図面の簡単な説明】
【図１】本発明の原理説明図。
【図２】第１の実施の形態を示す回路図。
【図３】活性化パルス発生回路の具体的構成を示す回路図。
【図４】第１の実施の形態の動作を示すタイミング波形図。

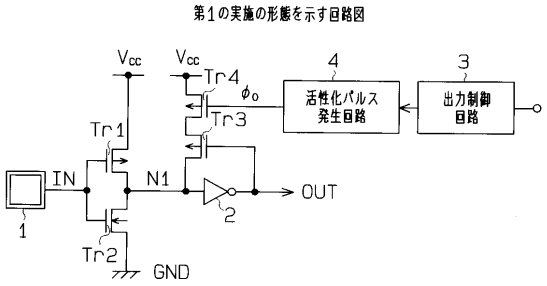
【図５】活性化パルス発生回路の別例を示す回路図。
【図６】第２の実施の形態を示す回路図。
【図７】第３の実施の形態を示す回路図。
【図８】第３の実施の形態の動作を示すタイミング波形図。
【図９】従来例を示す回路図。
【符号の説明】

2	次段のインバータ回路
１４	前段のインバータ回路
１５	フィードバック回路
１６	スイッチ回路
ＩＮ	入力信号
ＯＵＴ	出力信号
Ｖ１	電源
φ	制御信号

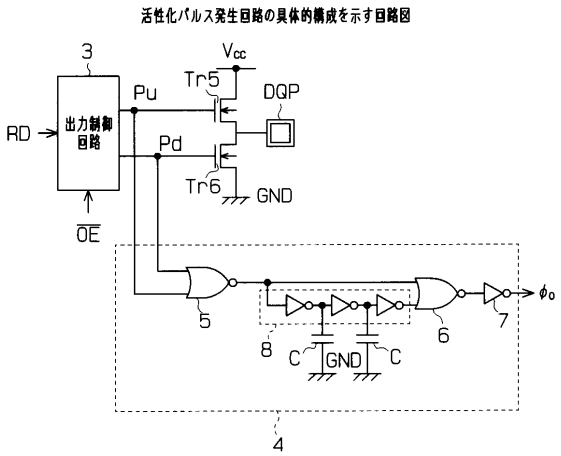
【図１】



【図２】

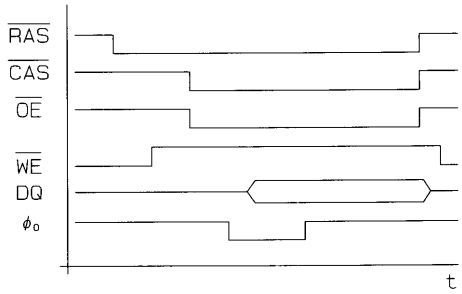


【図３】



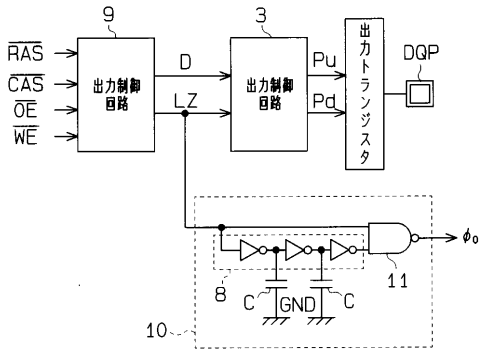
【図４】

第1の実施の形態の動作を示すタイミング波形図



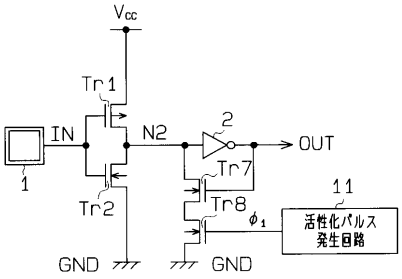
【図５】

活性化パルス発生回路の別例を示す回路図



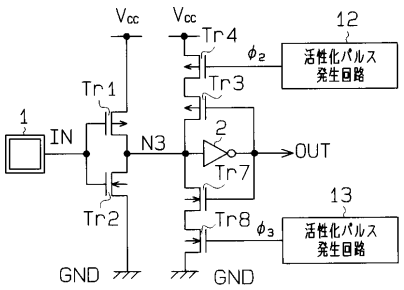
【図６】

第2の実施の形態を示す回路図



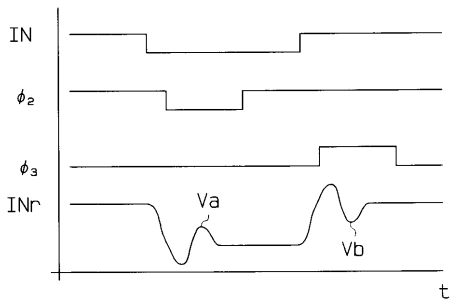
【図７】

第3の実施の形態を示す回路図



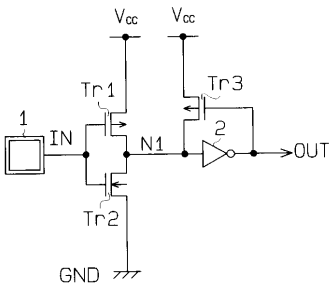
【図８】

第3の実施の形態の動作を示すタイミング波形図



【図９】

従来例を示す回路図



フロントページの続き

(56)参考文献 特開平０５－０５５８９６（ＪＰ，Ａ）
特開平０４－１９９９０９（ＪＰ，Ａ）
特開平１１－１５４８５０（ＪＰ，Ａ）
特開平０５－２５２０１８（ＪＰ，Ａ）
特開平０４－１９９９０９（ＪＰ，Ａ）
特開平０１－１４９２９０（ＪＰ，Ａ）
特開平０３－２５３１１４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H03K 19/0175
H03K 3/013
H03K 5/1252