

發明專利說明書 200537627

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：00123550

※ 申請日期：93.9.21

※IPC 分類：H01L²¹/56

一、發明名稱：(中文/英文)

半導體元件及製造該半導體元件之方法

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE
SEMICONDUCTOR DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

富士通股份有限公司

FUJITSU LIMITED

代表人：(中文/英文)

黑川博昭/KUROKAWA, HIROAKI

住居所或營業所地址：(中文/英文)

日本國神奈川縣川崎市中原區上小田中 4 丁目 1 番 1 號

1-1, KAMIKODANAKA 4-CHOME, NAKAHARA-KU, KAWASAKI-SHI,

KANAGAWA 211-8588 JAPAN

國籍：(中文/英文)

日本/JAPAN

三、發明人：(共 2 人)

姓名：(中文/英文)

1. 愛場喜孝/AIBA, YOSHITAKA

2. 埜本隆司/NOMOTO, RYUJI

國籍：(中文/英文)

日本/JAPAN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本； 2004.5.12； 特願 2004-142765

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

相關申請案之交叉參考

5 此申請案係基於且請求2004年5月12日提交的日本專利申請案2004-142765號之優先權的利益，該案的整體內容以引用方式併入本文中。

發明領域

10 本發明概括有關一半導體元件及其製造方法，更特別有關一包括一柱電極之半導體元件及其製造方法，其中該柱電極具有一端連接至一半導體晶片上的一配線層且具有另一端連接至一外部連接終端。

【先前技術】

發明背景

15 近年來，已經日益使用CSP(晶片尺寸封裝)作為一種安裝在以諸如行動電話等可攜式數位電子裝置作為代表之小尺寸電子裝置上之半導體元件。

可藉由CSP型半導體元件來達成微小化及高密度。然而，近年來，由於半導體元件需要進一步微小化，外部連接終端之間的間距係具有變窄的趨勢。

20 因此，因為由於外部連接終端間距變窄使得安裝基材中所形成的電極及半導體元件的外部連接終端之結合區域變小，安裝基材上之半導體元件的安裝可靠度將降低。

為了避免此問題，設計出一其中使柱電極形成於半導體晶片與外部連接終端之間的半導體元件(譬如，請見日本

專利申請案公開2002-270721號及日本專利申請案公開2001-291733號)。

已知在具有柱電極的半導體元件中，安裝時出現在柱電極及周遭樹脂層中的應力係可被放鬆或吸收，比起沒有
5 柱電極之半導體元件來說係具有較優良的安裝可靠度。

第1及2圖顯示具有柱電極之習知半導體元件的範例。

第1圖所示的半導體元件1A係包括一諸如聚醯亞胺等絕緣膜3，其形成於半導體元件2A的電路成形表面上，及配線層4(再配線層)，其形成於絕緣膜3上。

10 配線層4經由絕緣膜3中所形成的孔來電性連接半導體晶片2A。柱電極5係以固定在配線層4上的狀態形成。

柱電極5具有圓柱形組態。第1圖的組成方式中，柱電極5上端結合至配線層4，而作為外部連接終端之錫球7係經由障壁金屬6(譬如，Ni及Au鍍覆物)排列在下端。

15 尚且，包封樹脂8形成於半導體晶片2A底部上。包封樹脂8具有保護配線層4及柱電極5之功能且在第1圖的組成方式中形成為具有夠大厚度足以包封整體柱電極5但障壁金屬6形成處之下端除外。

基於此原因，在習知半導體元件1A的結構中，障壁金屬6形成處之柱電極5端點係與包封樹脂8的表面呈齊平，且
20 其係為未使錫球7及包封樹脂8彼此分離之結構。

另一方面，第2圖所示的半導體元件1B係為接收或輸出高頻訊號之半導體元件。

第2圖中，大致與第1圖的對應元件相同之元件係標示

有相同的編號而省略其描述。

尚且，第2圖顯示半導體元件1B安裝在安裝基材10上之狀況，而柱電極5及5A經由錫球7結合至安裝基材10的連接電極11及11A。

5 如上述，提供半導體元件1B以供高頻訊號傳輸用，而用來交換高頻訊號之柱電極5A及連接電極11A係比柱電極5及連接電極11具有更小尺寸以使半導體晶片2B與配線層4(再配線)之間的寄生電容降低。第2圖中，編號9代表鈍化膜。

10 第1及2圖的半導體元件1A及1B中，安裝時出現的應力可被柱電極5及5A以及周遭包封樹脂8加以放鬆或吸收，而可用來改良安裝的可靠度。

然而，由此言之，如果半導體元件1A及1B繼續進行進一步微小化及高密度且進一步採用較小間距的錫球7(外部
15 連接終端)，即便是使用柱電極5及5A的半導體元件1A及1B亦將同樣產生安裝可靠度降低之現象。

尚且，產生了由於採用較小間距使鄰接的柱電極5及5A距離減小將容易造成錫球7排列在柱電極5及5A中時及柱電極5及5A結合至安裝基材10的連接電極11及11A時使鄰接
20 的錫球7間發生短路(橋接)之問題。

特別是當使用錫料作為如第1及2圖所示的外部連接終端之一材料時，在使柱電極5及5A梢部與包封樹脂8表面幾乎彼此齊平之組成方式中，錫料中的溶劑組份係在加熱時於包封樹脂8表面上流動，且其容易接觸到相鄰的柱電極5

及5A。因為溶劑組份對於錐料具有良好的可濕潤性，結果將由於溶劑組份的接觸造成鄰接的柱電極5及5A與錐球7之短路。

尚且，在包封樹脂8包封住整體柱電極5及5A(但其梢部除外)之組成方式中，第1及2圖之半導體元件1A及1B的厚度相形較大。

基於此原因，產生了在半導體晶片2A及2B的矽與具有與矽不同的熱膨脹係數之包封樹脂8之間發生熱膨脹差異之問題，而在半導體元件1A及1B中將容易發生曲率。

10 【發明內容】

發明概要

本發明之一目的係提供一可消除上述問題之經改良的半導體元件。

本發明之另一目的係提供一可抑制鄰接的外部連接終端產生短路且可抑制發生曲率之半導體元件。

本發明之另一目的係提供一用於製造半導體元件之方法，其中可抑制鄰接的外部連接終端產生短路且可抑制發生曲率。

藉由一半導體元件達成本發明之上述目的，其包含：
20 一半導體晶片；一配線層，其形成於半導體晶片上；一柱電極，其在一第一端連接至配線層；及一包封樹脂，其形成於半導體晶片上，其中柱電極設有一與第一端相對之第二端，第二端從包封樹脂突起，而一外部連接構件在第二端連接至柱電極使得外部連接構件與包封樹脂的一表面分

離。

根據本發明的半導體元件，外部連接終端及包封樹脂表面製成彼此分離，而可在外部連接終端成形時及半導體元件安裝時防止鄰接的外部連接終端產生短路(橋接)。尚且
5 藉由使外部連接終端及包封樹脂分離，可使包封樹脂具有小的厚度，而可降低半導體元件中所出現之曲率量。

可提供上述半導體元件以使包封樹脂表面與外部連接構件之一間隙高於10微米且小於80微米。

根據本發明，包封樹脂與外部連接構件之間隙設定在
10 10微米與80微米之間，而可有效地防止鄰接的外部連接終端產生短路並防止半導體元件中出現曲率。

可提供上述半導體元件使得一障壁金屬設置於柱電極與外部連接構件之間。

根據本發明，可利用障壁金屬來提高柱電極與外部連
15 接構件的接合可靠度。

可提供上述半導體元件使得柱電極與外部連接構件第二端接觸之一橫剖面積大於柱電極與配線層第一端接觸之一橫剖面積。

根據本發明，可將位於柱電極與配線層碰觸的部分中
20 之柱電極的橫剖面積製成小型，而可藉由降低柱電極與半導體晶片之間的寄生電容來達成特徵的改良。尚且，可將位於柱電極與外部連接構件碰觸的部分中之柱電極的橫剖面積加大，而可能提高柱電極與外部連接構件之接合強度，並可防止安裝可靠度降低。

可提供上述半導體元件使得柱電極的橫剖面積依據對於配線層的距離而從第一端到第二端連續地增大。

尚且，可提供上述半導體元件使得柱電極的橫剖面積依據對於配線層的距離從第一端到第二端呈現階狀增加。

5 根據本發明，可將位於柱電極及配線層碰觸的部分中之柱電極的直徑製成小型，而可藉由降低柱電極與半導體晶片之間的寄生電容來達成特徵的改良。尚且，可將位於柱電極與外部連接構件碰觸的部分中之柱電極的直徑加大，而可能提高柱電極與外部連接構件的接合強度，並可防
10 止安裝可靠度降低。

尚且，藉由一製造半導體元件之方法來達成本發明之上述目的，此方法包含以下步驟：在一半導體基材上形成一配線層；形成一阻劑，此阻劑具有一用以在配線層上形成一柱電極之開口，及利用阻劑在開口中形成一傳導金屬
15 ，使得傳導金屬的厚度超過阻劑厚度；阻劑移除之後在半導體基材上形成一包封樹脂；及進行處理以將所形成的包封樹脂製成小厚度。

根據本發明，藉由進行處理將包封樹脂製成小厚度而使柱電極端點與包封樹脂表面分離，可能簡單且確定地使
20 柱電極端點自包封樹脂表面分離。

可提供上述製造方法藉以利用蝕刻來進行將所形成的包封樹脂製成小厚度之處理。

根據本發明，藉由在包封樹脂形成之後進行蝕刻而使得包封樹脂製成小厚度，且在蝕刻時，可完全地移除黏附

至柱電極表面等之不需要的包封樹脂，因此，可用以改善外部終端成形時之良率。

可提供上述製造方法以進一步包含在進行將所形成的包封樹脂製成小厚度之處理後在與包封樹脂的一表面呈現
5 分離之柱電極的一端形成一外部連接構件之步驟。

根據本發明，在藉由將包封樹脂製成小厚度而使柱電極端點自包封樹脂表面分離之後，外部連接構件形成於柱電極端點上。即便溶劑組份在外部連接構件成形時從外部
10 連接構件流動，溶劑組份仍出現於自包封樹脂表面突出之柱電極端點。可防止如同習知半導體元件中由於溶劑組份導致鄰接的外部連接構件產生短路。

可提供上述製造方法藉以利用一轉移成形方法來形成包封樹脂。

根據本發明，當使用轉移成形方法時，不論柱電極高度如何皆可進行樹脂的包封。因為包封樹脂中的填料尺寸
15 或數量可自由改變，故可自由地選擇線性膨脹係數或類似物。

根據本發明，可在外部連接終端成形時及半導體元件安裝時防止鄰接的外部連接終端產生短路(橋接)。尚且，可
20 藉由使外部連接終端與包封樹脂彼此分離而將包封樹脂製成薄形，並可降低半導體元件中出現之曲率量。

圖式簡單說明

可由下文詳細描述連同圖式得知本發明之其他目的、特性及優點。

第1圖為顯示一習知的半導體元件之組成方式的橫剖視圖；

第2圖為顯示一習知的半導體元件之組成方式的橫剖視圖；

5 第3圖為顯示本發明第一較佳實施例中之一半導體元件的組成方式之橫剖視圖；

第4圖為顯示其中第一較佳實施例之半導體元件的結構安裝在安裝基材上之狀況的橫剖視圖；

10 第5A及5B圖為說明第一較佳實施例之半導體元件的結構與習知半導體元件比較之圖；

第6A及6B圖為說明第一較佳實施例之半導體元件的結構與習知半導體元件比較之圖；

第7A至7F圖為說明本發明第一較佳實施例中之半導體元件的製造方法之圖；

15 第8圖為顯示本發明第二較佳實施例中之一半導體元件的組成方式之橫剖視圖；

第9圖為顯示本發明第三較佳實施例中之一半導體元件的組成方式之橫剖視圖；

20 第10圖為顯示本發明第四較佳實施例中之一半導體元件的組成方式之橫剖視圖；

第11A至11F圖為說明本發明第二較佳實施例中之半導體元件的製造方法之圖；

第12A及12B圖為說明本發明第二較佳實施例中之半導體元件的製造方法中如何在柱電極梢部形成不平整部之

圖；

第13A至13C圖為說明本發明第四較佳實施例中之半導體元件的製造方法之圖；

5 第14圖為顯示本發明第五較佳實施例中之一半導體元件的組成方式之橫剖視圖；

第15A至15F圖為說明本發明第五較佳實施例中之半導體元件的製造方法之圖；

第16圖為顯示本發明第六較佳實施例中之一半導體元件的組成方式之橫剖視圖；

10 第17A至17G圖為說明本發明第六較佳實施例中之半導體元件的製造方法之圖。

【實施方式】

較佳實施例的詳細描述

現在參照圖式描述本發明的較佳實施例。

15 第3圖顯示本發明第一較佳實施例中之一半導體元件20A。

半導體元件20A為可用以使半導體元件達成微小化及高密度之CSP(晶片尺寸封裝)。譬如，此半導體元件20A安裝在一諸如行動電話等可攜式數位電子裝置上。

20 半導體元件20A一般包含半導體晶片22、配線層24、柱電極25A、錫球27及包封樹脂28。

半導體晶片22為其上形成有一電子電路之矽基材，而第3圖中之半導體晶片22底表面係為電路成形表面。

絕緣膜23形成於半導體晶片22的電路成形表面上。譬

如，可使用聚醯亞胺作為絕緣膜23的一材料。

配線層24形成於絕緣膜23上。配線層24具有所謂再配線層的功能，而配線層24端點係經由絕緣膜23中所形成之孔連接至半導體晶片22的電極部分(未圖示)。

5 尚且，配線層24另一端係延伸至使電極墊38與配線層24形成一體處之預定位置。譬如，配線層24由銅形成。

柱電極25A包含圓柱形的條柱部分35A，而梢部36A具有大於條柱部分35A的直徑R1之直徑R2。

10 條柱部分35A及梢部36A係經由將於後文描述的鍍覆法形成一體。尚且，整體柱電極25A構成蕈狀形態。

條柱部分35A的上端(位於未形成梢部36A之側上)係一體式結合至配線層24(電極墊38)。尚且，錒球27經由障壁金屬26排列在條柱部分35A另一端所形成之梢部36A上。譬如，障壁金屬26經由Au及Ni的金屬鍍覆所形成。

15 第3圖的組成方式中，可藉由在柱電極25A與錒球27之間形成障壁金屬26來提高柱電極25A與錒球27的接合可靠度。

尚且，如上述排列有錒球27之梢部36A的直徑R2係大於條柱部分35A的直徑R1($R1 < R2$)，而錒球27與梢部36A的
20 接合面積係大於習知半導體元件中之圓柱形式的柱電極之接觸面積，而可能提高錒球27與梢部36A之接合可靠度。

包封樹脂28形成於半導體晶片22的電路成形表面上。形成包封樹脂28藉以保護配線層24及柱電極25A。譬如，可使用一環氧樹脂作為包封樹脂28的一材料。

現在描述用以構成半導體元件20A之柱電極25A及包封樹脂28。

本實施例中，提供半導體元件20A使得柱電極25A從包封樹脂28突起，而作為外部連接構件之錫球27係排列在自包封樹脂28突起之柱電極25A端點(亦即梢部36A)上。因此，錫球27係從包封樹脂28表面分離。

上述實施例中，柱電極25A相距包封樹脂28表面之高度量H2(其為包封樹脂28表面與條柱部分35A及梢部36A的介面之間隙)係設定位於約10微米與80微米之間的一範圍中。此間隙等同於柱電極25A高度之約1/2-1/3。

此外，半導體晶片22的表面(電路成形表面)與條柱部分35A及梢部36A的介面之間隙H1係約為100微米。

第4圖顯示半導體元件20A的上述結構(其中柱電極25A從包封樹脂28表面突起)安裝在安裝基材30上之狀況。

第4圖的組成方式中，將柱電極25A製成為從包封樹脂28表面突起，而排列在柱電極25A的梢部36A中之錫球27亦從包封樹脂28表面分離。

此外，形成了與安裝基材30中的柱電極25A形成位置呈現對應之連接電極31，而連接電極31的形成位置除外之區域係受到錫阻劑32保護。

本實施例中，藉由使錫球27與包封樹脂28彼此分離，可能在如第4圖所示安裝時防止鄰接的錫球27產生橋接(短路)。

半導體晶片22安裝時受到安裝基材30加壓，而壓縮力

傾向於作用在錫球27上，因此造成變形。

習知半導體元件的組成方式(第1圖)中，錫球7係接觸包封樹脂8，而錫球7傾向於在橫方向(其為趨近鄰接的錫球7之方向)受到壓縮力而變形，這將造成短路發生。

5 然而，本實施例的半導體元件20A構成為可使錫球27及包封樹脂28彼此分離，而柱電極25A(及條柱部分35A)定位於錫球27與包封樹脂28之間。

基於此原因，即便當錫球27受到壓縮時，錫球27係沿著柱電極25A轉移至錫球27與包封樹脂28分離處之部分。因此，可能防止鄰接的錫球27之間發生橋接(短路)，而可提高
10 安裝可靠度。

第5A及5B圖係為說明本實施例之半導體元件的結構與習知半導體元件就防止鄰接的錫球27之間產生短路(橋接)的能力進行比較之圖。第5A圖顯示習知的半導體元件，
15 而第5B圖顯示本實施例的半導體元件。

經由一般使用錫膏的印刷法將錫球27排列在柱電極25A中。

如同公知，在錫膏中，溶劑組份係與錫粉混合，而選擇對於錫料具有良好可濕潤性之溶劑組份的一材料。

20 當利用錫膏形成錫球7及27時，錫膏印刷至柱電極5及25A，且進行迴錫處理。

藉由在迴錫處理時加熱，從錫膏出現液體狀溶劑組份
14及34。

當如同第5A圖所示的習知半導體元件中使柱電極5的

梢部幾乎與包封樹脂8表面呈齊平時，溶劑組份14係分散於包封樹脂8表面上方，而容易抵達鄰接的柱電極5之位置(或形成鐸球7處之位置)。

5 因為溶劑組份14如上述對於鐸料具有良好的可濕潤性，熔融的鐸料係隨著溶劑組份14分散。因此，鄰接的鐸球7之間可能容易發生短路(橋接)。

如果繼續採用較小間距，溶劑組份14的分散範圍係受到限制，而此趨勢將變得明顯。

10 另一方面，本實施例中，將鐸球27及包封樹脂28表面構成彼此分離。如第5B圖所示，溶劑組份34由於柱電極25A的梢部36A與包封樹脂28表面之間表面張力而停止，且其並不分散在包封樹脂28表面上。因此，可能防止鄰接的鐸球27之間發生短路。

15 尚且，本實施例中鐸球27及包封樹脂28表面係彼此分離，且可能防止鐸球27由於應力集中而從柱電極25A分離。

第6A及6B圖為說明本實施例之半導體元件的結構與習知半導體元件就防止鐸球27從柱電極25A產生分離的能力進行比較之圖。第6A圖顯示習知範例，而第6B圖顯示本實施例的半導體元件。

20 第6A圖的習知半導體元件1A中，柱電極5的梢部幾乎與包封樹脂8表面呈齊平，而在安裝習知半導體元件1A時，應力集中係發生在柱電極5與鐸球7之介面處(介面位置將稱為應力提高點(stress raiser)13)。

因此，習知的半導體元件1A中，應力係集中在應力提

高點13處，鐳球7可能時常從柱電極5發生分離。

另一方面，第6B圖所示之本實施例的半導體元件20A中，可藉由梢部36A的加大直徑及鐳球27與柱電極25A之增大的結合面積來提高安裝可靠度。

5 尚且，本實施例中，鐳球27及包封樹脂28彼此分離，而可使得安裝時應力所壓印的地方散佈至柱電極25A與鐳球27之介面(第一應力提高點33A)及包封樹脂28表面與柱電極25A側表面之介面(第二應力提高點33B)。因此，藉由使應力散佈，可能防止鐳球27從柱電極25A分離，而可進一步改良安裝可靠度。

尚且，藉由將包封樹脂28製成薄形藉以使鐳球27及包封樹脂28彼此分離，將可防止半導體元件20A中可能出現之曲率。

亦即，包封樹脂28的樹脂(諸如一環氧樹脂)與半導體晶
15 片22的矽之間的熱膨脹係數具有重大差異。習知的半導體元件中，柱電極高度係與包封樹脂的厚度相同，而無法任意構成包封樹脂的厚度。

如果包封樹脂為厚型，包封樹脂的熱變形將具有顯著影響，而由於半導體晶片與包封樹脂的熱膨脹差異將容易
20 發生半導體元件的曲率。

另一方面，本實施例中，可與柱電極25A高度獨立無關地設定包封樹脂28的厚度，且可將包封樹脂28製成薄形。因此，可使半導體元件20A中包封樹脂28的熱膨脹具有小影響，而可降低半導體元件20A中出現之曲率量。

如上述，最好使包封樹脂28表面與鐳球27之間隙位於10微米與80微米之間的一範圍中。如果間隙設定為小於10微米，鄰接的鐳球27發生短路之可能性將增高。如果間隙設定為大於80微米，將變成難以確保配線層24及柱電極25A之保護作用，此保護作用係為包封樹脂28的原始功能。

因為有關於應力提高點本身之應力係由於曲率減小而降低，可改良進一步的安裝可靠度。

接著，將說明第一較佳實施例中之半導體元件20A的製造方法。

第7A至7F圖顯示本實施例中之半導體元件20A的製造方法。

為了製造半導體元件20A，諸如聚醯亞胺等絕緣膜23係經由旋塗法等形式於其上提前進行電路成形之半導體基材21表面上(其隨後進行切分而變成半導體晶片22)，而絕緣膜23中的孔23a係形成於與半導體基材21的電極部分位置呈現對應之位置。

接著，將其中形成有絕緣膜23之半導體基材21安裝在濺鍍元件上，並形成作為電解金屬鍍覆物的籽晶層之濺鍍膜40。第7A圖顯示濺鍍膜40形成之狀況。濺鍍膜40的材料可能為諸如鈦(Ti)、鉻(Cr)及銅(Cu)等其中的任何金屬，該金屬若具有障壁金屬效果即可。

接下來，將具有與配線層24形式呈現對應的開口(圖案)之配線阻劑42形成於濺鍍膜40上方部分上。且利用上述濺鍍膜40作為籽晶層來進行電解金屬鍍覆。如第7B圖所示，

形成了金屬鍍覆層41。

配線阻劑42移除之後，具有與柱電極25A呈現對應的開口(圖案)之電極阻劑43係排列在金屬鍍覆層41的上方部分上。譬如，可使用乾膜阻劑(DFR)作為電極阻劑43的材料。

5 並且，利用濺鍍膜40及金屬鍍覆層41作為電源供應層來進行銅的電解金屬鍍覆。如第7C圖所示，形成了柱電極25A。

此外，本實施例中使用銅(Cu)作為金屬鍍覆層41(配線層24)及柱電極25A的材料。然而，只要是可供金屬鍍覆成長之金屬，即可使用任何其他金屬來代替銅。

當電解金屬鍍覆完成時，如第7C圖所示，柱電極25A係形成有梢部36A、以及具有比梢部36A直徑更大的直徑之梢部36B。

為了形成具有上述組態之柱電極25A，進行銅鍍覆處理以形成柱電極25A直到超過電極阻劑43厚度為止。因此，比條柱部分35A直徑與面積具有更大直徑與面積之梢部36A係形成於電極阻劑43表面上。

本實施例中，柱電極25A以此方式形成之後，藉由金(Au)及鎳(Ni)的金屬鍍覆使障壁金屬26形成於梢部36A表面上。

當柱電極25A及障壁金屬26如上述形成時，進行電極阻劑43的移除。

接下來，藉由蝕刻移除金屬鍍覆層41的不需要部分，因此形成具有電極墊38之預定形式的配線層24。尚且，由

此言之，柱電極25A係建置於電極墊38(未圖示)上。

5 接下來，進行轉移成形處理(譬如約175度C)，其中形成有柱電極25A之半導體基材21係被排列在模子中，藉以形成包封樹脂28。在此時，樹脂膜係嵌入至其中使柱電極25A的梢部36A接觸到模子的模穴處之部分。因此，可防止樹脂黏附至柱電極25A，並防止梢部36A變形。

10 因此，利用轉移成形法來形成包封樹脂28，而可能與柱電極25A高度獨立無關地利用包封樹脂28進行柱電極25A的包封。因為可自由地改變填料量及包封樹脂28的尺寸，故亦可能自由地選擇線性膨脹係數等。

第7D圖顯示包封樹脂28形成於半導體基材21上之狀況。如第7E圖所示，緊接在進行轉移成形之後將包封樹脂28表面定位在條柱部分35A與梢部36A的邊界部上。

15 如上述完成包封樹脂28的成形之後，進行將包封樹脂28製成小厚度之處理。

本實施例中，使用蝕刻處理作為將包封樹脂28製成小厚度之方法。

蝕刻處理進行之後，柱電極25A的梢部(梢部36A)及包封樹脂28表面係彼此分離如第7E圖所示的距離H2。

20 蝕刻元件係為一般用來移除阻劑之元件。因此，利用蝕刻元件，可以容易且低成本地使包封樹脂28製成薄型而不需引進新裝置。

尚且，即便不需要的樹脂在包封樹脂28成形時黏附至柱電極25A表面，可利用蝕刻元件移除不需要的樹脂。因此

，鐳球37可確定地排列至柱電極25A，並可用以改善鐳球27成形時之良率。

在蝕刻處理終點時，連續地進行在柱電極25A中形成鐳球27之處理。形成鐳球27之方法可包括：轉移方法，其中
5 在另一製程中提前形成的鐳球係安裝在柱電極25A上；及迴鐳方法(亦稱為印刷方法)，其中在鐳料印刷至柱電極25A之後，經由迴鐳處理形成鐳球。

在鐳球27直徑小於0.5公厘之採用小間距的案例中，載入鐳球的治具將變得昂貴，印刷法比轉移法更為有利。

10 尚且，鐳球27的材料可能為共晶鐳料或所謂無鉛鐳料。其不侷限於特定材料，而可使用此等鐳料物質的任一者。

然後，藉由進行半導體基材21的切分將其切成與半導體晶片22呈現對應之體件來製造第7F圖所示的半導體元件
15 20A。

本實施例之半導體元件20A的製造方法中，利用將包封樹脂28製成薄形使得柱電極25A的端點(梢部36A)從包封樹脂28分離之後，藉此在柱電極25A端點中形成鐳球27。

如同先前使用第5圖所說明，即便在鐳球27迴鐳時出現
20 有溶劑組份34，亦可能防止鄰接的鐳球27之間發生短路(橋接)。

接下來，將利用第8至10圖說明本發明第二至第四較佳實施例中之半導體元件20B-20D。

此外，第8至10圖中，與第2至7圖中對應元件相同之元

件係標示有相同的編號，而省略其描述。

類似於第一較佳實施例，第8至10圖所示的第二至第四較佳實施例中之半導體元件20B-20D中的柱電極25B-25D係分別包含條柱部分35B-35D及梢部36B-36D。

5 尚且，半導體元件20B-20D中，柱電極25B-25D的梢部36B-36D係從包封樹脂28表面突起，因此，銲球27從包封樹脂28表面分離。

提供第二較佳實施例的半導體元件20B以藉由在梢部36B上形成鋸齒狀不平整部來增加銲球27與柱電極25B的
10 接觸面積。

尚且，提供第二較佳實施例的半導體元件20C以藉由在梢部36C上形成波狀不平整部來增加銲球27與柱電極25C的接觸面積。

尚且，提供第四較佳實施例的半導體元件20D以藉由將
15 障壁金屬26形成至梢部36D側部來增加銲球27與柱電極25D的接觸面積且銲球27亦可碰觸到梢部36D側表面。

對於第二至第四較佳實施例中之各半導體元件20B-20D，柱電極25B-25D的梢部36B-36D係從包封樹脂28表面突起，而相較於上述第一較佳實施例達成了銲球27與
20 梢部36B-36D之接觸面積增加作用。因此，實現了與第一較佳實施例的上述半導體元件20A相同之效果。

第11A至11F圖及第12A與12B圖顯示第二較佳實施例中之半導體元件20B的製造方法。

此外，將省略對於與第一較佳實施例之半導體元件20A

的製造方法相同之處理的描述。

第11A及11B圖所示的處理係與上文利用第7A至7F圖所描述之半導體元件20A的製造方法中相同。

金屬鍍覆層41如第11B圖所示形成之後，進行與上文利用第7C圖所述相同之處理，而柱電極25B係形成在用於電極之阻劑43中。

第7C圖所示之第一較佳實施例中，梢部36A係形成在用於電極之阻劑43的上方部分中。然而，本實施例中，在梢部36A形成之前，暫停電解金屬鍍覆。因此，本實施例中，柱電極25B(參照第12A圖)係經由電解金屬鍍覆形成。

圓柱形組態的柱電極25B利用此方式形成之後，進行用於形成在柱電極25B中含有鋸齒狀不平整部之梢部36B之處理。

第12A及12B圖顯示用於形成含有鋸齒狀不平整部之梢部36B之方法。

第12A圖的方法中，藉由加壓治具44且其中鋸齒狀不平整部46係形成於柱電極25B上(形成障壁金屬26)，使得鋸齒狀不平整部形成於柱電極25B的梢部36中。

此方法中，可藉由使用壓機的衝壓來進行柱電極25B的形成作用，而可提高半導體元件20B的生產力。

第12B圖的方法中，第11A圖所示的濺鍍膜40形成之前，凸部47係提前形成在構成柱電極25B處之絕緣膜23部分中。凸部47與絕緣膜23形成一體。

因此，藉由濺鍍膜40、金屬鍍覆層41及其中形成有凸

部47之絕緣膜23上的柱電極23B進行金屬鍍覆成形之金屬鍍覆後，凸部47的形式將保留在濺鍍膜40表面、金屬鍍覆層41的表面、及柱電極25B的梢部中。因此，鋸齒狀不平整部形成於柱電極25B的梢部36B中。

5 因為使用此方法時並不像第12A圖的組成方式而未採用治具44，將可簡化製程。

尚且，可藉由適當地改變凸部47形式來任意地建置梢部36B的形式。譬如，亦可能藉由將凸部47形式設定為一波狀形狀來形成第9圖的第三較佳實施例中之半導體元件
10 20C。

再度參照第圖11C，繼續描述該製造方法。第11C圖顯示鋸齒狀不平整部如上述形成於柱電極25B的梢部36B中之狀態。

尚且，金屬鍍覆層41的不需要部分係由蝕刻加以移除
15 ，因此形成了具有電極墊38之預定形式的配線層24。

尚且，柱電極25A在此狀態中係於配線層24中所形成之電極墊38上高起。

接下來，將形成有柱電極25B之半導體基材21放置在模子內，而進行用於形成包封樹脂28之轉移成形處理。

20 緊接在轉移成形結束之後，如第11D圖所示將包封樹脂28表面定位至條柱部分35B與梢部36B之間的邊界。

如上述完成了包封樹脂28的成形處理之後，進行用於使包封樹脂28具有小厚度之蝕刻處理。

藉由進行蝕刻處理，如第11E圖所示，包封樹脂28表面

的梢部(梢部36B)及柱電極25B係分離了距離H2。

蝕刻處理結束之後，連續地進行用於在柱電極25A中形成鍍球27之處理。

上述程序結束之後，製成了第11F圖所示之半導體元件
5 20B。

第13A至13C圖顯示第二較佳實施例中之半導體元件
20D的製造方法。

此外，下文說明中，將適當地省略對於與第一較佳實施例中半導體元件20A的製造方法中相同的處理之描述。

10 尚且，本實施例的製造方法之特徵係在於將障壁金屬26排列在柱電極25D中之方法，只描述如何將障壁金屬26排列在柱電極25D中。

第13A圖顯示經由電解金屬鍍覆在用於電極之阻劑43(其包括DFR)中所生成的開口48中形成柱電極25D之狀態。

15 柱電極25D的成形結束之後，對於用於電極之阻劑43進行熱處理。

熱處理係依據作為用於電極之阻劑43之DFR材料而變。譬如，如第13B圖所示，用於電極之阻劑43的開口48端點可藉由在100-200度C溫度加熱5到60分鐘而使其分散。藉由
20 此熱處理，開口48端點的形式係轉變為喇叭狀形式。

尚且，當開口48的端點利用此方式分散時，柱電極25D的梢部36D將處於廣泛暴露於外部之狀態。

接下來，進行用於將障壁金屬26排列至柱電極25D的梢部36D之處理。因此，障壁金屬26排列至部分36的側邊。

因此，因為下個程序將銲球27排列在柱電極25D中時障壁金屬26係形成至柱電極25D(梢部36D)的側部，銲球27可形成至柱電極25D(梢部36D)的側部。

因此，可增加銲球27與柱電極25D之接觸面積。

5 接下來，將說明身為本發明的第五及第六較佳實施例之半導體元件20E及20F。

第14圖顯示第五較佳實施例中之半導體元件 20E，而第15A至15F圖顯示半導體元件20E之製造方法。

尚且，第16圖顯示第六較佳實施例中之半導體元件20F
10 ，而第17A至17G圖顯示半導體元件20F之製造方法。

半導體元件20E及半導體元件20F各者係為處理高頻訊號(500 MHz或以上)之半導體元件。

如上述，為了實現寄生電容的降低，最好在處理高頻訊號的半導體元件20E及20F中將處理高頻訊號的柱電極製成在與半導體晶片22接觸之接合位置中比起不處理高頻訊號的其他柱電極具有更小尺寸。
15

然而，在只將處理高頻訊號的柱電極5A製成小型以改良高頻柱電極5A的傳輸特徵之習知半導體元件1B的組成方式中，安裝可靠度係如上述般地降低。

20 為了解決此問題，將第14圖所示的半導體元件20E構成為可使碰觸到處理高頻訊號之高頻柱電極25F的銲球27部分之直徑(L1)大於碰觸到高頻電極墊45A(配線層24)部分之直徑(L2)($L1 > L2$)。

因此，碰觸到高頻柱電極25F的銲球27之部分的面積

(S1)係大於碰觸到高频電極墊45A之部分的面積(S2)($S1>S2$)。

此外，雖然高频電極墊45A類似於一般的電極墊45而與配線層24形成一體，其係連接半導體晶片22中處理高频訊號之連接墊。

本實施例中，將高频柱電極25F形成為可依據其對於高频電極墊45A(配線層24)的距離而使其橫剖面積連續地增大。

詳言之，高频柱電極25F構成一截頭圓錐形態。

尚且，在本實施例的半導體元件20E中，因為製程的緣故，不處理高频訊號的一般柱電極25E亦形成與高频柱電極25F相同的形式。

如上述，因為本實施例的半導體元件20E在碰觸到高频電極墊45A之部分中具有高频柱電極25F的小面積S2(直徑L2)，可能在高频柱電極25F與半導體晶片22之間達成寄生電容的降低，而可改良傳輸特徵。

尚且，因為可將碰觸到錫球27之梢部中的高频柱電極25F的面積S1(直徑L1)加大，可提升高频柱電極25F與錫球27之接合，並可提高安裝可靠度。

此外，各柱電極25E及25F的梢部係類似於上述實施例而從包封樹脂28表面突起。

尚且，錫球27經由障壁金屬26排列在各柱電極25E及25F的梢部中。

因此，錫球27及包封樹脂28表面係彼此分離，而可實

現與上述實施例相同的效果。

接下來，將描述具有上述組成方式之半導體元件20E的製造方法。

第15A至15F圖顯示半導體元件20E的製造方法以及製造程序。

為了製造半導體元件20E，絕緣膜23係形成於其中形成有鈍化層29之半導體基材21上，而孔49形成於與現今形成於絕緣膜23的半導體基材21中的電極部分呈現相對之位置，如第15A圖所示。

10 然後，如第15B圖所示，用於構成預定圖案的配線之阻劑42係形成於絕緣膜23的上方部分中，而配線層24、電極墊45及高頻電極墊45A係利用用於配線的阻劑42加以形成。

墊24,45及45A的成形處理結束之後，如第15C圖所示移除用於配線的阻劑42。

15 接下來，用於電極的阻劑43係形成於其中形成有墊24,45及45A之半導體基材21上。為了在半導體基材21上形成用於電極的阻劑43，作為用於電極的阻劑43之DFR係排列在半導體基材21上。DFR係為感光樹脂，且可藉由進行曝光處理等作用以DFR形成任意的開口圖案。

20 本實施例中，藉由將曝光條件加以最佳化來形成一截頭圓錐形式的開口圖案50。第15D圖顯示形成一截頭圓錐形式的開口圖案50之狀態。開口係形成於各開口圖案50的下方部分中，因此，此組成方式使得電極墊45及高頻電極墊45A暴露於開口圖案50。

具有開口圖案50之用於電極的阻劑43成形結束之後，如第15D圖所示進行利用用於電極的阻劑43在開口圖案50中形成高頻柱電極25F及柱電極25E之處理。此外，柱電極25E及25F的成形結束之後，障壁金屬26形成於梢部中。

5 用於電極的阻劑43移除之後，包封樹脂28經由轉移成形而形成。

藉由進行切分處理，使半導體基材21切成體件，而形成第15F圖所示之半導體元件20E。

尚且，將第16圖所示之半導體元件20F構成為可使碰觸
10 到高頻柱電極25H的鐸球27之部分的直徑(L3)大於碰觸到高頻電極墊45A(配線層24)之部分的直徑(L4)($L3 > L4$)。

因此，碰觸到高頻柱電極25H的鐸球27之部分的面積(S3)係大於碰觸到高頻柱電極45A(配線層24)之部分的面積(S4)($S3 > S4$)。

15 本實施例中，提供高頻柱電極25H使其橫剖面積依據高頻柱電極25H與高頻電極墊45A(配線層24)的一分開距離而呈現階狀增加。

詳言之，高頻柱電極25H設有位於鐸球27側上之大直徑部分51、及位於高頻柱電極45A側上之小直徑部分52，且其
20 具有使橫剖面積的階狀增加位於大直徑部分51與小直徑部分52之間之組成方式。

此外，本實施例中，並非高頻柱電極之一般柱電極25G亦具有與上述高頻柱電極25H相同之組成方式。

類似於第14圖的第五較佳實施例之半導體元件20E，本

實施例的半導體元件20F在碰觸到高频電極墊45A之部分中具有高频柱電極25H的小面積S4(直徑L4)。如此可以降低高频柱電極25H與半導體晶片22之間的寄生電容，且可改良傳輸特徵。

- 5 尚且，因為碰觸到錒球27之梢部中的高频柱電極25H具有大面積S1(直徑L1)，可提升高频柱電極25H與錒球27的接合，且可提高安裝可靠度。

此外，在本實施例的半導體元件20F中，各柱電極25G及25H的梢部係類似於前述實施例從包封樹脂28表面突起。

- 10 尚且，錒球27經由障壁金屬26排列在各柱電極25G及25H梢部中。因此，錒球27及包封樹脂28表面彼此分離，而可實現與上述實施例相同之效果。

接下來，將描述具有上述組成方式之半導體元件20F的製造方法。

- 15 第17A至17G圖顯示半導體元件20F的製造方法以及製造程序。此外，適當地省略對於與第15圖的半導體元件20E之製造方法相同的處理之描述。

第17A至17C圖係與第15A至15C圖相同。

- 20 本實施例中，如第17C圖所示形成電極墊24,45及45A之後，如第17D圖所示形成第二絕緣膜53。

小直徑開口54形成於第二絕緣膜53與電極墊45及45A相對處之位置中。

小直徑開口54的直徑及面積係與高频柱電極25H的小直徑部分52之直徑(L4)及面積(S4)相同。此外，為了防止內

部應力之目的，第二絕緣膜53的材料最好為與絕緣膜23相同之材料。

接下來，用於電極的阻劑43係形成於其中形成有第二絕緣膜53之半導體基材21上。

5 為了在半導體元件21上形成用於電極的阻劑43，作為用於電極的阻劑43之感光DFR係排列在半導體基材21上，並藉由進行曝光處理來形成大直徑開口55。大直徑開口55的直徑及面積係與高頻柱電極25H的大直徑部分51之直徑(L3)及面積(S3)相同。

10 第17E圖顯示形成大直徑開口66之狀態。第二絕緣膜53中所形成之小直徑開口54係定位在各大直徑開口55的下方部分中。因此，此組成方式係使得電極墊45及高頻電極墊45A經由小直徑開口54及大直徑開口55暴露出來。

15 在具有大直徑開口55之用於電極的阻劑43形成之後，如第17F圖所示利用用於電極的阻劑43進行大直徑開口55及小直徑開口54中形成高頻柱電極25H及柱電極25G之處理。

此外，柱電極25G及25H成形之後，障壁金屬26形成於梢部中。

20 用於電極的阻劑43移除之後，經由轉移成形來形成包封樹脂28。

接下來，藉由進行切分處理，使半導體基材21切成體件，且形成第17G圖所示之半導體元件20F。

本發明不限於上述實施例，可作出變化及修改而不脫

離本發明的範圍。

【圖式簡單說明】

第1圖為顯示一習知的半導體元件之組成方式的橫剖視圖；

5 第2圖為顯示一習知的半導體元件之組成方式的橫剖視圖；

第3圖為顯示本發明第一較佳實施例中之一半導體元件的組成方式之橫剖視圖；

10 第4圖為顯示其中第一較佳實施例之半導體元件的結構安裝在安裝基材上之狀況的橫剖視圖；

第5A及5B圖為說明第一較佳實施例之半導體元件的結構與習知半導體元件比較之圖；

第6A及6B圖為說明第一較佳實施例之半導體元件的結構與習知半導體元件比較之圖；

15 第7A至7F圖為說明本發明第一較佳實施例中之半導體元件的製造方法之圖；

第8圖為顯示本發明第二較佳實施例中之一半導體元件的組成方式之橫剖視圖；

20 第9圖為顯示本發明第三較佳實施例中之一半導體元件的組成方式之橫剖視圖；

第10圖為顯示本發明第四較佳實施例中之一半導體元件的組成方式之橫剖視圖；

第11A至11F圖為說明本發明第二較佳實施例中之半導體元件的製造方法之圖；

第12A及12B圖為說明本發明第二較佳實施例中之半導體元件的製造方法中如何在柱電極梢部形成不平整部之圖；

5 第13A至13C圖為說明本發明第四較佳實施例中之半導體元件的製造方法之圖；

第14圖為顯示本發明第五較佳實施例中之一半導體元件的組成方式之橫剖視圖；

第15A至15F圖為說明本發明第五較佳實施例中之半導體元件的製造方法之圖；

10 第16圖為顯示本發明第六較佳實施例中之一半導體元件的組成方式之橫剖視圖；

第17A至17G圖為說明本發明第六較佳實施例中之半導體元件的製造方法之圖。

【圖式之主要元件代表符號表】

1A…習知的半導體元件	22…半導體晶片
5,5A,23B,25A,25B,25C,25D, 25E,25G…柱電極	23…絕緣膜
7,27…錫球	23a,49…孔
8,28…包封樹脂	24…配線層
13…應力提高點	25F,25H…高頻柱電極
14,34…液體狀溶劑組份	26…障壁金屬
20A,20B,20C,20D,20E,20F …	29…鈍化層
半導體元件	30…安裝基材
21…半導體基材	31…連接電極
	32…錫阻劑

33B…第二應力提高點	H2…柱電極25A相距包封樹脂28表面之高度量
35A,35B,35C,35D…條柱部分	L1…碰觸到處理高頻訊號之高頻柱電極25F的鐳球27部分之直徑()
36A,36B,36C,36D…梢部	L2…碰觸到高頻電極墊45A部分之直徑
38,45…電極墊	L3…碰觸到高頻柱電極25H的鐳球27之部分的直徑
40…濺鍍膜	L4…碰觸到高頻電極墊45A之部分的直徑
41…金屬鍍覆層	R1…條柱部分直徑
42…配線阻劑	R2…梢部直徑
43…電極阻劑	S1…碰觸到高頻柱電極25F的鐳球27之部分的面積
44…加壓治具	S2…碰觸到高頻電極墊45A之部分的面積
45A…高頻電極墊	S3…碰觸到高頻柱電極25H的鐳球27之部分的面積
46…鋸齒狀不平整部	S4…碰觸到高頻柱電極45A之部分的面積
47…凸部	
48…開口	
50…截頭圓錐形式的開口圖案	
51…大直徑部分	
52…小直徑部分	
53…第二絕緣膜	
54…小直徑開口	
55,66…大直徑開口	
H1…半導體晶片22的表面與條柱部分35A及梢部36A的介面之間隙	

五、中文發明摘要：

一半導體元件係包含一半導體晶片、一形成於半導體晶片上之配線層、一在第一端連接至配線層之柱電極、及一形成於半導體晶片上之包封樹脂。半導體元件中，柱電極設有一與第一端相對之第二端，第二端從包封樹脂突起，而一外部連接構件在第二端連接至柱電極使得外部連接構件與包封樹脂的一表面分離。

六、英文發明摘要：

A semiconductor device comprises a semiconductor chip, a wiring layer formed on the semiconductor chip, a column electrode connected at a first end to the wiring layer, and an encapsulation resin formed on the semiconductor chip. In the semiconductor device, the column electrode is provided with a second end, opposite to the first end, projecting from the encapsulation resin, and an external connection member is connected to the column electrode at the second end so that the external connection member is separate from a surface of the encapsulation resin.

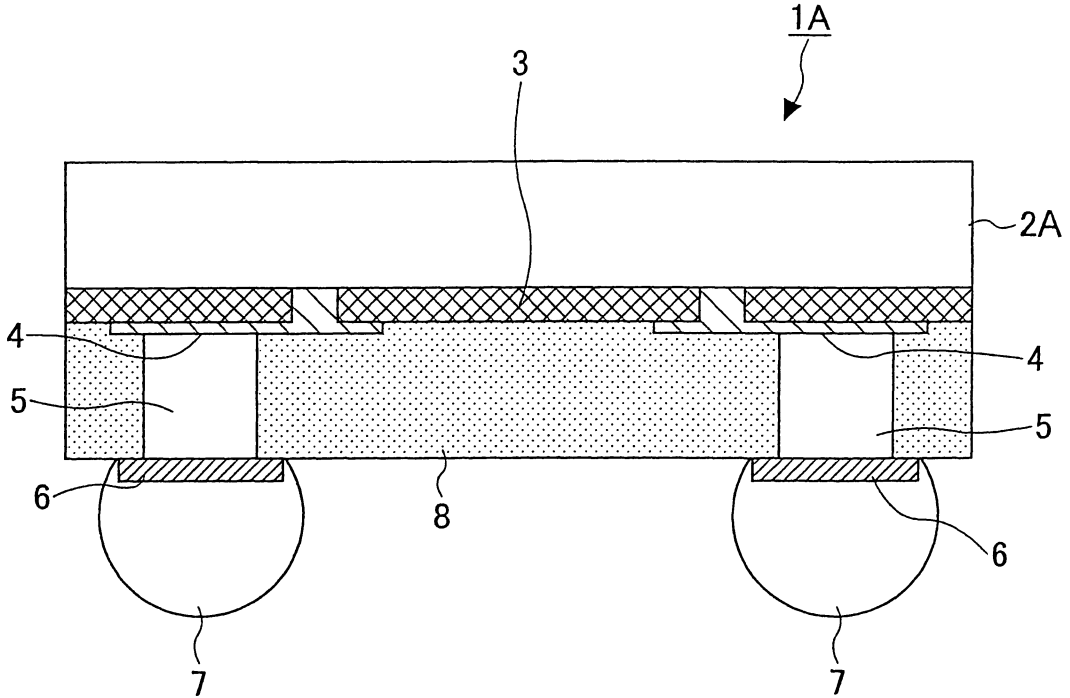
十、申請專利範圍：

1. 一種半導體元件，包含：一半導體晶片；一配線層，其形成於該半導體晶片上；一柱電極，其在一第一端連接至該配線層；及一包封樹脂，其形成於該半導體晶片上；其中該柱電極設有一與該第一端相對之第二端，該第二端從該包封樹脂突起，而一外部連接構件在該第二端連接至該柱電極以使該外部連接構件從該包封樹脂的一表面分離。
2. 如申請專利範圍第1項之半導體元件，其中該包封樹脂表面與該外部連接構件之一間隙係高於10微米且低於80微米。
3. 如申請專利範圍第1項之半導體元件，其中一障壁金屬設置於該柱電極與該外部連接構件之間。
4. 如申請專利範圍第1項之半導體元件，其中在該第二端與該外部連接構件接觸之該柱電極的一橫剖面積係大於在該第一端與該配線層接觸之該柱電極的一橫剖面積。
5. 如申請專利範圍第4項之半導體元件，其中該柱電極的橫剖面積係依據對於該配線層之一距離而從該第一端到該第二端連續地增大。
6. 如申請專利範圍第4項之半導體元件，其中該柱電極的橫剖面積依據對於該配線層之一距離而從該第一端到該第二端具有一階狀增加。
7. 如申請專利範圍第1項之半導體元件，其中與該包封樹

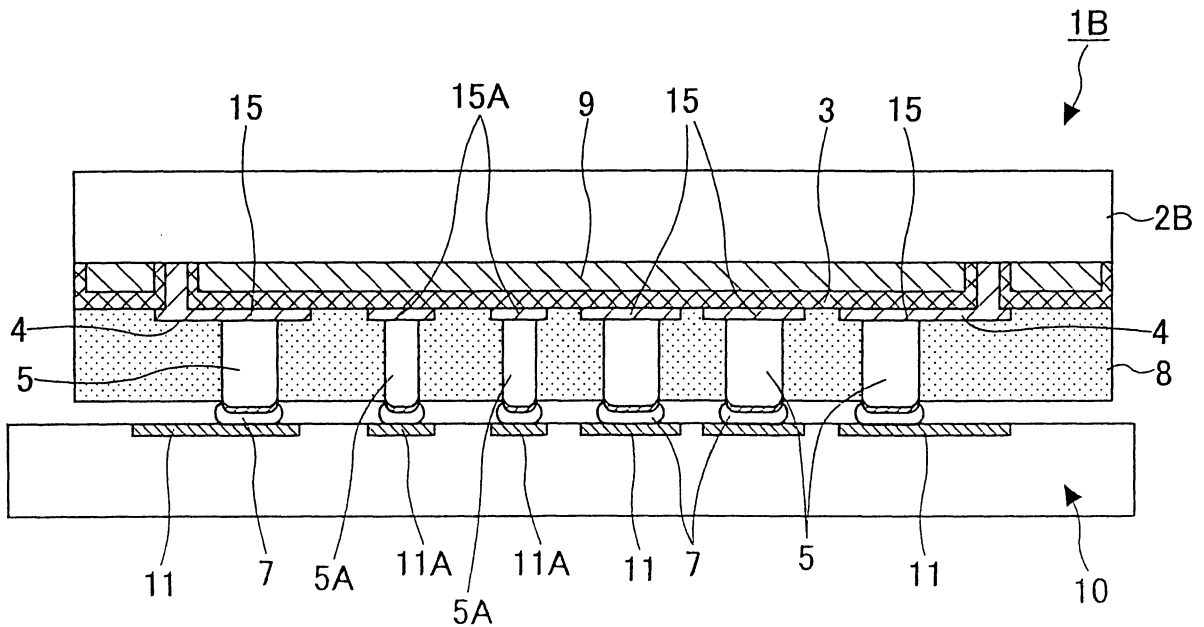
脂的表面分離之該柱電極第二端的一直徑係大於與該配線層接觸之該柱電極第一端的一直徑。

- 5
8. 如申請專利範圍第7項之半導體元件，其中該柱電極的直徑係依據對於該配線層的一距離而從該第一端到該第二端連續地增大。
9. 如申請專利範圍第7項之半導體元件，其中該柱電極的直徑依據對於該配線層的一距離而從該第一端到該第二端具有一階狀增加。
- 10
10. 一種用於製造半導體元件之方法，包含以下步驟：在一半導體基材上形成一配線層；形成一具有一開口之阻劑，其中該開口用以在該配線層上形成一柱電極，及利用該阻劑在該開口中形成一傳導金屬使得該傳導金屬的一厚度超過該阻劑的一厚度；該阻劑移除之後在該半導體基材上形成一包封樹脂；及進行用以將所形成的包封樹脂製成小厚度之處理。
- 15
11. 如申請專利範圍第10項之用於製造半導體元件之方法，其中利用蝕刻來進行該用以將所形成的包封樹脂製成小厚度之處理。
- 20
12. 如申請專利範圍第10項之用於製造半導體元件之方法，進一步包含以下步驟：在進行該用以將所形成的包封樹脂製成小厚度之處理之後，在與該包封樹脂的一表面分離之該柱電極的一端形成一外部連接構件。
13. 如申請專利範圍第10項之用於製造半導體元件之方法，其中利用一轉移成形方法來形成該包封樹脂。

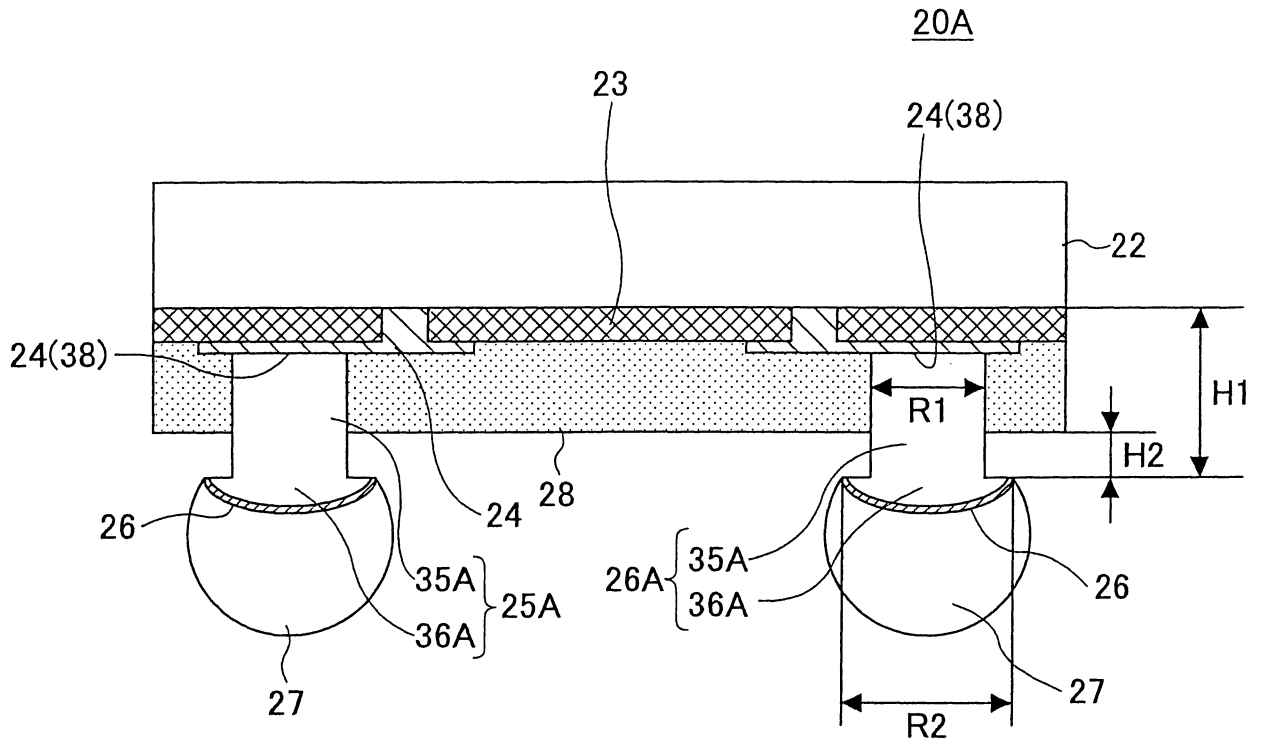
第 1 圖



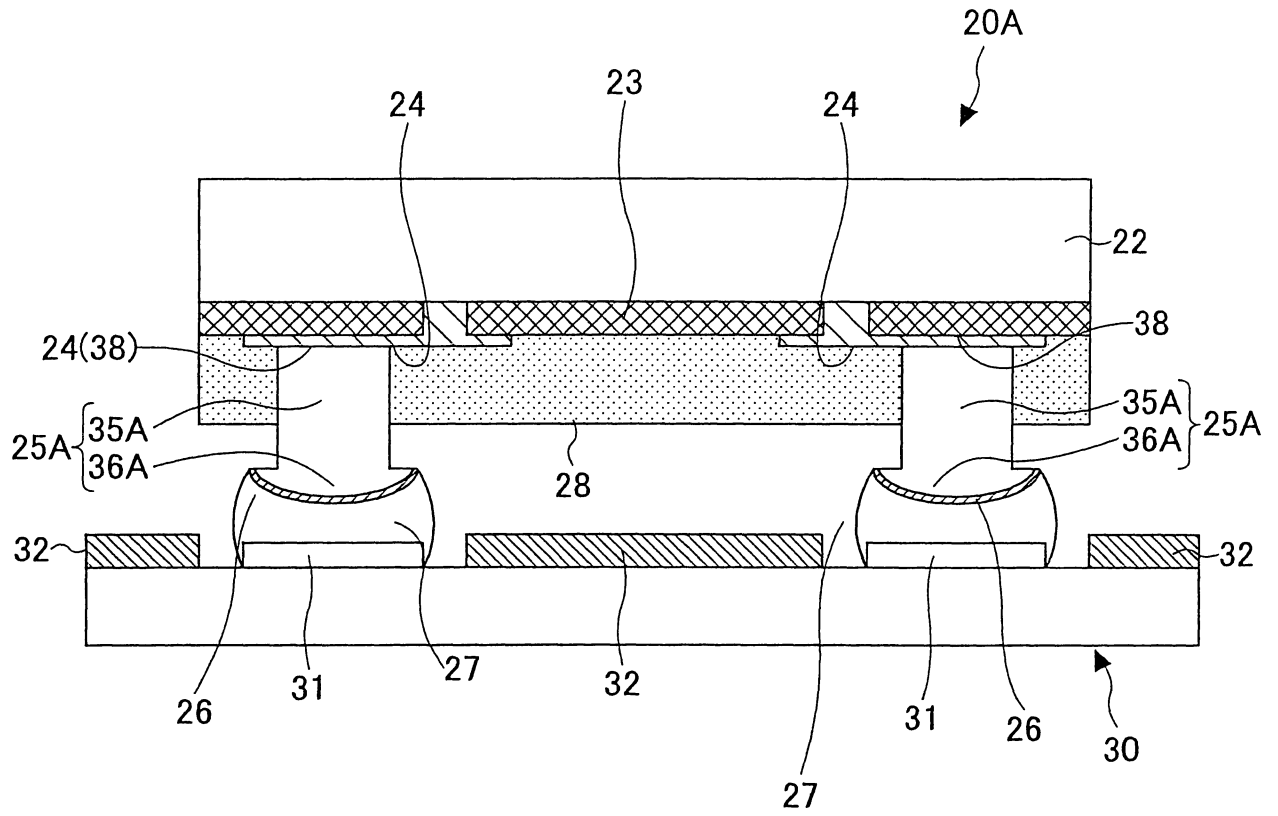
第 2 圖



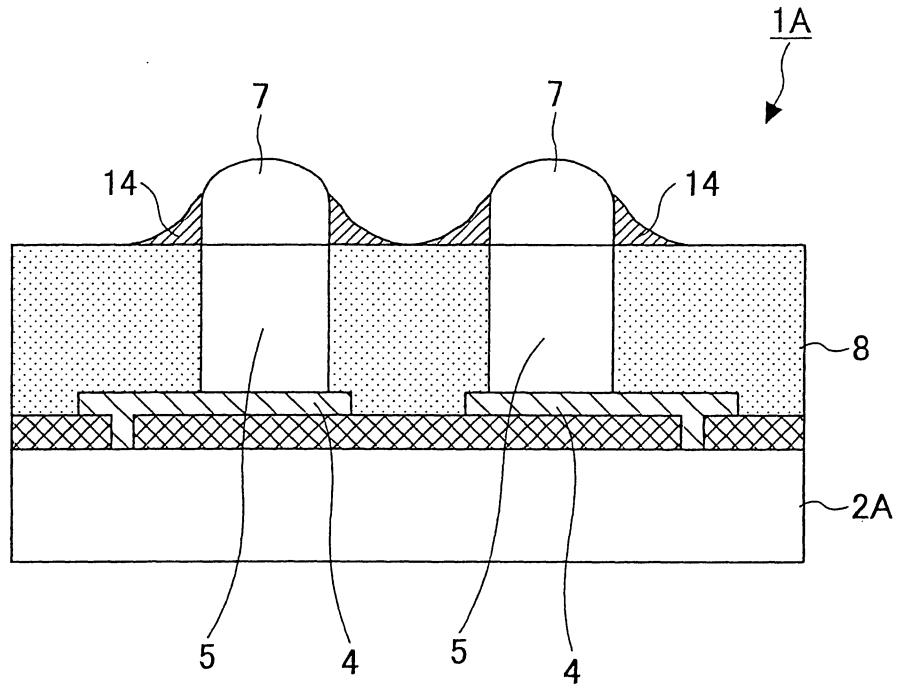
第 3 圖



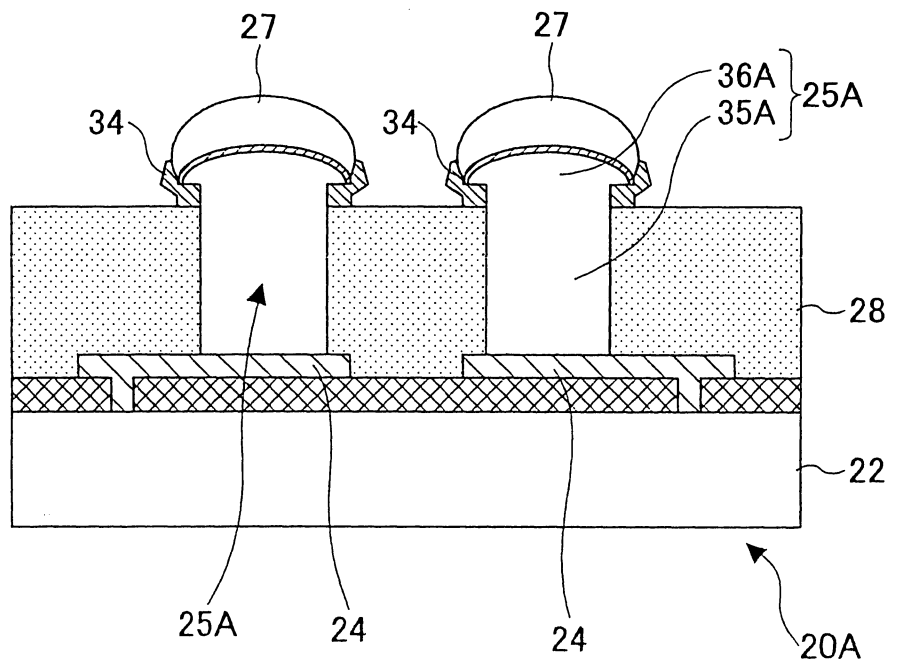
第 4 圖



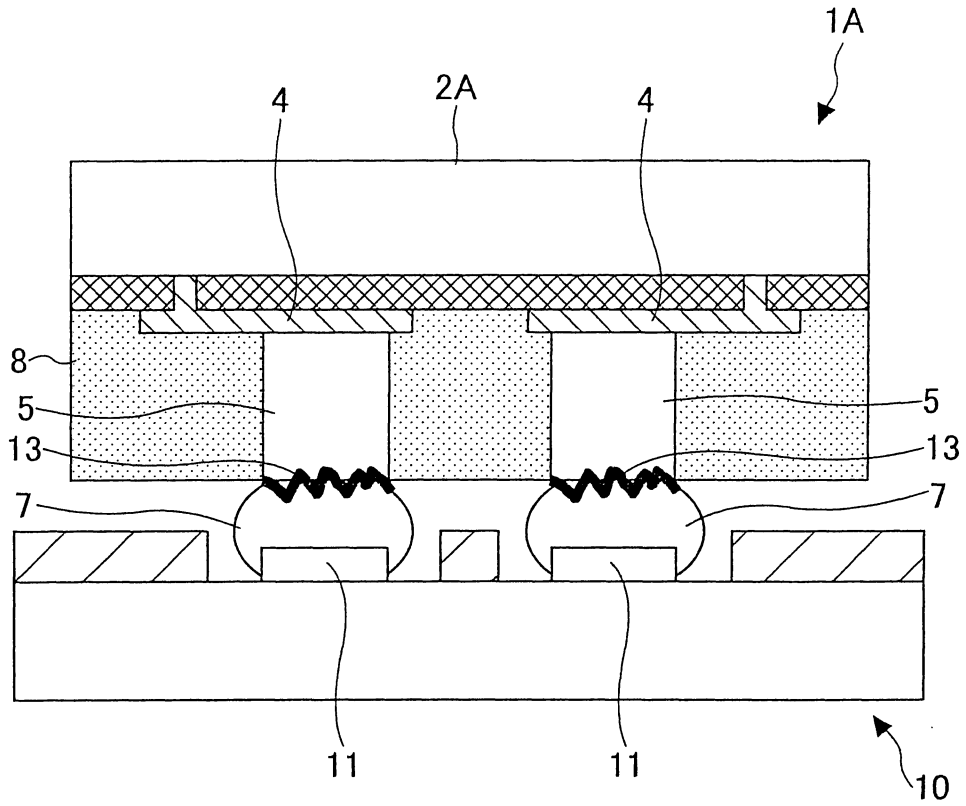
第 5A 圖



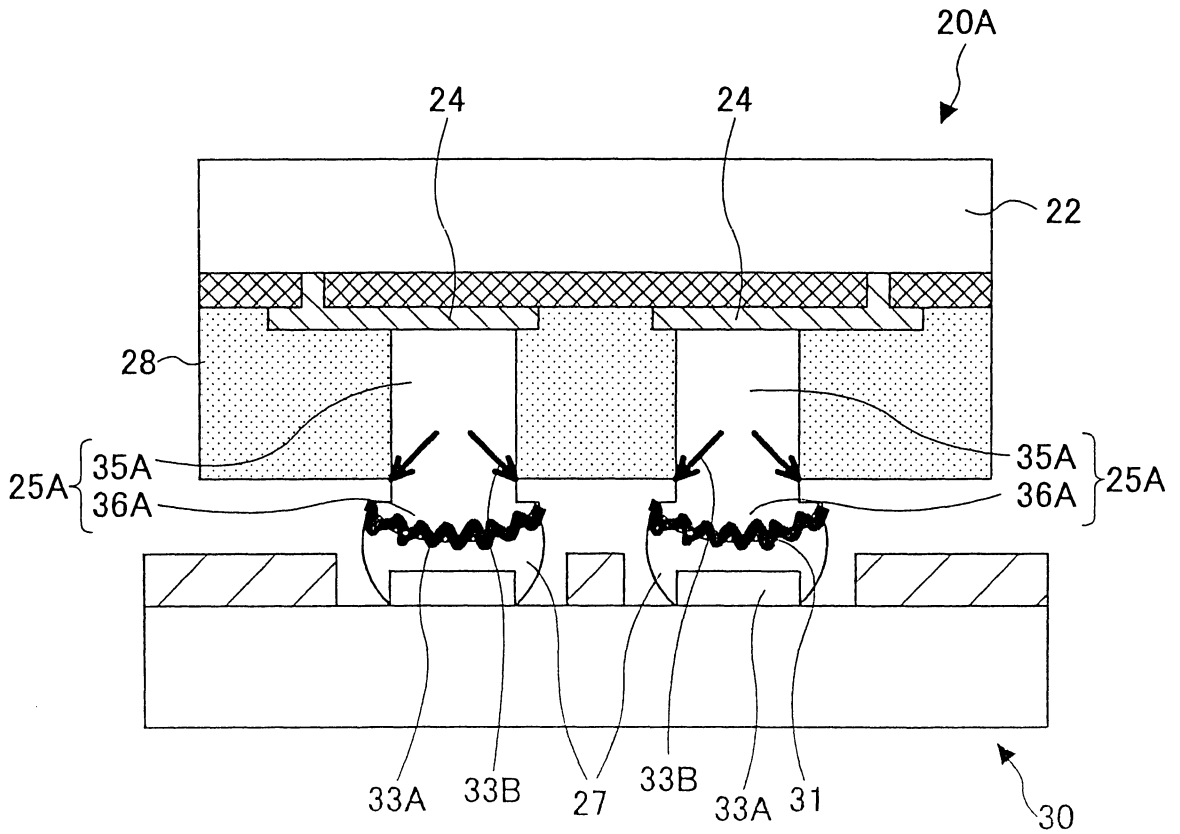
第 5B 圖



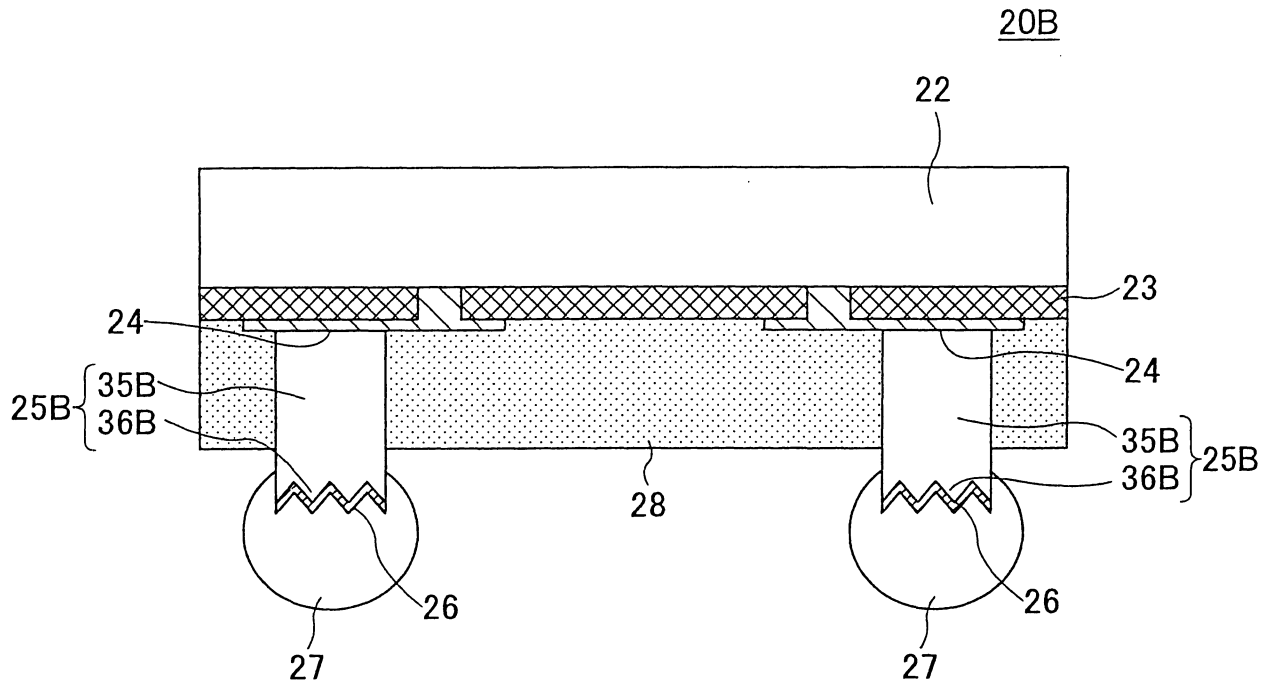
第 6A 圖



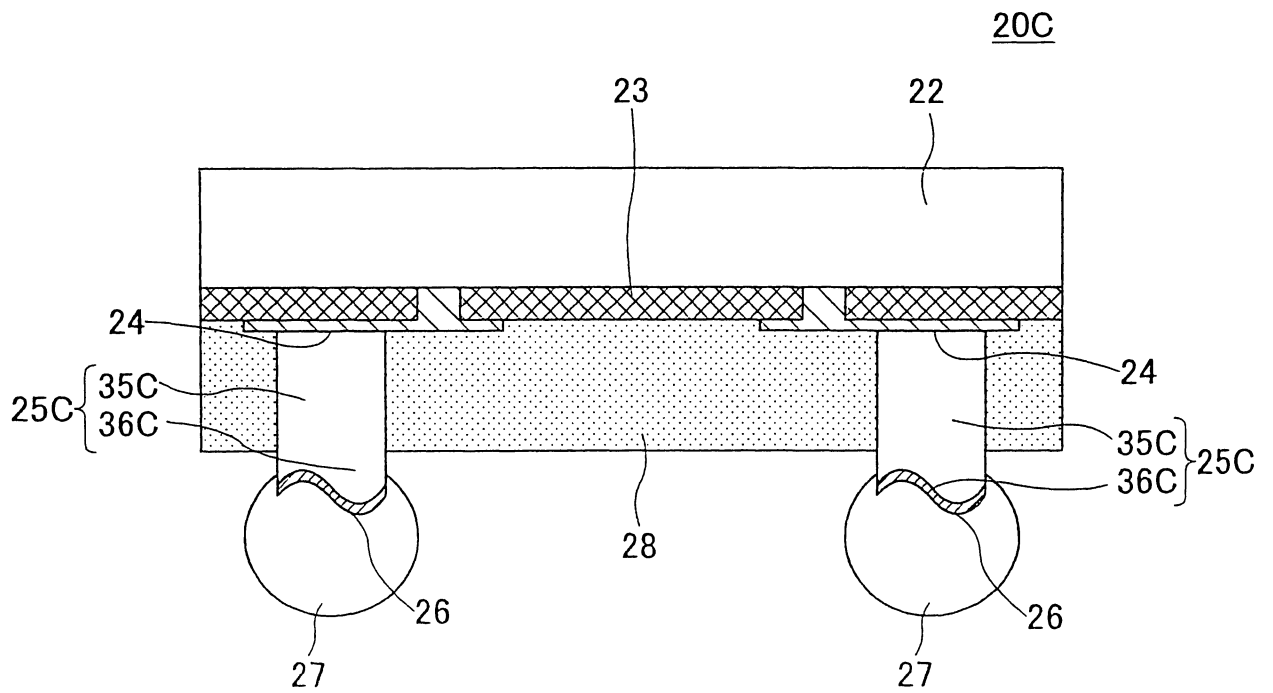
第 6B 圖



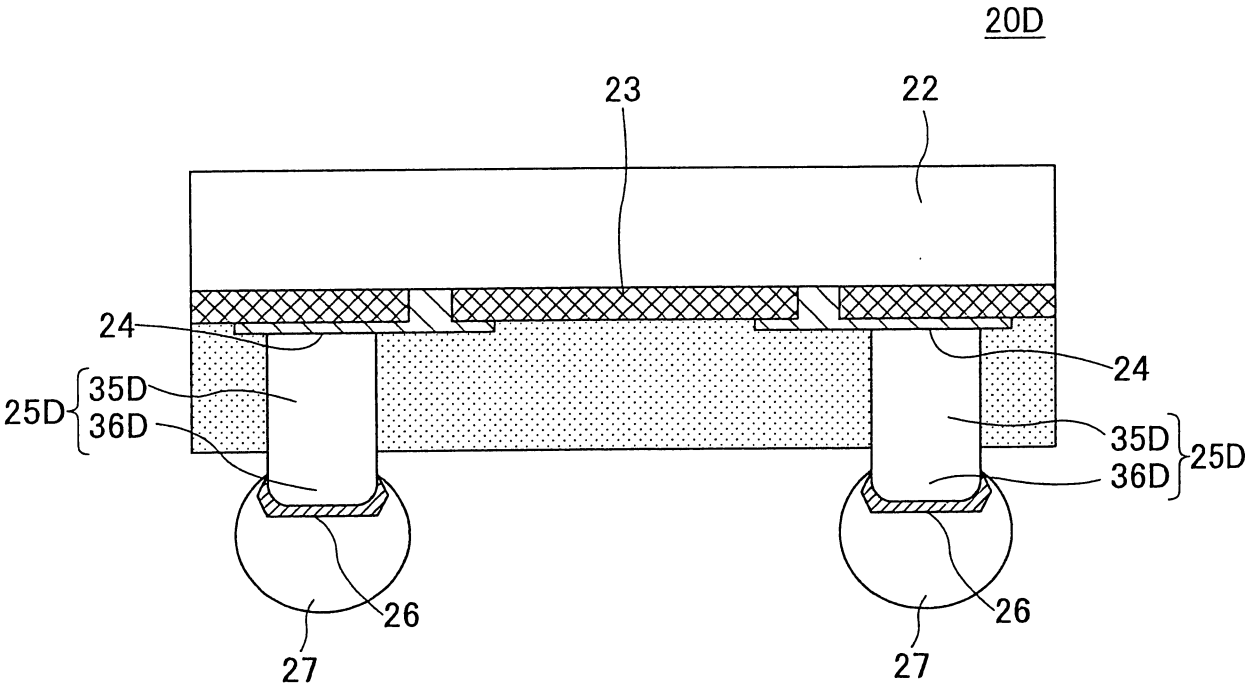
第 8 圖



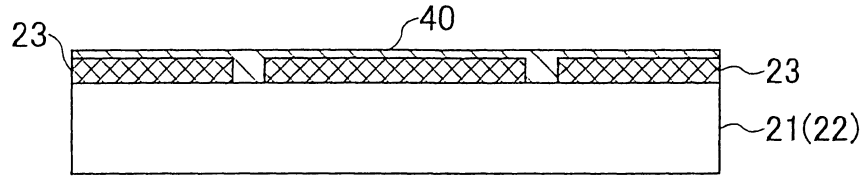
第 9 圖



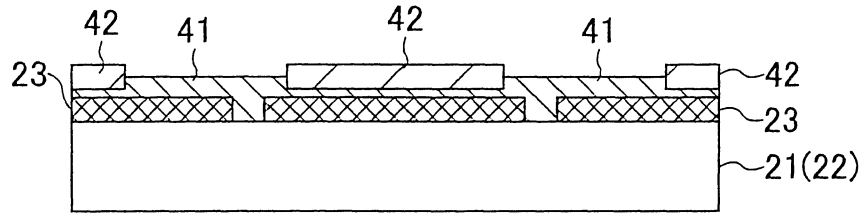
第 10 圖



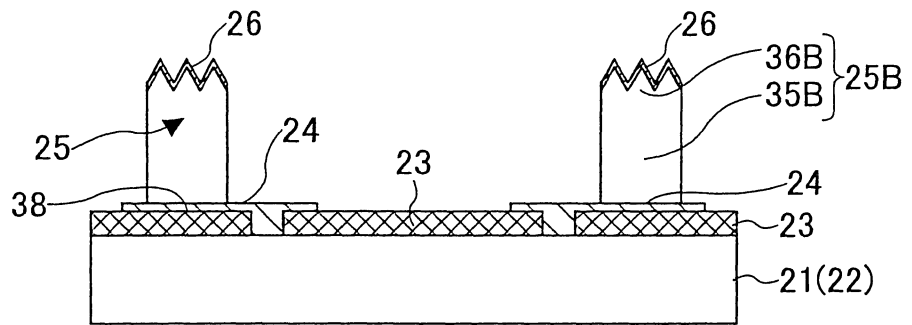
第11A圖



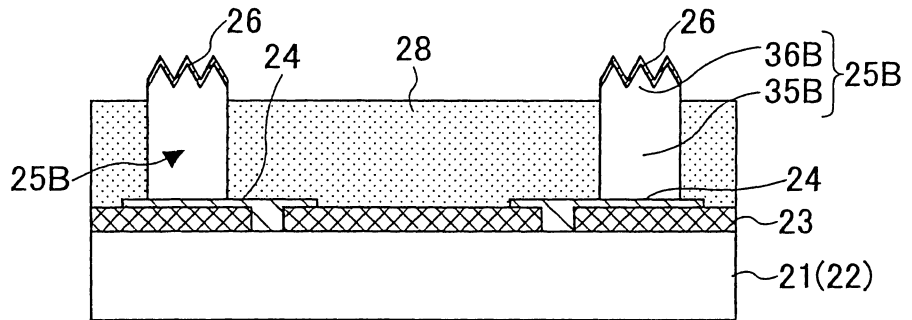
第11B圖



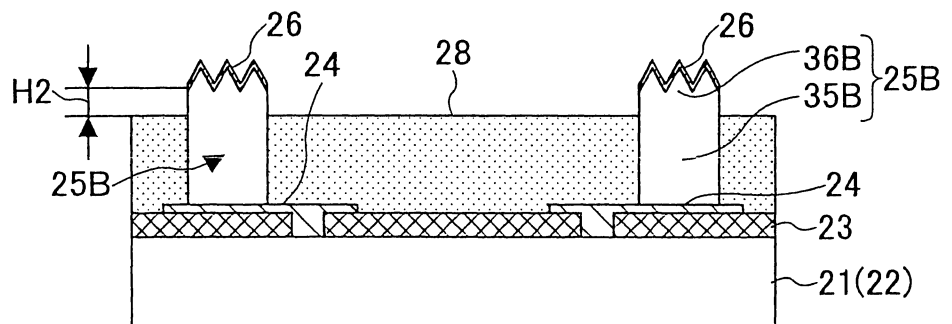
第11C圖



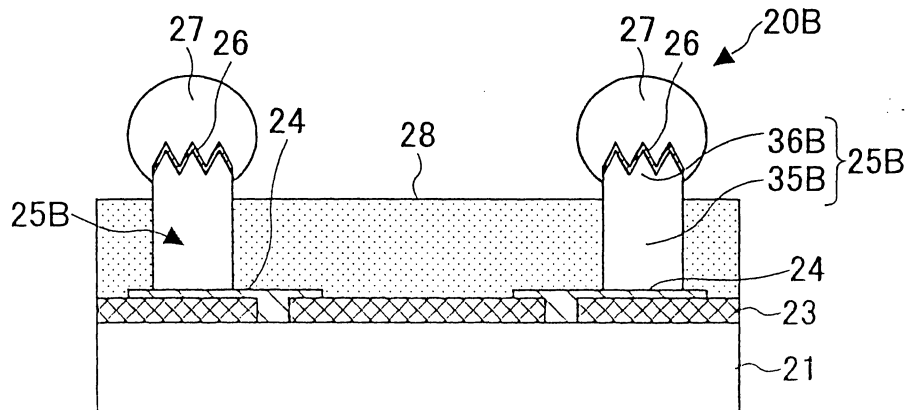
第11D圖



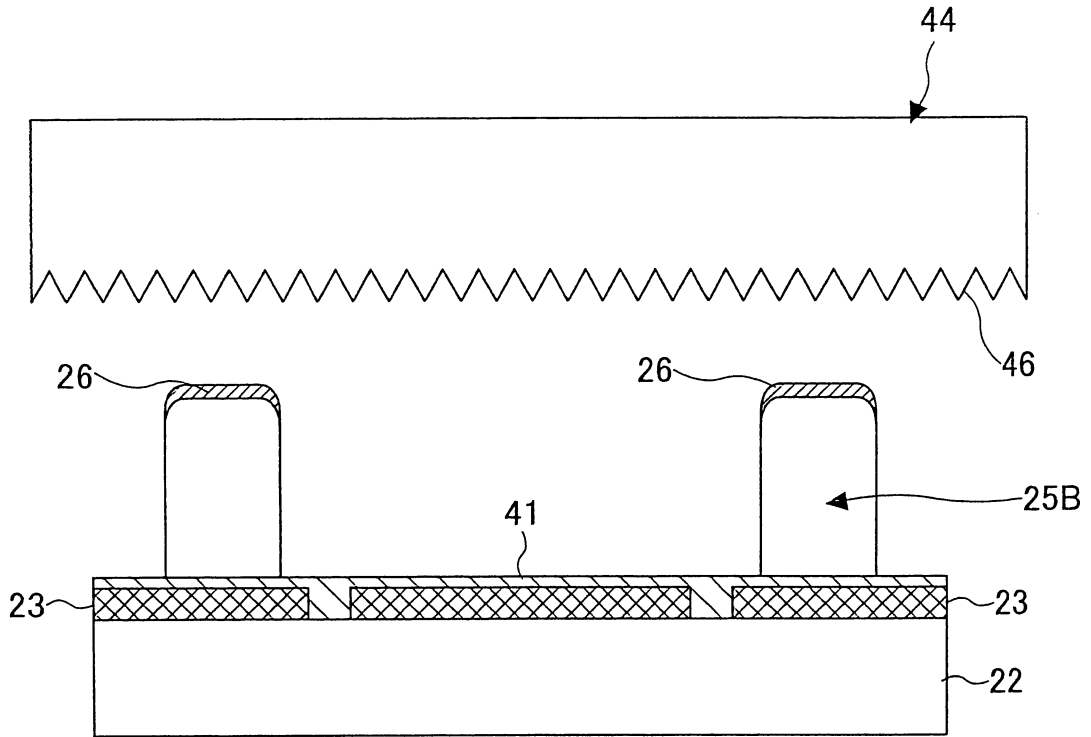
第11E圖



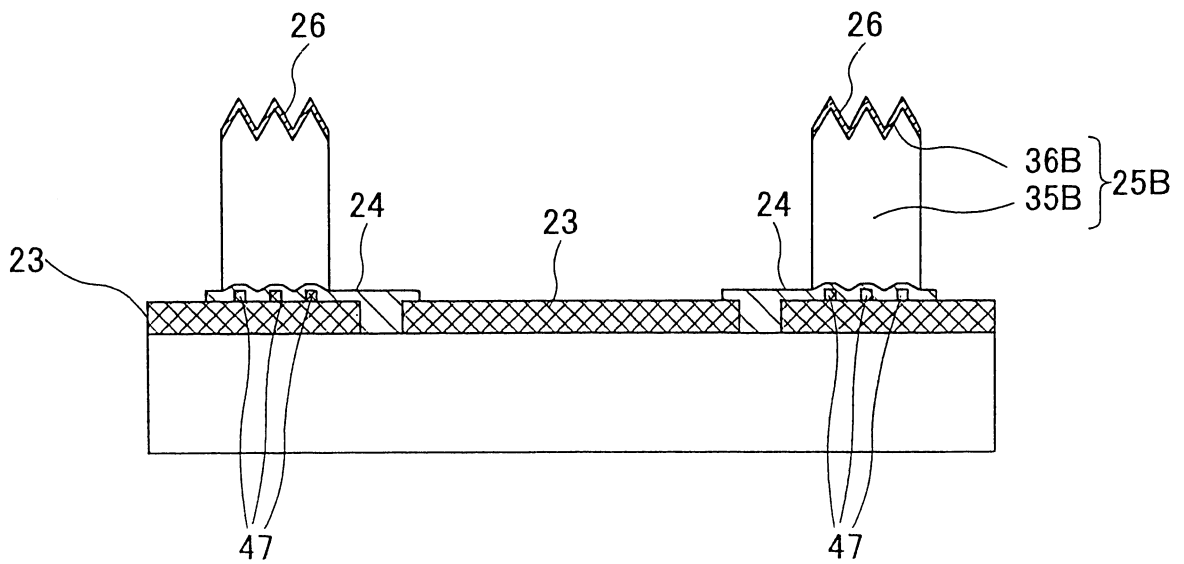
第11F圖



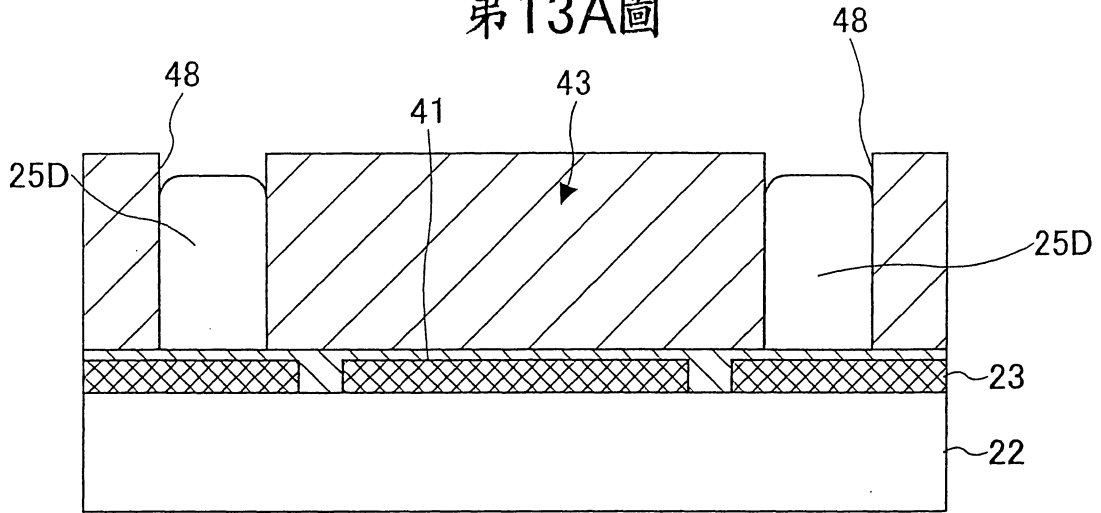
第12A圖



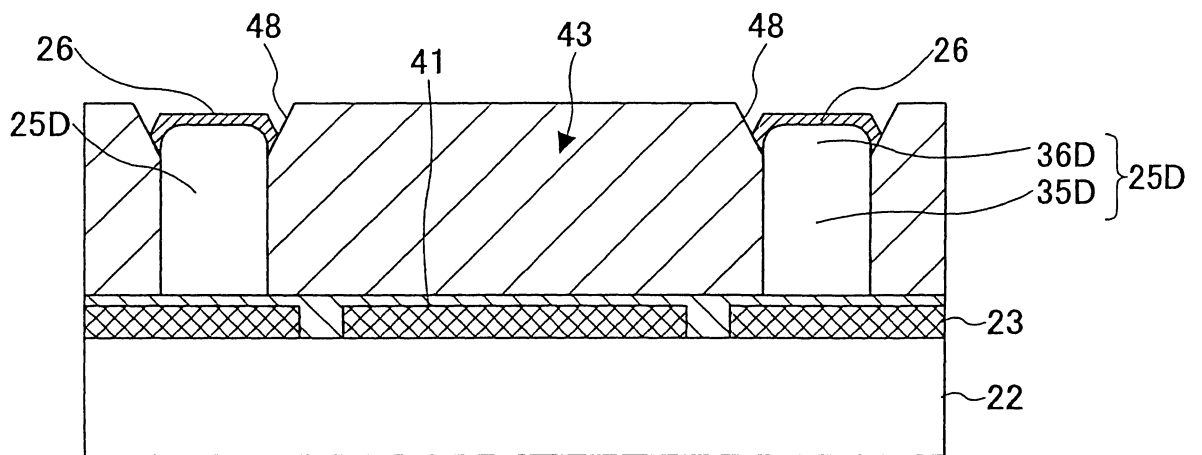
第12B圖



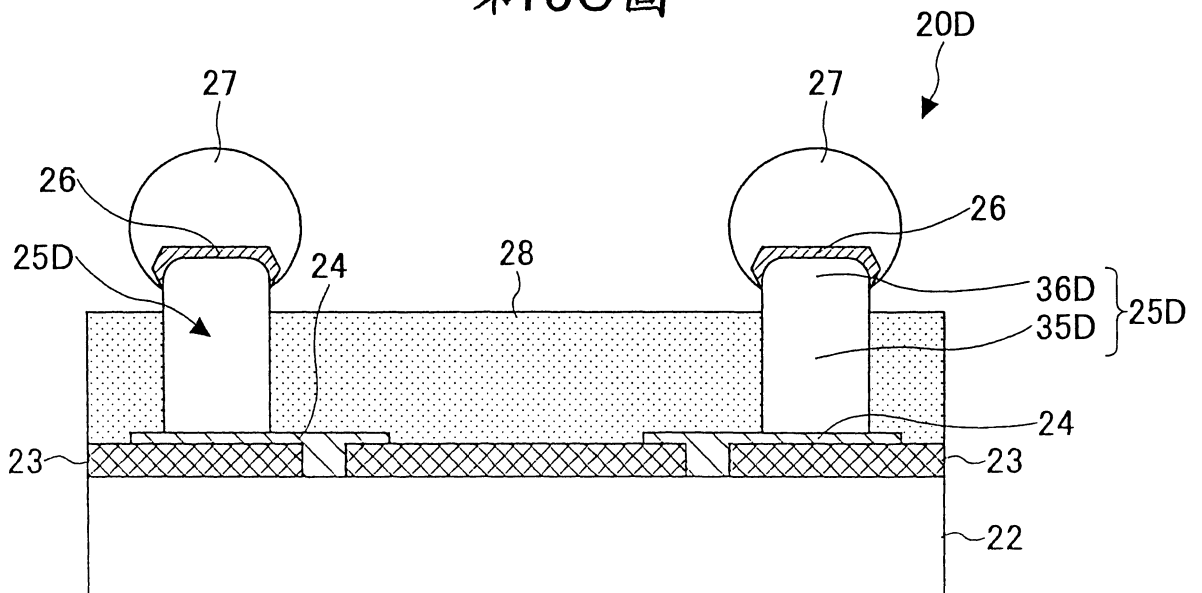
第13A圖



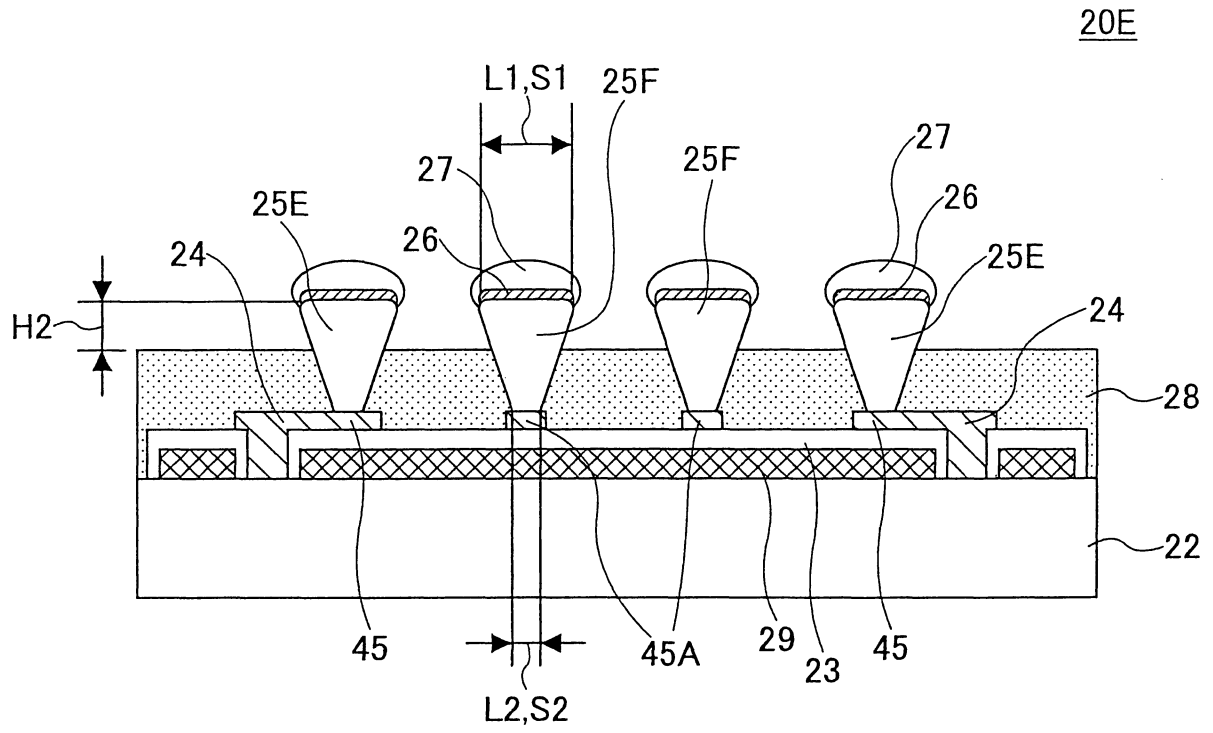
第13B圖



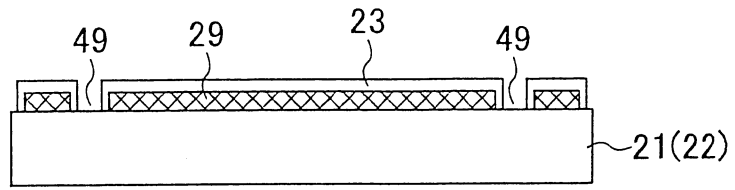
第13C圖



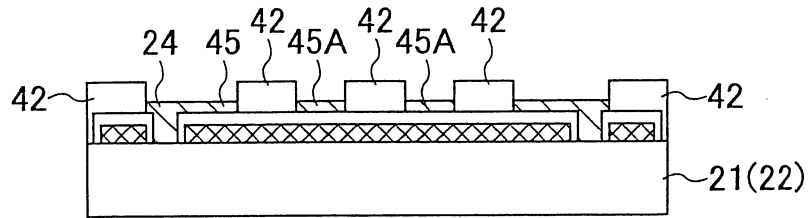
第 14 圖



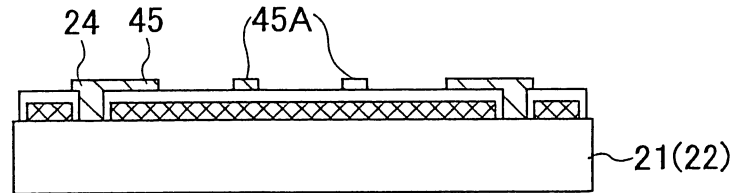
第15A圖



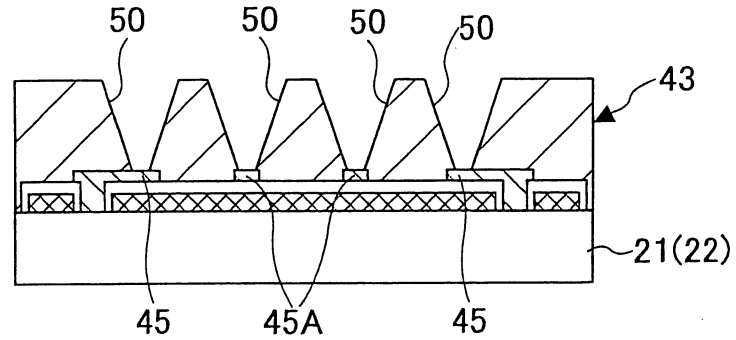
第15B圖



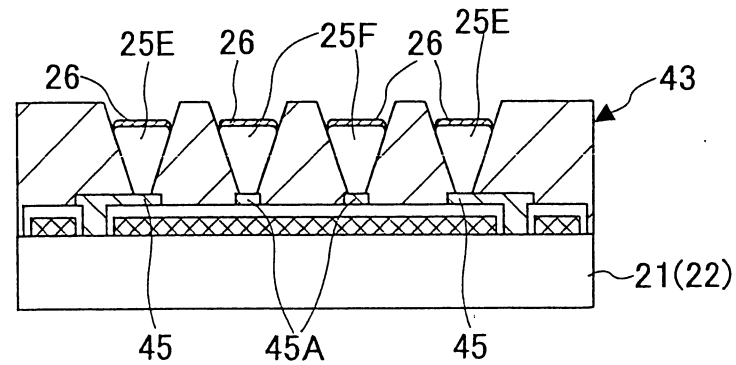
第15C圖



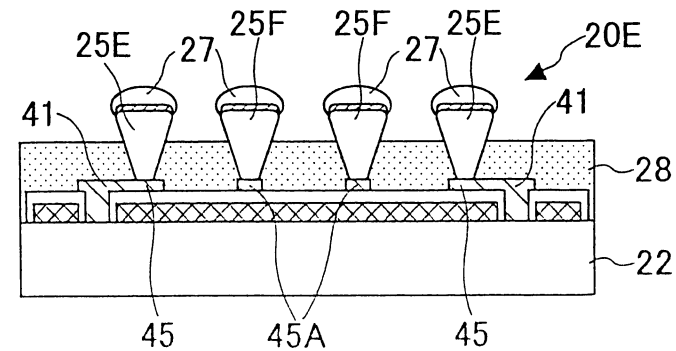
第15D圖



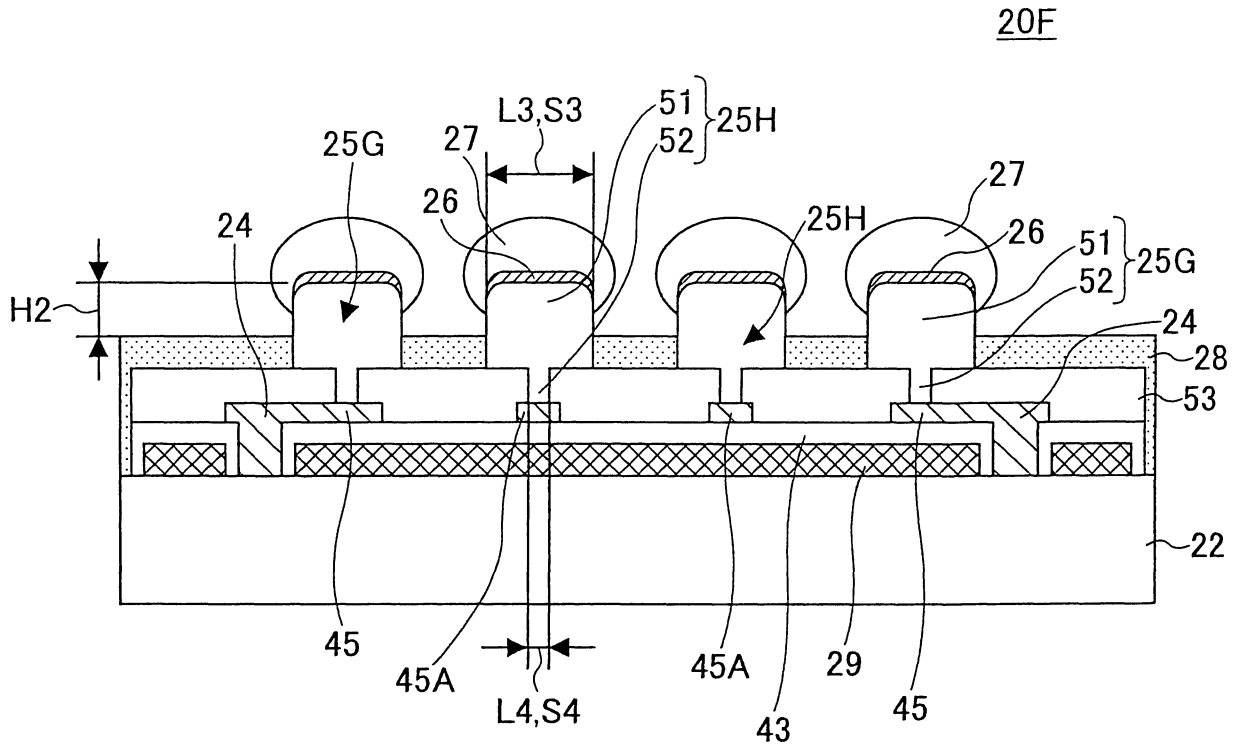
第15E圖



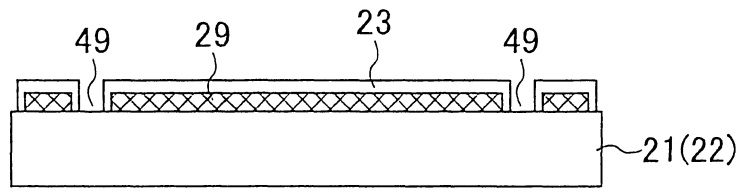
第15F圖



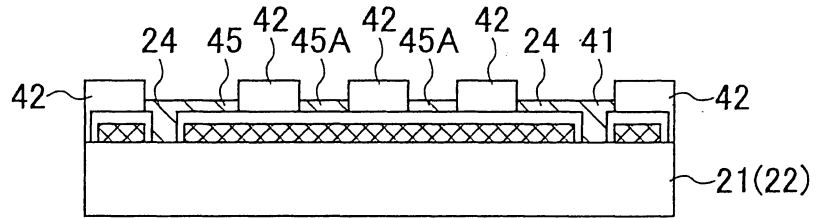
第 16 圖



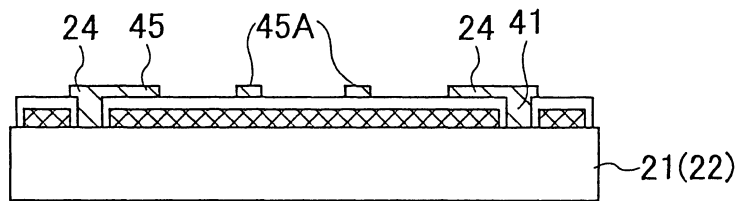
第17A圖



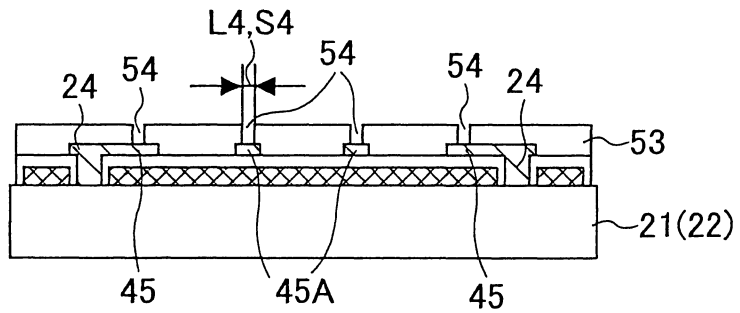
第17B圖



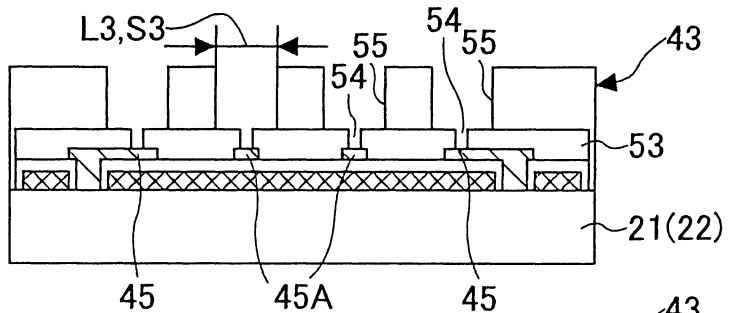
第17C圖



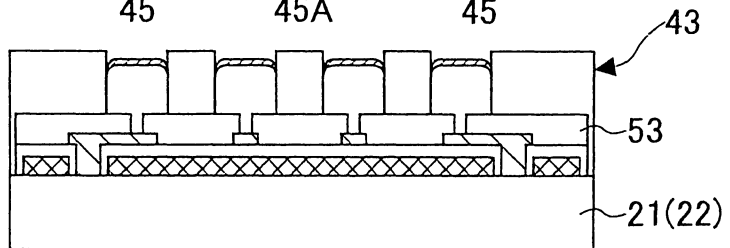
第17D圖



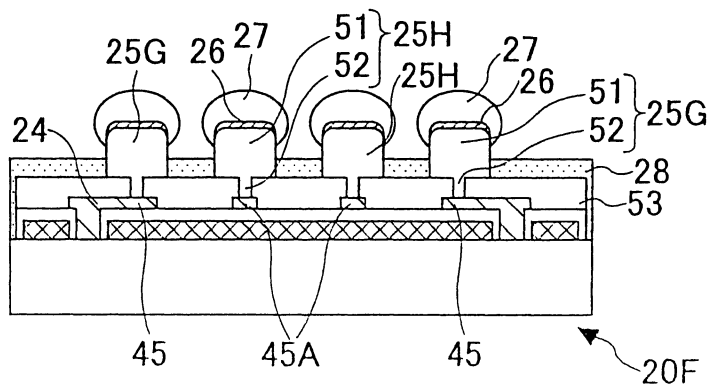
第17E圖



第17F圖



第17G圖



七、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件代表符號簡單說明：

20A...半導體元件
22...半導體晶片
23...絕緣膜
24...配線層
25A...柱電極
26...障壁金屬
27...鐳球
28...包封樹脂
35A...條柱部分

36A...梢部
38...電極墊
H1...半導體晶片22的表面與條柱部分35A及梢部36A的介面之間隙
H2...柱電極25A相距包封樹脂28表面之高度量
R1...條柱部分直徑
R2...梢部直徑

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：