

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年10月5日(05.10.2023)



(10) 国際公開番号

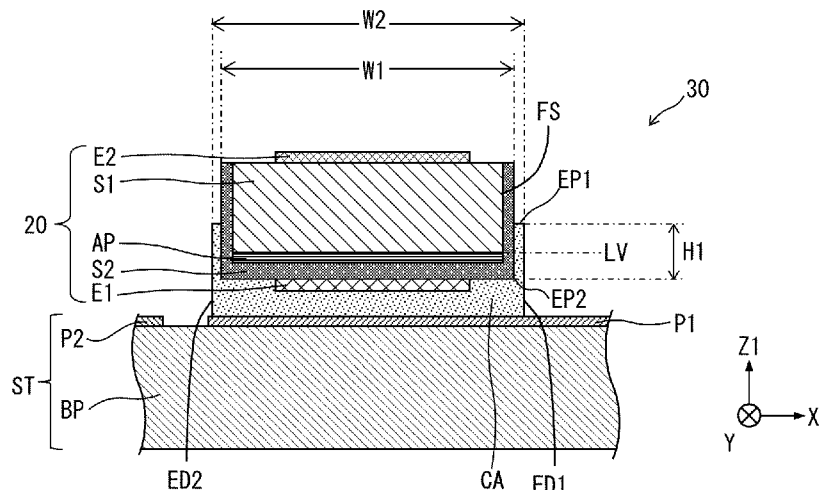
WO 2023/190336 A1

- (51) 国際特許分類:
H01S 5/0237 (2021.01) H01S 5/22 (2006.01)
H01L 33/62 (2010.01)
- (21) 国際出願番号: PCT/JP2023/012194
- (22) 国際出願日: 2023年3月27日(27.03.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-052493 2022年3月28日(28.03.2022) JP
- (71) 出願人: 京セラ株式会社 (KYOCERA CORPORATION) [JP/JP]; 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 Kyoto (JP).
- (72) 発明者: 川口 佳伸 (KAWAGUCHI, Yoshinobu); 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内 Kyoto (JP). 神川 剛 (KAMIKAWA, Takeshi); 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内 Kyoto (JP). 村川 賢太郎 (MURAKAWA, Kentaro); 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内 Kyoto (JP).
- (74) 代理人: 弁理士法人 H A R A K E N Z O W O R L D P A T E N T & T R A D E M A R K (HARAKENZO WORLD PATENT & TRADEMARK); 〒5300041 大阪府大阪市北区天神橋2丁目北2番6号 大和南森町ビル Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO,

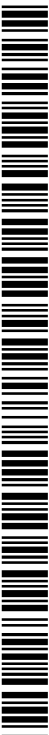
(54) Title: LIGHT-EMITTING ELEMENT, AND METHOD AND DEVICE FOR MANUFACTURING SAME

(54) 発明の名称: 発光素子並びにその製造方法および製造装置

図 1



(57) Abstract: In the present invention, a light-emitting element comprises: a light-emitting body that includes a first-type semiconductor unit that has a first side surface and a first-type electrical conductivity, an active part positioned below the first-type semiconductor unit, and a second-type semiconductor unit that has a second-type electrical conductivity and is disposed to reach the side of the first type semiconductor unit from below the active part; (ii) an electrically conductive bonding member; and (iii) a support that is positioned below the light-emitting body, and that supports the light-emitting body with the electrically conductive bonding material interposed therebetween so that the first-type semiconductor unit is positioned above the active part.



WO 2023/190336 A1

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 発光素子は、第1側面を有し、第1型導電性を有する第1型半導体部と、第1型半導体部の下方に位置する活性部と、第2型導電性を有し、活性部の下方から前記第1型半導体部の側方に至るように配された第2型半導体部と、を含む発光体と、(i i) 導電性接合材と、(i i i) 発光体の下方に位置し、第1型半導体部が活性部よりも上側に位置するように、導電性接合材を介して発光体を支持する支持体と、を備えている。

明 細 書

発明の名称：発光素子並びにその製造方法および製造装置

技術分野

[0001] 本開示は発光素子等に関する。

背景技術

[0002] 一般に、発光ダイオード等の発光素子は、個片化された発光体（ダイと称されることがある）を基板等の支持体を実装して製造されることがある。例えば、成長用基板上で半導体層を積層して形成された発光体の表面側の電極と支持体の電極とを、はんだ等の導電性接合材を介して接合する（いわゆるフリップチップボンディングする）実装方式が知られている（特許文献1を参照）。このような実装方式は「ジャンクションダウン実装」とも称される。

先行技術文献

特許文献

[0003] 特許文献1：日本国特開2012-151182号公報

発明の概要

[0004] 本開示の一態様における発光素子は、第1側面を有し、第1型導電性を有する第1型半導体部と、前記第1型半導体部の下方に位置する活性部と、第2型導電性を有し、前記活性部の下方から前記第1型半導体部の側方に至るように配された第2型半導体部と、を含む発光体と、導電性接合材と、前記発光体の下方に位置し、前記第1型半導体部が前記活性部よりも上側に位置するように、前記導電性接合材を介して前記発光体を支持する支持体と、を備えている。

[0005] また、本開示の一態様における発光素子の製造方法は、ベース基板上に第1側面を有する第1型半導体部が形成された半導体基板を準備する工程と、前記第1型半導体部の上方に活性部を形成する工程と、前記活性部の上方から前記第1型半導体部の側方に至るように配された第2型半導体部を形成す

る工程と、支持基板を準備する工程と、前記第1型半導体部、前記活性部、および前記第2型半導体部それぞれの少なくとも一部を含む発光体を、前記第1型半導体部が前記活性部よりも上側に位置するように、導電性接合材を介して前記支持基板に接合する工程とを含む。

[0006] また、本開示の一態様における発光素子の製造方法は、ベース基板上に第1型半導体部、活性部および第2型半導体部がこの順に形成された半導体基板を準備する工程と、前記第1型半導体部、前記活性部および前記第2型半導体部の少なくとも1つの側面に絶縁膜を形成する工程と、支持基板を準備する工程と、前記第1型半導体部、前記活性部、および前記第2型半導体部それぞれの少なくとも一部を含む発光体を、前記第1型半導体部が前記活性部よりも上側に位置するように、導電性接合材を介して前記支持基板に接合する工程とを含む。

図面の簡単な説明

[0007] [図1]本開示の一実施形態における発光素子の構成を概略的に示す断面図である。

[図2]発光体を支持体にジャンクションダウン実装するプロセスの一例について模式的に説明するための斜視図である。

[図3]本開示の一実施形態における発光素子の製造方法の一例を示す断面図である。

[図4]本開示の一実施形態における発光素子の製造方法の一例を概略的に示す平面図である。

[図5]本開示の一実施形態における発光素子の製造方法の一例を示すフローチャートである。

[図6]本開示の一実施形態における発光素子の製造装置の一例を示すブロック図である。

[図7A]本開示の一実施形態の別構成例における発光素子を示す断面図である。

[図7B]本開示の一実施形態の別構成例における発光素子を示す断面図である。

。

[図7C]本開示の一実施形態の別構成例における発光素子を示す断面図である

。

[図8]実施例1における発光体の構成を示す斜視図である。

[図9]光共振器の構成を示す斜視図である。

[図10A]活性部の構成を示す平面図である。

[図10B]活性部の構成を示す平面図である。

[図11]実施例1における発光体の構成を示す断面図である。

[図12]実施例1における発光素子の製造方法を概略的に示すフローチャートである。

[図13]実施例1における発光素子に含まれる発光体の製造方法を概略的に示す平面図である。

[図14]実施例1における発光素子の製造方法を概略的に示す断面図である。

[図15]実施例1における発光素子の製造方法を概略的に示す断面図である。

[図16]テンプレート基板の構成例を示す断面図である。

[図17]支持基板の構成の一例を示す平面図である。

[図18]支持基板に複数の発光体が接合された状態の発光基板を模式的に示す斜視図である。

[図19]分断後のバー状の発光基板の一例を示す斜視図である。

[図20]実施例1における発光素子の構成を示す斜視図である。

[図21]実施例1における発光素子の構成を示す断面図である。

[図22]実施例1の別例における発光素子の構成を示す斜視図である。

[図23]実施例1の別例における発光素子の構成を示す断面図である。

[図24]実施例1の別例における発光素子の製造方法を概略的に示す断面図である。

[図25]実施例2における発光素子の製造方法を概略的に示すフローチャートである。

[図26]実施例2における発光素子の製造方法を概略的に示す断面図である。

[図27]実施例2における発光素子の製造方法を概略的に示す平面図である。

[図28]実施例2の別例における発光素子の製造方法を概略的に示す平面図である。

[図29]ベース半導体部の横方向成長の一例を示す断面図である。

[図30]実施例3における発光素子の製造方法を概略的に示す断面図である。

[図31]実施例4における発光素子の製造方法を概略的に示すフローチャートである。

[図32]実施例4における発光素子の製造方法を概略的に示す断面図である。

[図33]実施例4における発光素子の製造方法を概略的に示す断面図である。

[図34]実施例5における発光体の構成を示す斜視図である。

[図35A]実施例5における発光体の部分断面図である。

[図35B]実施例5における発光体の部分平面図である。

[図36]実施例5における発光素子の製造方法を概略的に示す平面図である。

[図37]実施例5の別例における発光素子の製造方法を概略的に示す平面図である。

[図38]実施例6における発光素子の製造方法を概略的に示す平面図である。

発明を実施するための形態

[0008] 以下、本開示の実施の形態について図面を参照して説明する。なお、以下の記載は本開示の趣旨をよりよく理解させるためのものであり、特に指定のない限り、本開示を限定するものではない。本明細書において特記しない限り、数値範囲を表す「A～B」は、「A以上B以下」を意味する。また、本出願における各図面に記載した構成の形状および寸法（長さ、幅等）は、実際の形状および寸法を必ずしも反映させたものではなく、図面の明瞭化および簡略化のために適宜変更している。換言すれば、図面において、各部材のサイズ等を適宜誇張して示している場合がある。

[0009] [発光素子]

図1は、本開示の一実施形態における発光素子の構成を概略的に示す断面図である。図1に示すように、本実施形態における発光素子30は、発光体

20と、導電性を有する接合材（導電性接合材）CAと、接合材CAを介して発光体20を支持する支持体ST（例えばサブマウント）とを備えている。

[0010] 発光体20は、(i) 第1側面FSを有し、第1型導電性を有する第1型半導体部S1と、(ii) 第1型半導体部S1の下方に位置する活性部APと、(iii) 第2型導電性を有し、活性部APの下方から第1型半導体部S1の側方に至るように配された第2型半導体部S2と、を含む。ここでは、発光体20から支持体STへの方向を下方向（Z1軸方向負側）とする。支持体STは、発光体20の下方に位置し、第1型半導体部S1が活性部APよりも上側に位置するように、接合材CAを介して発光体20を支持する。

[0011] 第1型半導体部S1が第1型半導体層であってよく、第2型半導体部S2が第2型半導体層であってよく、活性部APが活性層であってよい。発光体20は例えば半導体レーザダイオード（端面発光型または面発光型のレーザダイオード）であってよく、発光ダイオードであってよい。第1型半導体部S1はn型導電性を有してよく、第2型半導体部S2はp型導電性を有してよい。これに限定されず、第1型半導体部S1がp型導電性を有し、第2型半導体部S2がn型導電性を有していてもよい。

[0012] 第1型半導体部S1および第2型半導体部S2は、窒化物半導体（例えば、GaN系半導体）を含んでいてよい。窒化物半導体は、例えば、 $A_xG_yI_nzN$ ($0 \leq x \leq 1$; $0 \leq y \leq 1$; $0 \leq z \leq 1$; $x + y + z = 1$) と表すことができ、具体例として、GaN系半導体、AlN（窒化アルミニウム）、InAlN（窒化インジウムアルミニウム）、InN（窒化インジウム）を挙げることができる。GaN系半導体とは、ガリウム原子（Ga）および窒素原子（N）を含む半導体であり、典型的な例として、GaN、AlGaInN、InGaInNを挙げることができる。

[0013] 第1型半導体部S1は、ノンドープ型（i型）の半導体部を含んでいてもよい。第1型半導体部S1は、ドープ型の半導体部を含んでいてよい。第1

型半導体部S1における活性部APと接する部分はドナーを含むn型の半導体部であってよい。第2型半導体部S2は、ノンドープ型(i型)の半導体部を含んでいてもよい。例えば、第2型半導体部S2における活性部APと接する部分が、ノンドープ型(i型)の半導体部となってもよい。

[0014] 第1型半導体部S1と支持体STとの間において、発光体20の第1型半導体部S1、活性部AP、および第2型半導体部S2が積層している方向をZ1軸方向とする。第1型半導体部S1のZ1軸方向における厚さは、第2型半導体部S2のZ1軸方向における厚さよりも大きい。第1型半導体部S1は、結晶成長用基板を含んでいてもよく、この場合、第1型半導体部S1のZ1軸方向における厚さは、第2型半導体部S2のZ1軸方向における厚さよりも大幅に大きい。

[0015] 本実施形態における発光素子30では、両面電極構造を有する発光体20(ダイ)が、支持体ST(搭載基板等)にジャンクションダウン実装(フェイスダウン実装)されている。ジャンクションダウン実装とは、支持体STと第1型半導体部S1との間に活性部APが位置するように、発光体20を支持体STに実装する形式である。一般に、ジャンクションダウン実装には放熱性を高めることができるという利点がある。発熱部であると考えられる活性部APを、放熱部材としても機能する支持体STに近づけられるためである。

[0016] 発光体20は、第2型半導体部S2の下方に位置する第1電極E1と、第1型半導体部S1の上方に位置する第2電極E2とを有してよい。支持体STは、基体部BPと、基体部BPの上方に位置する第1パッド部P1および第2パッド部P2を有してよい。基体部BPは、支持体STの本体部(例えば基板)であってよい。第1パッド部P1と第1電極E1とは接合材CAを介して互いに電氣的に接続されていてよい。第2パッド部P2と第2電極E2とは、ワイヤまたは導電膜等(図示省略)によって互いに電氣的に接続されていてよい。

[0017] 第1型半導体部S1の第1側面FSは、第1型半導体部S1の幅方向(X

軸方向)に向かい合う2つの側面の一方であってよい。第1型半導体部S1の幅方向(X軸方向)は窒化物半導体結晶のa軸方向であってよい。発光体20が両面電極構造を有する場合、第1側面FSは、第1型半導体部S1におけるX軸方向に向かい合う2つの側面のうち第2パッド部P2から遠い側の側面であってよい。第2型半導体部S2は、第1型半導体部S1よりも厚みが小さくてよい。第2型半導体部S2は、少なくとも一部が第1側面FSに接してよい。

[0018] 接合材CAは、流動性を有してよく、第1側面FSの側方に位置する第2型半導体部S2に沿って遡上してよい。発光素子30は、図1に示す例に限定されず、第2型半導体部S2に沿って接合材CAが遡上してなくてもよい。

[0019] 第2型半導体部S2に沿って遡上する接合材CAのZ1軸方向正側(支持体STから遠い側)における端部をEP1と称する。図1に示すようなY軸方向に直交する断面において、第2型半導体部S2の下側(Z1軸方向負側)表面における第1側面FS側の端点をEP2と称する。Z1軸方向における、上記端部EP2の位置を基準として、上記端部EP2よりも上側の上記端部EP1の位置を接合材CAの遡上高さH1と称する。

[0020] 本実施形態における発光素子30では、遡上高さH1が第1型半導体部S1の下面レベルLVを超えていてよい。下面レベルLVは、Z1軸方向における、第1型半導体部S1と活性部APとの境界の位置に対応する。

[0021] 第1型半導体部S1および活性部APの積層方向に対応するZ1軸方向に沿って発光素子30を視ることを「平面視」と呼ぶことができる。平面視において、発光体20の幅方向(X軸方向)における接合材CAの2つの端部をそれぞれエッジED1およびエッジED2とする。エッジED1は、接合材CAにおける第1側面FS側の端部である。発光素子30は、平面視において、エッジED1およびエッジED2の少なくともいずれかの一部が、発光体20からはみ出している。本実施形態における発光素子30は、発光体20のX軸方向における幅W1よりも、X軸方向におけるエッジED1

とエッジE D 2との距離である接合材C Aの幅W 2の方が大きくてよい。

[0022] 本実施形態における発光素子3 0について、本開示の知見の概略的な説明と併せて、さらに詳細に説明すれば以下のとおりである。

[0023] 一般に、例えば発光素子の一種である端面発光型レーザダイオード（以下、レーザ素子）は、以下のようにして形成されることがある。まず、成長用基板（例えばn型半導体を含む基板）上に各種の半導体層を積層し、リッジ構造および電極等を形成する。これにより、デバイス構造を有するレーザウエハを作製する。そして、例えば成長用基板を研磨して薄化した後、レーザウエハを劈開（一次劈開）することによって細長い直方体形状のレーザバーを形成する。次いで、レーザバーの共振器端面にコーティングを施した後、レーザバーを劈開（二次劈開）して分断する。これによりレーザ体（発光体）を形成する。その後、レーザ体をサブマウントに実装してレーザ素子を製造する。

[0024] 上記のような一般的な手法により製造される従来のレーザ素子について以下のことが言える。本実施形態の発光素子3 0の部材名称および符号を用いて説明すれば、従来のレーザ素子では、レーザバーの分割（劈開）によってレーザ体の幅方向における側面が形成される。この場合、レーザ体の第1側面F Sが露出する。そのため、接合材C Aが遡上して第1側面F Sに接触すると、第1型半導体部S 1と第1電極E 1との間に短絡が生じ得る。このことは、レーザ体を支持体S Tにジャンクションダウン実装する場合に、より一層生じ易くなる。これは、第1型半導体部S 1の下面レベルL Vと支持体S Tとの距離が小さくなり、その結果、接合材C Aの遡上高さH 1が下面レベルL Vを超えやすくなるためである。

[0025] 従来、上記のような問題に対して、例えば、接合材C Aの幅よりもレーザ体の幅を大幅に広くする、または、接合材C A若しくは第1電極E 1の幅を狭くする、といった対策が講じられることがある。しかしながら、レーザ体を小型化すると、接合材C Aの幅を狭くするほど、レーザ体とサブマウントとの間に接合不良を生じる可能性が高くなる。そのため、接合材C Aの幅を

狭くすることには限界がある。また、接合材CAまたは第1電極E1の幅を狭くしたとしても、ジャンクションダウン実装時に、接合材CAにはレーザ体の側面方向に向かうように変形が生じる。これは、レーザ体と支持体STとに荷重を掛けて接合する際に、接合材CAが押圧されて変形するためである。その結果、接合材CAがレーザ体の側面を遡上する（レーザ体の側面に回り込む）可能性がある。

[0026] 或いは、ジャンクションアップ実装とすることによれば、第1型半導体部S1の厚さが比較的厚いことから、接合材CAが遡上してもp-n短絡が比較的生じ難くなる。しかし、そのような対策は、本実施形態における発光素子30のようにジャンクションダウン実装を行うことを前提とする場合には適用できない。

[0027] また、レーザバーを分割した後の従来のレーザ体に対して、第1側面FSを保護する絶縁膜を形成することも理論上は考えられる。しかし、レーザ体の電極を覆うことなく第1側面FSを覆うように絶縁膜を多数のレーザ体に対して一括で形成することは、プロセス的に非常に困難である。

[0028] 本実施形態における発光素子30について、図2および図3を参照して、さらに説明すれば以下のとおりである。図2は、発光体を支持体にジャンクションダウン実装するプロセスの一例について模式的に説明するための斜視図である。図3は、本実施形態における発光素子の製造方法の一例を示す断面図である。図2では、図示の平明化のために、発光体20の構造を簡略化して示しているとともに、接合材CAにハッチングを付している。

[0029] 図2に示すように、支持体ST上における発光体20が実装される位置に対応して、第1パッド部P1上に接合材CAが配置される。支持体STは後述する支持基板SK（図17等参照）の一部であってもよい。接合材CAは、加熱流動性、加圧硬化性、熱硬化性、および光硬化性の少なくとも1つを有する導電性材料で構成されてよい。

[0030] 発光体20を接合する前の時点において、第1パッド部P1上に配置された接合材CAは、或る程度の厚さ（Z1軸方向における高さ）を有する。接

合材CAの厚さは、第2型半導体部S2の厚さよりも大きくてよい。例えば、接合材CAの厚さは約5 μ mであり、第2型半導体部S2の厚さは約0.5 μ mであり得る。接合材CAは、第1パッド部P1との濡れ性の方が、基体部BPとの濡れ性よりも大きい。発光体20を支持体STにジャンクションダウン実装する際、接合材CAは第1パッド部P1上に濡れ広がる。

[0031] 発光体20の幅W1は例えば120 μ m以下であってよく、100 μ m以下であってよく、80 μ m以下であってよく、60 μ m以下であってよい。発光体20の幅W1の下限は特に限定されないが、幅W1は、例えば40 μ m以上であってよい。接合材CAの幅W3は、接合不良の可能性を低減する観点から、例えば10 μ m以上であってよい。接合材CAの幅W3は、幅W1よりも小さくてよく、幅W1と同等であってよく、幅W1より大きくてもよい。

[0032] 発光体20を支持体STに接合する前の時点において、発光体20は、例えば一般的な保持手段（コレット等）によって保持されていてもよく、成長用基板によって保持されていてもよい（例えば図3を参照）。発光体20におけるX軸方向に向かい合う2つの側面を側面20T1・20T2と称し、発光体20におけるY軸方向の端面を端面20Fと称する。以下では側面20T1・20T2を側面20Tと総称することがある。

[0033] 発光素子30では、発光体20の側面20Tに沿って接合材CAが遡上し得る。図2に示す例では、側面20T1に沿って接合材CAが遡上するとともに、側面20T2に沿って接合材CAが遡上し得る。本実施形態における発光素子30では、遡上した接合材CAと第1型半導体部S1（の第1側面FS）との間に第2型半導体部S2が存在する（図1を参照）。そのため、第1電極E1と第1型半導体部S1とが接合材CAを介して短絡する可能性を効果的に低減することができる。

[0034] また、発光体20が例えば半導体レーザダイオードである場合、端面20Fには共振器端面が形成されており、第2型半導体部S2によって覆われていない。発光素子30は、Y軸方向において第1パッド部P1に対して端面

20Fが出っ張る（せり出す）位置となるように、発光体20が支持体STにジャンクションダウン実装されていてもよい。第1パッド部P1は薄厚のため図2では第1パッド部P1の端面についての図示を省略している。発光素子30は、Y軸方向において、第1パッド部P1の端面から発光体20の端面20Fまでの距離L10を有していてもよく、この場合、接合材CAが端面20Fに沿って遡上する可能性を低減できる。

[0035] なお、発光体20は、2つの側面20Tのうち第2パッド部P2に近い側（X軸方向負側）の側面20T2が、X軸方向において第1パッド部P1に対してせり出す位置になっていてもよい。この場合、側面20T2に沿って接合材CAが遡上する可能性を低減し得る。その一方で、接合材CAは、側面20T1に沿って遡上し得る。

[0036] 接合材CAは、流動性を有していてもよく、典型的にははんだであってよい。接合材CAは、例えばはんだペーストであってよく、印刷、蒸着、またはスパッタにより成膜されたはんだ薄膜であってよい。

[0037] 流動性を有する接合材CAを用いることにより、例えば、以下のような利点がある。すなわち、図3に示すように、複数の発光体20を有する半導体基板10と、支持基板SKとを用いて、2個以上の発光体20を1個の支持基板SKに1回の工程で同時に転写する場合がある。後述する実施例において詳細に説明するが、半導体基板10は、主基板1と、下地部4と、複数の発光体20とを有していてもよい。図3に示す例では、発光体20に含まれる第1型半導体部S1の少なくとも一部は、ELO（Epitaxial Lateral Overgrowth）法によって形成されていてもよい。

[0038] 発光体20と下地部4との境界から、第1電極E1における支持基板SK側の表面までの距離を各発光体20の高さH2とする。複数の発光体20は、それぞれ高さH2が多少異なり得る。接合材CAが流動性を有することによって、高さH2に違いを有する場合であっても、2個以上の発光体20を、ベース基板BKから離隔して支持基板SKに一度に転写し易くできる。支持基板SKに発光体20を転写した後、基体部BPを分割してもよい。これ

により、支持体STに少なくとも1つの発光体20がジャンクションダウン実装された発光素子30を形成できる。

[0039] 接合材CAが流動性を有する場合、発光体20と支持基板SKとを互いに近接させて荷重を印加した際に、接合材CAの存在範囲の制御性は低下し得る。発光体20の幅W1が小さい場合等には、接合材CAが発光体20の側面20Tを遡上し易くなる。接合材CAの幅W3を狭くすると、接合力の低下および実装精度（位置合わせ）の高度化が要求される等により、転写歩留まりが低下し得る。

[0040] 本実施形態における発光素子30では、接合材CAが発光体20の側面20Tを遡上した場合であっても、遡上した接合材CAと第1型半導体部S1（の第1側面FS）との間に第2型半導体部S2が存在する（図1を参照）。そのため、接合材CAの幅W3の大きさを確保しつつ、第1電極E1と第1型半導体部S1とが接合材CAを介して短絡する可能性を効果的に低減することができる。

[0041] また、本実施形態における発光素子30では、接合材CAが発光体20の側面20Tを遡上している（側面20Tに回り込んでいる）ことにより、以下のような利点も有する。すなわち、接合材CAを介した支持基板SKと発光体20との接合力を向上させることができるとともに、発光体20を接合材CAによって抑え込むことができる。接合材CAが側面20Tの一部に接することによって発光体20を少なくとも部分的に抱える形（ホールドするような形）となる場合、支持基板SKと発光体20との接合強度が向上する。このため、ベース基板BKから発光体20を離隔する際に、接合材CAと発光体20とが分離し難く、したがって、ベース基板BKから発光体20を離隔させ易くなる。また、発光体20の放熱性を向上させ易くできる。接合材CAの遡上高さH1が第1型半導体部S1の下面レベルLVを超えることによって、上記のような効果がさらに顕著となる。

[0042] [発光素子の製造方法]

図4は、本実施形態における発光素子の製造方法の一例を概略的に示す平

面図である。図5は、本実施形態における発光素子の製造方法の一例を示すフローチャートである。図4に示す例では、発光体20は両面電極構造を有するレーザ体であってよい。その他の各種の発光体20の製造方法については実施例として後述する。図4では、図示の平明化のために、平面図における各部材について、図1等に示す断面図の各部材と同一のハッチングを付している。

[0043] 図4および図5に示すように、本実施形態における発光素子30の製造方法は、ベース基板BK上に第1側面FSを有する第1型半導体部S1が形成された半導体基板10を準備する工程と、第1型半導体部S1の上方に活性部APを形成する工程と、活性部APの上方から第1型半導体部S1の側方に至るように配された第2型半導体部S2を形成する工程と、を含む。

[0044] 図4では、ベース基板BK上に第1型半導体部S1等の層が積層されており、この積層方向を上方向（Z2軸方向正側）とする。Z2軸は前述の図1等に記載のZ1軸に対して向きが反転してよい。例えば図3に示すようなジャンクションダウン実装をする場合、支持基板SKに対して半導体基板10の上下が反転する。このことに対応して、本明細書における以下の説明では、説明の対象に応じて、X-Y-Z1軸およびX-Y-Z2軸を使い分けることがある。X-Y-Z軸それぞれにおける正負の向きは本質的な意味を必ずしも有しないが、説明の便宜上、本明細書では、X軸を回転軸にして半導体基板10を反転させて支持基板SKにジャンクションダウン実装することとし、X軸およびY軸を共通して用いる。

[0045] 半導体基板10は、X軸方向に並べて配された複数のバー状の第1型半導体部S1を有してよい。第1型半導体部S1は、Y軸方向を長手方向とする長手形状を有してよい。第1型半導体部S1は、ELO法によって形成された横方向成長部と、当該横方向成長部の上方に一般的なエピタキシャル成長によって形成された縦方向成長部（リグロース部）とを含んでもよい。

[0046] 半導体基板10は、隣接する第1型半導体部S1の間にギャップGPを有

してよい。ギャップGPに入り込むように第2型半導体部S2が形成される条件とすることにより、第1側面FSの少なくとも一部を覆うように第2型半導体部S2を形成することができる。

[0047] ギャップGPは、ELO法によって第1型半導体部S1の少なくとも一部を形成する場合に、ELO法により成長する隣り合う結晶体が互いに会合する前に横方向成長を停止させることにより形成された空間であってよい。或いは、ギャップGPは、プレート状に形成された第1型半導体部S1をエッチングすることにより形成されたトレンチであってもよい。また、ベース基板BKは、第1型半導体部S1を形成するために用いられる成長用基板であってよい。ベース基板BKは、支持基板SKに発光体20を転写する際に、発光体20が離隔可能となっていればよい。ベース基板BKは、例えば、ベース基板BKがSi基板あるいはSiC基板とシード層（例えば、GaN系半導体）とを含んでいてもよいし、ベース基板BKがGaN系の自立基板（単結晶基板）であってもよい。

[0048] 第1型半導体部S1は、X軸方向に向かい合う2つの側面の一方である第1側面FSと、他方である第2側面SSとを有してよい。第1側面FSおよび第2側面SSは、第1型半導体部S1の形成時の側面であって、窒化物半導体の結晶面にて構成されていてよい。本明細書において、結晶成長により自然に発生した面を「結晶面」と称し、エッチング等の加工により形成された面を「加工面」と称することがある。結晶の劈開によって生じた面は「劈開面」と称する。

[0049] 第2型半導体部S2は、活性部APの上方から、第1型半導体部S1における第1側面FSの側の側方に至るように配されているとともに、活性部APの上方から、第1型半導体部S1における第2側面SSの側の側方に至るように配されていてよい。

[0050] 発光体20がレーザ体である場合、第2型半導体部S2にリッジ部（図示省略）が形成されていてよく、平面視において当該リッジ部と重なるように第1電極E1が形成されていてよい。本明細書において、「2つの部材が重

なる」とは、各部材の厚み方向に視る平面視（透視的平面視を含む）において一方の部材の少なくとも一部が他の部材に重なることを意味しており、これらの部材が互いに接触していてもよいし、互いに接触していなくてもよい。

[0051] 第1電極E1は、コンタクト電極および補助電極（パッド電極と称されることもある）を有していてもよい。第2型半導体部S2の上方に、Y軸方向に並ぶ複数の第1電極E1を形成してもよい。第1型半導体部S1、活性部AP、第2型半導体部S2、および第1電極E1を含む長手形状の積層体LBに複数の開溝部GSを形成する。これにより、積層体LBを複数の発光体20に分割する。開溝部GSは、積層体LBの劈開によって形成された間隙空間であってよく、積層体LBをエッチングすることによって形成された間隙空間であってもよい。

[0052] 本実施形態における発光素子30の製造方法では、さらに、支持基板SKを準備する工程と、第1型半導体部S1、活性部AP、および第2型半導体部S2それぞれの少なくとも一部を含む発光体20を、第1型半導体部S1が活性部APよりも上側に位置するように、接合材（導電性接合材）CAを介して支持基板SKに接合する工程とを含む。これらの工程については、前述の説明および図3等を参照して理解することができるため繰り返して説明することは省略する。発光体20が両面電極構造である場合、発光体20を支持基板SKに転写した後、発光体20における第1電極E1が設けられている側とは反対側の面に、第1型半導体部S1と電氣的に接続する第2電極E2を形成することができる。その後、第2電極E2と第2パッド部P2とを導電膜等を用いて電氣的に接続することができる。

[0053] [製造装置]

図6は、本実施形態における発光素子の製造装置の一例を示すブロック図である。図6の製造装置40は、半導体基板10を準備する装置40A、活性部APを形成する装置40B、第2型半導体部S2を形成する装置40C、支持基板SKを準備する装置40D、発光体20を支持基板SKに接合す

る装置40E、および装置40A~40Eを制御する装置40Fを有していてもよい。また、製造装置40は、後述する実施例において説明する各種の具体的な工程を実行するための装置を適宜含んでいてよい。

[0054] 装置40Bおよび装置40Cには例えばMOCVD (Metal-Organic Chemical Vapor Deposition) 装置を用いることができる。製造装置40は、スパッタ装置またはフォトリソグラフィ装置を適宜用いてよい。

[0055] 装置40Fがプロセッサおよびメモリを含んでいてもよい。装置40Fは、例えば、内蔵メモリ、通信可能な通信装置、またはアクセス可能なネットワーク上に格納されたプログラムを実行することで装置40A~40Eを制御する構成でもよい。

[0056] 予め準備した半導体基板10を用いる場合、製造装置40は装置40Aを含んでいなくてよい。予め準備した支持基板SKを用いる場合、製造装置40は装置40Dを含んでいなくてよい。

[0057] [別構成例]

図7Aは本開示の一実施形態の別構成例における発光素子を示す断面図である。図7Aに示すように、発光素子30では、活性部APが第1型半導体部S1の下方から第1型半導体部S1の側方に至るように配されていてもよい。また、発光素子30では、活性部APが第1型半導体部S1の下方から、第1型半導体部S1における第1側面FSの側の側方に至るとともに第2側面SSの側の側方に至るように配されていてもよい。活性部APの膜厚は非常に薄いため、図7Aでは活性部APの厚さを誇張して示している。

[0058] 図7Bは本開示の一実施形態の別構成例における発光素子30を示す断面図である。発光体20は、第2型半導体部S2にリッジ部RJが形成されていてよい。リッジ部RJは、平面視で第1電極E1と重なる位置であってよく、第1電極E1は第1コンタクト電極E11および第1補助電極E12を含んでいてよい。発光素子30では、リッジ部RJの両側に絶縁膜DFが設けられていてよく、絶縁膜DFがリッジ部RJを除く第2型半導体部S2の下方から第1型半導体部S1の側方に至るように配されていてもよい。また

、発光素子30では、絶縁膜DFがリッジ部RJを除く第2型半導体部S2の下方から、第1型半導体部S1における第1側面FSの側の側方に至るとともに第2側面SSの側の側方に至るように配されていてもよい。リッジ部RJの両側に位置する絶縁膜DFと、第1型半導体部S1の側方に位置する絶縁膜DFとは互いに一体に（連続的に）形成されていてもよく、別個に形成されていてもよい。例えば、リッジ部RJの両側および第2型半導体部S2の下側表面に絶縁膜DF（第1の絶縁膜）を形成した後、第1型半導体部S1の側方に位置する絶縁膜DF（第2の絶縁膜）を形成してもよい。

[0059] 発光素子30は、第1側面FSと絶縁膜DFとの間に第2型半導体部S2が存在していてもよく、第2型半導体部S2が存在しなくてもよい。図7Bに示す例の発光素子30は、仮に第1側面FSの側方に第2型半導体部S2が存在しない場合であっても、第1側面FSと接合材CAとの間に絶縁膜DFが存在する。これにより、第1電極E1と第1型半導体部S1とが接合材CAを介して短絡する可能性を効果的に低減することができる。発光素子30は、発光体20が例えば発光ダイオードであり、図7Bに示す例においてリッジ部RJを有さない構成であってもよい。

[0060] 図7Cは本開示の一実施形態の別構成例における発光素子30を示す断面図である。第2型半導体部S2は、活性部APの下方から第1型半導体部S1の側方に至るように配されていればよく、第1型半導体部S1の側方において、第1側面FSの全面にわたって位置していてもよく（図1参照）、第1側面FSの一部を覆うように位置していてもよい。つまり、第1側面FSは、その側方に第2型半導体部S2が位置していない部分があってもよく、例えば第1側面FSの一部が露出していてもよい。図7Cに示すようなY軸方向に直交する断面において、第1型半導体部S1の側方に位置する第2型半導体部S2のZ1軸方向の高さを形成高さH3と称する。第1型半導体部S1の側方に位置する第2型半導体部S2のZ1軸方向の上方の端部をEP3と称し、形成高さH3は、Z1軸方向における、第2型半導体部S2の下側の端部EP2の位置を基準として、上記端部EP2よりも上側の上記端部E

P 3 の高さ位置である。

[0061] 本実施形態では、第 2 型半導体部 S 2 が活性部 A P の下方から第 1 型半導体部 S 1 の側方に至っている。すなわち、第 2 型半導体部 S 2 が、活性部 A P の下方と、第 1 側面 F S の少なくとも一部の側方とに位置する。第 2 型半導体部 S 2 が、活性部 A P の下方から端部 E P 3 まで連続していてもよい。

[0062] 発光素子 3 0 では、上記形成高さ H 3 の大きさが、Z 1 軸方向における第 1 型半導体部 S 1、活性部 A P、および第 2 型半導体部 S 2 の厚みの和 T 1 よりも小さくてもよい。発光素子 3 0 は、第 2 型半導体部 S 2 の回り込み部分の到達位置（端部 E P 3 の位置）が、接合材 C A の遡上位置（端部 E P 1 の位置）よりも上方となっている。例えば、発光素子 3 0 では、図 7 C に示すような Y 軸方向に直交する断面において、端部 E P 3 の位置が、第 1 側面 F S の中央よりも上方であってよく、第 1 側面 F S の 4 分の 1 高さよりも上方であってよい。発光素子 3 0 は、接合材 C A の遡上高さ H 1 よりも第 2 型半導体部 S 2 の形成高さ H 3 が大きいことにより、第 1 電極 E 1 と第 1 型半導体部 S 1 とが接合材 C A を介して短絡する可能性を効果的に低減することができる。発光素子 3 0 は、図 7 C に示す例において、第 1 側面 F S の側方が絶縁膜 D F（図 7 B 参照）によって覆われていてもよい。発光素子 3 0 は、第 2 側面 S S の側における構成（各部の配置関係）が、第 1 側面 F S について上記したことと同じ構成となっていてよい。

[0063] [実施例 1]

以下、本開示の一実施例について詳細に説明する。以下では、本開示の複数の実施例の各構成について図中同一または相当部分には同一符号を付して説明するが、格別の記載なき限り、上述した実施形態および後述する異なる実施例にて開示された技術的手段を適宜組み合わせ得られる形態についても、本開示の技術的範囲に含まれる。

[0064] 実施例 1 では、発光体 2 0 が片面 2 電極構造を有するレーザ体（半導体レーザチップ）であり、発光素子 3 0 がレーザ素子である例について説明する。以下では、説明の平明化のために、先ず発光体 2 0 の構成について説明し

、その後、発光素子30についてその製造方法の説明と併せて説明する。

[0065] (発光体)

図8は、実施例1における発光体の構成を示す斜視図である。図9は、光共振器の構成を示す斜視図である。図10Aおよび図10Bは活性部の構成を示す平面図である。図11は、実施例1における発光体の構成を示す断面図である。

[0066] 図8～11に示すように、実施例1における発光体20は、第1型半導体部S1と、第1型半導体部S1の上方に位置する活性部APと、活性部APの上方から第1型半導体部S1の側方に至るように配された第2型半導体部S2とを含んでいてよい。第2型半導体部S2は、第1型半導体部S1の第1側面FSの少なくとも一部を覆っていてよい。

[0067] 第1型半導体部S1、活性部AP、および第2型半導体部S2はそれぞれ窒化物半導体（例えばGaN系半導体）を含んでいてよい。図8等では、X方向が窒化物半導体結晶（ウルツ鉱型構造）の $\langle 11-20 \rangle$ 方向（a軸方向）、Y方向が窒化物半導体結晶の $\langle 1-100 \rangle$ 方向（m軸方向）、Z2方向が窒化物半導体結晶の $\langle 0001 \rangle$ 方向（c軸方向）である。第1型半導体部S1のa軸方向に向かい合う2つの側面の一方である第1側面FSと、他方である第2側面SSとを有する。第2型半導体部S2は、活性部APの上方から、第1型半導体部S1における第1側面FSの側の側方に至るとともに第2側面SSの側の側方に至るように配されている。

[0068] 発光体20は、リッジ構造（リッジ導波路構造）を有するレーザ体であり、第2型半導体部S2はリッジ部RJを含む。発光体20は、第1型半導体部S1、活性部AP、および第2型半導体部S2それぞれの少なくとも一部を含み、一对の共振器端面F1・F2を含む光共振器LKを有する。第1型半導体部S1の第1側面FSは、第1側面FSの反対側に位置する第1型半導体部S1の第2側面よりもリッジ部RJに近い。

[0069] 発光体20は、アノードである第1電極E1と、カソードである第2電極E2とを備えていてよい。第1電極E1は第1コンタクト電極E11と第1

補助電極E 1 2とを含んでいてよい。図示を省略するが、第2電極E 2は第2コンタクト電極および第2補助電極を含んでいてよい。

[0070] 第1型半導体部S 1は、ベース半導体部S 1 1と、第1型部S 1 2とを含んでいてよい。ベース半導体部S 1 1は、ELO法を用いて形成された部分を含んでいてよい。第1型部S 1 2は、ELO法によってベース半導体部S 1 1を形成した後、ベース半導体部S 1 1の上方に例えばMOCVD法によってさらに形成された、第1型導電性を有する結晶部であってよい。ベース半導体部S 1 1と第1型部S 1 2とは互いに同型の導電性を有していてよい。実施例1では、第1型半導体部S 1はドナーを有するn型半導体部を含み、第2型半導体部S 2はアクセプタを有するp型半導体部を含む。

[0071] 第1型半導体部S 1は、第1部(中央部)B 1と、厚み方向(Z 2方向)に伸びた貫通転位KDの密度(貫通転位密度)が第1部B 1よりも小さい第2部(ウイング部)B 2および第3部B 3と、を含む。第2部(ウイング)B 2は、a軸方向において第1部(中央部)B 1よりも第1側面FSに近い。第3部B 3、第1部B 1および第2部B 2は、X方向にこの順に並び、第1部B 1は、第3部B 3および第2部B 2の間に位置する。第1部B 1は、ELO法にてベース半導体部S 1 1を形成した際、マスクの開口部上に位置していた部分である(後述)。第2部B 2および第3部B 3の貫通転位密度は、第1部B 1の貫通転位密度の1/5以下(例えば、 $5 \times 10^6 / \text{cm}^2$ 以下)であってよい。貫通転位は、第1型半導体部S 1および第2型半導体部S 2の表面または表面に平行な断面について、例えばCL(Cathode Luminescence)測定を行うことにより観察可能である。

[0072] 第1型半導体部S 1における第1型部S 1 2は、ベース半導体部S 1 1から上方に向かって、第1コンタクト部S 1 2 1、第1クラッド部S 1 2 2、および第1光ガイド部S 1 2 3がこの順に形成されて成っていてよい。第2型半導体部S 2は、活性部APから上方に向かって、第2光ガイド部S 2 1、電子ブロッキング部S 2 2、第2光クラッド部S 2 3、および第2コンタクト部S 2 4がこの順に形成されて成っていてよい。第2コンタクト部S 2

4上に第1コンタクト電極E11が形成されていてよい。第1型部S12に含まれる各部、活性部AP、および第2型半導体部S2に含まれる各部は、それぞれ層形状であってよい（例えば活性部APは活性層であってよい）。

[0073] 実施例1では、第2電極E2は、第1型半導体部S1に対して第1電極E1と同じ側に設けられる。第2電極E2は第1型半導体部S1と接触し、平面視において第1および第2電極E1・E2は重ならない。具体的には、第1型半導体部S1は活性部APおよび第2型半導体部S2よりもX方向の幅が大きく、第1型半導体部S1の露出部分に第2電極E2が形成されてよい。第1型半導体部S1、活性部AP、および第2型半導体部S2の一部をエッチング等で掘り込むことで、ベース半導体部S11を露出させてもよい。また、第1型部S12の第1コンタクト部S121を露出させてもよく、この場合、第1コンタクト部S121と接するように第2電極E2を設けてもよい。

[0074] 第1電極E1は、光共振器LKの共振器長L1の方向（Y方向）を長手方向とする形状を有する。第1電極E1のY方向の長さが共振器長L1よりも小さくてよく、この場合、積層体LB（図4参照）に開溝部GSを形成して分割するとき第1電極E1がその妨げにならない。このことは第2電極E2についても同じであってよく、第2電極E2のY方向の長さが共振器長L1よりも小さくてよい。

[0075] 光共振器LKは、例えば、第1型部S12、活性部AP、第2光ガイド部S21、電子ブロッキング部S22、および第2光クラッド部S23それぞれにおける、平面視で第1コンタクト電極E11と重なる部分を含んでいてよい。

[0076] 一对の共振器端面F1・F2間の距離である共振器長L1は、200[μ m]以下であってよく、150[μ m]以下であってよく、100[μ m]以下であってよい。共振器長L1の下限は、光共振器LKが機能できる長さであればよく、特に限定されないが、例えば50[μ m]であってよい。

[0077] 一对の共振器端面F1・F2の少なくとも一方が、積層体LB（図4参照

)を劈開することにより形成された発光体20の端面20Fに含まれていてよい。一对の共振器端面F1・F2のそれぞれが、窒化物半導体結晶(例えばGaN系半導体結晶)のm面により形成されていてよい。

[0078] 発光体20は、支持基板SK(図3参照)に転写された後に、共振器端面F1・F2それぞれを覆う反射鏡膜UF(例えば、誘電体膜)が形成されていてよい。光反射面側の共振器端面F2の光反射率は、共振器端面F1の光反射率よりも大きい。図8では図示していないが、反射鏡膜UFは、第1型半導体部S1および第2型半導体部S2の劈開面(m面)全体に形成することができる。

[0079] 光共振器LKでは、活性部AP、第1光ガイド部S123、第1クラッド部S122の順に屈折率(光屈折率)が小さくなり、かつ、活性部AP、第2光ガイド部S21、第2光クラッド部S23の順に屈折率が小さくなる。したがって、第1電極E1から供給される正孔と第2電極E2から供給される電子とが活性部AP内で結合して生じた光は、光共振器LK(特に、活性部AP)内に閉じ込められ、活性部APにおける誘導放出および帰還作用によってレーザ発振が生じる。レーザ発振によって生じたレーザ光は、出射面側の共振器端面F1の光出射領域EAから出射する。

[0080] 第2型半導体部S2は、平面視で第1コンタクト電極E11と重なるリッジ部RJ(畝部)を含み、リッジ部RJには、第2光クラッド部S23および第2コンタクト部S24が含まれていてよい。リッジ部RJはY方向を長手方向とする形状であり、リッジ部RJの側面を覆うように、絶縁膜DFが設けられる。第1コンタクト電極E11のX方向の両端部が、平面視で絶縁膜DFと重なっていてもよい。第1補助電極E12は、平面視で第1電極E1および絶縁膜DFと重なるように位置していてよい。絶縁膜DFの屈折率は、第2光ガイド部S21および第2光クラッド部S23の屈折率よりも小さい。リッジ部RJおよび絶縁膜DFを設けることで、第1電極E1および第1型半導体部S1間の電流経路がアノード側で狭窄され、共振器LK内で効率的に発光させることができる。

- [0081] リッジ部R Jは、平面視において第1型半導体部S 1の第2部B 2（低転位部）と重なり、第1部B 1と重ならない。こうすれば、第1電極E 1から第2型半導体部S 2および第1型半導体部S 1を経て第2電極E 2に到る電流経路は、平面視で第2部B 2と重なる部分（貫通転位が少ない部分）に形成され、活性部A Pにおける発光効率が高められる。貫通転位は非発光再結合中心として作用するためである。
- [0082] 実施例1における発光体2 0は、片面2電極構造を有することにより、例えば支持基板S K（図3参照）にジャンクションダウン実装をする場合に、接合材C Aの幅に対する接合部分のサイズが比較的小さくなる。そのため、平面視において、発光体2 0から接合材C AのエッジE D 1がはみ出し易くなる。その結果、第1側面F Sを接合材C Aが遡上し易くなり得る。
- [0083] 複数の第1型半導体部S 1の間に形成されるギャップG Pに第2型半導体部S 2の成膜の原料が入り込むことにより、第1側面F Sの側方における第2型半導体部S 2を形成することができる。成膜条件およびギャップG Pの大きさ等を変更することによって、第1側面F Sの側方に第2型半導体部S 2を形成し易くできる。第1側面F Sの側方における第2型半導体部S 2は、活性部A P上に第2型半導体部S 2に含まれる各部を形成する際に同時に形成されてよく、第2光ガイド部S 2 1、電子ブロッキング部S 2 2等に対応する層を含む多層膜となっていてよい。
- [0084] 図1 1に示す断面において、Z 2方向における第2型半導体部S 2の高さをH 1 0と称する。高さH 1 0は、Z 2方向における第2型半導体部S 2の最上部から最下部までの距離、換言すれば、第2コンタクト部S 2 4と第1コンタクト電極E 1 1との境界部から、第2光ガイド部S 2 1と活性部A Pとの境界部までの距離であってよい。また、Z 2方向における第1型半導体部S 1の高さをH 1 1と称する。第1型半導体部S 1におけるZ 2方向下側の表面、換言すれば活性部A Pから遠い側の表面（裏面）を下面U Sと称する。高さH 1 1は、Z 2方向における第1型半導体部S 1の最上部から最下部までの距離、換言すれば、第1光ガイド部S 1 2 3と活性部A Pとの境界

部から、下面USまでの距離であってよい。仮に下面USの表面に多少の起伏を有する場合、下面USの表面を仮想的に平滑化した仮想平面の位置を、Z2方向における下面USの位置とすることができる。

[0085] 第1型部S12の第1側面FSの側方に位置する第2型半導体部S2のX方向の厚さを幅W11と称し、ベース半導体部S11における下面USの近傍の第1側面FSの側方に位置する第2型半導体部S2のX方向の厚さを幅W12と称する。幅W12は幅W11よりも小さくてよい。これは、下面USに近づくほど第2型半導体部S2の成膜の原料が供給され難くなることに起因する。ここでいう「下面USの近傍」とは、下面USからの高さが上記高さH11の1/10以下の部分であってよい。

[0086] 第2型半導体部S2の厚み（高さH10）は、第1型半導体部S1の厚み（高さH11）よりも小さくてよい。活性部APは厚さが非常に薄いため、第1側面FSに回り込んで形成されていなくてよく、この場合、第2型半導体部S2は、第1側面FSに接していてもよい。また、図11に示す例とは異なって、活性部APが第1側面FSに回り込んで形成されていてもよい。

[0087] 高さH10は、高さH11の75%以下であってよく、50%以下であってよい。第1型半導体部S1、活性部APおよび第2型半導体部S2の厚みの和T1は、50[μm]以下とすることができる。この厚みの和T1が大き過ぎると共振器長が200μm以下となるように劈開することが難しくなり得る。

[0088] 第1型半導体部S1の第2部B2の厚み（上記高さH11）に対する共振器長L1の比を、1~100とすることができる。また、共振器長L1の方向と直交する方向を第1方向（X方向）、第2部B2のX方向のサイズを第2部B2の幅W13とし、第2部B2の幅W13に対する共振器長L1の比を、1~100とすることができる。

[0089] （発光素子の製造方法）

図12は、実施例1における発光素子の製造方法を概略的に示すフローチャートである。図13は、実施例1における発光素子に含まれる発光体の製

造方法を概略的に示す平面図である。図14および図15は、実施例1における発光素子の製造方法を概略的に示す断面図である。図16は、テンプレート基板の構成例を示す断面図である。図15において、上から下に処理の流れに沿って示す複数の図のうち最下段の図は、説明の便宜上、発光素子30の端面を示す側面図となっている。

[0090] 実施例1の発光素子の製造方法では、図12～図15に示すように、先ず、半導体基板10を準備する。半導体基板10は、テンプレート基板7と、テンプレート基板7の上方にX方向に並べて配された複数のバー状のベース半導体部S11とを含む。テンプレート基板7は、例えば、ベース基板BKおよびストライプ状のマスク6を有する。マスク6は、ベース基板BKの上方に形成され、開口部Kおよびマスク部5を有する。このような半導体基板10に対して、ベース半導体部S11の上方に第1型部S12を形成することにより、第1型半導体部S1を有する半導体基板10を準備してよい。また、テンプレート基板7の上方にベース半導体部S11および第1型部S12を連続的に成膜して、第1型半導体部S1を有する半導体基板10を準備してもよい。

[0091] 以下では、テンプレート基板7に対してELO法を用いてベース半導体部S11を形成し、さらに第1型部S12を形成することによって半導体基板10を準備する例について説明するが、これに限定されない。ベース基板BKに対して各種の処理を行って半導体基板10を準備することができる。半導体基板10を準備する具体的な方法は特に限定されず、半導体基板10を形成する途中段階における半導体基板10の半製品に対して処理を行うことにより実施例1の半導体基板10を準備することも、本開示の範疇に入る。このことは、繰り返して説明することを省略するが、以下の実施例においても同様である。

[0092] (テンプレート基板)

テンプレート基板7は、ベース基板BKと、ベース基板BKよりも上方に位置するマスク6とを有している。図16に示すように、テンプレート基板

7は、主基板1上に、シード部3およびマスク6がこの順に形成された構成でもよいし、主基板1上に、複層の下地部4（バッファ部2およびシード部3を含む）およびマスク6がこの順に形成された構成でもよい。シード部3が、平面視でマスク6の開口部Kと重なるように局所的に（例えば、ストライプ状に）形成されていてもよい。シード部3が600℃以下の低温で形成された窒化物半導体を含んでいてもよい。こうすれば、シード部3の応力に起因する半導体基板10（テンプレート基板7および第1型半導体部S1）の反りを低減することができる。シード部3をスパッタ装置（PSD：pulse sputter deposition, PLD：pulse laser deposition、等）を用いて成膜することもできる。スパッタ装置を用いると、低温成膜および大面積成膜が可能である、コストダウンを図ることができる、等のメリットがある。図16に示すように、テンプレート基板7は、主基板1（例えば、SiCバルク結晶基板、GaNバルク結晶基板）上にマスク6が形成された構成でもよい。

[0093] 上記のようにベース基板BKは、少なくとも主基板1を含んでいてよい。ベース基板BKは、主基板1および主基板1の上方に位置するシード部3を含んでいてよく、主基板1および主基板1の上方に位置する下地部4を含んでいてよい。主基板1には、GaN系半導体と異なる格子定数を有する異種基板を用いることができる。異種基板としては、単結晶のシリコン（Si）基板、サファイア（ Al_2O_3 ）基板、シリコンカーバイド（SiC：炭化ケイ素）基板等を挙げることができる。主基板1の面方位は、例えば、シリコン基板の（111）面、サファイア基板の（0001）面、SiC基板の6H-SiC（0001）面である。これらは例示であって、主基板1は、第1型半導体部S1をELO法で成長させることができる材質および面方位であればよい。主基板1に、SiC（バルク結晶）基板、GaN（バルク結晶）基板、あるいはAlN（バルク結晶）基板を用いることもできる。

[0094] 図16の下地部4として、主基板1側から順に、バッファ部2およびシード部3を設けることができる。例えば、主基板1にシリコン基板を用い、シ

ード部3にGaN系半導体を用いた場合、両者（主基板とシード部）が溶融し合うため、例えば、AlN層およびSiC（炭化シリコン）層の少なくとも一方を含むバッファ部2を設けることで、溶融が低減される。バッファ部2が、シード部3の結晶性を高める効果、および、第1型半導体部S1の内部応力を緩和する効果の少なくとも一方を有していてもよい。シード部3と溶融し合わない主基板1を用いた場合には、バッファ部2を設けない構成も可能である。なお、図16のように、シード部3がマスク部5の全体と重なる構成に限定されない。シード部3は開口部Kから露出すればよいため、シード部3を、マスク部5の一部または全部と重ならないように局所的に形成してもよい。

[0095] マスク6の開口部Kは、シード部3を露出させ、第1型半導体部S1の成長を開始させる成長開始用ホールの機能を有し、マスク6のマスク部5は、ベース半導体部S11を横方向成長させる選択成長用マスクの機能を有する。マスク6は、マスク層であってよく、マスク部5および開口部Kを含むマスクパターンであってよい。

[0096] マスク6として、例えば、シリコン酸化膜（SiO_x）、窒化チタン膜（TiN等）、シリコン窒化膜（SiN_x）、シリコン酸窒化膜（SiON）、および高融点（例えば1000度以上）をもつ金属膜のいずれか1つを含む単層膜、またはこれらの少なくとも2つを含む積層膜を用いることができる。

[0097] 例えば、シード部3上に、スパッタ法を用いて厚さ100nm程度～4μm程度（好ましくは150nm程度～2μm程度）のシリコン酸化膜を全面形成し、シリコン酸化膜の全面にレジストを塗布する。その後、フォトリソグラフィ法を用いてレジストをパターニングし、ストライプ状の複数の開口部を持ったレジストを形成する。その後、フッ酸（HF）、バッファードフッ酸（BHF）等のウェットエッチャントによってシリコン酸化膜の一部を除去して複数の開口部Kとし、レジストを有機洗浄で除去することでマスク6が形成される。別例として、シリコン窒化膜をスパッタ装置、もしくはP

E C V D (Plasma

Enhanced Chemical Vapor Deposition) 装置を用いて成膜してもよい。シリコン窒化膜は、シリコン酸化膜より薄くてもベース半導体部 8 の成膜温度 (1000℃程度) に耐えることができる。シリコン窒化膜の膜厚は、5 nm ~ 4 μm 程度とすることができる。

[0098] 長手形状 (スリット状) の開口部 K は、X 方向に周期的に配列することができる。開口部 K の幅を、0.1 μm ~ 20 μm 程度としてもよい。開口部 K の幅が小さいほど、低欠陥部 S D (第 2 部 B 2 または第 3 部 B 3 に対応) の幅 (X 方向のサイズ) を大きくすることができる。

[0099] マスク部 5 のピンホール等の異常個所は、成膜後に有機洗浄などを行い、再度成膜装置に導入して同種膜を形成することで、異常個所を消滅させることができる。一般的なシリコン酸化膜 (単層) を用い、このような再成膜方法を用いて良質なマスク 6 を形成することもできる。

[0100] 実施例 1 では、テンプレート基板 7 の一例として、主基板 1 に、(111) 面を有するシリコン基板 (例えば 2 インチ Si 基板) を用い、バッファ部 2 に、AlN 層 (30 nm ~ 300 nm 程度、例えば 150 nm) を用い、シード部 3 に、GaN 系グレーデット層を用い、マスク 6 には、酸化シリコン膜 (SiO₂) と窒化シリコン膜 (SiN) とをこの順に形成した積層マスクを用いることができる。GaN 系グレーデット層は、第 1 層である Al_{0.6}Ga_{0.4}N 層 (例えば、300 nm) と、第 2 層である GaN 層 (例えば、1 ~ 2 μm) とを含んでもよい。マスク 6 については、酸化シリコン膜および窒化シリコン膜それぞれの成膜に CVD 法 (プラズマ化学気相成長法) を用い、酸化シリコン膜の厚さを例えば 0.3 μm、窒化シリコン膜の厚さを例えば 70 nm とすることができる。マスク部 5 の幅 (X 方向のサイズ) は 50 μm、開口部 K の幅 (X 方向のサイズ) は 5 μm とすることができる。

[0101] (ベース半導体部)

次に、実施例 1 では、ELO 法を用いて、テンプレート基板 7 上にベース

半導体部S11を形成する。実施例1では、ベース半導体部S11をGaN層とし、MOCVD装置を用いてテンプレート基板7上に窒化ガリウム(GaN)のELO成膜を行った。ELO成膜条件の一例として、基板温度：1120℃、成長圧力：50kPa、TMG(トリメチルガリウム)：22sccm、NH₃：15slm、V/III=6000(III族原料の供給量に対する、V族原料の供給量の比)を採用することができる。

[0102] この場合、開口部Kに露出したシード部3(図16参照)上にベース半導体部S11が選択成長(縦方向成長)し、引き続いてマスク部5上に横方向成長する。そして、マスク部5上においてその両側から横方向成長するGaN結晶膜同士が会合する前にこれらの横成長を停止させた。実施例1では、マスク部5上を互いに近づくように成長する半導体結晶(例えばGaN系結晶)同士が会合する前に成長を止めることで、複数のベース半導体部S11が形成される。これにより、X方向に隣り合うベース半導体部S11の間にはギャップGPが形成される。X方向がGaN系結晶の<11-20>方向(a軸方向)であり、Y方向がGaN系結晶の<1-100>方向(m軸方向)であり、Z2方向がGaN系結晶の<0001>方向(c軸方向)であってよい。

[0103] 実施例1におけるベース半導体部S11の形成では、開口部Kから露出したシード部3上に、Z方向(c軸方向)に成長する縦成長層を形成し、その後、X方向(a軸方向)に成長する横成長層を形成する。この際、縦成長層の厚さを、10μm以下、5μm以下、あるいは3μm以下とすることで、横成長層の厚さを低く抑え、横方向成膜レートを高めることができる。

[0104] ベース半導体部S11における低欠陥部SD(第2部B2または第3部B3に対応)の貫通転位密度は、ベース半導体部S11における転位継承部HD(第1部B1に対応)の貫通転位密度の1/5以下(例えば、 $5 \times 10^6 / \text{cm}^2$ 以下)であってよい。ここでの貫通転位密度は、例えば、ベース半導体部S11の表面をCL測定する(例えば、黒点の数をカウントする)ことで求めることができる。転位密度は、[個/cm²]の単位で表すことができ、

本明細書では、「個」を省略して $[\text{個}/\text{cm}^2]$ と表すことがある。低欠陥部SDの基底面転位の密度が $5 \times 10^8/\text{cm}^2$ 以下であってもよい。基底面転位が、ベース半導体部S11のc面(X-Y面)の面内方向に伸びる転位であってもよい。ここでの基底面転位密度は、例えば、ベース半導体部S11を分割して低欠陥部SDの側面を出し、この側面の転位密度をCL測定することで得られる。

[0105] ベース半導体部S11の横幅(X方向のサイズ)は $53\mu\text{m}$ 、低欠陥部SDの幅(X方向のサイズ)は $24\mu\text{m}$ 、ベース半導体部S11の層厚(Z方向のサイズ)は $5\mu\text{m}$ であった。ベース半導体部S11のアスペクト比は、 $53\mu\text{m}/5\mu\text{m}=10.6$ となり、非常に高いアスペクト比が実現された。マスク部5の幅は、第2型半導体部S2等の仕様に依りて設定することができる(例えば、 $10\mu\text{m} \sim 200\mu\text{m}$ 程度)。実施例1では、隣り合うベース半導体部S11同士は会合しておらず、テンプレート基板7上に複数のバー状のベース半導体部S11がX方向に並んで形成され、ギャップGPの横幅(X方向のサイズ)は約 $5\mu\text{m}$ であった。

[0106] (第1型部・活性部・第2型半導体部)

実施例1の発光素子の製造方法では、次いで、ベース半導体部S11の上方に、第1型部S12を形成する。これにより、第1型半導体部S1を形成する。第1型部S12は、例えば、n型Ga_{0.9}In_{0.1}N系半導体を含むバッファ層(リグロス部)を含んでいてよい。第1型部S12は、例えばMOCVD法で形成することができる。第1型部S12は、前述のように、第1コンタクト部S121、第1クラッド部S122、および第1光ガイド部S123を含む。第1コンタクト部S121には、例えばn型Ga_{0.9}In_{0.1}N層、第1クラッド部S122には、例えばn型Al_{0.1}Ga_{0.9}N層、第1光ガイド部S123には、例えばn型Ga_{0.9}In_{0.1}N層を用いることができる。

[0107] そして、第1型半導体部S1の上方に活性部APを形成する。活性部APは、例えばMOCVD法で形成することができる。活性部APには、例えばIn_{0.1}Ga_{0.9}N層を含むMQW(Multi-Quantum Well)構造を用いることができ

る。活性部APは、典型的には、5～6周期のMQW構造を有してよい。

[0108] 実施例1の発光素子の製造方法では、活性部APの上方から第1型半導体部S1の側方に至るように配された第2型半導体部S2を形成する。第2型半導体部S2は、例えばMOCVD法で形成することができる。第2型半導体部S2は、前述のように、第2光ガイド部S21、電子ブロッキング部S22、第2光クラッド部S23、および第2コンタクト部S24を含む。第2光ガイド部S21には、例えばp型GaN層、電子ブロッキング部S22には、例えばp型AlGaN層、第2光クラッド部S23には、例えばp型AlGaN層、第2コンタクト部S24には、例えばp型GaN層を用いることができる。

[0109] (積層体)

次いで、フォトリソグラフィ法を用いてリッジストライプ構造、すなわちリッジ部RJを形成する。また、第2型半導体部S2、活性部AP、および第1型半導体部S1の一部をエッチング等で掘り込んで第1型半導体部S1の上面の一部を露出させる。第1型半導体部S1における表面が露出している部分は例えば第1コンタクト部S121であってよい。第1型半導体部S1の掘り込みによって形成された側面であって、第1型半導体部S1の第1側面FSに対してX方向の反対側に位置する第1型半導体部S1の側面を第3側面TSと称する。第1型半導体部S1における第2側面SSは第2型半導体部S2によって覆われていてよく、第3側面TSは第2型半導体部S2によって覆われていなくてよい。第1側面FSおよび第2側面SSは結晶面であってよく、これに対して、第3側面TSは加工面である。

[0110] そして、第2型半導体部S2の上面を部分的に覆うように（リッジ部RJが露出するように）絶縁膜DFを形成した後、リッジ部RJの第2コンタクト部S24上に第1コンタクト電極E11を形成する。第1コンタクト電極E11および絶縁膜DFを覆うように第1補助電極E12を形成する。また、第1型半導体部S1における表面が露出している部分の上面に第2電極E

2を形成する。第2電極E2は第2コンタクト電極および第2補助電極を含んでいてもよい（図示省略）。

[0111] 第1電極E1（アノード）および第2電極E2（カソード）には、例えば、（i）Ni、Rh、Pd、Cr、Au、W、Pt、Ti、およびAlの少なくとも1つを含む金属膜（合金膜でもよい）並びに（ii）Zn、In、およびSnの少なくとも1つを含む導電性酸化物膜、から選ばれる、単層膜または多層膜を用いることができる。リッジ部RJを覆う絶縁膜DFには、例えば、Si、Al、Zr、Ti、Nb、Taの酸化物若しくは窒化物を含む、単層膜または積層膜を用いることができる。

[0112] 第1コンタクト電極E11（pコンタクト電極）は、例えば厚さ50nmのPd膜であってよい。第1補助電極E12は、例えば厚さ100nmのTi膜と、厚さ200nmのNi膜と、厚さ100nmのAu膜とがこの順に形成された多層膜であってよい。第2電極E2の第2補助電極も第1補助電極E12と同じ構成であってよく、例えば厚さ100nmのTi膜がnコンタクト電極を兼ねていてよい。

[0113] 絶縁膜DF、第1電極E1、および第2電極E2は、開溝部GSを形成する部分、すなわちスクライブを行う位置を避けて形成されていてもよい。1つの絶縁膜DFのY方向における長さ、1つの第1電極E1のY方向における長さ、および1つの第2電極E2のY方向における長さがそれぞれ共振器長L1よりも小さくてよい。

[0114] このように、第1型半導体部S1、リッジ部RJを含む第2型半導体部S2、並びに第1電極E1および第2電極E2、等を有する積層体LBを形成する。これにより、複数のバー形状の積層体LBを有する半導体基板10を形成することができる。

[0115] なお、第1型半導体部S1における例えばベース半導体部S11が露出するまで第2型半導体部S2、活性部AP、および第1型半導体部S1を掘り込んで、ベース半導体部S11上に第2電極E2を形成してもよい。

[0116] （レーザ体）

実施例1の発光素子の製造方法では、次いで、テンプレート基板7上において積層体LBの劈開（窒化物半導体層である第1および第2型半導体部S1・S2のm面劈開）を行い、一对の共振器端面F1・F2を有する発光体20を形成する。積層体LBがバー形状である場合、例えば、積層体LBの長手方向（Y方向）と直交する方向（X方向）に積層体LBを劈開する。積層体LBを分割して得られる複数の個片をそれぞれ発光体20とすることができる。これにより、Y方向に隣り合う発光体20の間に空隙（開溝部GS）が形成される。

[0117] 実施例1では、積層体LBにスクライブ（例えば、劈開起点となるスクライブ溝の形成）を行ってもよい。スクライブの具体的な方法は特に限定されないが、例えば、スクライバーを用いて、第2型半導体部S2における窒化物半導体結晶のm面に平行な向きの力を与えることにより、積層体LBにスクライブを行ってよい。スクライバーは、ダイヤモンドスクライバーであってよく、レーザスクライバーであってもよい。

[0118] 実施例1では、積層体LBをスクライビングすることで自然進行する劈開によって一对の共振器端面F1・F2を形成してもよい。ベース半導体部S11は、GaN系半導体を含み、ベース基板BKは、GaN系半導体よりも熱膨張係数の小さな材料で構成された主基板1を含む。例えば、ベース半導体部S11はGaNを含み、ベース基板BKは、Si基板またはSiC基板を含んでいてよい。

[0119] Si基板等の異種基板上にELO法によってベース半導体部S11を形成する場合、成膜温度が例えば1000℃以上の高温であり、成膜後に室温に降温することにより、ベース半導体部S11に内部応力が発生する。この内部応力は、例えば主基板1とベース半導体部S11との熱膨張係数差に起因する。

[0120] 主基板1の熱膨張係数がベース半導体部S11の熱膨張係数よりも小さいと、ベース半導体部S11に引張応力が生じる。例えば、主基板1がSi基板であり、ベース半導体部S11の構成材料がGaNであることにより、ベ

ース半導体部S 1 1に引張応力が生じる。また、主基板1とベース半導体部S 1 1との格子定数差に起因して、ベース半導体部S 1 1にひずみが発生することによっても、ベース半導体部S 1 1に内部応力が発生し得る。このような積層体L Bをスクライブすると、ベース半導体部S 1 1の内部応力が開放されて劈開起点に引張歪みが発生することにより、自然発生的に劈開が進行する。

[0121] 例えば、積層体L Bの長手方向における100 μ m間隔で積層体L Bにスクライブを行うことにより、発光体20の共振器長L 1を100 μ mとすることができる。スクライブを行うことによって、ベース半導体部S 1 1が有する内部応力により積層体L Bの劈開が自然進行し、積層体L Bを複数の個別の発光体20に分離できる。このとき、主基板1は分割されない。また、マスク部5は、分割されなくてよく、積層体L Bの劈開の影響により分割されてもよい。マスク6の開口部Kの部分において、各積層体L Bのベース半導体部S 1 1とベース基板BKとは化学的に結合している。そのため、発光体20はベース基板BKに保持され、ベース基板BK上において位置が保たれる。

[0122] 実施例1では、劈開によって発光体20を形成することにより、例えばドライエッチングによって開溝部GSを形成する場合に比べて、消失する積層体L Bの体積を小さくすることができる。そのため、半導体基板10を効率的に（素子として）利用することができる。

[0123] また、実施例1では、共振器端面F 1・F 2は、m面劈開で形成されるため、平面性およびc面に対する垂直性（共振器端面F 1・F 2の平行性）に優れ、高反射膜コートによって高い光反射率を得ることができる。このため、ミラー損失が大きくなる200 μ m以下の短共振器長であってもミラー損失を小さくすることができ、光利得が小さくなる200 μ m以下の短共振器長においても安定的なレーザ発振が可能となる。光出射領域EAにあたる箇所共振器端面F 1・F 2は、低欠陥部SDである第2部B 2上に形成されることにより、劈開面の平面性が優れており、高い光反射率が実現される。

[0124] (支持基板)

実施例1における発光素子の製造方法は、支持基板SKを準備する工程を含む。準備される支持基板SKは、発光体20がジャンクションダウン実装可能であればよく、その具体的な構成は特に限定されないが、一例について説明すれば以下のとおりである。図17は、支持基板の構成の一例を示す平面図である。

[0125] 図17に示すように、支持基板SKは、導電性を有するT字形状の第1パッド部P1および第2パッド部P2と、第1パッド部P1との接合層として機能する第1接合材CA1と、第2パッド部P2との接合層として機能する第2接合材CA2とを備えている。支持基板SKにおける基板本体部BSの材料としては、Si、SiC、AlN等が挙げられる。第1接合材CA1および第2接合材CA2は、前述の接合材CAに対応し、加熱流動性、加圧硬化性、熱硬化性、および光硬化性の少なくとも1つを有する導電性材料で構成されていてよい。第1接合材CA1および第2接合材CA2は、例えば、はんだであってよい。

[0126] 実施例1では、例えば、以下のようにして支持基板SKを形成してよい。すなわち、基板本体部BSとして4インチSi基板を使用し、フォトリソグラフィ技術を利用して、ウエハプロセスにより第1パッド部P1および第2パッド部P2を形成する。複数の凹部HL（平面視で矩形）は、反応性イオンエッチング（RIE）等により、深さ100 μ mとして、マトリクス状に設けることができる。そして、第1接合材CA1および第2接合材CA2を形成する。第1パッド部P1および第2パッド部P2はそれぞれ、厚さ10nmのCr膜と厚さ25nmのPt膜と厚さ100nmのAu膜とが、基板本体部BS側からこの順に形成された多層膜であってよい。第1接合材CA1は例えば、厚さ3000nmのAuSn膜と厚さ100nmのAu膜とが、基板本体部BS側からこの順に形成されたAuSn接合層であってよい。実施例1では、第2接合材CA2は、第1接合材CA1と同じ材質であって、第1接合材CA1よりも厚みが大きくてよい。

[0127] 支持基板SKにおける基板本体部BSの材質と、半導体基板10におけるベース基板BKの材質とは、互いに同質であってよく、例えばSiであってよい。この場合、支持基板SKの熱膨張係数と、半導体基板10の熱膨張係数とを同等にすることができる。これにより、支持基板SKと半導体基板10とのアライメントの精度が向上し、選択転写を行う際に加熱および冷却することによる温度変化の影響によって転写に不具合が生じる可能性を低減できる。

[0128] (発光素子)

実施例1では、発光体20を形成後に、マスク部5をフッ酸、バッファードフッ酸(BHF)などを用いるエッチングによって除去してよい。つまり、支持基板SKへのジャンクションダウン実装の前に、半導体基板10のマスク部5を除去してよい。これにより、発光体20をテンプレート基板7から離隔し易くできる。半導体基板10は、ギャップGPを有することにより、マスク部5が部分的に露出している。そのため、マスク部5をエッチングにより除去し易い。

[0129] ダイシング等によって半導体基板10を適正なサイズに分割してもよく、例えば、10mm角サイズに小片化してもよい。また、ダイシング等によって支持基板SKを適正なサイズに分割してもよく、例えば、小片化した半導体基板10と同じサイズとなるように、支持基板SKを10mm角サイズに小片化してもよい。

[0130] その後、実施例1における発光素子の製造方法では、発光体20を支持基板SKにジャンクションダウン実装する。例えば、2個、3個おきなど、複数の発光体20を跨ぐように、複数の発光体20から選択された一部を、半導体基板10から支持基板SKに選択転写してよい。半導体基板10では、テンプレート基板7上において、発光体20同士の間ギャップGPを有するとともに開溝部GSを有することにより、発光体20が個々に分離されている。そのため、選択転写を容易に行うことができる。

[0131] 図18は、支持基板に複数の発光体が接合された状態の発光基板(半導体

レーザアレイ)を模式的に示す斜視図である。発光基板31は、支持基板SKと、複数の発光体20とを備える。発光基板31では、支持基板SK上に、複数の発光体20が、共振器長の方向が揃うように、共振器長を規定する方向(Y方向)およびこれに直交する方向(X方向)にマトリクス状に並べられていてよい。

[0132] 次に、発光体20の共振器端面F1・F2に反射鏡膜UFを形成する。反射鏡膜UFは、反射率調整およびパッシベーション等のために形成される。2次元配置型の発光基板31を用いて反射鏡膜UFを形成してもよく、発光基板31をバー状に分断した後、形成されたバー状の発光基板31を用いて反射鏡膜UFを形成してもよい。

[0133] 図19は、分断後のバー状の発光基板の一例を示す斜視図である。図18に示すような2次元配置型の発光基板31を横分断(X方向に伸びる行ごとに分割)し、図19に示すような一次元配置型(バー状)の発光基板31とすることができる。一次元配置型とすることで、一对の共振器端面F1・F2への反射鏡膜UFの形成が容易になる。

[0134] 支持基板SKは、幅広部SHと載置部SBとを有している。発光体20は、載置部SBの幅方向(Y方向)と共振器長の方向とが一致するように、載置部SBの上方に位置している。発光基板31は、平面視において、発光体20の一对の共振器端面F1・F2が載置部SBからはみ出していてよい。載置部SBは、共振器長を規定する方向(Y方向)に向かい合う2つの切り欠き部C1・C2の間に形成されており、共振器端面F1が切り欠き部C1上に位置し、共振器端面F2が切り欠き部C2上に位置する。切り欠き部C1・C2は、分断される前の支持基板SKにおける凹部HLに対応する部分である。切り欠き部C1・C2の形状は、例えば、Z1方向に視る平面視において矩形とすることができる。支持基板SKに切り欠き部C1・C2が設けられていることにより、一对の共振器端面F1・F2への反射鏡膜UFの形成が容易になる。また、発光体20の端面20F(図2参照)を第1接合材CA1が遡上する可能性を効果的に低減できる。

[0135] その後、発光基板 31 をさらに分断してよい。これにより、1 以上の発光体 20 を支持体 ST にジャンクションダウン実装した複数の発光素子 30 を形成できる。

[0136] 図 20 は、実施例 1 における発光素子の構成を示す斜視図である。図 21 は、実施例 1 における発光素子の構成を示す断面図である。図 20 および図 21 に示すように、発光素子 30 は、発光体 20 と、第 1 接合材 CA1 および第 2 接合材 CA2 と、第 1 型半導体部 S1 が活性部 AP よりも上側に位置するように、第 1 および第 2 接合材 CA1・CA2 を介して発光体 20 を支持する支持体 ST とを備える。

[0137] 支持体 ST は、導電性の第 1 パッド部 P1 および第 2 パッド部 P2 を含み、第 1 電極 E1 は第 1 接合材 CA1 を介して第 1 パッド部 P1 に接続され、第 2 電極 E2 は第 2 接合材 CA2 を介して第 2 パッド部 P2 に接続される。支持体 ST の本体部である基体部 BP は、支持基板 SK における基板本体部 BS を分割した一部分に対応する。第 2 接合材 CA2 は第 1 接合材 CA1 よりも厚みが大きく、第 1 接合材 CA1 と第 2 接合材 CA2 との厚みの差は、第 2 型半導体部 S2 の厚み以上であってよい。これにより、第 1 および第 2 電極 E1・E2 と、同一平面に位置する第 1 および第 2 パッド部 P1・P2 とを接合し易くできる。発光素子 30 は、COS (Chip on Submount) として機能する。

[0138] 第 1 パッド部 P1 は、幅広部 SH 上に位置し、Y 方向の長さが共振器長 L1 よりも大きい実装部 J1 と、載置部 SB 上に位置し、Y 方向の長さが共振器長 L1 よりも小さいコンタクト部 Q1 とを含み、第 2 パッド部 P2 は、幅広部 SH 上に位置し、Y 方向の長さが共振器長 L1 よりも大きい実装部 J2 と、載置部 SB 上に位置し、Y 方向の長さが共振器長 L1 よりも小さいコンタクト部 Q2 とを含む。コンタクト部 Q1・Q2 は、載置部 SB の上面に X 方向に並び、コンタクト部 Q1 上に第 1 接合材 CA1 が形成され、コンタクト部 Q2 上に第 2 接合材 CA2 が形成される。第 1 接合材 CA1 は発光体 20 の第 1 電極 E1 に接触し、第 2 接合材 CA2 は発光体 20 の第 2 電極 E2

に接触する。第1接合材CA1および第2接合材CA2の材料として、AuSi、AuSn等のはんだを用いることができる。

[0139] 発光体20の共振器端面F1・F2は、反射鏡膜UFで覆われているが、支持体STの側面のうち、共振器端面F1・F2と平行な面（例えば、載置部SBの側面）に反射鏡膜UFと同材料で構成された誘電体膜SFが形成されていてもよい。

[0140] 例えば、半導体基板10から発光体20を支持基板SKにジャンクションダウン実装する際には、半導体基板10および支持基板SKを互いに接触させて荷重を掛ける。そして、第1接合材CA1および第2接合材CA2を溶融させて、一定時間保持した後、室温まで冷却する。これにより、半導体基板10と支持基板SKとが互いに接合された状態となる。具体的には、第1電極E1と第1パッド部P1とが第1接合材CA1によって接合され、第2電極E2と第2パッド部P2とが第2接合材CA2によって接合される。その後、半導体基板10と支持基板SKとを互いに遠ざけるように外力を加えることにより、半導体基板10上の複数の発光体20のうちの所期の発光体20が、支持基板SKに選択転写される。

[0141] 流動性を有する第1接合材CA1および第2接合材CA2は、第1パッド部P1および第2パッド部P2上に濡れ広がるとともに、発光体20の側面20Tを遡上し得る。発光素子30は、第1型半導体部S1および活性部APの積層方向に発光素子30を視る平面視において、第1接合材CA1のエッジED1の一部が発光体20からはみ出している。実施例1では、発光体20が片面2電極構造であることにより、平面視において発光体20よりもX方向の外側に第1接合材CA1がはみ出し易い。

[0142] 実施例1における発光素子30では、第1側面FSの側方に位置する第2型半導体部S2に沿って第1接合材CA1が遡上している。第1接合材CA1の遡上高さH1が、第1型半導体部S1の下面レベルLVを超えていてよい。発光体20は、活性部APの下方から、第1型半導体部S1における第1側面FSの側の側方に至るように第2型半導体部S2が配されている。発

光素子30は、接合材CAの遡上高さH1よりも第2型半導体部S2の形成高さH3が大きい。これにより、発光素子30は、第1接合材CA1が第1側面FSに沿って遡上した場合であっても、第1接合材CA1と第1型半導体部S1とが互いに接触する可能性を効果的に低減できる。

[0143] 発光素子30は、X方向における幅W10が50 μ m以下であってよく、20 μ m以下であってよい。幅W10は、第3側面TSと、第1側面FSの側方に位置する第2型半導体部S2の外表面とのX方向における距離であってよい。発光素子30は、第3側面TSと第1パッド部P1の端面PE1との間にX方向における距離L11を有してよく、この場合、第1接合材CA1が第3側面TSを遡上しにくくできる。第3側面TSは、少なくとも一部が絶縁膜DFによって覆われていてよく、第3側面TSの少なくとも一部が絶縁膜DFと接してよい。

[0144] 第1型半導体部S1は、X方向（窒化物半導体結晶のa軸方向）において第1部（中央部）B1よりも第1側面FSに近いとともに、第1部B1よりも貫通転位密度が小さい第2部（ウイング部）B2を有する。発光素子30では、リッジ部RJが平面視において第2部B2と重なり、一对の共振器端面F1・F2のそれぞれが窒化物半導体のm面である。活性部APは、第2部B2の下方に位置する光出射領域（発光部）EAを含む。

[0145] 実施例1では、第1型半導体部S1は、下方に第2型半導体部S2が位置していない露出部ESを有する。露出部ESは、第1型半導体部S1の一部が掘り込まれることにより形成された部分であってよい。発光素子30は、第2型半導体部S2の下方に第1電極（アノード）E1が設けられ、露出部ESの下方に第2電極（カソード）E2が設けられている。

[0146] 発光素子30では、第2型半導体部S2が、活性部APの下方から、第1型半導体部S1における第1側面FSの側の側方に至るとともに第2側面SSの側の側方に至るように配されていてよく、第2側面SSの側方に位置する第2型半導体部S2に沿って第2接合材CA2が遡上していてよい。発光素子30は、幅方向（X軸方向）における第2接合材CA2の2つの端部の

うち、第1側面FSから遠い側のエッジED3の一部が、平面視において発光体20からはみ出している。発光素子30において、露出部ES側に位置する側面である第3側面TSはエッチング等により形成された面であり、第2型半導体部S2によって覆われていない。

[0147] (別構成例1)

(1A)

実施例1では、積層体LBを劈開することによって開溝部GSを形成し、積層体LBを複数の発光体20に分割していた。これに限定されず、積層体LBに複数のトレンチを形成することによって開溝部GSを形成し、積層体LBを複数の発光体20に分割してもよい。

[0148] 例えば積層体LBに対してドライエッチングを行うことにより開溝部GSとしての複数のトレンチを形成できる。これにより、一对の共振器端面F1・F2(エッチドミラー)を形成することができる。第1電極E1および第2電極E2を形成した後にトレンチを形成してよく、トレンチを形成した後に第1電極E1および第2電極E2を形成してもよい。

[0149] (1B)

発光素子30の別例では、活性部APが第1型半導体部S1の下方から第1型半導体部S1の側方に至るように配されていてよく、第1側面FSの少なくとも一部を活性部APが覆っている。また、第1型半導体部S1の第2側面SSの少なくとも一部を活性部APが覆っている。

[0150] 第1型半導体部S1上に活性部APを成膜する際に第1側面FSおよび第2側面SSに活性部APの原料が供給され得る。活性部APは膜厚が薄いため、第1型半導体部S1における第1側面FSおよび第2側面SSの表面上に活性部APは形成され難いが、第1側面FSと第2型半導体部S2との間、または第2側面SSと第2型半導体部S2との間に活性部APが存在し得る。

[0151] (1C)

発光素子30の別例では、発光体20は両面電極構造を有するレーザ体(

半導体レーザチップ)であってよい。図22は、実施例1の別例における発光素子の構成を示す斜視図である。図23は、実施例1の別例における発光素子の構成を示す断面図である。

[0152] 図22および図23に示すように、実施例1の別例における発光素子30では、第2型半導体部S2の下方に第1電極(アノード)E1が設けられ、第1型半導体部S1の上方に第2電極(カソード)E2が設けられていてよい。発光素子30は、発光体20は露出部ESを有していなくてよい。また、第2型半導体部S2の下面を絶縁膜DFが覆っていてよい。第2接合材CA2は、はんだであってよく、或いは導電性を有しない材質であってもよい。第2接合材CA2のエッジED3は平面視において発光体20からはみ出しているとしてもよい。第2接合材CA2が導電性を有する場合、第1型半導体部S1の第2側面SSと、活性部APおよび第2型半導体部S2の側面と、を覆う絶縁膜D1が形成されていてよい。第2接合材CA2が導電性を有しない場合等には、絶縁膜D1が形成されていなくてもよい。第1型半導体部S1の裏面(支持体STから遠い側の面)に形成される第2電極E2は、例えば導電膜MFを介して第2パッド部P2に接続されてよい。第2電極E2は、第2パッド部P2にワイヤボンディングされていてよい。

[0153] (1D)

図24は、実施例1の別例における発光素子の製造方法を概略的に示す断面図である。図24に示すように、実施例1の別例では、例えばリッジ部RJの側面を覆うように絶縁膜DFを形成する際に、絶縁膜DFを第2型半導体部S2の上方から第1型半導体部S1の側方に至るように形成してもよい。実施例1の別例における発光素子30は、第1側面FS上に回り込んだ第2型半導体部S2の部分を覆う第1絶縁膜DF1を備えていてよい。第1絶縁膜DF1は第2型半導体部S2に接しているとしてもよい。前述のように、第1側面FSでは、第1側面FS上に第2型半導体部S2が位置していない部分があってもよく、この場合、第1絶縁膜DF1と第1側面FSとの間に第2型半導体部S2が存在していない部分があってもよく、当該部分において第1絶

縁膜D F 1が第1側面F Sに接していてもよい。

[0154] また、第2側面S S上に回り込んだ第2型半導体部S 2の部分を覆うように第2絶縁膜D F 2が形成されていてもよい。第2絶縁膜D F 2と第2側面S Sとの間に第2型半導体部S 2が存在していなくてもよく、当該部分において第2絶縁膜D F 2が第2側面S Sに接していてもよい。

[0155] 第1絶縁膜D F 1は、第2型半導体部S 2の上方に絶縁膜D Fを形成した後で、絶縁膜D Fとは別個に形成されてもよい。発光体20を支持基板S Kに転写するまでの間に第1絶縁膜D F 1を形成することができる。第2絶縁膜D F 2は、第1絶縁膜D F 1と同じタイミングで形成されてよいし、第2絶縁膜D F 2は形成されなくてもよい。

[0156] 絶縁膜D Fは、第2型半導体部S 2の上方から第3側面T Sに至るように形成されていてもよい。第3側面T Sを第1接合材C A 1が遡上した場合であっても、第1接合材C A 1が第1型半導体部S 1に接触する可能性を効果的に低減することができる。

[0157] 図示を省略するが、発光体20が両面電極構造を有する場合においても、上記したことと同じ流れで第1絶縁膜D F 1および第2絶縁膜D F 2を形成することができる。

[0158] また、以下のような効果も奏する。例えば、或る積層体L Bについてドライエッチングを行う際に、レジストによる保護が不十分等の要因から、隣りの積層体L Bにドライエッチングの影響が生じることがある。仮に第2型半導体部S 2のみで第1側面F Sが覆われている場合、ドライエッチングの影響によって第1型半導体部S 1が露出し得る。これに対して、第1側面F Sに絶縁膜D Fまたは第1絶縁膜D F 1が形成されていることによれば、ドライエッチングによる意図しない影響が生じる可能性を効果的に低減することができる。

[0159] (1 E)

E L O法を用いてベース半導体部S 1 1を形成する場合、主基板1および主基板1上のマスク6を含むテンプレート基板7を用いてよく、テンプレ

ト基板 7 が、マスク部 5 に対応する成長抑制領域（例えば、Z 方向の結晶成長を抑制する領域）と、開口部 K に対応するシード領域とを有してよい。例えば、成長抑制領域およびシード領域を有するテンプレート基板 7 上に、ELO 法を用いてベース半導体部 S 1 1 を形成することもできる。

[0160] 〔実施例 2〕

図 2 5 は実施例 2 における発光素子の製造方法を概略的に示すフローチャートである。図 2 6 は、実施例 2 における発光素子の製造方法を概略的に示す断面図である。図 2 7 は、実施例 2 における発光素子の製造方法を概略的に示す平面図である。

[0161] 実施例 1 では、低欠陥部 S D および転位継承部 H D を有する第 1 型半導体部 S 1 上に第 2 型半導体部 S 2 を形成することにより積層体 L B を形成していた。実施例 2 では、テンプレート基板 7 上に形成した第 1 型半導体部 S 1 における開口部 K 上の部分（転位継承部 H D）を除去し、低欠陥部 S D を有する第 1 型半導体部 S 1 上に第 2 型半導体部 S 2 を形成する。なお、実施例 2 では、両面電極構造を有する発光体 2 0 を形成する例について説明するが、前述のように片面 2 電極構造を有する発光体 2 0 を形成することもできる。例えば第 1 型半導体部 S 1 の横幅を広く形成することにより、低欠陥部 S D を用いて片面 2 電極構造を有する発光体 2 0 を形成することも可能である。

[0162] 図 2 5 ~ 図 2 7 に示すように、先ず、半導体基板 1 0 を準備する。半導体基板 1 0 は、マスク部 5 上を互いに近づくように成長する複数の半導体結晶（例えば Ga N 系結晶）同士が会合する前に成長を止めることにより形成された、複数のバー状の第 1 型半導体部 S 1 を有してよい。

[0163] 第 1 型半導体部 S 1 とテンプレート基板 7 のベース基板 B K との結合部（例えばシード部 3 との結合部：図 1 6 参照）を除去するように、エッチングによって第 1 型半導体部 S 1 に複数のトレンチ T R を形成する。これにより、第 1 型半導体部 S 1 を分割する。トレンチ T R は、開口部 K の長手方向（Y 方向）に延びていてよい。実施例 2 では、トレンチ T R によって、第 1 型

半導体部 S 1 の a 軸方向に向かい合う 2 つの側面の一方である第 4 側面 F T S が形成されてよい。

[0164] 実施例 2 では、第 1 型半導体部 S 1 は、マスク部 5 と緩やかに結合している状態となるので、活性部 A P および第 2 型半導体部 S 2 を形成した後に、テンプレート基板 7 上で積層体 L B が位置変化しないようにアンカー膜 A F を形成してもよい。

[0165] アンカー膜 A F は、第 2 型半導体部 S 2 の側面若しくは第 1 型半導体部 S 1 の側面、並びにマスク部 5 に接し、積層体 L B をテンプレート基板 7 に繋ぎ止める。アンカー膜 A F としては、酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸窒化シリコン膜、酸化アルミニウム-シリコン膜、酸窒化アルミニウム膜、酸化ジルコニウム膜、酸化チタニウム膜、酸化タンタル膜などの誘電体膜等を用いることができる。

[0166] 後の工程における発光体 2 0 の選択転写の際には、アンカー膜 A F の少なくとも一部がテンプレート基板 7 に残留してもよいし、発光体 2 0 に付随してもよい。アンカー膜 A F は、導電性がないため、最終的にチップ上に残ったとしても電氣的リーク等を引き起こすおそれはない。

[0167] 次いで、第 1 型半導体部 S 1 の上方に活性部 A P とリッジ部 R J を有する第 2 型半導体部 S 2 とを形成する。第 2 型半導体部 S 2 は第 4 側面 F T S の少なくとも一部に接してよい。リッジ部 R J に絶縁膜 D F を形成した後、第 1 電極 E 1 を形成する。そして、積層体 L B に開溝部 G S を形成する。これにより、積層体 L B は、複数の発光体 2 0 に分割される。開溝部 G S は、劈開により生じた間隙空間であってよく、トレンチ T R であってもよい。以降の工程は、前述の実施例 1 および別構成例 1 C と同じであってよい。アンカー膜 A F およびマスク部 5 は、発光体 2 0 を支持基板 S K にジャンクションダウン実装する前に、除去されていてもよい。第 1 側面 F S を覆うようにアンカー膜 A F が位置している場合、第 1 接合材 C A 1 と第 1 側面 F S とが接触する可能性を効果的に低減できる。

[0168] (別構成例 2)

図28は、実施例2の別例における発光素子の製造方法を概略的に示す平面図である。実施例2の別構成例では、ELO法を用いて第1型半導体部S1を面状に形成した後、エッチング等により複数のバー状の第1型半導体部S1を形成してもよい。図28に示すように、準備したテンプレート基板7の上方にELO法で第1型半導体部S1を形成する。実施例2の別構成例では、マスク部5上を互いに近づくように成長する半導体結晶（例えばGaN系結晶）同士がマスク部5上で会合した後に成長を止める。その後、会合部の半導体結晶を除去することで複数の第1型半導体部S1が形成される。

[0169] 会合は、隣り合う開口部Kのほぼ中央（マスク部5の中央部）で起こる。平面視で面状の第1型半導体部S1に対して、Y方向に伸びる複数のトレンチTRを形成することで、複数のバー状の第1型半導体部S1が形成される。トレンチTRによって転位継承部HDを除去してもよいし、除去しなくてもよい。トレンチTRは、マスク部5を除去して平面視においてベース基板BKが露出するように形成してもよいし、マスク部5を残すように形成されてもよい。その後の工程は、上述の実施例2と同じであってよい。

[0170] [実施例3]

図29は、ベース半導体部の横方向成長の一例を示す断面図である。図30は、実施例3における発光素子の製造方法を概略的に示す断面図である。

[0171] ELO法によって形成されるベース半導体部S11は、以下のように横方向成長させることができる。図29に示すように、開口部Kから露出するシード部3（上層部のGaN層）上に、イニシャル成長部SLを形成し、その後、イニシャル成長部SLからベース半導体部S11を横方向成長させてよい。イニシャル成長部SLは、ベース半導体部S11の横方向成長の起点となる。ELO成膜条件を適宜制御することによって、ベース半導体部S11をZ方向（c軸方向）に成長させたり、X方向（a軸方向）に成長させたりする制御が可能である。

[0172] ここでは、イニシャル成長部SLのエッジが、マスク部5の上面に乗りあがる直前（マスク部5の側面上端に接している段階）、またはマスク部5の

上面に乗り上がった直後のタイミングでイニシャル成長部SLの成膜を止めてもよい（すなわち、このタイミングで、ELO成膜条件を、c軸方向成膜条件からa軸方向成膜条件に切り替えてもよい）。こうすれば、イニシャル成長部SLがマスク部5からわずかに突出している状態から横方向成膜を行なうため、ベース半導体部S11の厚さ方向への成長に材料が消費されることを低減し、ベース半導体部S11を高速で横方向成長させることができる。イニシャル成長部SLは、例えば $0.5\mu\text{m}$ 以上 $4.0\mu\text{m}$ 以下の厚さとすることができる。

[0173] 実施例3では、図30に示すように、第1型半導体部S1におけるリッジ部RJに近い方の側面である第1側面FSに、リッジ部RJの方に傾く第1傾斜面IFSが含まれていてよい。第2型半導体部S2は第1傾斜面IFSを覆っていてよい。また、第1型半導体部S1は、第2側面SSに、リッジ部RJの方に傾く第2傾斜面ISSが含まれていてよい。第2型半導体部S2は第2傾斜面ISSを覆っていてよい。

[0174] 実施例3では、第1傾斜面IFSを有することにより、第2型半導体部S2が活性部APの上方から第1型半導体部S1の側方に至るように形成され易くなる。また、第2型半導体部S2の上方から第1型半導体部S1の側方に至るように絶縁膜DFを形成し易い。実施例3では、絶縁膜DFが第2型半導体部S2の上方から、第1型半導体部S1の側方に至るように形成されていてよく、この場合、第1傾斜面IFSの少なくとも一部における法線方向の上方に絶縁膜DFが位置していてよい。第1傾斜面IFS上に形成された第2型半導体部S2の少なくとも一部を絶縁膜DFが覆っていてよい。また、絶縁膜DFとは別個に形成された第1絶縁膜DF1が第1傾斜面IFSの少なくとも一部を覆っていてよい。

[0175] 第1傾斜面IFSは結晶面であってよく、例えば窒化物半導体結晶の $(11-22)$ 面であってよく、 $(11-2\beta)$ 面 $(\beta$ は整数)であってよい。第1傾斜面IFSのZ2軸方向における高さH4は、第1型半導体部S1の高さH11（図11参照）の 0.1 倍以上 0.9 倍以下であってよい。第1

傾斜面 I F S は、結晶面に限定されず、加工面であってもよい。

[0176] 実施例 3 では、第 1 型半導体部 S 1 が第 1 傾斜面 I F S を有することにより、第 1 傾斜面 I F S に至るように絶縁膜 D F を形成し易くすることができる。第 1 傾斜面 I F S に至るように絶縁膜 D F が形成されていることによれば、積層体 L B へのドライエッチングによる意図しない影響が生じる可能性を効果的に低減することができる。その結果、発光体 2 0 を支持基板 S K にジャンクションダウン実装する際に、第 1 電極 E 1 と第 1 型半導体部 S 1 とが第 1 接合材 C A 1 を介して短絡する可能性を効果的に低減することができる。

[0177] [実施例 4]

図 3 1 は実施例 4 における発光素子の製造方法を概略的に示すフローチャートである。図 3 2 は実施例 4 における発光素子の製造方法を概略的に示す断面図である。図 3 3 は実施例 4 における発光素子の製造方法を概略的に示す断面図である。

[0178] 図 3 1 ~ 図 3 3 に示すように、実施例 4 における発光素子の製造方法では、ベース基板 B K 上に第 1 型半導体部 S 1、活性部 A P および第 2 型半導体部 S 2 がこの順に形成された半導体基板を準備する工程と、第 1 型半導体部 S 1、活性部 A P および第 2 型半導体部 S 2 の少なくとも 1 つの側面に絶縁膜（第 1 絶縁膜 D F 1）を形成する工程と、を含む。

[0179] 例えば成膜条件によっては、活性部 A P および第 2 型半導体部 S 2 は第 1 側面 F S に回り込むように形成されない場合がある。実施例 4 では、第 1 側面 F S の側において、第 1 型半導体部 S 1、活性部 A P および第 2 型半導体部 S 2 の少なくとも 1 つの側面を覆う第 1 絶縁膜 D F 1 を形成する。また、第 2 側面 S S を覆う第 2 絶縁膜 D F 2 を形成してもよい。

[0180] 実施例 4 における発光素子の製造方法では、さらに、支持基板 S K を準備する工程と、第 1 型半導体部 S 1、活性部 A P および第 2 型半導体部 S 2 それぞれの少なくとも一部を含む発光体 2 0 を、第 1 型半導体部 S 1 が活性部 A P よりも上側に位置するように、第 1 接合材 C A 1・第 2 接合材 C A 2 を

介して支持基板SKに接合する工程と、を含む。

[0181] 第2型半導体部S2、活性部AP、および第1型半導体部S1の一部をエッチング等で掘り込んで第1型半導体部S1の上面の一部を露出させる。これにより露出部ESを形成する。第3側面TSは絶縁膜が形成されていなくてよい。第2型半導体部S2にリッジ部RJを形成する。その後、第1電極E1および第2電極E2を形成する。

[0182] 次に、積層体LBを分割して片面2電極構造を有する発光体20を形成する。このように、実施例4における発光素子の製造方法は、第1絶縁膜DF1を形成した後において、活性部APを、活性部APの厚み方向に平行かつ第1側面FSと交差する断面が出るように複数に分割する工程を含む。そして、発光体20をベース基板BKから分離する工程を行う。発光体20を支持基板SKにジャンクションダウン実装することにより発光素子30を形成する。その他、各工程の詳細については、上述の実施例1～3を参照して理解できる。

[0183] 従来のように最終チップ切り出しの際にレーザ体の側面が形成される場合では、複数のレーザ体の側面に絶縁膜を一括して形成することが困難である。これに対して、実施例4では、ベース基板BK上において複数の発光体20の側面に絶縁膜を一括して形成する（換言すればウエハレベルで絶縁膜を一括形成する）ことが可能となる。

[0184] [実施例5]

図34は実施例5における発光体の構成を示す斜視図である。図35Aは実施例5における発光体の部分断面図である。図35Bは実施例5における発光体の部分平面図である。図36は実施例5における発光素子の製造方法を概略的に示す平面図である。

[0185] 実施例5における発光素子では、発光体20は例えば発光ダイオードであってよい。図34～図36に示すように、発光体20は、第1型半導体部S1、活性部AP、および第2型半導体部S2それぞれの少なくとも一部を含む。第2型半導体部S2は、活性部APの上方から、第1型半導体部S1の

側方に至るように配されている。第2型半導体部S2は、第1型半導体部S1の第1側面FSの少なくとも一部を覆っていてよい。活性部APは窒化物半導体を含み、活性部APのc軸方向に光を出射する。

[0186] 実施例5における発光素子の製造方法では、テンプレート基板7上に第1型半導体部S1を形成した後、第1型半導体部S1に複数のトレンチTRを形成してよい。第1型半導体部S1は、ベース半導体部S11と、ベース半導体部S11上に形成したリグロース層（例えば、n型Ga_{0.9}N_{0.1}系半導体を含むバッファ層）を含む第1型部S12とを有してよい。

[0187] 一般に、活性部APの形成後にドライエッチングにより素子分離すると、チップの側面がエッチャントのイオン原子により物理的、化学的なダメージを受けることがある。チップサイズが20μm以下程度になると、チップの発光領域に対する側面ダメージの比率が上がる。そのため活性部APの側面ダメージが深刻となり得る。

[0188] これに対し、実施例5では、活性部APの形成前に第1型半導体部S1を分割するためのトレンチTRを形成し、活性部APを形成した後は素子分割のエッチングを行わなくてよい。これにより、活性部APおよび第2型半導体部S2の側面の状態を高めることができる。

[0189] 活性部APが発光部LSを含み、発光部LSの全体が平面視で第2部B2（低欠陥部SD）と重なってもよい。活性部APへのエッチングダメージが避けられるため、発光部LSの1つの辺のサイズLyが小さくてもよい。発光部LSの1つの辺（例えば、隣接するトレンチTRに直交する辺）のサイズLyが、80μm以下であってもよく、40μm以下であってもよく、20μm以下であってもよく、10μm以下であってもよく、5μm以下であってもよい。

[0190] 第1型半導体部S1に対するエッチングがドライエッチングであり、このドライエッチングがマスク部5でストップしてもよい。この場合、マスク部5がエッチングストッパとして機能し、トレンチTRの底にマスク部5が露出する。この場合、必ずしもマスク部5の表面にてエッチングがストップす

る必要はなく、マスク部5中でエッチングがストップすればよい。マスク部5は、第1型半導体部S1よりもエッチングされにくい材料で形成され、エッチングをストップする役割を果たせば、マスク部5の一部がエッチングされてもよい。

[0191] ギャップGPおよびトレンチTRの空間に原料が入り込むことにより、活性部APの上方から、第1型半導体部S1における第1側面FSの側の側方に至るとともに第2側面SSの側の側方に至るように第2型半導体部S2を形成できる。実施例5では、第1型半導体部S1における、発光体20の端面20F（図2参照）の側の側方に至るように第2型半導体部S2が形成されていてもよい。

[0192] その後、第2型半導体部S2、活性部AP、および第1型半導体部S1の一部をエッチング等で掘り込んで第1型半導体部S1の上面の一部を露出させる。第3側面TSは第2型半導体部S2によって覆われていなくてよい。そして、第1電極E1および第2電極E2を形成する。これにより発光体20を形成する。その後の工程は、上述の実施例1等と同じであってよい。

[0193] （別構成例5）

（5A）

実施例5の別例では、第1型半導体部S1、活性部AP、および第2型半導体部S2を形成した後に、開溝部GSを形成することによって積層体LBを複数の発光体20に分割してもよい。開溝部GSは劈開によって形成されてもよい。開溝部GSはエッチングによって形成されたトレンチTRであってもよい。

[0194] （5B）

図37は、実施例5の別例における発光素子の製造方法を概略的に示す平面図である。図37に示すように、第1型半導体部S1に形成される複数のトレンチTRの少なくとも1つによって、第1型半導体部S1における開口部K上の部分（転位継承部HD）を除去し、低欠陥部SDを有する第1型半導体部S1上に活性部APおよび第2型半導体部S2を形成する。

[0195] 活性部A Pおよび第2型半導体部S 2を形成した後に、テンプレート基板7上で積層体L Bが位置変化しないようにアンカー膜A Fを形成してもよい。例えば、レジストマスクを用いて、アンカー膜A Fを全面にスパッタやE B (Electron Beam Deposition) 法で成膜し、その後にレジストマスクを除去することでアンカー膜A Fの不要部分をリフトオフすることができる。

[0196] (5 C)

実施例5では、発光素子3 0が活性部A Pのc軸方向に光を出射するL E D素子を例示して説明したが、これに限定されず、実施例5の別例では、発光素子3 0は、活性部A Pのc軸方向に光を出射する面発光型の半導体レーザ素子(V C S E L : a vertical cavity surface emitting laser element)であってもよい。

[0197] [実施例6]

図3 8は実施例6における発光素子の製造方法を概略的に示す平面図である。実施例1等では、E L O法によってベース半導体部S 1 1を形成していた。これに限定されず、本開示の一実施例における発光素子の製造方法では、ベース基板B Kとして例えばサファイア基板を用いてもよく、サファイア基板の上方に、窒化物半導体を含む半導体層が面状に形成されていてよい。半導体基板1 0は、G a N基板上にマスク6を有していなくてもよい。

[0198] 本明細書では、E L O法により形成したベース半導体部S 1 1と区別するために、一般的な手法にて形成される半導体部を半導体部S Gと称する。半導体部S Gは、例えば、成長用基板上において縦方向にエピタキシャル成長させた一般的な窒化物半導体を含む半導体層である。

[0199] 図3 8に示すように、例えば、半導体基板1 0における半導体部S Gの一部をエッチングにより除去することによって、複数のバー状の半導体部S Gを形成することができる。半導体部S Gを第1型半導体部S 1として用いてもよいし、半導体部S G上に第1型部S 1 2を適宜形成することにより半導体部S Gと第1型部S 1 2とを含む第1型半導体部S 1を形成してもよい。これにより第1型半導体部S 1は第1側面F Sを有する。

[0200] 次いで、第1型半導体部S1の上方に活性部APを形成する。その後、活性部APの上方から第1型半導体部S1の側方に至るように配された第2型半導体部S2を形成する。発光体20が例えばレーザ体である場合、リッジ部RJを形成するとともに、第2型半導体部S2、活性部AP、および第1型半導体部S1の一部をエッチング等で掘り込んで第1型半導体部S1の上面の一部を露出させる。そして第1電極E1および第2電極E2を形成する。その後の工程は、上述の実施例1等と同様に行うことができる。そのため図示をして詳細に説明することは省略する。

[0201] ベース基板BKからの発光体20の剥離は、種々の方法により行ってよく、例えばレーザリフトオフ法により行ってよい。また、ベース基板BKと半導体部SGとの間に、機械的な剥離を容易にするための脆弱層（窒化ホウ素）を形成していてもよい。光電気化学エッチングによるリフトオフを可能にする犠牲層（InGa_N）を形成していてもよい。

[0202] [附記事項]

以上、本開示に係る発明について、諸図面および実施例に基づいて説明してきた。しかし、本開示に係る発明は上述した各実施形態および実施例に限定されるものではない。すなわち、本開示に係る発明は本開示で示した範囲で種々の変更が可能であり、異なる実施形態および実施例にそれぞれ開示された技術的手段を適宜組み合わせ得られる実施形態についても本開示に係る発明の技術的範囲に含まれる。つまり、当業者であれば本開示に基づき種々の変形または修正を行うことが容易であることに注意されたい。また、これらの変形または修正は本開示の範囲に含まれることに留意されたい。

符号の説明

- [0203] 1 主基板
5 マスク部
6 マスク
7 テンプレート基板
10 半導体基板

- 20 発光体
- 30 発光素子
- AP 活性部
- BK ベース基板
- CA 接合材（導電性接合材）
- CA1 第1接合材（導電性接合材）
- CA2 第2接合材（導電性接合材）
- DF 絶縁膜
- E1 第1電極
- E2 第2電極
- FS 第1側面
- S1 第1型半導体部
- S11 ベース半導体部
- S12 第1型部
- S2 第2型半導体部
- SS 第2側面
- ST 支持体

請求の範囲

- [請求項1] 第1側面を有し、第1型導電性を有する第1型半導体部と、前記第1型半導体部の下方に位置する活性部と、第2型導電性を有し、前記活性部の下方から前記第1型半導体部の側方に至るように配された第2型半導体部と、を含む発光体と、
導電性接合材と、
前記発光体の下方に位置し、前記第1型半導体部が前記活性部よりも上側に位置するように、前記導電性接合材を介して前記発光体を支持する支持体と、を備える発光素子。
- [請求項2] 前記第2型半導体部は、前記第1型半導体部よりも厚みが小さい、請求項1に記載の発光素子。
- [請求項3] 前記第2型半導体部は、前記第1側面に接する、請求項1または2に記載の発光素子。
- [請求項4] 前記導電性接合材は、加熱流動性、加圧硬化性、熱硬化性、および光硬化性の少なくとも1つを有する導電性材料で構成される、請求項1～3のいずれか1項に記載の発光素子。
- [請求項5] 前記第1型半導体部および前記活性部の積層方向に発光素子を視る平面視において、前記導電性接合材のエッジの一部が前記発光体からはみ出している、請求項1～4のいずれか1項に記載の発光素子。
- [請求項6] 前記導電性接合材が、前記第2型半導体部に沿って遡上している、請求項1～5のいずれか1項に記載の発光素子。
- [請求項7] 前記導電性接合材の遡上高さが、前記第1型半導体部の下面レベルを超える、請求項6に記載の発光素子。
- [請求項8] 前記第1型半導体部はn型半導体部であり、前記第2型半導体部はp型半導体部である、請求項1～7のいずれか1項に記載の発光素子。
。
- [請求項9] 前記第1側面は、前記第1型半導体部のa軸方向に向かい合う2つの側面の一方である、請求項1～8のいずれか1項に記載の発光素子

- 。
- [請求項10] 前記第1型半導体部は、前記2つの側面の他方である第2側面を有し、
- 前記第2型半導体部は、前記活性部の下方から、前記第1型半導体部における前記第1側面の側の側方に至るとともに前記第2側面の側の側方に至るように配されている、請求項9に記載の発光素子。
- [請求項11] 前記第1側面に傾斜面が含まれ、
- 前記第2型半導体部は前記傾斜面を覆う、請求項1～10のいずれか1項に記載の発光素子。
- [請求項12] 前記活性部は窒化物半導体を含み、
- 前記第2型半導体部はリッジを含み、
- 前記発光体は、前記第1型半導体部、前記活性部、および前記第2型半導体部それぞれの少なくとも一部を含み、一对の共振器端面を含む光共振器を有する、請求項1～11のいずれか1項に記載の発光素子。
- [請求項13] 前記第1側面は、その反対側の第2側面よりも前記リッジに近い、請求項12に記載の発光素子。
- [請求項14] 前記第1型半導体部および前記第2型半導体部は窒化物半導体を含み、
- 前記第1型半導体部は、a軸方向における中央部よりも前記第1側面に近いとともに前記中央部よりも貫通転位密度が小さいウイング部を有し、
- 前記リッジは、平面視において前記ウイング部と重なり、
- 前記一对の共振器端面のそれぞれが窒化物半導体のm面である、請求項12または13に記載の発光素子。
- [請求項15] 前記活性部は、前記ウイング部の下方に位置する発光部を含む、請求項14に記載の発光素子。
- [請求項16] 前記活性部は窒化物半導体を含み、

前記活性部のc軸方向に光を出射する、請求項1～11のいずれか1項に記載の発光素子。

[請求項17] 前記第1側面上に回り込んだ前記第2型半導体部の部分を覆う絶縁膜を備える、請求項1～16のいずれか1項に記載の発光素子。

[請求項18] 前記第1型半導体部が窒化物半導体を含み、
前記第1側面が結晶面で構成される、請求項1～17のいずれか1項に記載の発光素子。

[請求項19] 前記第1型半導体部は、GaN系半導体を含む、請求項1～18のいずれか1項に記載の発光素子。

[請求項20] 前記第2型半導体部の下方にアノードが設けられ、
前記第1型半導体部の上方にカソードが設けられている、請求項8に記載の発光素子。

[請求項21] 前記第1型半導体部は、下方に前記第2型半導体部が位置していない露出部を有し、
前記第2型半導体部の下方にアノードが設けられ、
前記露出部の下方にカソードが設けられている、請求項8に記載の発光素子。

[請求項22] ベース基板上に第1側面を有する第1型半導体部が形成された半導体基板を準備する工程と、
前記第1型半導体部の上方に活性部を形成する工程と、
前記活性部の上方から前記第1型半導体部の側方に至るように配された第2型半導体部を形成する工程と、
支持基板を準備する工程と、
前記第1型半導体部、前記活性部、および前記第2型半導体部それぞれの少なくとも一部を含む発光体を、前記第1型半導体部が前記活性部よりも上側に位置するように、導電性接合材を介して前記支持基板に接合する工程とを含む、発光素子の製造方法。

[請求項23] ベース基板上に第1型半導体部、活性部および第2型半導体部がこ

の順に形成された半導体基板を準備する工程と、

前記第1型半導体部、前記活性部および前記第2型半導体部の少なくとも1つの側面に絶縁膜を形成する工程と、

支持基板を準備する工程と、

前記第1型半導体部、前記活性部、および前記第2型半導体部それぞれの少なくとも一部を含む発光体を、前記第1型半導体部が前記活性部よりも上側に位置するように、導電性接合材を介して前記支持基板に接合する工程とを含む、発光素子の製造方法。

[請求項24] 前記発光体を前記ベース基板から分離する工程を含む、請求項22または23に記載の発光素子の製造方法。

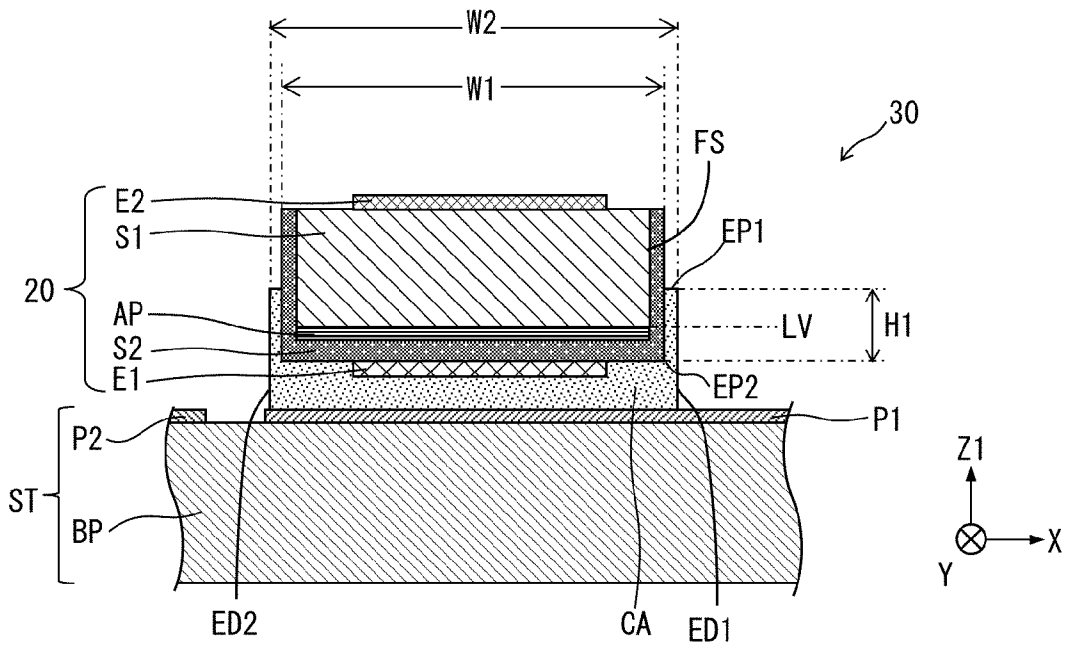
[請求項25] 前記第2型半導体部を形成した後に、前記活性部を、前記活性部の厚み方向に平行かつ前記第1側面と交差する断面が出るように複数に分割する工程を含む、請求項22に記載の発光素子の製造方法。

[請求項26] 前記絶縁膜を形成した後に、前記活性部を、前記活性部の厚み方向に平行かつ前記側面と交差する断面が出るように複数に分割する工程を含む、請求項23に記載の発光素子の製造方法。

[請求項27] 請求項22～26のいずれか1項に記載の各工程を行う、発光素子の製造装置。

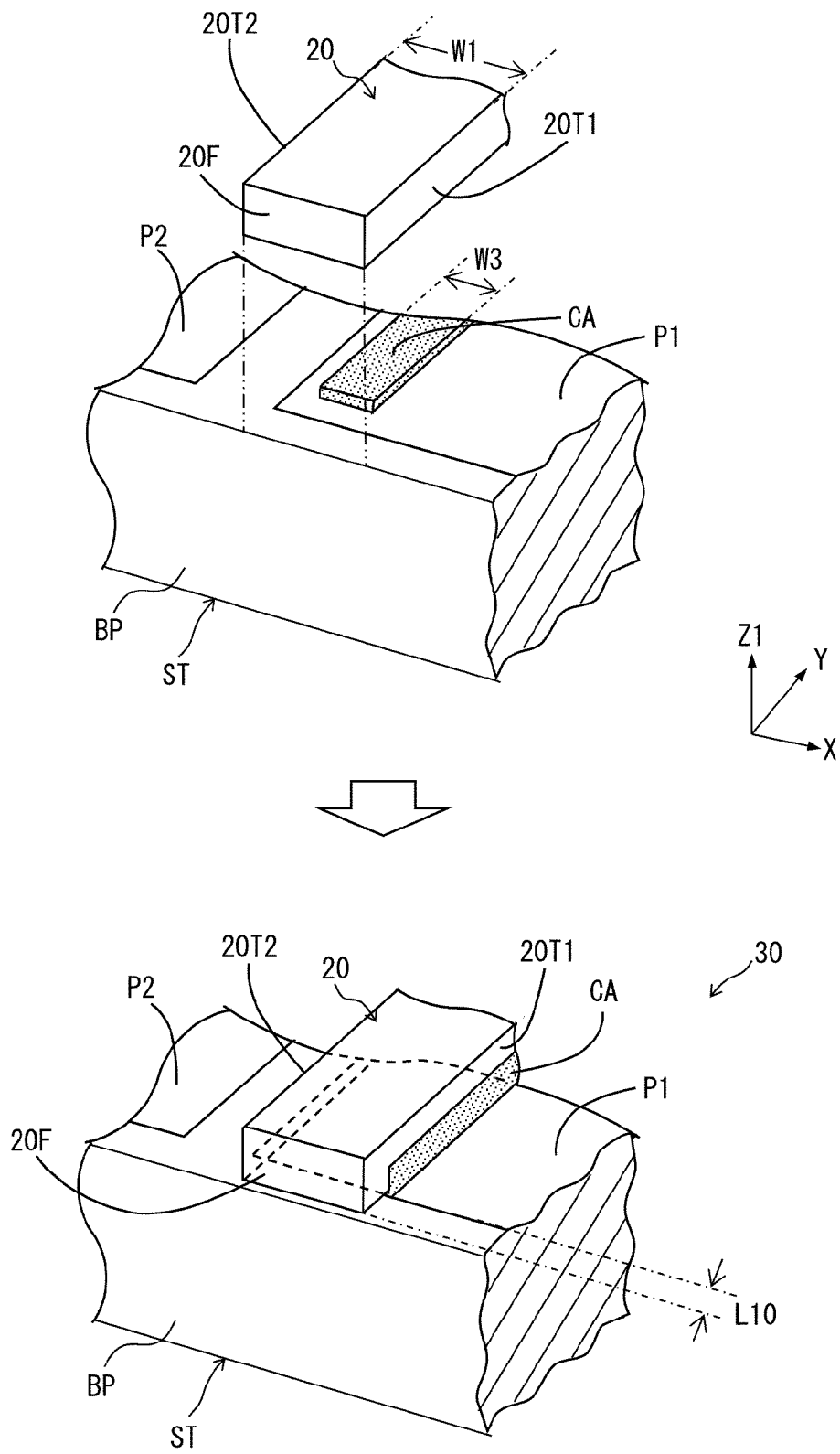
[図1]

図 1



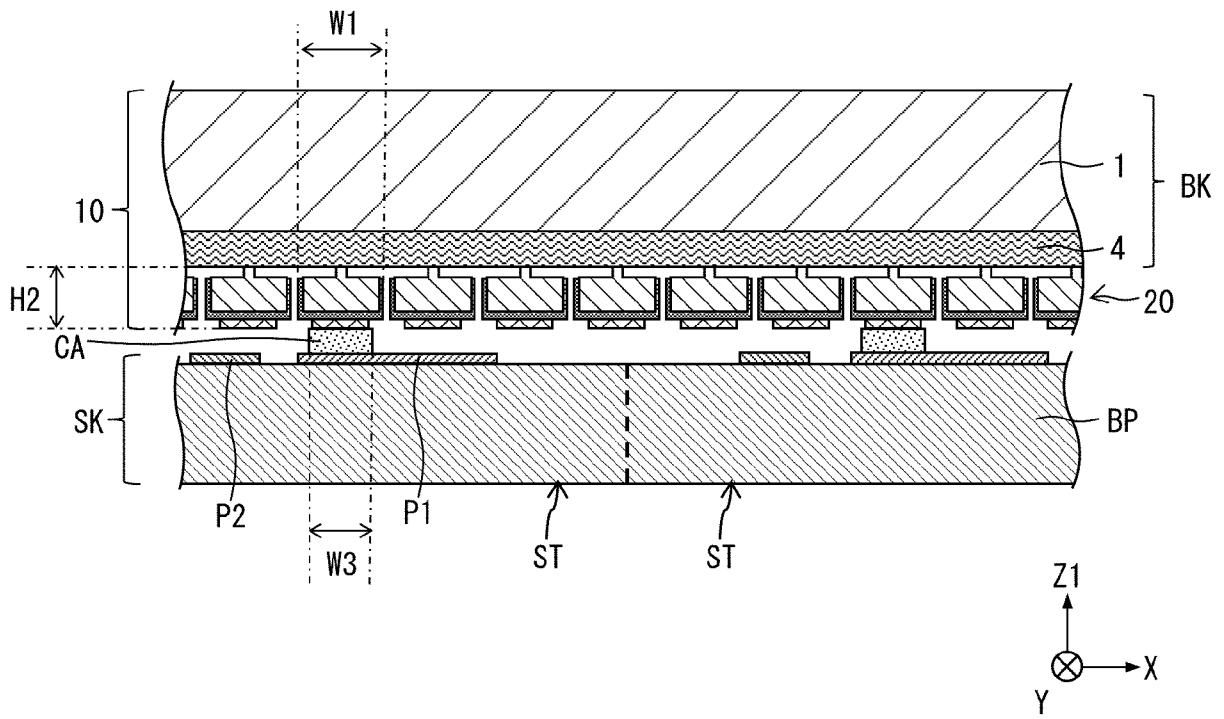
[図2]

図 2



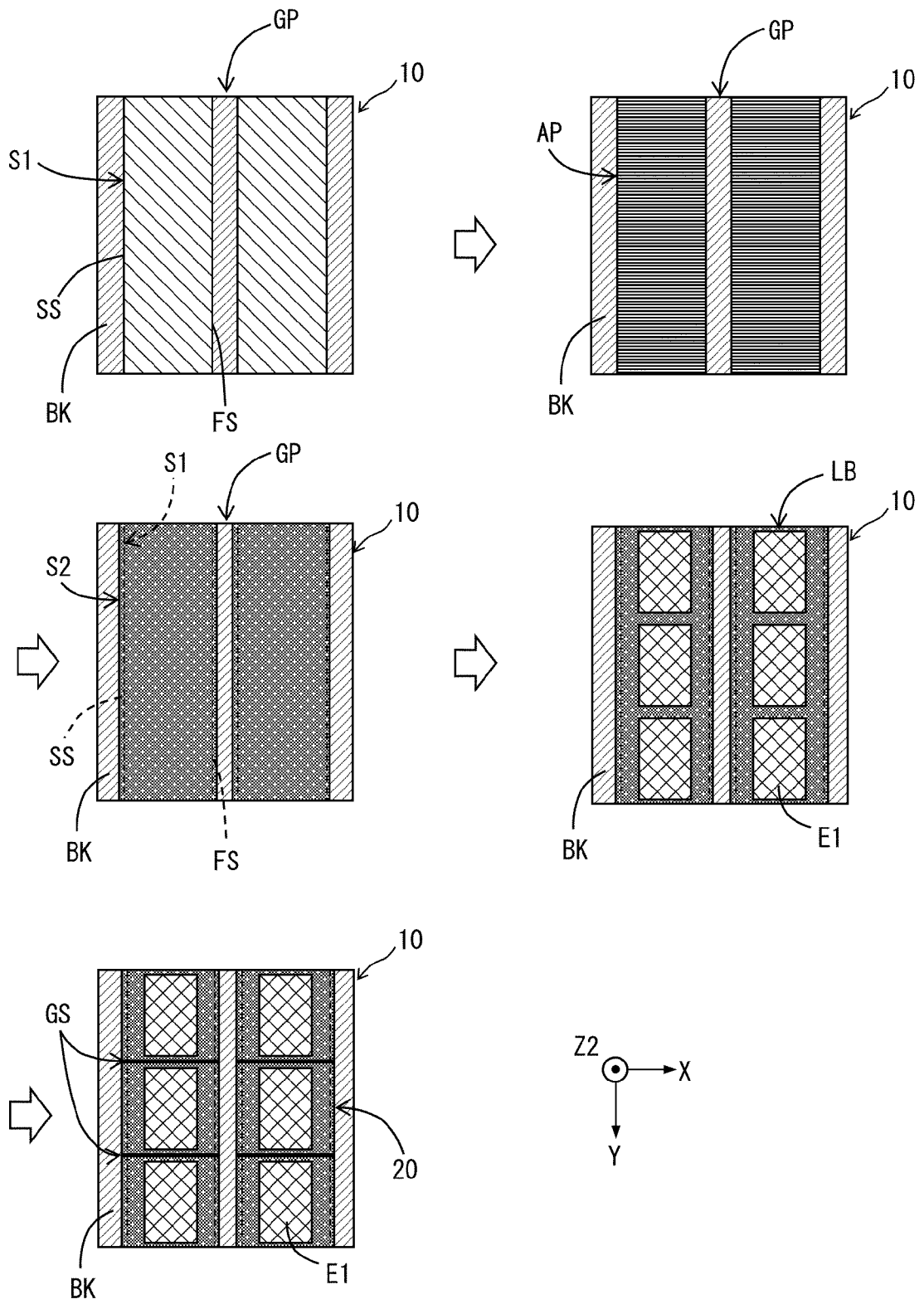
[図3]

図 3



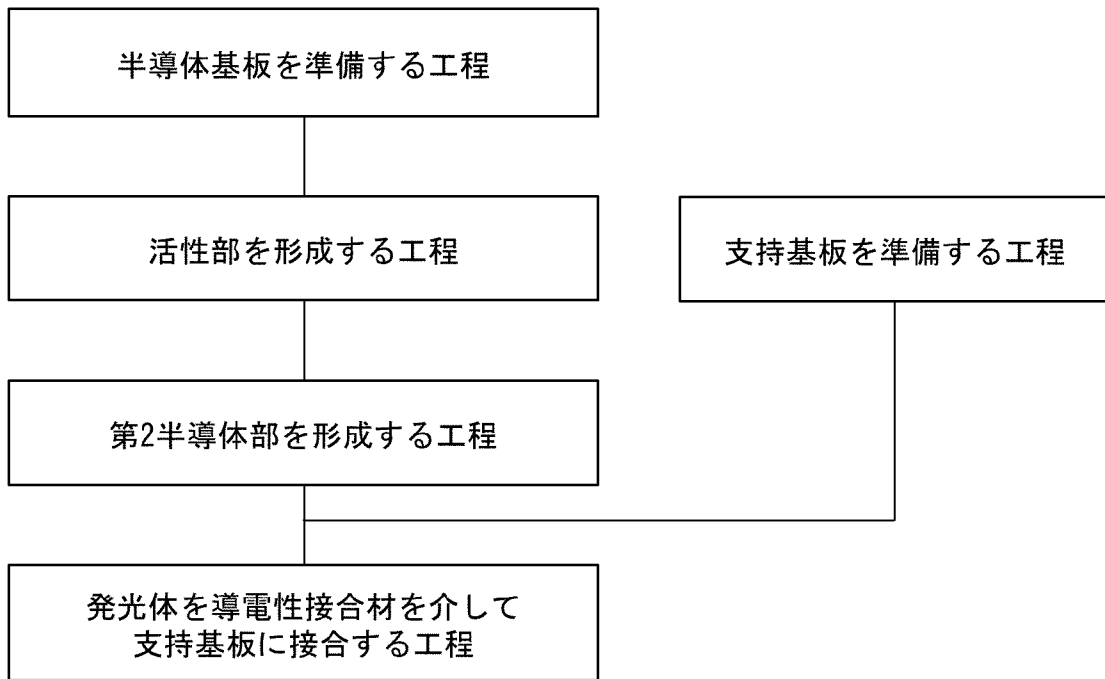
[図4]

図 4



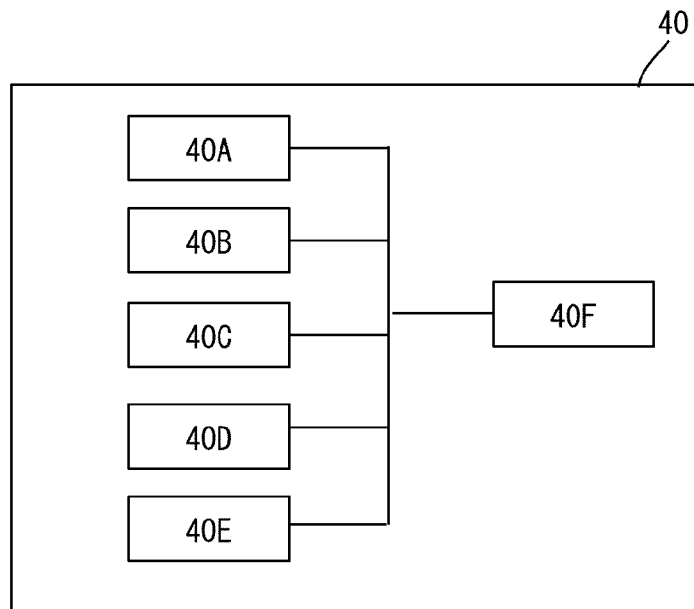
[図5]

図 5



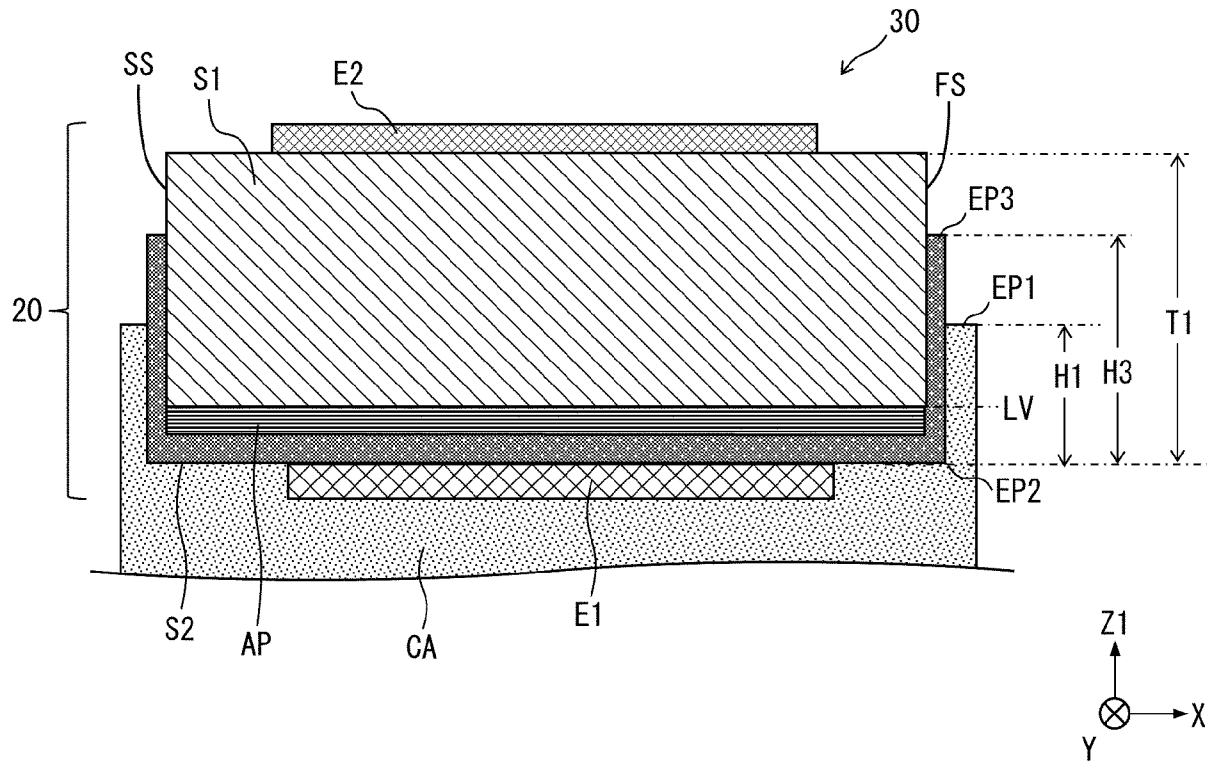
[図6]

図 6



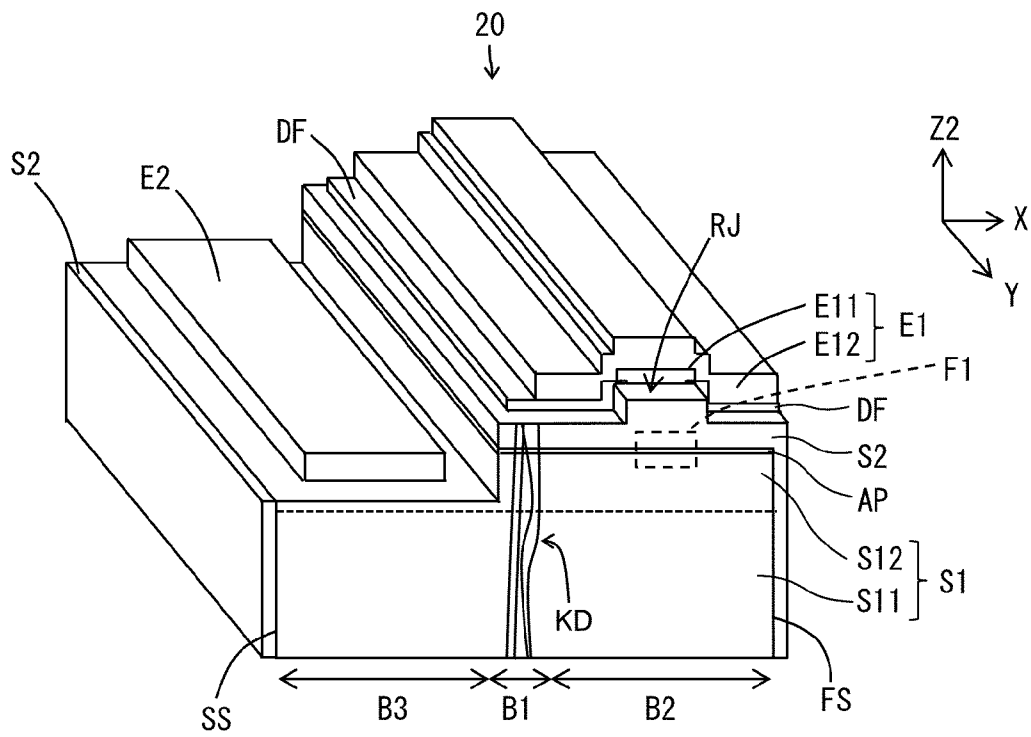
[図7C]

図 7C



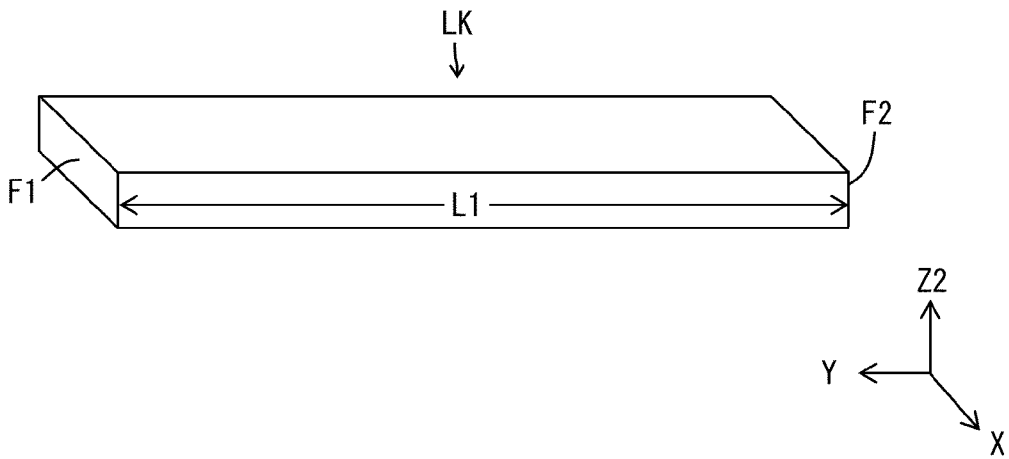
[図8]

図 8



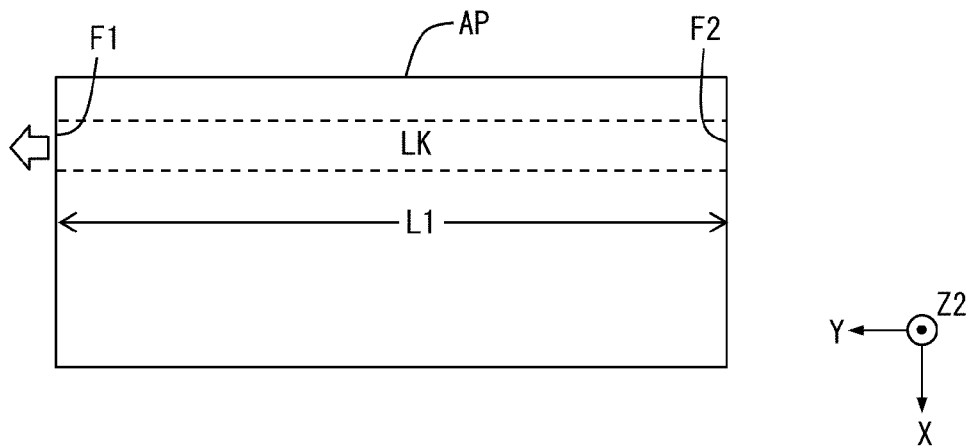
[図9]

図 9



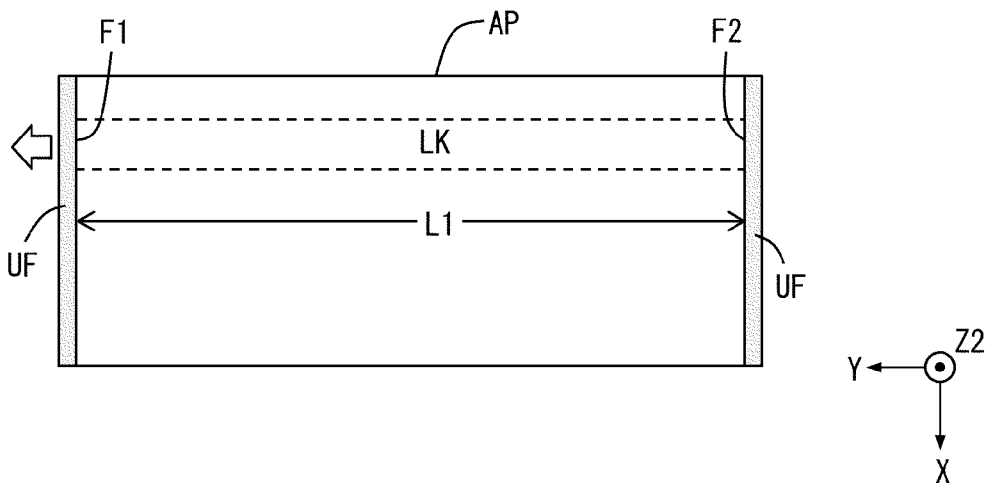
[図10A]

図 10A



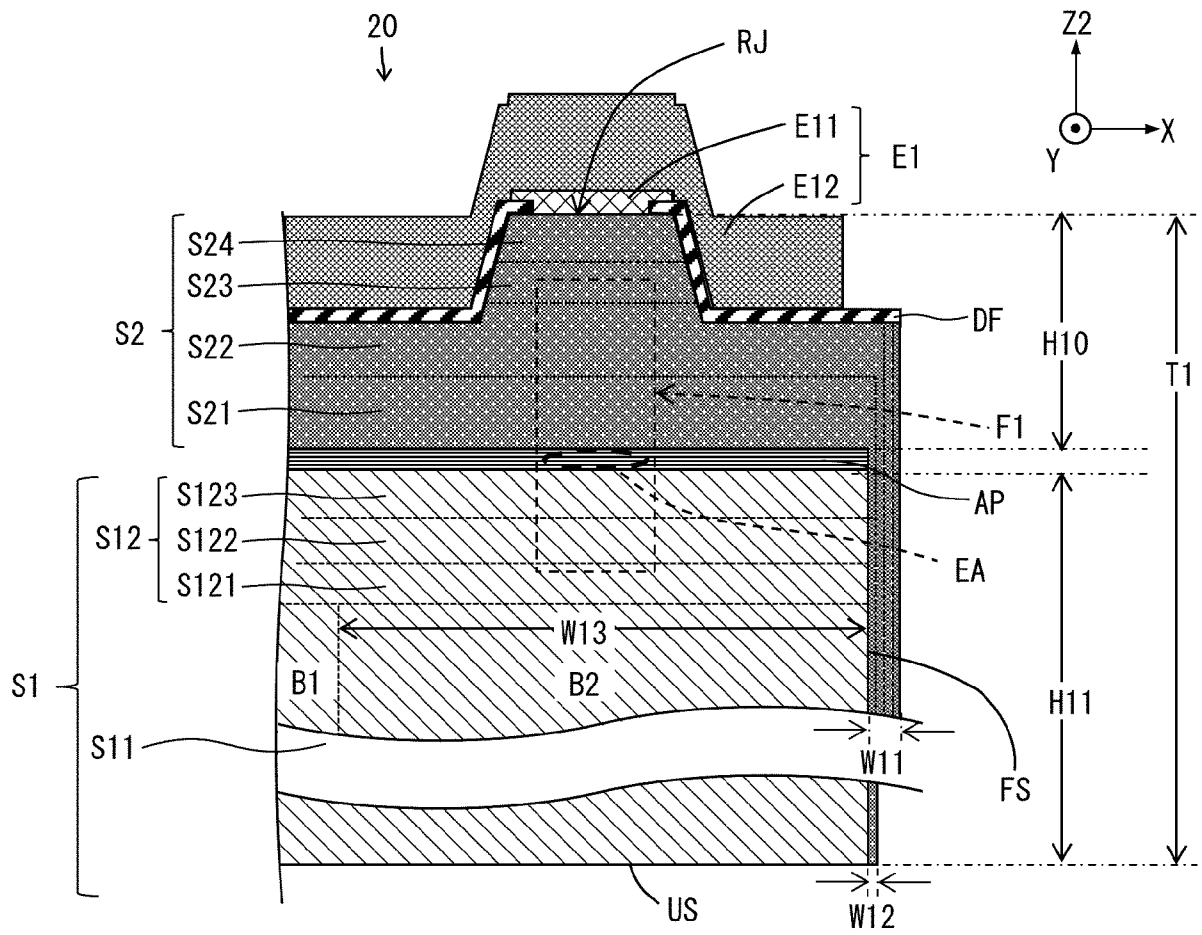
[図10B]

図 10B



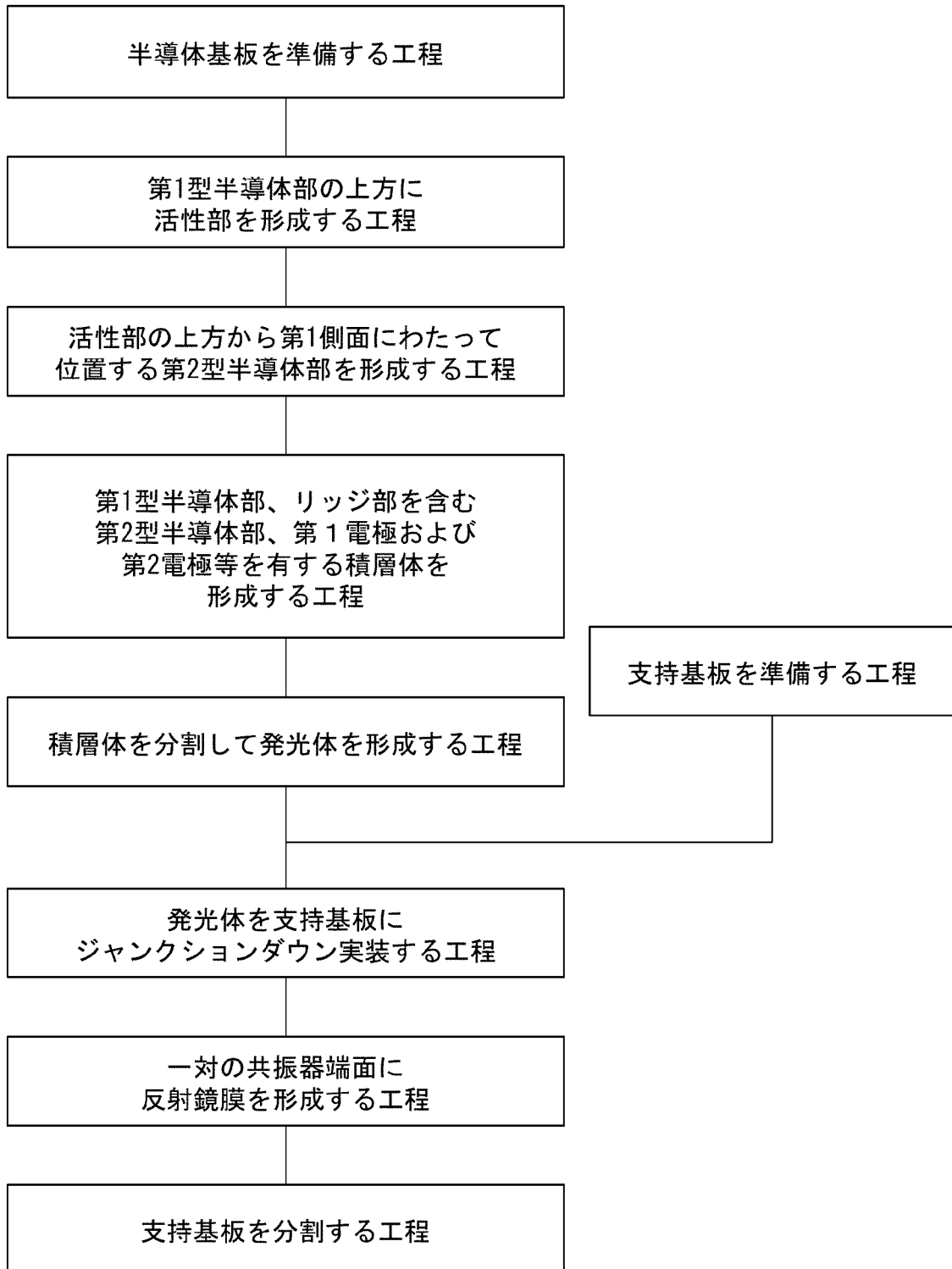
[図11]

図 11



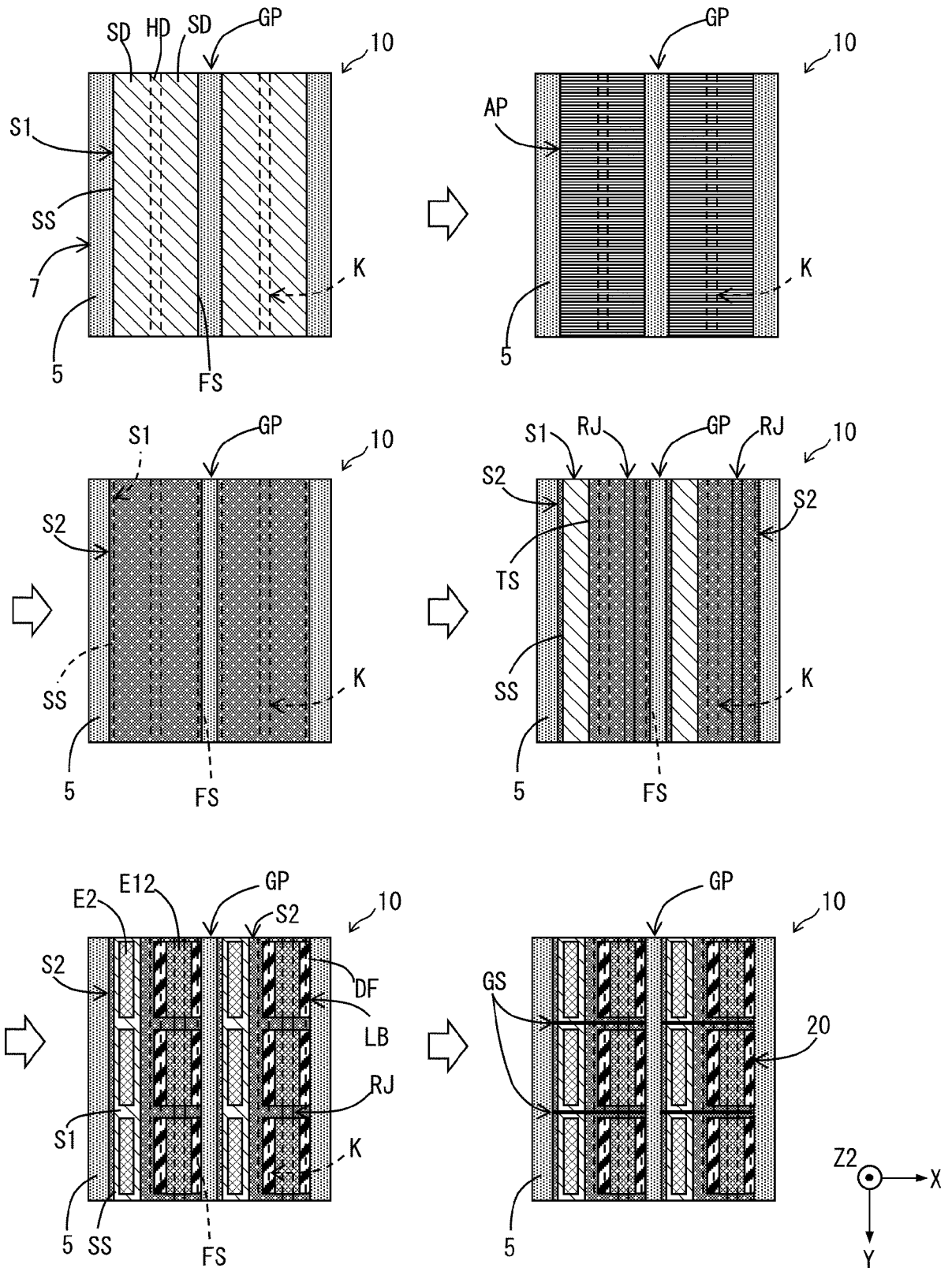
[図12]

図 12



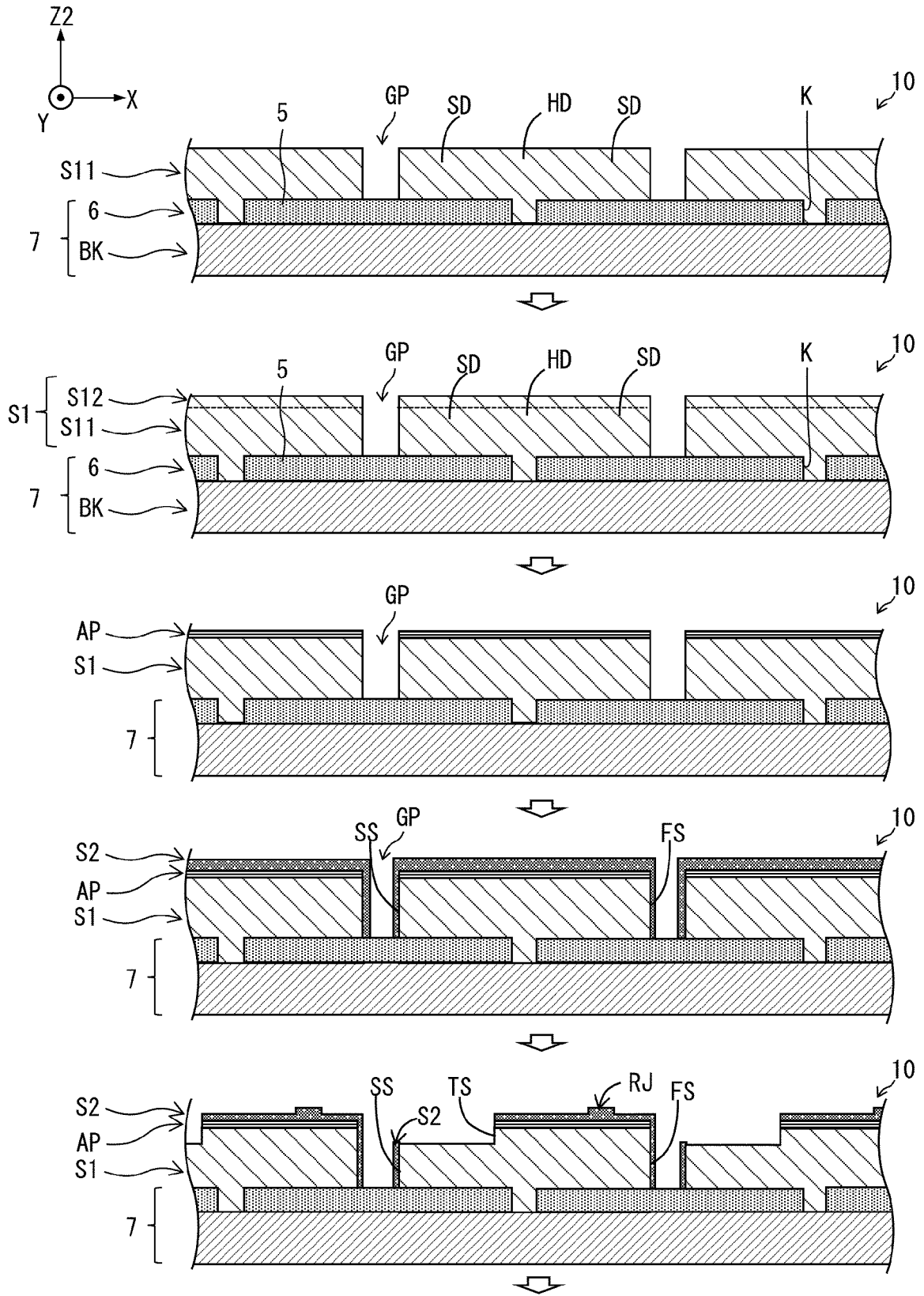
[図13]

図 13



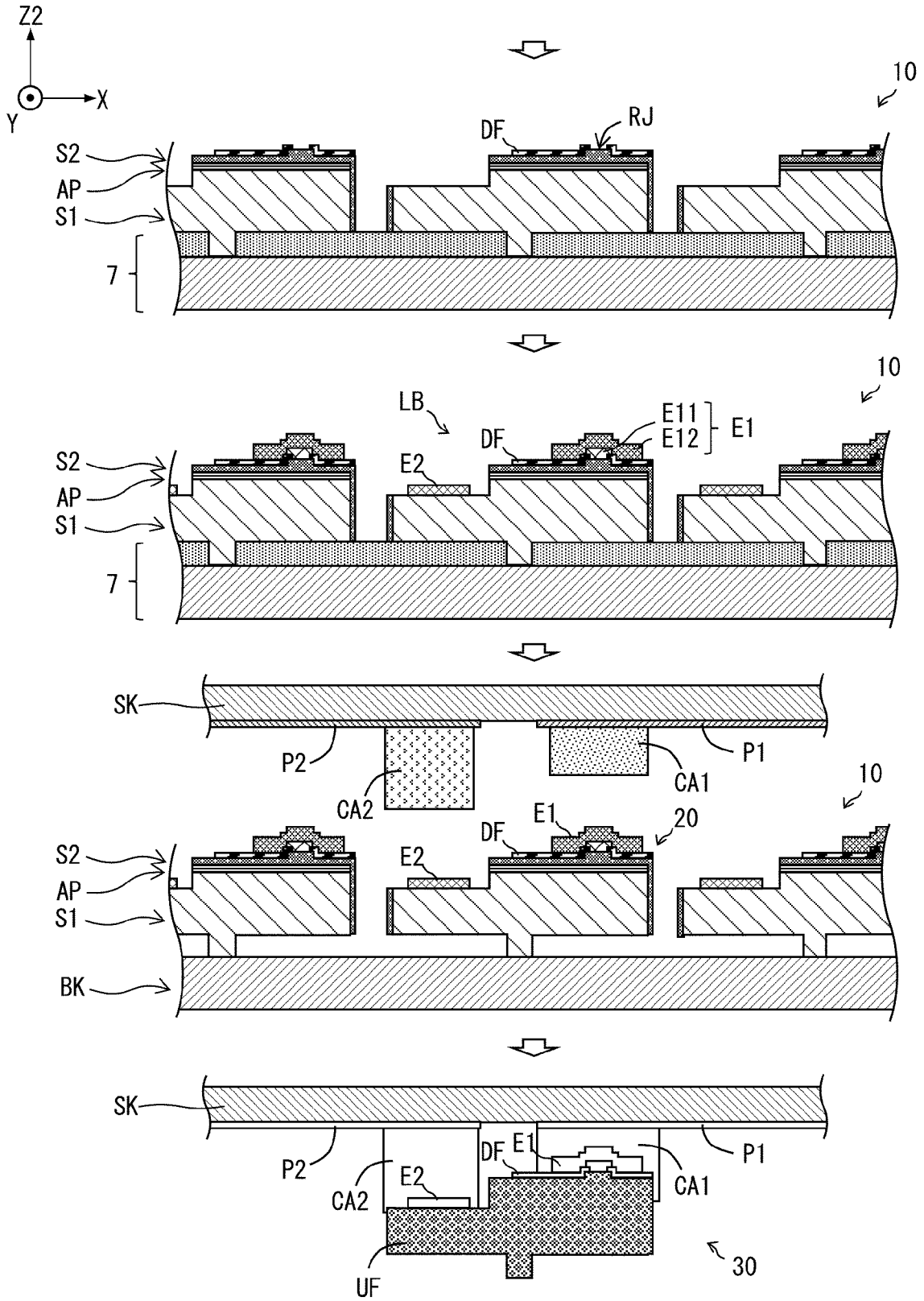
[図14]

図 14



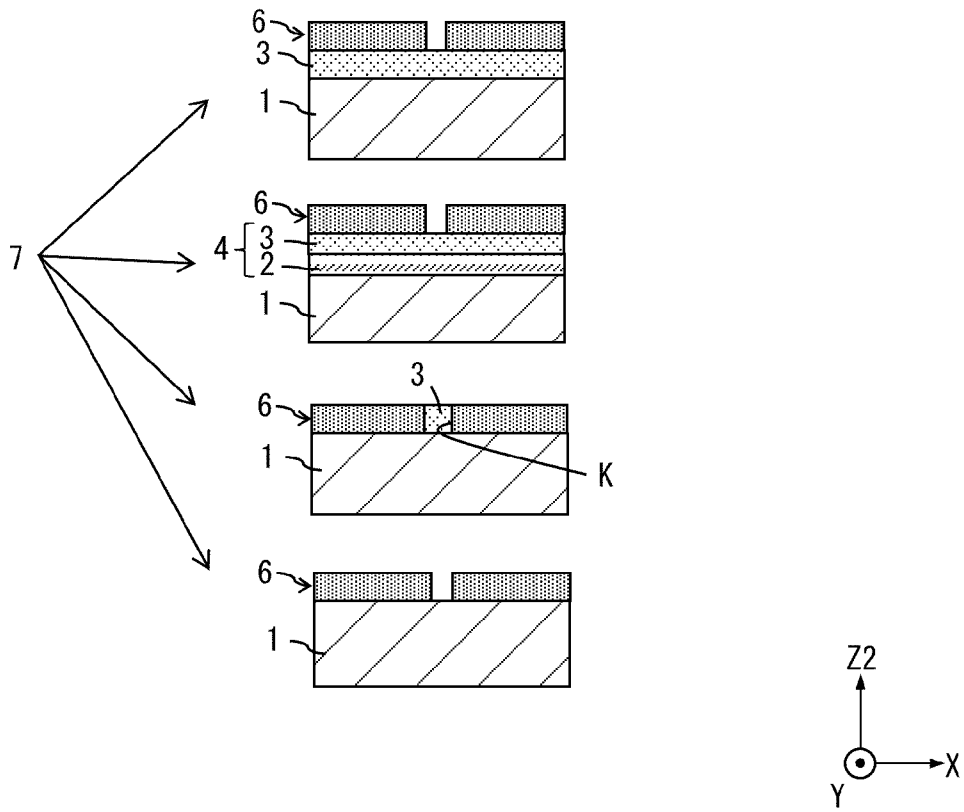
[図15]

図 15



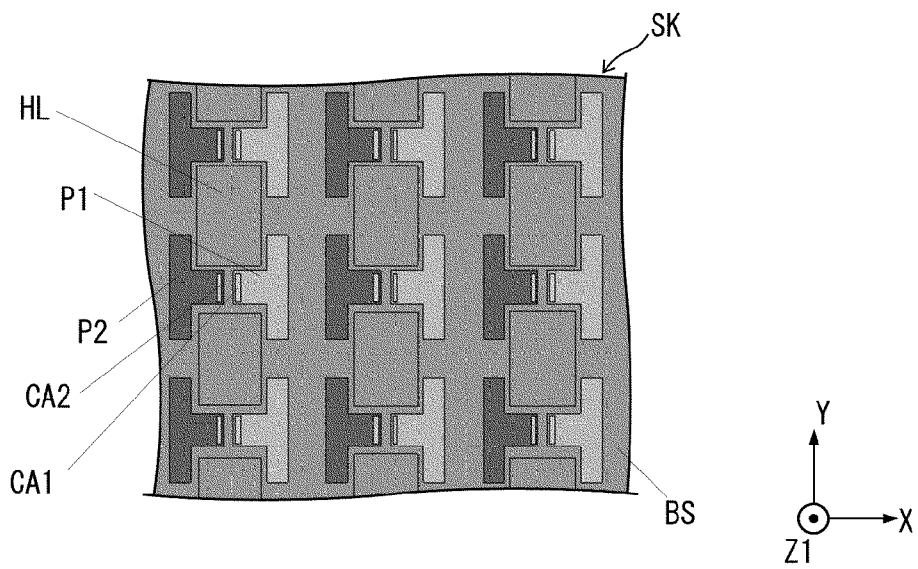
[図16]

図 16



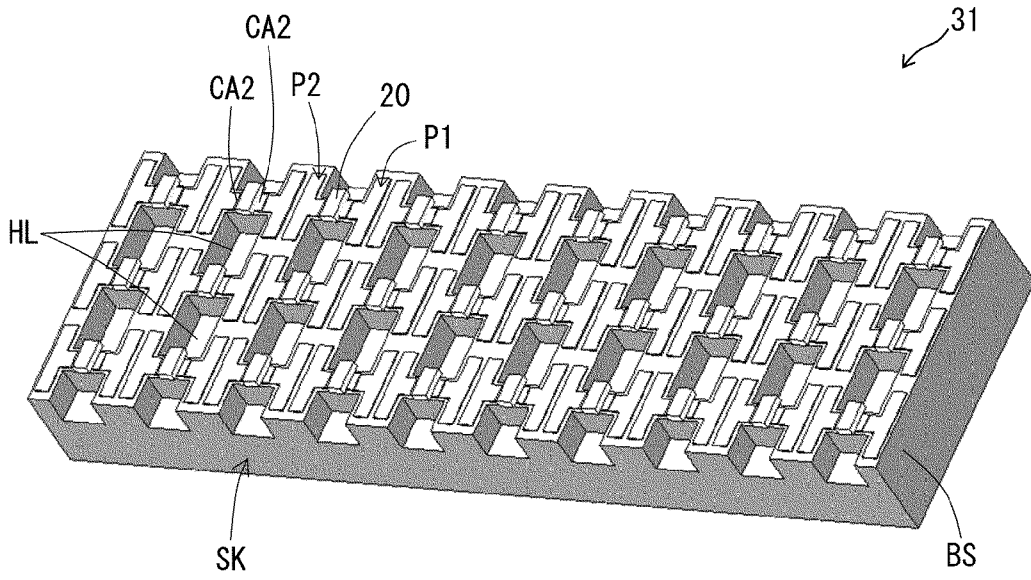
[図17]

図 17



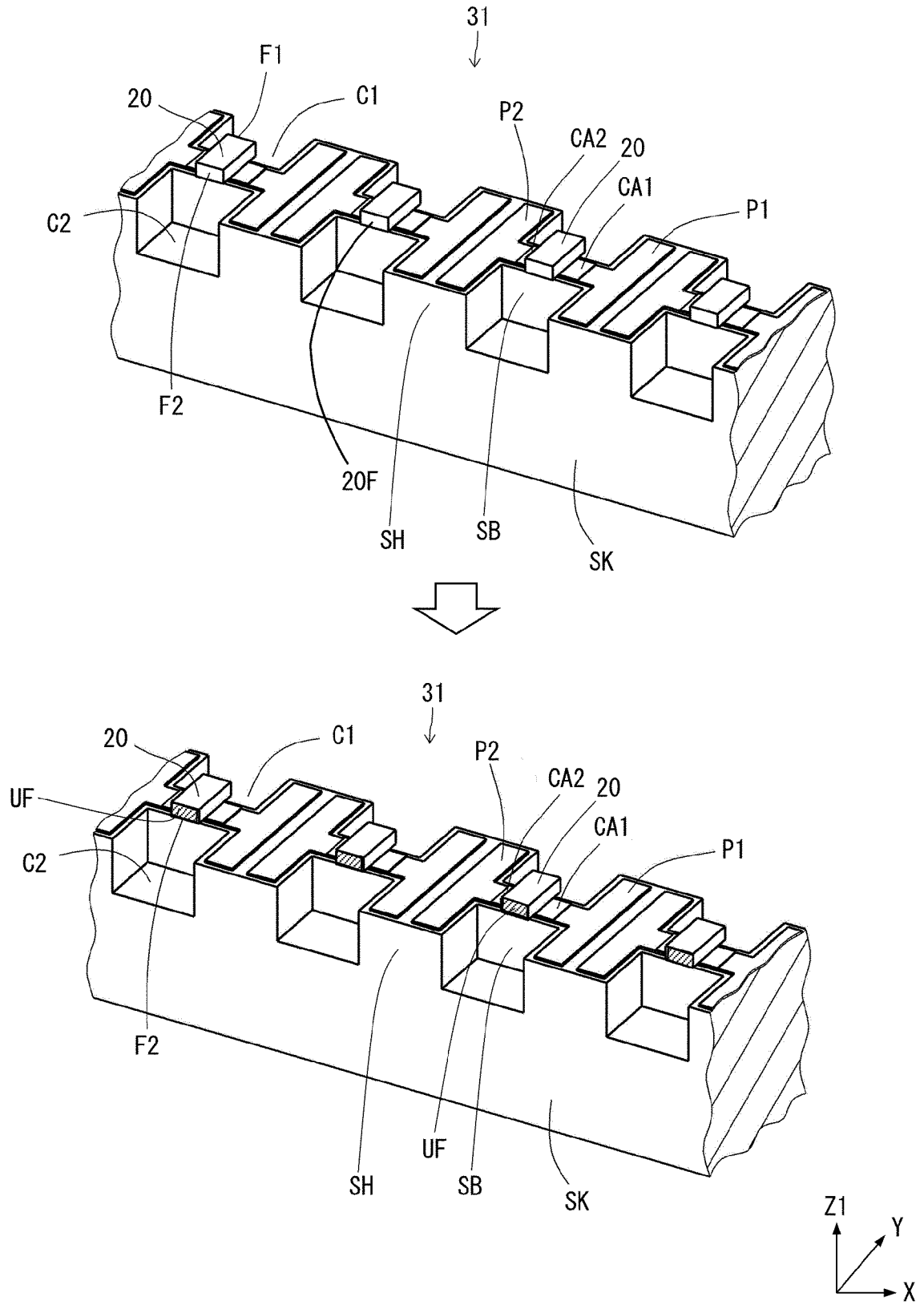
[図18]

図 18



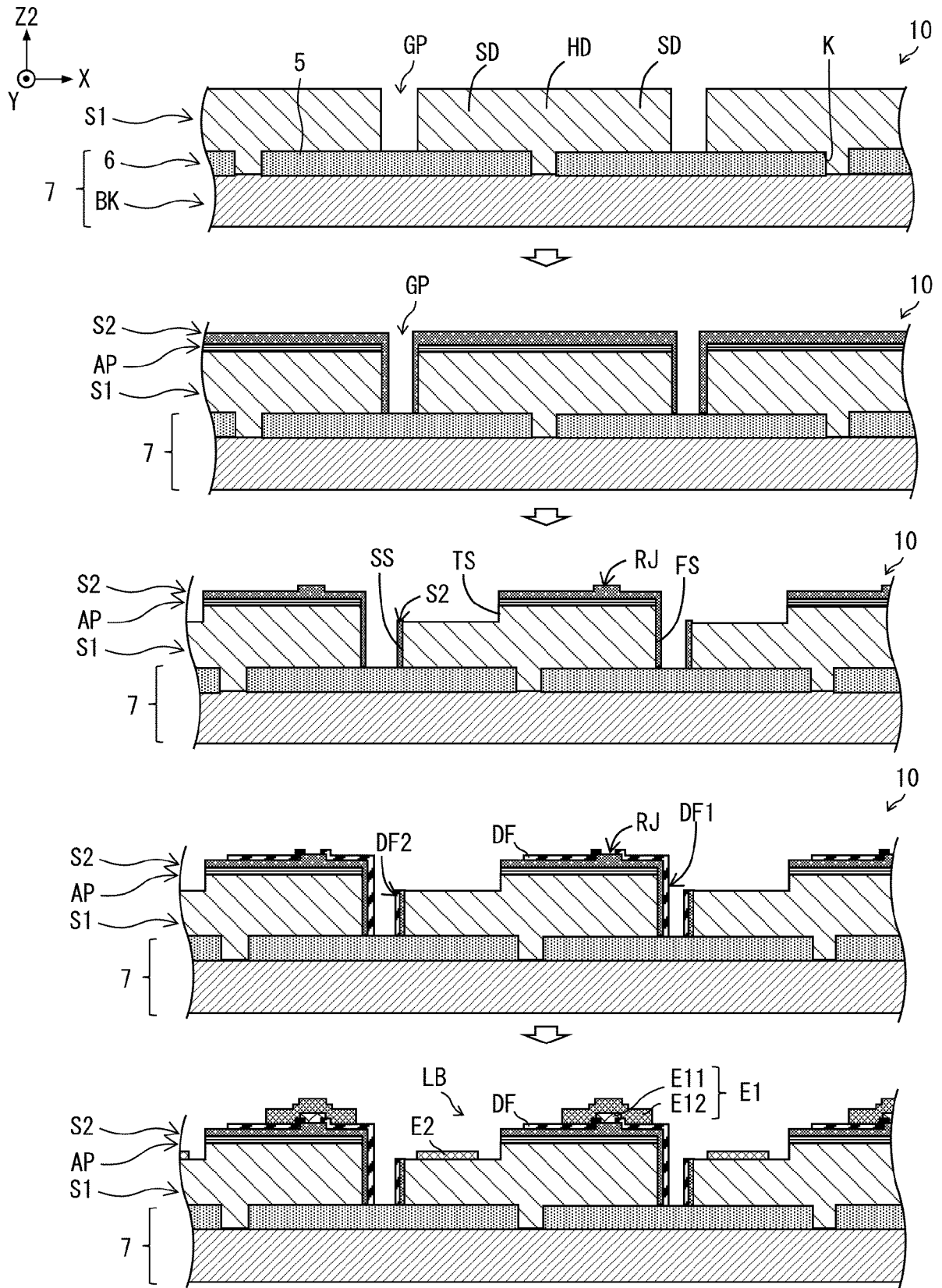
[図19]

図 19



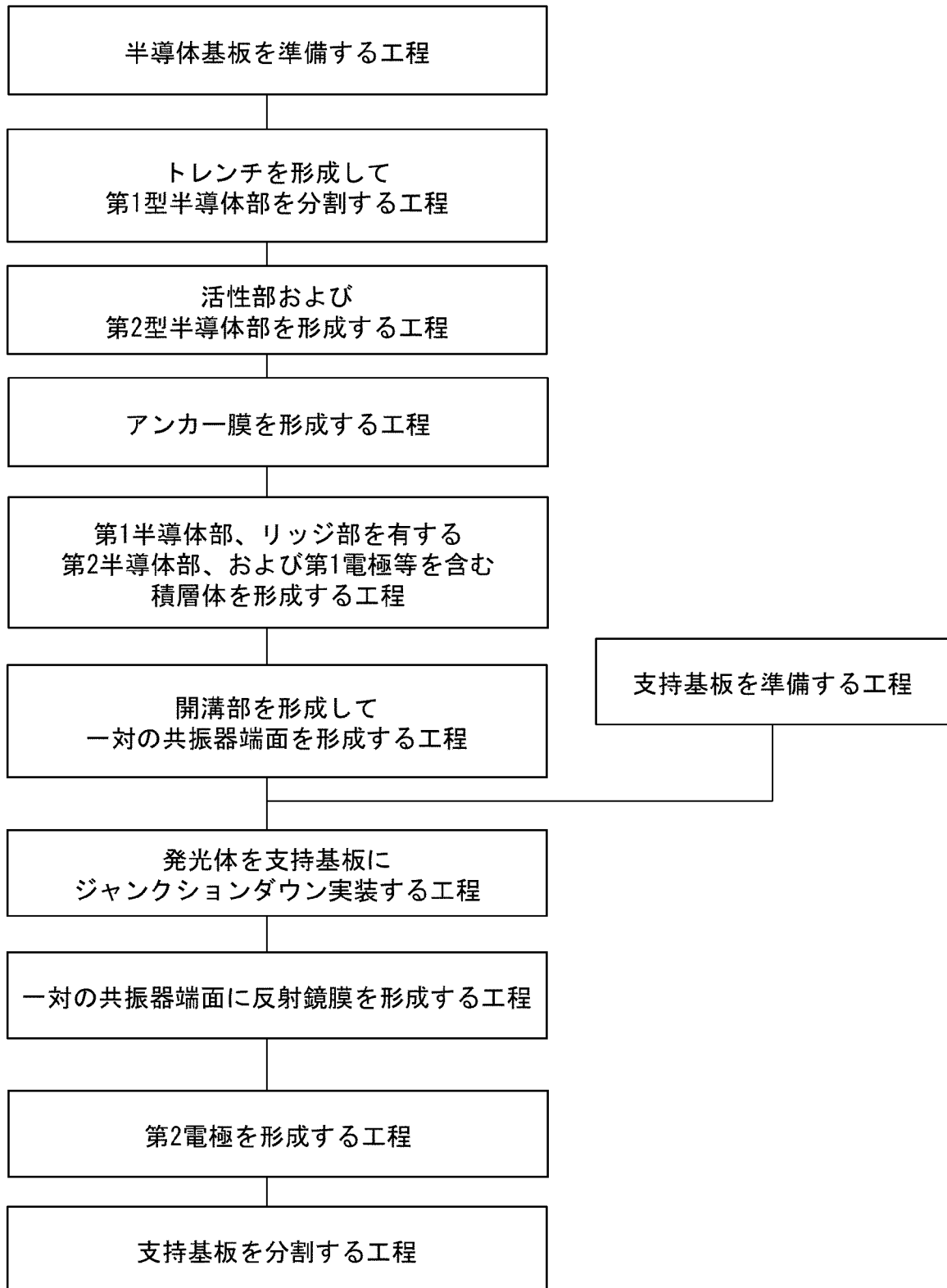
[図24]

図 24



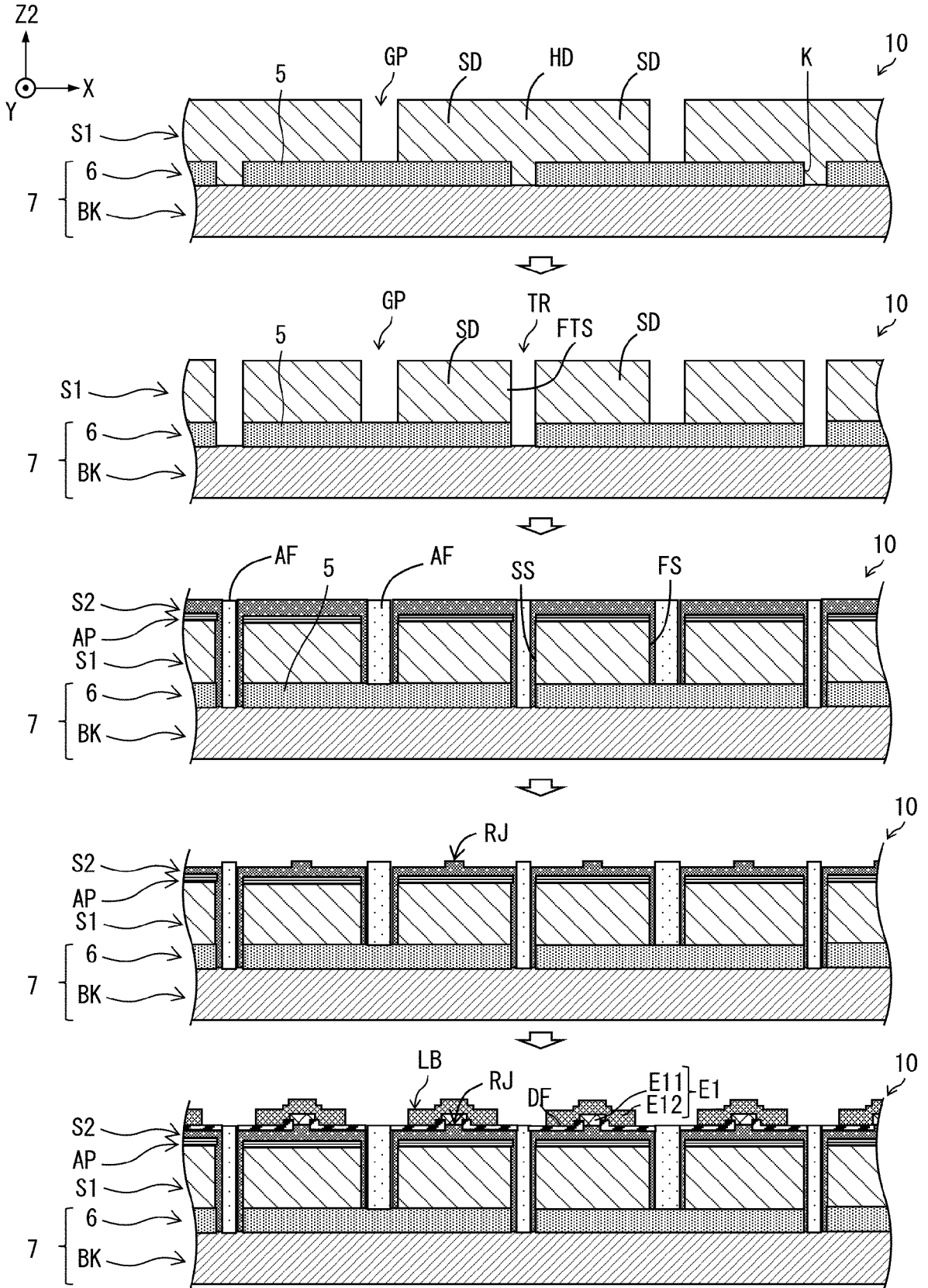
[図25]

図 25



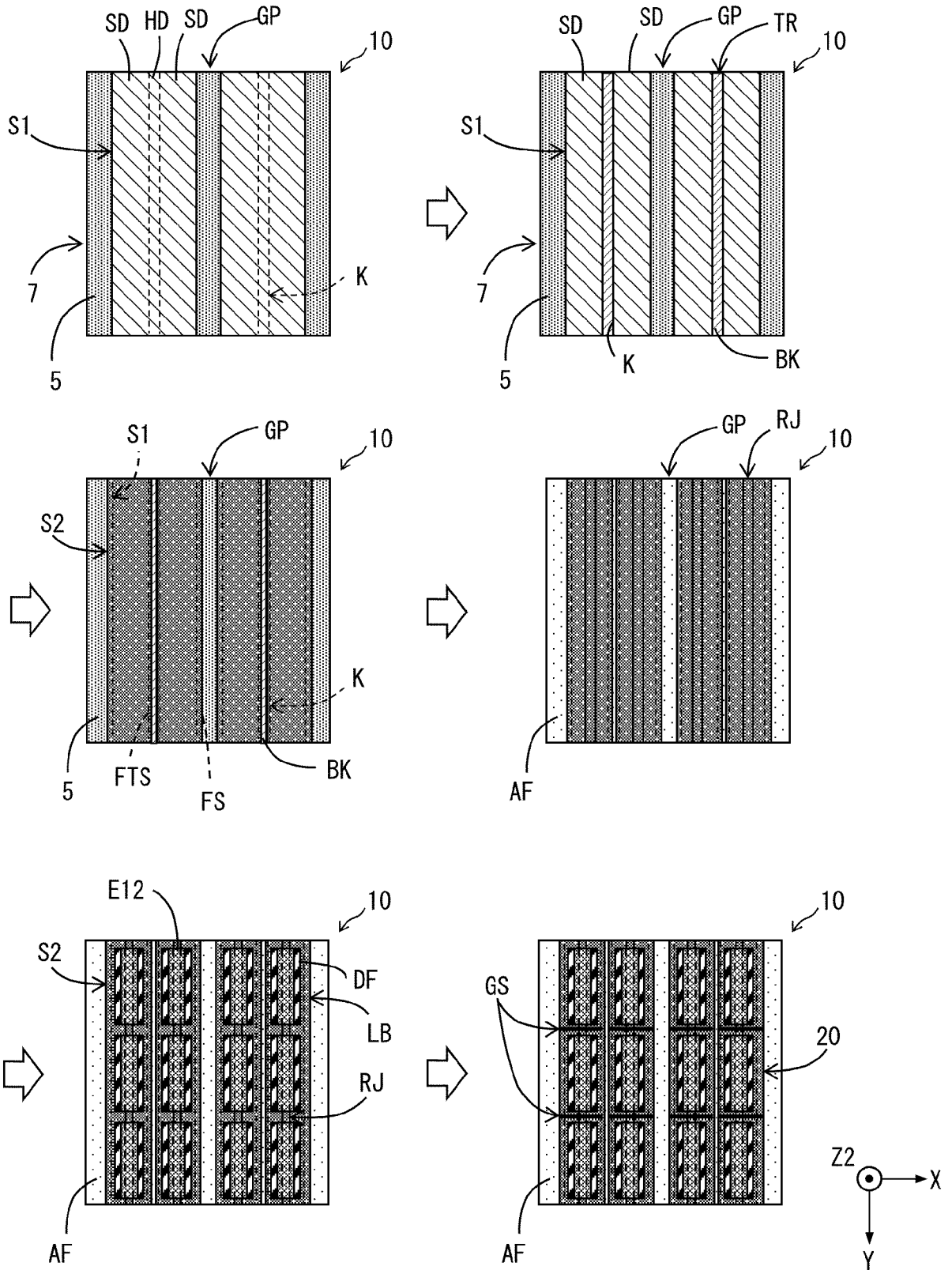
[図26]

図 26



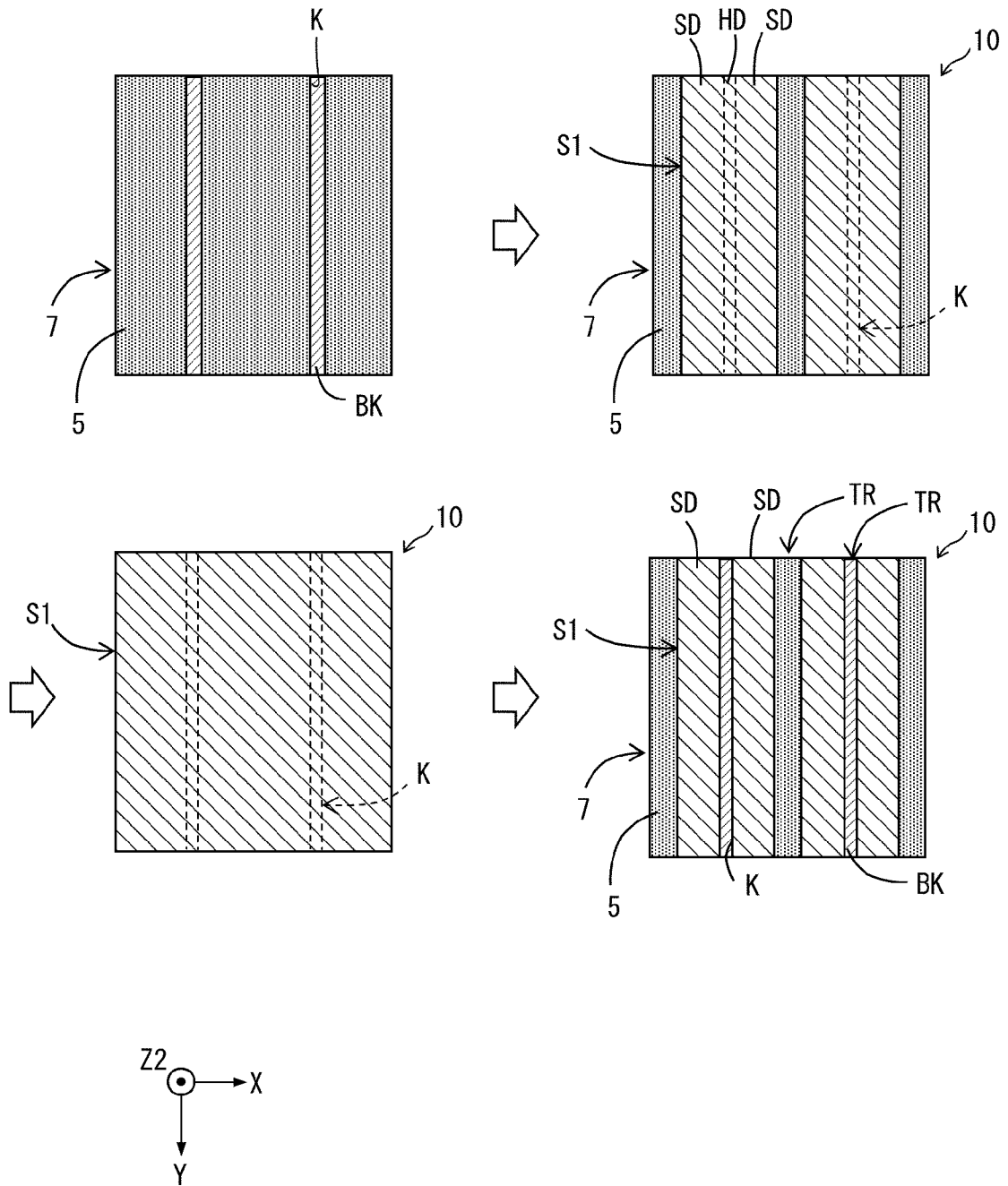
[図27]

図 27



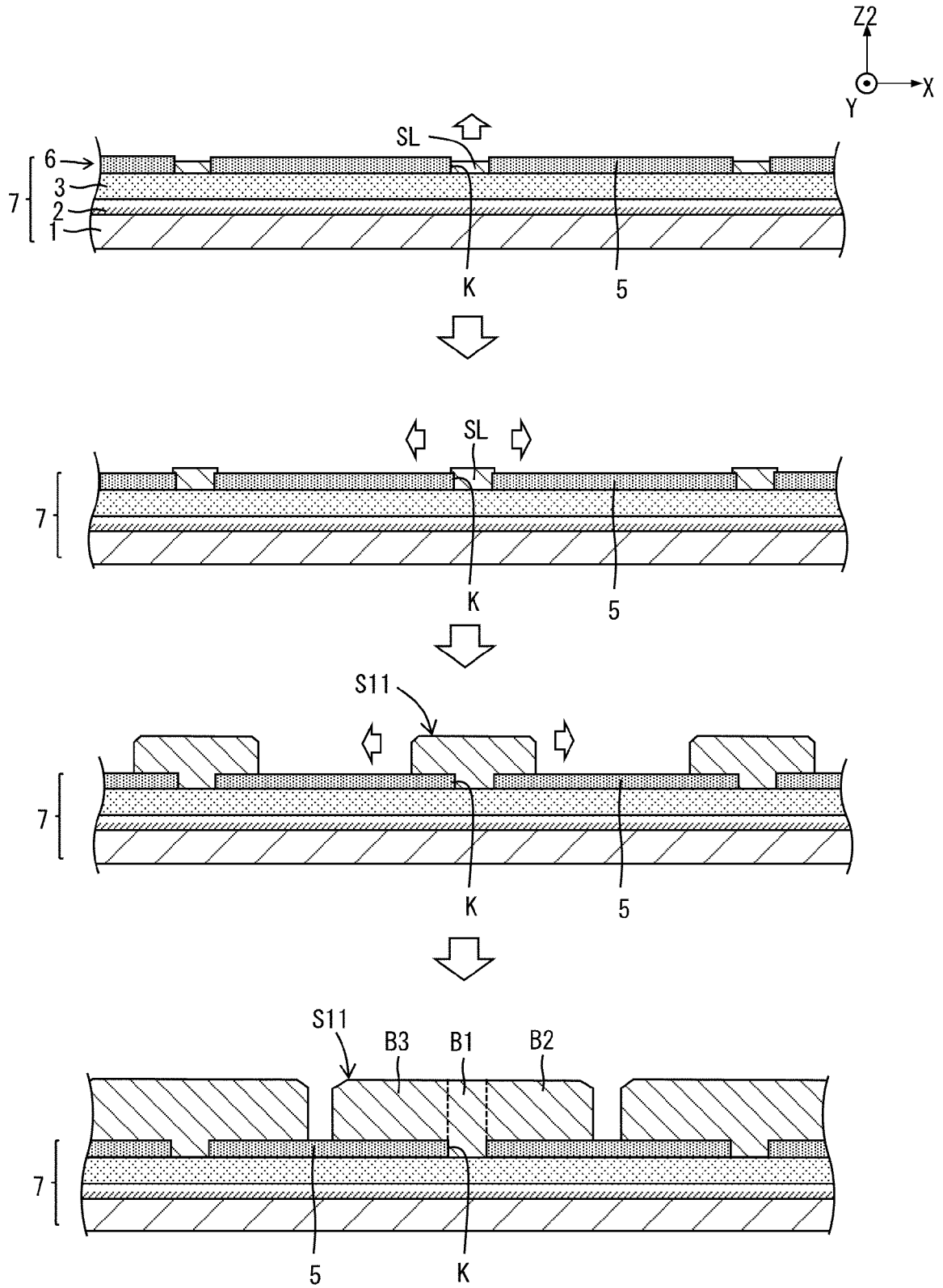
[図28]

図 28



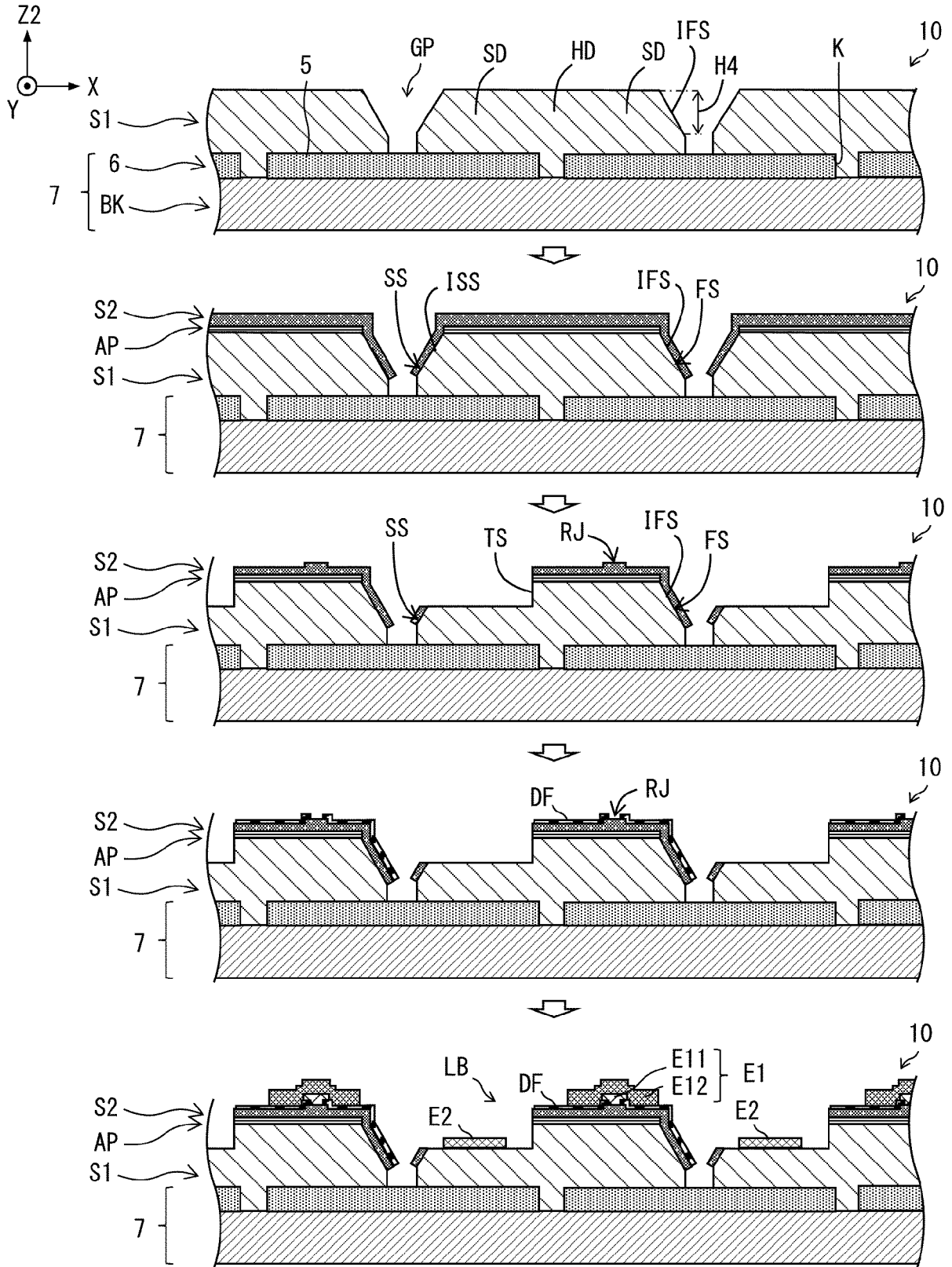
[図29]

図 29



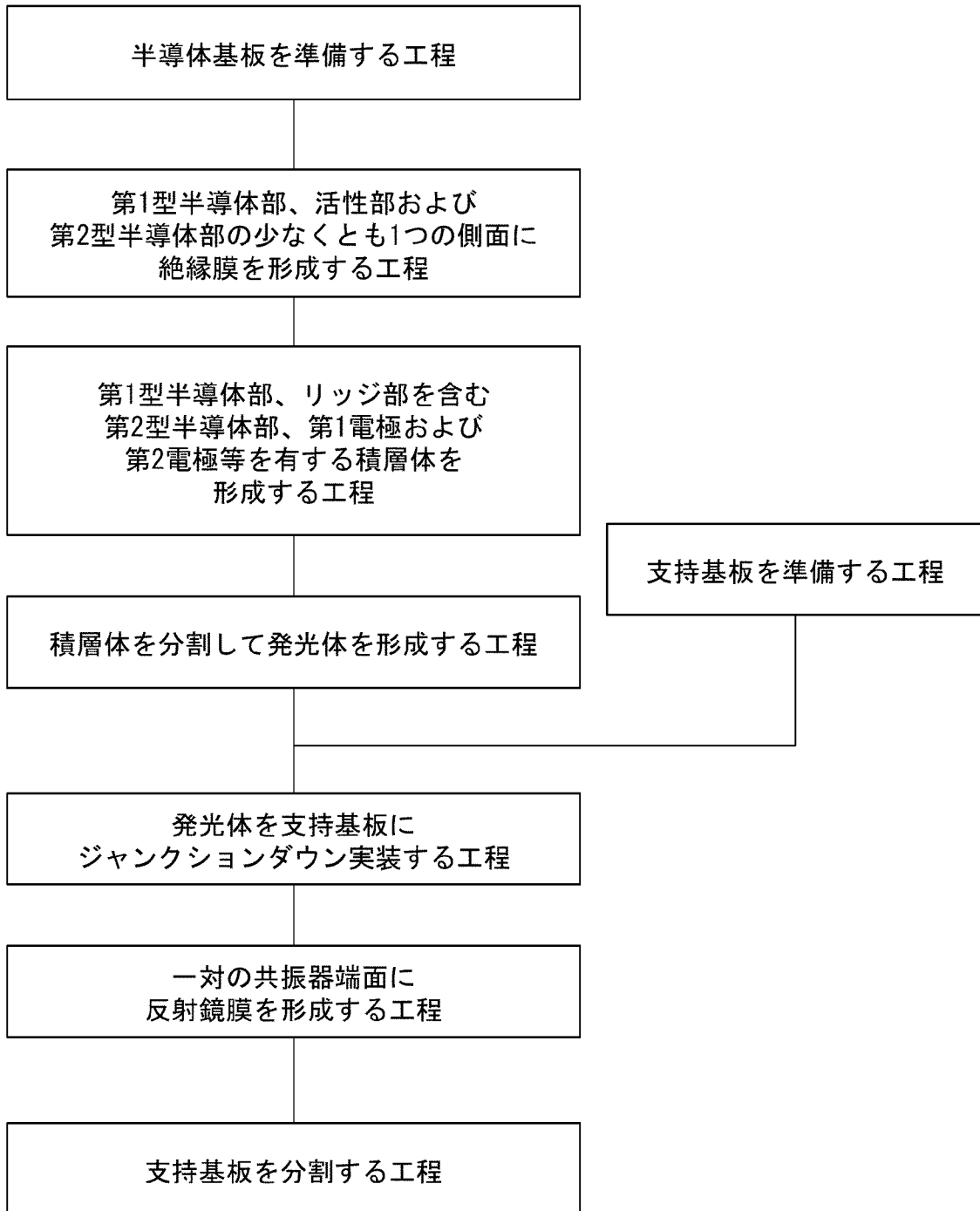
[図30]

図 30



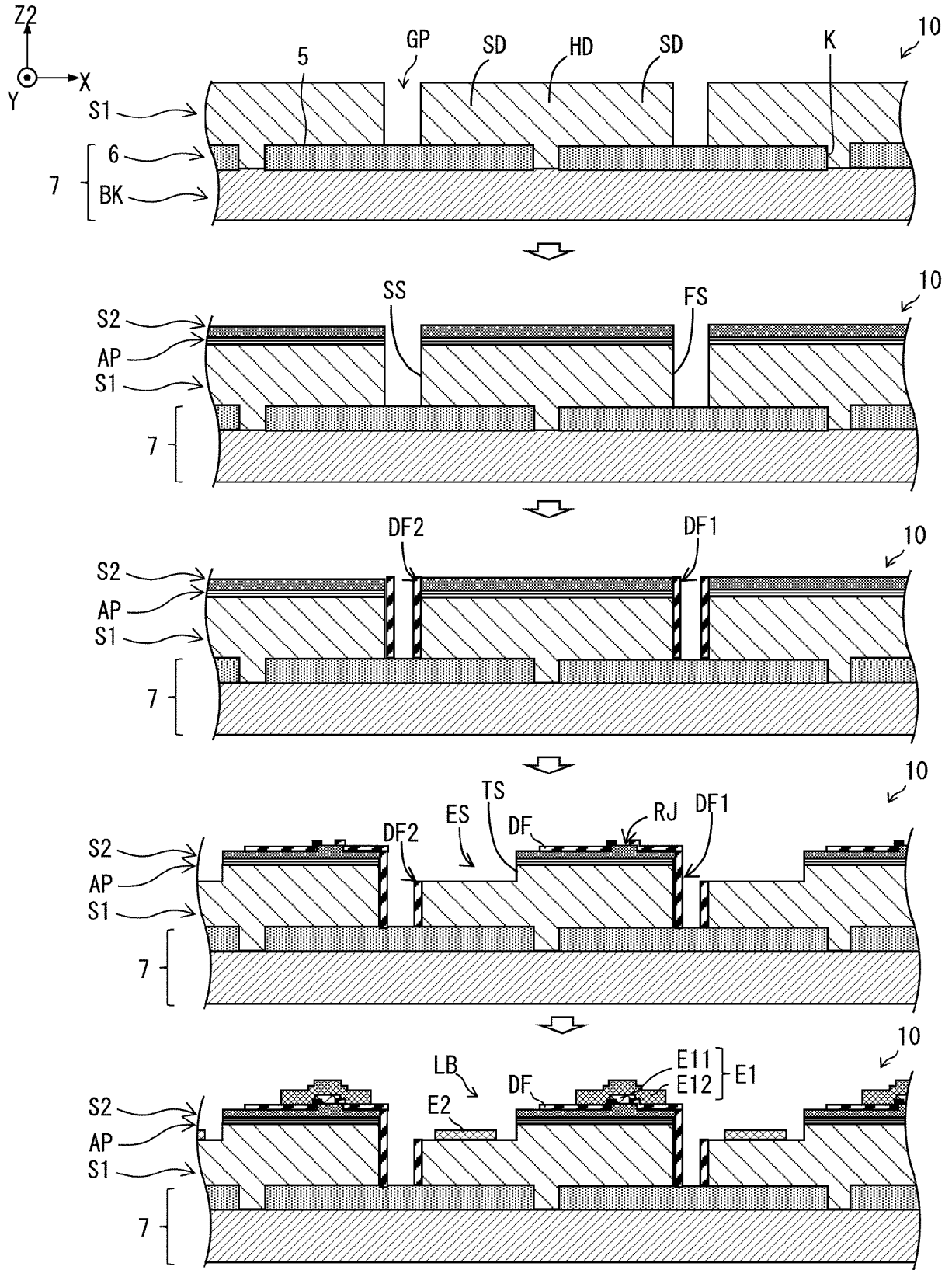
[図31]

図 31



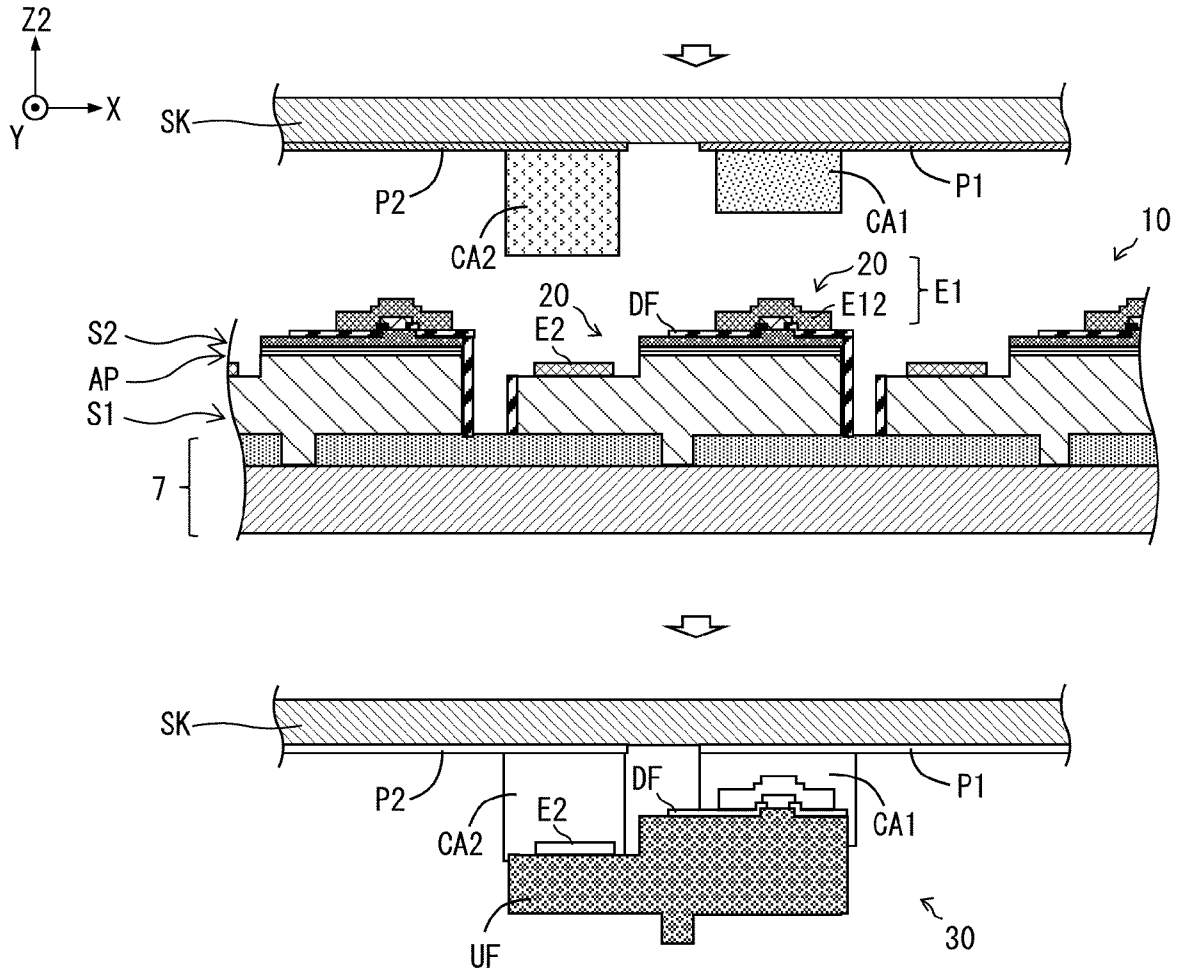
[図32]

図 32



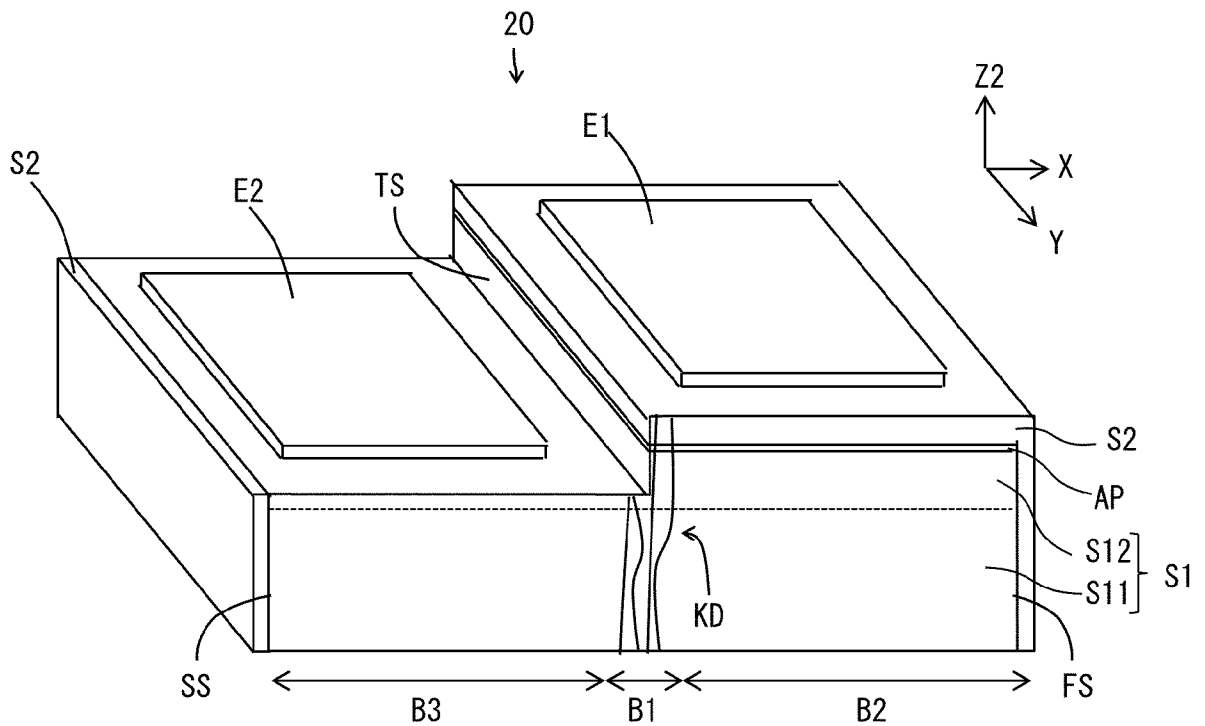
[図33]

図 33



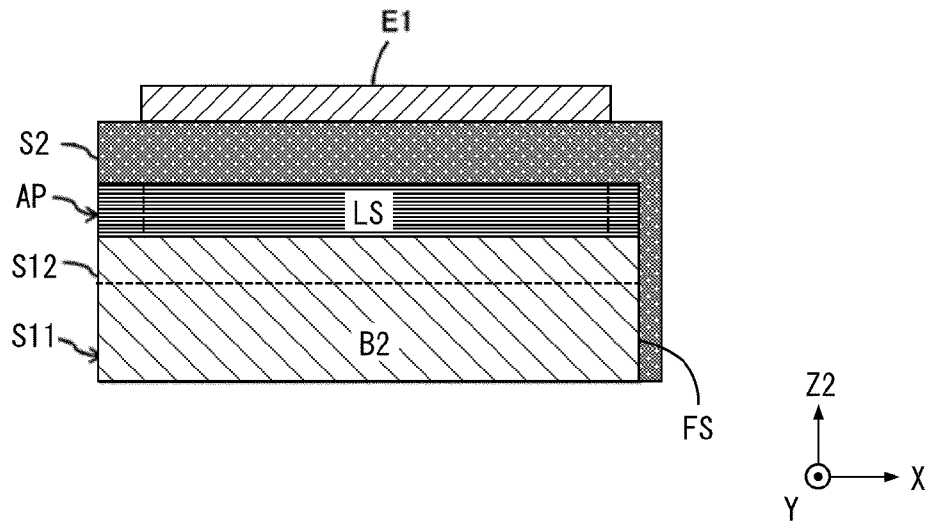
[図34]

図 34



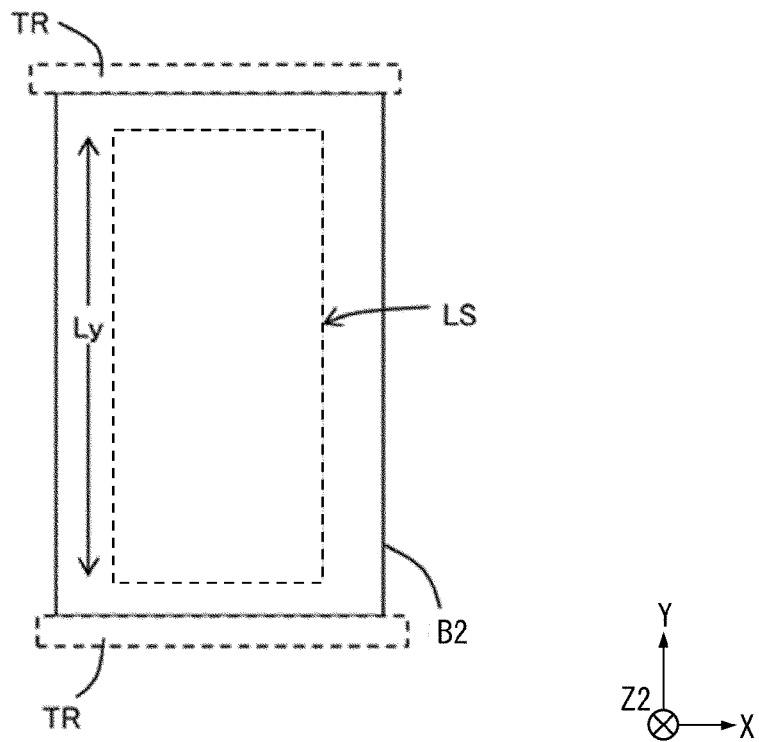
[図35A]

図 35A



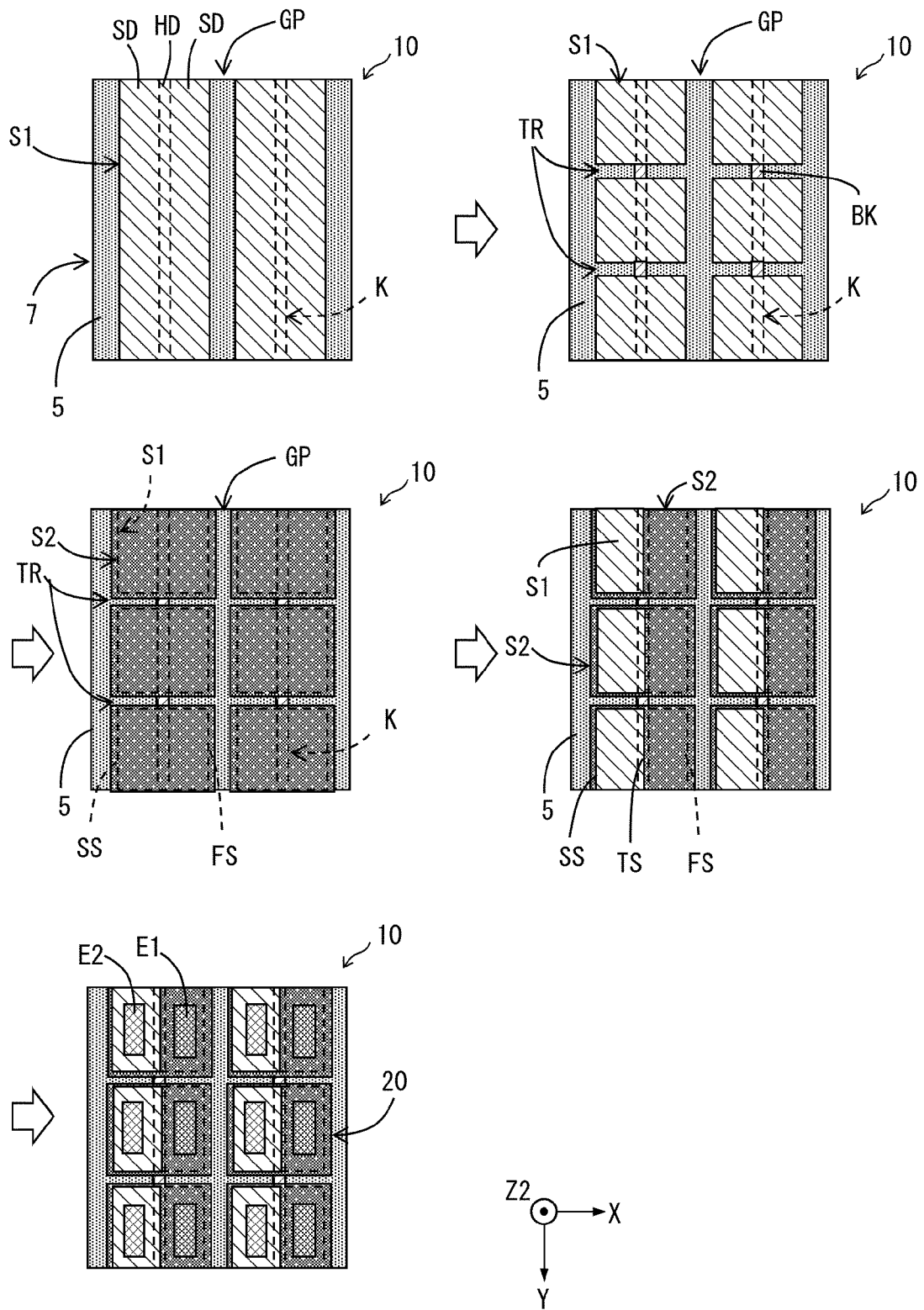
[図35B]

図 35B



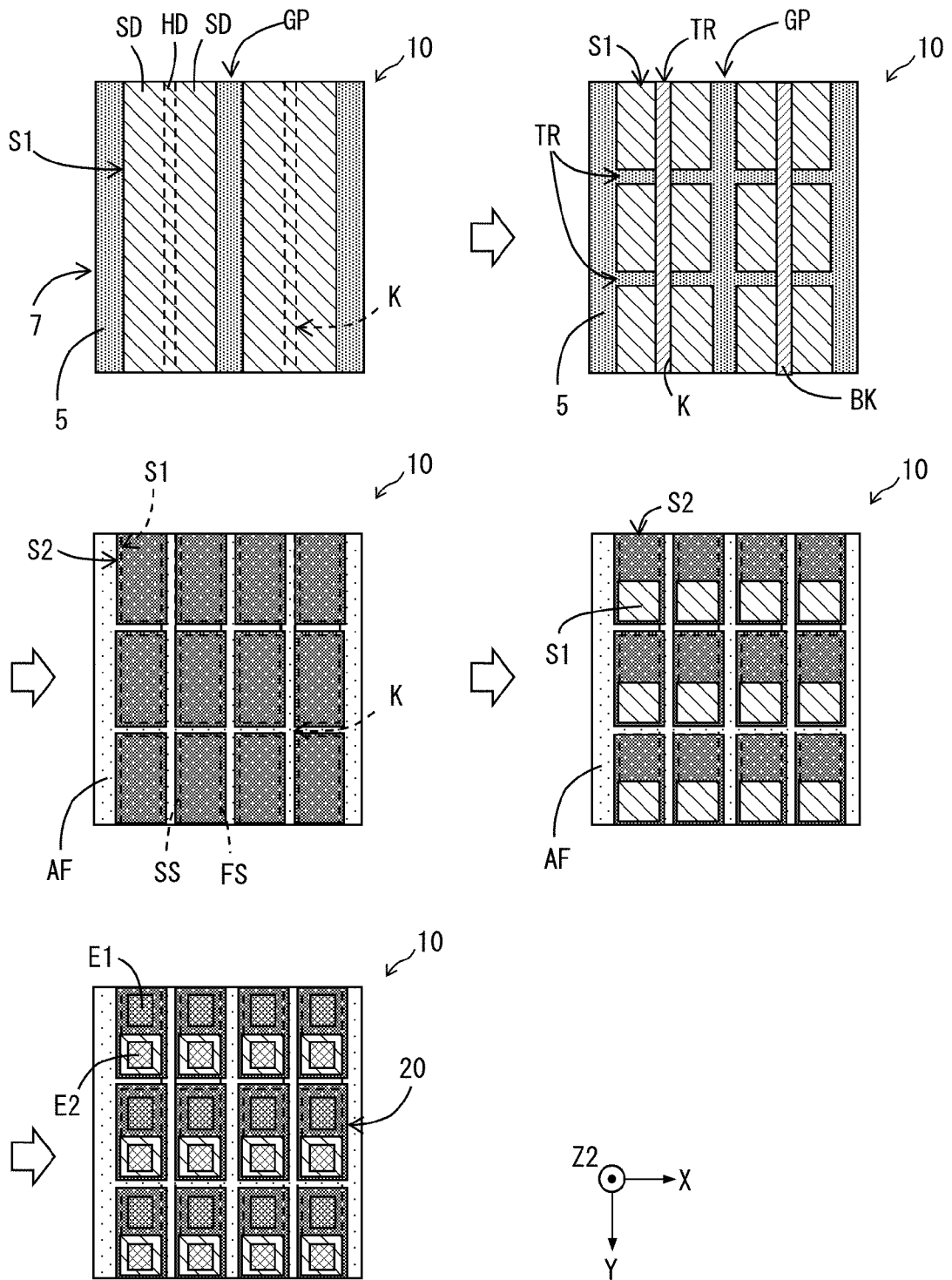
[図36]

図 36



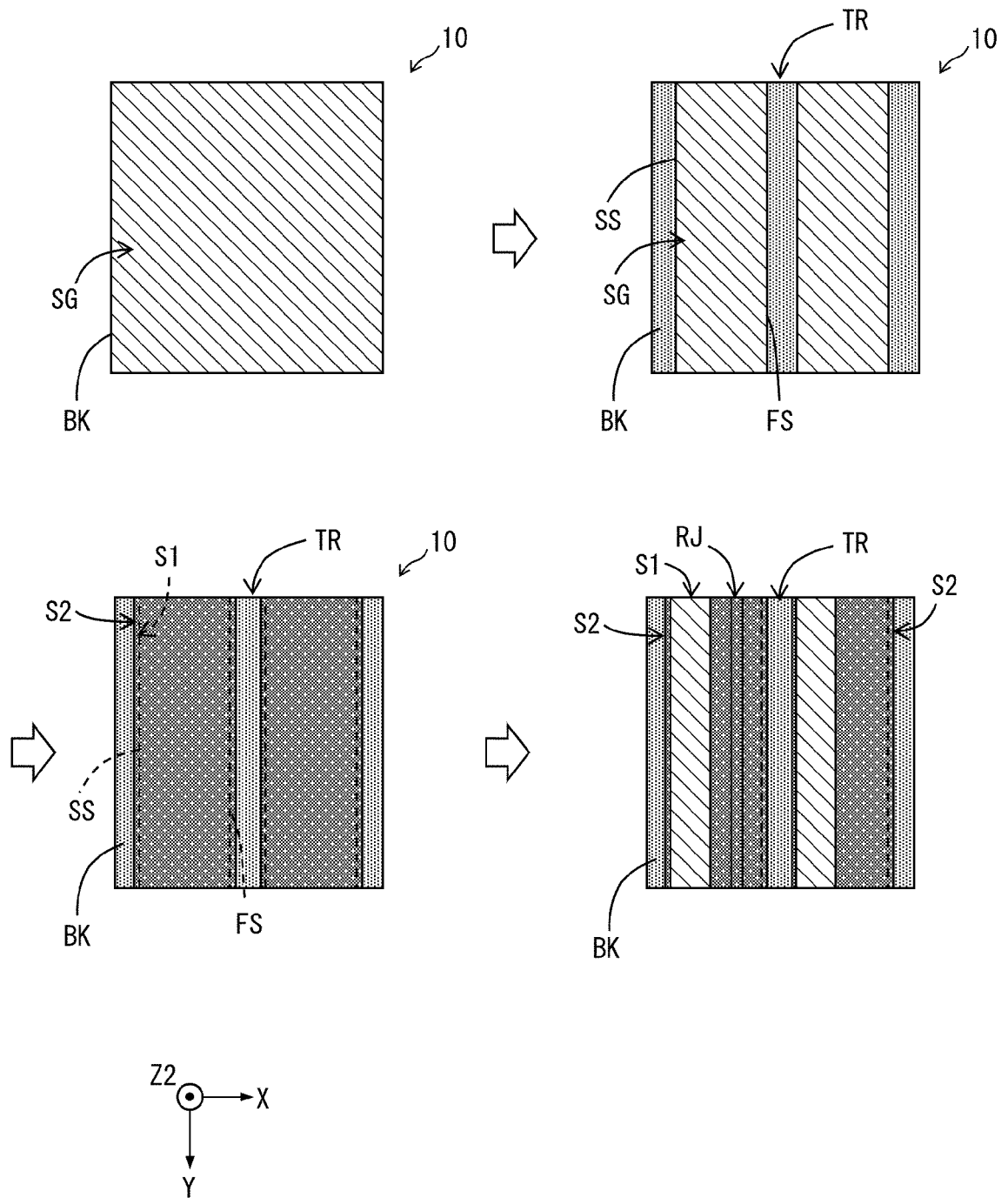
[図37]

図 37



[図38]

図 38



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/012194

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01S 5/0237</i> (2021.01)i; <i>H01L 33/62</i> (2010.01)i; <i>H01S 5/22</i> (2006.01)i FI: H01S5/0237; H01S5/22; H01L33/62		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01S5/00-5/50; H01L33/00-33/64		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2020/180785 A1 (THE REGENTS OF THE UNIVERSITY OF CALIFORNIA) 10 September 2020 (2020-09-10) p. 9, line 5 to p. 42, line 4, fig. 1-24	1-8, 11-13, 16, 18-22, 24-25, 27
Y		9-10, 14-15, 17, 23, 26
Y	JP 2009-158955 A (ROHM CO LTD) 16 July 2009 (2009-07-16) paragraphs [0014]-[0025], fig. 1-2	9-10
Y	JP 2010-16092 A (SHARP CORP) 21 January 2010 (2010-01-21) paragraphs [0018]-[0035], [0047], fig. 1-6	9-10, 14-15
Y	WO 2020/262560 A1 (KYOCERA CORPORATION) 30 December 2020 (2020-12-30) paragraphs [0010]-[0039], fig. 1-8	17, 23, 26
A	WO 2020/186080 A1 (THE REGENTS OF THE UNIVERSITY OF CALIFORNIA) 17 September 2020 (2020-09-17) entire text, all drawings	1-27
A	JP 2012-238835 A (TOSHIBA CORP) 06 December 2012 (2012-12-06) entire text, all drawings	1-27
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 31 May 2023		Date of mailing of the international search report 13 June 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/012194

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-66390 A (PAWDEC KK) 31 March 2011 (2011-03-31) entire text, all drawings	1-27
A	US 2020/0176948 A1 (OSRAM OLED GMBH) 04 June 2020 (2020-06-04) entire text, all drawings	1-27

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/012194

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2020/180785	A1	10 September 2020	JP 2022-522750 A paragraphs [0061]-[0264], fig. 1-24	
				US 2022/0108883 A1	
				CN 113632200 A	
JP	2009-158955	A	16 July 2009	US 2009/0161711 A1 paragraphs [0031]-[0047], fig. 1-2	
JP	2010-16092	A	21 January 2010	US 2010/0002738 A1 paragraphs [0030]-[0047], [0059], fig. 1-6	
WO	2020/262560	A1	30 December 2020	US 2022/0415714 A1 paragraphs [0043]-[0072], fig. 1-8	
				EP 3993010 A1	
WO	2020/186080	A1	17 September 2020	JP 2022-523861 A	
				US 2022/0181210 A1	
				CN 113767452 A	
JP	2012-238835	A	06 December 2012	US 2012/0273794 A1	
JP	2011-66390	A	31 March 2011	US 2012/0280363 A1	
				WO 2011/021710 A1	
				EP 2469581 A1	
US	2020/0176948	A1	04 June 2020	WO 2018/219687 A1	
				DE 102017112223 A1	
				CN 110710070 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01S 5/0237(2021.01)i; H01L 33/62(2010.01)i; H01S 5/22(2006.01)i FI: H01S5/0237; H01S5/22; H01L33/62		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01S5/00-5/50; H01L33/00-33/64 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2020/180785 A1 (THE REGENTS OF THE UNIVERSITY OF CALIFORNIA) 10.09.2020 (2020-09-10) 第9ページ第5行-第42ページ第4行, FIGs. 1-24	1-8, 11-13, 16, 18-22, 24-25, 27
Y		9-10, 14-15, 17, 23, 26
Y	JP 2009-158955 A (ローム株式会社) 16.07.2009 (2009-07-16) [0014]-[0025], 図1-2	9-10
Y	JP 2010-16092 A (シャープ株式会社) 21.01.2010 (2010-01-21) [0018]-[0035], [0047], 図1-6	9-10, 14-15
Y	WO 2020/262560 A1 (京セラ株式会社) 30.12.2020 (2020-12-30) [0010]-[0039], 図1-8	17, 23, 26
A	WO 2020/186080 A1 (THE REGENTS OF THE UNIVERSITY OF CALIFORNIA) 17.09.2020 (2020-09-17) 全文, 全図	1-27
A	JP 2012-238835 A (株式会社東芝) 06.12.2012 (2012-12-06) 全文, 全図	1-27
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 31.05.2023	国際調査報告の発送日 13.06.2023	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 百瀬 正之 2K 4084 電話番号 03-3581-1101 内線 3255	

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-66390 A (株式会社パウデック) 31.03.2011 (2011 - 03 - 31) 全文, 全図	1-27
A	US 2020/0176948 A1 (OSRAM OLED GMBH) 04.06.2020 (2020 - 06 - 04) 全文, 全図	1-27

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/012194

引用文献			公表日	パテントファミリー文献			公表日
WO	2020/180785	A1	10.09.2020	JP	2022-522750	A	
					[0061]-[0264], 図1-24		
				US	2022/0108883	A1	
				CN	113632200	A	
JP	2009-158955	A	16.07.2009	US	2009/0161711	A1	
					[0031]-[0047], FIGs. 1-2		
JP	2010-16092	A	21.01.2010	US	2010/0002738	A1	
					[0030]-[0047], [0059], FIGs. 1-6		
WO	2020/262560	A1	30.12.2020	US	2022/0415714	A1	
					[0043]-[0072], FIGs. 1-8		
				EP	3993010	A1	
WO	2020/186080	A1	17.09.2020	JP	2022-523861	A	
				US	2022/0181210	A1	
				CN	113767452	A	
JP	2012-238835	A	06.12.2012	US	2012/0273794	A1	
JP	2011-66390	A	31.03.2011	US	2012/0280363	A1	
				WO	2011/021710	A1	
				EP	2469581	A1	
US	2020/0176948	A1	04.06.2020	WO	2018/219687	A1	
				DE	102017112223	A1	
				CN	110710070	A	