(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G11C 11/412

(11) 공개번호 특2003-0063076
(43) 공개일자 2003년07월28일

(21) 출원번호 10-2002-0048453
(22) 출원일자 2002년08월16일

(30) 우선권주장 10/051,188 2002년01월22일 미국(US)

(71) 출원인 가부시키가이샤 히타치세이사쿠쇼
일본 도쿄토 치요다쿠 간다스루가다이 4쪼메 6반치

(72) 발명자 다까우라노리까쯔
일본도꾜도고꾸분지시니시꼬이가꾸보3-8-1히따찌꼬이가꾸보료8고지쯔

마쯔오까히데유끼
일본도꾜도니시또우꾜시스미요시쪼6-8-25

다께무라리이찌로
일본도꾜도스기나미꾸가미오기2-12-12

오꾸야마고우스께
일본사이따마껭가유고에시미나미오오쯔까688-4

모니와마사히로
일본사이따마껭사야마시이루마가와1453-17

니시다아끼오
일본도꾜도다찌까와시아께보노쪼2-18-11베루샤또우다찌가와101고

후나야마고따
일본이바라끼껭히따찌나까시가쯔따혼쪼18-12-303

세끼구찌도모노리
일본도꾜도고꾸분지시니시꼬이가꾸보4-14-6히따찌다이욘꾜신료

(74) 대리인 장수길
구영창

심사청구 : 없음

(54) 수직채널 트랜지스터를 이용하는 반도체 메모리 장치

요약

본 발명은 복수의 워드라인, 복수의 비트라인, 및 각각이 제1, 제2, 제3, 제4, 제5, 및 제6 트랜지스터를 갖는 복수의 정적 메모리셀을 포함하는 반도체 메모리 장치를 제공한다. 제1, 제2, 제3, 및 제4 트랜지스터의 각각의 채널은 반도체 메모리 장치 기판에 대하여 수직으로 형성된다. 제5 및 제6 트랜지스터의 소스 또는 드레인을 형성하는 각각의 반도체 영역은 기판에 대하여 PN 접합을 형성한다. 본 발명의 또 다른 측면에 따르면, 본 발명의 SRAM 장치는 복수의 SRAM 셀을 포함하며, 그 중 하나 이상은 기판상에 4개 이상의 수직 트랜지스터를 포함하는 수직 SRAM 셀이며, 각각의 수직 트랜지스터는 소스, 드레인, 및, 그 사이에, 0도 이상의 각도로 기판면을 통과하는 하나의 정렬선에 정렬하

는 채널을 포함한다.

대표도

도 1

색인어

정적 메모리 셀, 워드 라인, 비트 라인, 수직 트랜지스터

명세서

도면의 간단한 설명

도 1는 본 발명에 따르는 수직 SRAM 셀의 제1 실시예의 회로도.

도 2는 도 1의 본 발명에 따르는 수직 SRAM 셀의 제1 실시예의 구조에 대한 3차원(3D) 사시도.

도 3는 워드라인(WL)(11)의 전단면으로부터 도 2의 3D 구조에 대한 측면도를 도시하는 도면.

도 4는 도 2의 평면 I-I에서 취해진 수직 SRAM 셀의 단면도.

도 5는 도 4의 수직 SRAM 셀의 트랜지스터(수평)의 제1 쌍의 단면도.

도 6는 도 4의 수직 SRAM 셀의 트랜지스터(수직)의 제2 및 제3 쌍의 단면도.

도 7a-7d는 도 4의 수직 SRAM 셀의 트랜지스터(수직)의 제2 쌍을 설치하는 연속공정을 도시하는 도면.

도 8a-8d는 수직 상호접속부, 수직 트랜지스터, 및 도 7a-7d에 따른 수직 트랜지스터 및 수직 상호접속부를 매립하는 게이트 전극 사이의 3D 상호관계를 도시하는 도면.

도 9는 수직 트랜지스터의 실리콘 이산화물 게이트 유전체벽 및 S-C-D 컬럼의 형상을 변경시킨 도 8a-8d의 수직 트랜지스터의 일 변형예를 도시하는 도면.

도 10는 도 2의 제1 실시예의 복수의 SRAM 셀의 레이아웃에서의 수직 트랜지스터의 평면도를 구조적으로 도시하는 도면.

도 11는 도 2의 제1 실시예의 복수의 SRAM 셀의 레이아웃에서 수평 트랜지스터의 평면도를 구조적으로 도시하는 도면.

도 12는 본 발명의 제1 실시예 또는 그 변형의 단위 SRAM 셀로 구성되는 SRAM을 이용하는 회로를 구조적으로 도시하는 도면.

도 13는 도 2의 제1 실시예로부터 변형된 변형 실시예 1-1을 도시하는 도면.

도 14는 도 2의 제1 실시예로부터 변형된 변형 실시예 1-2를 도시하는 도면.

도 15는 본 발명에 따른 수직 SRAM 셀의 제2 실시예의 회로도.

도 16는 도 15의 본 발명에 따른 수직 SRAM 셀의 제2 실시예의 구조에 대한 3D 사시도.

도 17는 도 16의 제2 실시예로부터 변형된 변형 실시예 2-1를 도시하는 도면.

도 18는 도 16의 제2 실시예로부터 변형된 변형 실시예 2-2를 도시하는 도면.

도 19는 워드라인(WL)(11)의 전단면으로부터의 도 20의 3D 구조에 대한 측면도를 도시하는 도면.

도 20는 도 16의 제2 실시예의 복수의 SRAM 셀의 레이아웃에서 수평 트랜지스터의 평면도를 구조적으로 도시하는 도면.

도 21는 도 16의 제2 실시예의 복수의 SRAM 셀의 레이아웃에서 제1 수직 트 랜지스터 Q1의 평면도를 구조적으로 도시하는 도면.

도 22는 도 20의 제2 변형 실시예의 복수의 SRAM 셀의 레이아웃에서 제1 수직 트랜지스터 Q1 의 평면도를 구조적으로 도시하는 도면.

도 23는 본 발명에 따르는 수직 SRAM 셀의 제3 실시예의 회로도.

도 24는 도 23의 본 발명에 따르는 수직 SRAM 셀의 제3 실시예 구조의 3D 사시도.

도 25는 워드라인(WL)(11)의 전단면으로부터 도 24의 3D 구조의 측면도를 도시하는 도면.

도 26는 도 24의 상부 게이트 전극 블럭의 부분적인 사시도를 취하여 Q5, Q6의 확대된 사시도를 도시하는 도면.

도 27는 도 24의 제3 실시예의 복수의 SRAM 셀의 레이아웃에서 수직 전송 트랜지스터 Q5, Q6의 평면도를 구조적으로 도시하는 도면.

도 28는 도 24의 제3 실시예의 복수의 SRAM 셀의 레이아웃에서 수직 부하/구동 트랜지스터 Q1/Q3, Q2/Q4의 공통 평면도를 구조적으로 도시하는 도면.

도 29는 도 24의 제3 실시예의 복수의 SRAM 셀의 레이아웃에서 수평 상호접속부의 평면도를 구조적으로 도시하는 도면.

도 30a-30c는 제3 실시예의 SRAM 셀(도 25)과 주변제어장치 사이의 상호관계를 도시하는 부분단면도.

도 31는 본 발명에 따른 수직 SRAM 셀의 제4 실시예의 회로도.

도 32는 도 31의 본 발명에 따른 수직 SRAM 셀의 제 4 실시예의 구조에 대한 3D 사시도.

도 33는 비트라인(BL)(9, 9')의 전단면으로부터 도 32의 3D 구조의 측면도를 도시하는 도면.

도 34는 도 32의 제4 실시예의 복수의 SRAM 셀의 레이아웃에서 수평 트랜지스터의 평면도를 구조적으로 도시하는 도면.

도 35는 도 32의 제4 실시예의 복수의 SRAM 셀의 레이아웃에서 수직 전송 트랜지스터 Q5, Q6의 평면도를 구조적으로 도시하는 도면.

도 36는 도 32의 제4 실시예의 복수의 SRAM 셀의 레이아웃에서 수직 부하 트랜지스터 Q1, Q2의 평면도를 구조적으로 도시하는 도면.

도 37는 도 32의 제4 실시예의 복수의 SRAM 셀의 레이아웃에서 수평 상호접속부의 평면도를 구조적으로 도시하는 도면.

도 38는 본 발명에 따른 수직 SRAM 셀의 제5 실시예의 회로도.

도 39는 도 38의 본 발명에 따른 수직 SRAM 셀의 제5 실시예의 구조에 대한 3D 사시도.

도 40는 워드라인(G/WL)(16)의 전단면으로부터 도 39의 3D 구조의 측면도를 도시하는 도면.

도 41는 도 39의 상부 게이트 전극 블럭의 부분 사시도를 취하여 Q5, Q6의 확대 사시도를 도시하는 도면.

도 42는 도 39의 제5 실시예의 복수의 SRAM 셀의 레이아웃에서 수평 상호접속부의 평면도를 구조적으로 도시하는 도면.

도 43는 도 39의 제5 실시예의 복수의 SRAM 셀의 레이아웃에서 수평 트랜지스터의 평면도를 구조적으로 도시하는 도면.

도 44는 도 39의 제5 실시예의 복수의 SRAM 셀의 레이아웃에서 4개의 수직 전송 트랜지스터 Q3, Q4, Q5, Q6의 평면도를 구조적으로 도시하는 도면.

도 45는 도 39의 제5 실시예로부터 변형된 변형 실시예 5-1를 도시하는 도면.

도 46는 도 39의 제5 실시예의 복수의 SRAM 셀의 레이아웃에서 4개의 수직 전송 트랜지스터 Q3, Q4, Q5, Q6의 평면도를 구조적으로 도시하는 도면.

도 47는 본 발명에 따른 수직 SRAM 셀의 제6 실시예의 구조에 대한 3D 사시도.

도 48는 워드라인(G/WL)(16)의 전단면으로부터 도 47의 3D 구조의 측면도를 도시하는 도면.

도 49는 도 47의 제6 실시예의 복수의 SRAM 셀의 레이아웃에서 수평 상호접속부의 평면도를 구조적으로 도시하는 도면.

도 50는 도 47의 제6 실시예의 복수의 SRAM 셀의 레이아웃에서 수평 트랜지스터의 평면도를 구조적으로 도시하는 도면.

도 51는 도 47의 제6 실시예의 복수의 SRAM 셀의 레이아웃에서 4개의 수직 전송 트랜지스터 Q3, Q4, Q5, Q6의 평면도를 구조적으로 도시하는 도면.

<도면의 주요 부분에 대한 부호의 설명>

1, 1', 2, 2' : 게이트 전극

3, 3' : 수평 상호접속 빔

4, 4' : 수직 상호접속 컬럼

5, 5', 7, 7' : 드레인 전극

6, 6', 8, 8' : 소스 전극

9 : 비트 라인

11 : 워드 라인

12, 12' : Vcc 빔

13 : Vss 빔

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로, 메모리 셀 사이즈를 감소하기 위한 수직 트랜지스터를 포함하는 하나 이상의 수직 SRAM 셀을 갖는 SRAM 장치에 관한 것이다. 특히, 본 발명은 4개 이상의 수직 트랜지스터를 포함하는 하나 이상의 수직 SRAM 셀을 갖는 SRAM 장치에 관한 것이다.

미국특허 제 5,576,238호는 4개의 트랜지스터 및 2개의 저항을 포함하는(4T/2R) SRAM 셀들중 한 종류에 관한 것인데, 이것은 속도가 느리고 높은 전력을 소모한다. 상기 특허의 도 7에 도시된 실시예는 저항 위에 형성된 2개의 수직 트랜지스터를 구비하며, 저항은 기판상에 성장된 2개의 통상적인 트랜지스터 위에 형성된다. 다른 수직 트랜지스터들 위에는 수직 트랜지스터가 없다.

미국특허 제 5,341,327호는 6-트랜지스터(6T) SRAM 셀에 모두 박막 트랜지스터('TFT')를 이용함으로써 셀 사이즈 문제를 감소시키려는 시도를 하였는데, 그 회로도는 상기 특허의 도 36에 도시된다. 상기 특허의 도 5에 도시된 바와 같이, 한 쌍의 전송 트랜지스터 Q3 및 한 쌍의 드라이버 트랜지스터 Q1가 제공되며, 이들은 n형 TFT들로 구성된다. 한 쌍의 p형 부하 트랜지스터 Q5는 층간절연층의 표면상에 형성된다. TFT 6T SRAM 셀은 4T/2R SRAM 셀보다 더 작지만 여전히 속도가 느리다.

미국특허 제 5,198,683호는 6-트랜지스터(6T) SRAM 셀내에 다른 4개의 통상적인 트랜지스터들과 함께 수직채널을 갖는 한 쌍의 부하 TFT들을 제공함으로써 셀영역을 더 감소시킨다. 그러나, 수직 부하 TFT들은 다른 4개의 통상적인 TFT들과 동일한 층에 위치되어 수직 부하 TFT들의 소스 및 드레인은 필연적으로 수평방향으로 굽어진다. 그와 같이, 이러한 구조의 사이즈 감소 효과는 그 단층구조에 의해 비교적 제한된다. 미국특허 제 6,309,930호는 동일한 문제를 갖는다. 상기 특허의 도 4에 도시된 바와 같이, 4번째 트랜지스터의 드레인 및 소스 4S/D1, 4S/D2의 단부는 수평방향으로 굽어진다.

셀 사이즈를 감소시키는 것과 완전히 상이한 목적, 즉 하나의 배선층을 감소시키기 위하여, 일본특원평 09-232447호는 도 7d에서 하나의 TFT에 대하여 하나의 수직채널 구조를 채용하여 수직 TFT의 게이트 전극과 또 다른 통상의 트랜지스터 사이의 배선층으로서 기판을 공유하도록 한다. 첨언하면, 수직소스 및 수직드레인이 제공되어 수직채널과 함께 동작한다. 상기 인용은 다른 4개의 통상적인 트랜지스터와 동일한 층에 부하 트랜지스터로서 한 쌍의 수직 TFT를 제공하여 SRAM 셀을 형성한다.

벌크 6T SRAM 셀은, 단결정 실리콘과 같은 벌크 반도체 기판에서 성장한 6개의 트랜지스터를 갖는다. 6T 벌크 SRAM 셀은 4T/2R SRAM 셀 또는 6TFT SRAM 셀보다 더 고속이다. CMOS(complementary metal oxide semiconductor) 기술에서는 종종 두 개의 트랜지스터는 p-채널 장치로 유지하면서 4개의 트랜지스터는 n-채널 장치로 제조된다. 이러한 6T 구조는 낮은 레벨의 전력 및 높은 속도에서 동작하는 것을 포함하는 여러 가지 장점들을 제공한다. 그러나, 벌크 기판에 형성된 트랜지스터를 이용하는 6T SRAM 셀은 넓은 영역을 차지하는데, 그 이유는 벌크 트랜지스터들이 기판에서 서로 이웃하여 형성되며 실질적으로 동일 평면에 있기 때문이다. 이처럼, 종래의 벌크 6T SRAM을 고밀도로 제조하는 것은 어렵다.

미국특허 제 6,204,518 B1호는 한 쌍의 전송 트랜지스터 Q5 및 Q6뿐만 아니라 한 쌍의 구동 트랜지스터 Q1 및 Q2 위에 한 쌍의 부하 트랜지스터 Q3 및 Q4를 스태킹함으로써 벌크 6T SRAM 셀 사이즈를 감소시킨다. 상기 특허의 도 1에는 상기 구조의 각각의 회로도 및 단면도가 제공된다. 미국특허 제 6,271,542 B1호 및 2001/0028059 A1호는 동일한 접근방법을 취한다.

PCT/JP99/02505는 그 도 1에서와 같이 플립플롭, 비휘발성의 6T SRAM 셀에 통합되는 한 쌍의 PLED 장치를 개시한다. 상기 PCT/JP99/02505의 도 3의 PLED 장치 단면도에서 도시된 바와 같이, 소스(701)와 드레인(700) 사이에 절연층(708, 709, 및 710)이 제공되어 누설전류값이 실질적으로 0이 되도록 감소시킨다. PLED 장치는 단지 6T SRAM 에 대한 외부장치로서 설계된다.

미국특허 제 6,229,161호는 하나의 NMOS 트랜지스터와 연결되는 하나의 음성 차동저항('NDR', negative differential resistance)장치를 포함하는(오직 두 개의 소자: 1T/1R) 또 다른 종류의 SRAM 셀에 대한 것이다. 그 도 6에서, 얇은 수직 PNPN 구조를 구비하는 NDR 장치는 수직으로 배열된 NMOS와 연결된다. NMOS 트랜지스터의 소스 및 드레인중 하나가 기판에서 성장하므로, 그것은 수평방향으로 굽어진다.

발명이 이루고자 하는 기술적 과제

현재, 더욱 컴팩트한 셀룰러폰, PDA, 및 다른 모바일 장치를 수용하기 위하여 종래의 구조보다 저전력 SRAM 셀 사이즈를 더 감소시킬 필요가 있다.

본 발명의 목적은 SRAM 장치에 작은 저전력 SRAM 셀을 제공하는 것이다.

본 발명의 또 다른 목적은 셀룰러폰을 위한 64M 또는 128M 비트 초저전력 SRAM, 및 고밀도 캐시 SRAM을 제공하는 것이다.

발명의 구성 및 작용

본 발명의 일 측면에 따르면, 반도체 메모리 장치는 복수의 워드라인, 복수의 비트라인, 및 각각 제1, 제2, 제3, 제4, 제5, 및 제6 트랜지스터를 갖는 복수의 정적 메모리 셀을 포함한다. 제1, 제2, 제3, 및 제4 트랜지스터의 각각의 채널은 반도체 메모리 장치의 기판에 대하여 수직방향으로 형성되는 한편, 제5 및 제6 트랜지스터의 소스 또는 드레인을 형성하는 각각의 반도체 영역은 기판에 대하여 PN 접합을 형성한다.

본 발명의 또 다른 특정의 측면에 따르면, 제5 및 제6 트랜지스터의 게이트 전극은 워드라인으로 연결되고, 제5 및 제6 트랜지스터의 각각의 소스-드레인 경로는 비트라인으로 연결된다. 또한, 제5 트랜지스터의 게이트 전극은 제6 트랜지스터의 드레인으로 연결되고, 제6 트랜지스터의 게이트 전극은 제5 트랜지스터의 드레인으로 연결되며, 제5 및 제6 트랜지스터 각각은 제1 및 제2 트랜지스터와 동일한 도전형을 갖는다. 다른 방법으로는, 제5 트랜지스터의 게이트 전극은 제6 트랜지스터의 드레인으로 연결되고, 제6 트랜지스터의 게이트 전극은 제5 트랜지스터의 드레인으로 연결되며, 제5 및 제6 트랜지스터 각각은 제1 및 제2 트랜지스터와 상이한 도전형을 갖는다.

본 발명의 또 다른 특정의 측면에 따르면, 제1 및 제2 트랜지스터의 게이트 전극은 제1 층상에 형성되고, 제3 및 제4 트랜지스터의 게이트 전극은 제2 층상에 형성된다. 또한, 제1 트랜지스터의 게이트 전극은 제1 층상에 형성되고, 제2 트랜지스터의 게이트 전극은 제2 층상에 형성되고, 제3 트랜지스터의 게이트 전극은 제3 층상에 형성되며, 제4 트랜지스터의 게이트 전극은 제4 층상에 형성된다.

본 발명의 또 다른 측면에 따르면, 제1 트랜지스터의 채널을 형성하는 컬럼은, 사이에 절연층을 두고 컬럼의 실린더형 표면을 둘러싸는 게이트 전극으로 커버된다. 제5, 및 제6 트랜지스터의 채널은 기판에 대하여 수직으로 형성되며, 이 경우 기판은 단결정 실리콘으로 이루어진다.

본 발명의 또 다른 측면에 따르면, SRAM 장치는 복수의 SRAM 셀을 가지고, 그중 하나 이상은, 기판 위에 4개 이상의 수직 트랜지스터를 포함하는 수직 SRAM 셀이며, 각각의 수직 트랜지스터는 소스, 드레인, 및 그 사이에서, 0도 이상의 각 도로 기판면으로 통과하는 하나의 정렬선에 정렬하는 채널을 포함한다.

본 발명의 또 다른 측면에 따르면, 상기 각도는 90도이다.

본 발명의 또 다른 측면에 따르면, 수직 SRAM 셀은 한 쌍의 저항, 한 쌍의 수평 트랜지스터, 또는 추가적인 한 쌍의 수직 트랜지스터를 더 포함한다.

본 발명의 또 다른 측면에 따르면, 상기 한 쌍의 수평 트랜지스터 또는 상기 추가적인 한 쌍의 수직 트랜지스터는 한 쌍의 전송, 구동, 또는 부하 MOS 트랜지스터로서 동작하며, 부하 트랜지스터는 PMOS 트랜지스터인 한편 전송 및 구동 트랜지스터는 NMOS 트랜지스터이다.

본 발명의 또 다른 측면에 따르면, 4개의 수직 트랜지스터는 2개의 상이한 레벨에 위치된 2개의 그룹으로 구분되고, 수직 SRAM 셀은 한 쌍의 저항 또는 추가적인 한 쌍의 수직 트랜지스터를 더 포함하며, 어느 한 쌍은 상기 2개의 레벨 중 하나에, 또는 상기 2개의 레벨보다 위, 아래, 또는 그 사이에 배열된다. 또한, 상이한 레벨에 위치된 트랜지스터 또는 저항은 정렬선과 평행인 하나 이상의 수직 상호접속부를 통하여 서로 선택적으로 접속된다.

본 발명의 또 다른 측면에 따르면, 수직 상호접속부는, 각각이 기판면에 평행한 하나 이상의 수평 상호접속부, 수평 Vcc 빔, 및 수평 Vss 빔과 교차한다.

본 발명의 또 다른 측면에 따르면, 수직 상호접속부는 기판면과 평행한 제1 차원 및 제2 차원, 및 정렬선과 평행한 제3 차원을 구비하는 수직 트랜지스터의 하나 이상의 게이트 전극을 통과한다. 또한, 수직 상호접속부는 2개 이상의 게이트 전극을 통과한다.

본 발명의 또 다른 측면에 따르면, 전술된 하나 이상의 수직 상호접속부는 각각 2개의 수직 트랜지스터와 접속하는 2개의 수직 상호접속부를 포함하여, 그 사이에, 기판면과 평행한 단면상에 대각선 또는 평행사변형 형상으로 하나의 단위 SRAM 셀을 형성한다.

본 발명의 또 다른 측면에 따르면, 수직 SRAM 셀은 정렬선과 평행한 2개의 수직 상호접속부를 통하여 하나 이상의 트랜지스터 및 저항으로 각각 접속되는 한 쌍 이상의 비트라인을 더 포함하며, 각각의 비트라인은 각각이 복수의 SRAM 셀의 이웃하는 2개의 SRAM 셀에 의해 공유되는 복수의 비트라인 컨택트와 접속된다.

본 발명의 또 다른 측면에 따르면, 각각의 수직 트랜지스터는 기판면에 평행한 제1 차원 및 제2 차원, 및 정렬선에 평행한 제3 차원을 갖는 게이트 전극을 더 포함한다.

본 발명의 또 다른 측면에 따르면, SRAM 장치는 유전체층을 사이에 두고 수직 SRAM 셀 위에 설치된 하나 이상의 또 다른 수직 SRAM 셀을 더 포함한다.

본 발명의 이전의 그리고 추가적인 특징 및 특성은 동일한 참조부호가 동일한 구성요소를 지시하는 첨부된 도면을 참조하여 고려되는 이하의 상세한 설명으로부터 더욱 명백해질 것이다.

청구범위의 주제를 더욱 명확하고 정확하게 기술하기 위하여, 다음의 정의는, 이하에 기록된 상세한 설명에서 사용된 특정 용어의 의미에 대한 지침을 제공하는 것을 의도한다. 여기서 이용된 어구 또는 용어는 제한이 아닌 설명의 의도라는 것도 또한 이해될 것이다. 여기서 사용된,

절연층 또는 기판 위에 설치된 '수직 트랜지스터'는 소스, 드레인, 및 그 사이에 0도 이상의 각도로 기판면으로 통과하는 하나의 정렬선에 정렬하는 채널을 포함한다. 즉, 지면이나 임의의 기판면에 수직일 필요가 없다. 수직 SRAM 셀의 드레인이나 소스의 단부는 임의의 설계사항을 고려하여 정렬선으로부터 벗어날 수 있다. 수직 트랜지스터의 게이트 전극은 기판면에 평행한 제1 차원 및 제2 차원, 및 정렬선에 평행한 제3 차원을 갖는 것이 바람직하다. 그러나, 그러한 차원적인 배치도 임의의 설계를 고려하여 변경된다. 수직 트랜지스터는 벌크(bulk) 트랜지스터, TFT, 등일 수 있다.

'수직 SRAM 셀'은 4개 이상의 수직 트랜지스터를 포함한다. 예를 들면, 6T SRAM 셀은 한 쌍의 전통적인 트랜지스터(수평) 또는 또 다른 한 쌍의 수직 트랜지스터를 포함할 수 있다. 4T/2R SRAM은 한 쌍의 저항을 포함한다. 유추하면, 본 발명에서는 4개 이상의 수직 트랜지스터를 이용하는 다른 종류의 SRAM이 의도된다.

'수직 SRAM 장치'는 하나 이상의 수직 SRAM 셀을 포함한다.

'수직 상호접속부'는 일반적으로 정렬선에 정렬하는 방향으로의 트랜지스터, 저항, 전압라인, 워드라인, 또는 비트라인 사이의 접속을 위한 수직 SRAM 셀의 상호접속부다. 즉, 지면이나 임의의 기판면에 수직으로 될 필요가 없다.

'수평 트랜지스터'는 기판에 대하여 한 쌍의 P-N 접합을 포함하는 종래기술에 따라 기판이나 절연층 위에 성장된다. 즉, 지면이나 임의의 기판면에 평행할 필요가 없다.

'수평 상호접속부'은 일반적으로 정렬선에 수직인 접속 방향을 갖는 수직 트 랜지스터내의 상호접속부다. 즉, 지면이나 임의의 기판면에 평행하게 될 필요가 없다.

제1 실시예

도 1의 회로도를 참조하면, 본 발명의 제1 실시예를 따르는 6T 수직 SRAM은 결정 Si 웨이퍼 기판에 만들어진 2개의 전송 NMOS 트랜지스터 Q5 및 Q6 위에 형성되는 2개의 구동 NMOS 트랜지스터 Q3 및 Q4와 2개의 부하 PMOS 트랜지스터 Q1 및 Q2를 포함한다. 전송 MOS가 바닥(기판에서)에 유지되는 한, 부하 MOS 와 구동 MOS의 위치는 바뀔 수 있다. 노드 A는 부하 트랜지스터 Q1 및 구동 트랜지스터 Q3의 게이트 전극뿐만 아니라, 부하 트랜지스터 Q2, 구동 트랜지스터 Q4, 및 전송 트랜지스터 Q5의 소스에 접속된다. 노드 B는 부하 트랜지스터 Q2 및 구동 트랜지스터 Q4의 게이트 전극뿐만 아니라, 부하 트랜지스터 Q1, 구동 트랜지스터 Q3, 및 전송 트랜지스터 Q6의 소스에 접속한다. 제1 실시예의 3D 다이어그램에 도시된 바와 같이(도 2), Q1은 소스(8), 게이트 전극(2), 및 드레인(7)을 포함한다. Q2는 소스(8'), 게이트 전극(2'), 및 드레인(7')을 포함한다. Q3는 소스(6), 게이트 전극(1), 및 드레인(5)을 포함한다. Q4는 소스(6'), 게이트 전극(1') 및 드레인(5')을 포함한다. 본 발명의 각각의 수직 트랜지스터의 소스 및 드레인은 일반적으로 균일한 특성을 갖게 되어 관련된 수직 트랜지스터의 성능에 영향을 미치지 않고 교환될 수 있다. Q5, Q6(도시하지 않음)는 도 2에 도시된 구조 아래에 설치된다.

명세서의 3D 도면의 모든 설치블럭은 빔, 컬럼, 브리크(brick), 보드, 스틱, 스트랩 등으로 간략화되며, 그 모양은 제한적이라기 보다는 암시적이고, 반도체 제 조공정동안 불규칙하게 될 수 있다. 또한, 다른 SRAM 셀의 설치블럭에 접속되도록 하거나 또는 다른 설계목적으로 설치블럭의 차원이 확장될 수 있다. 더욱이, 설치블럭들의 방위들은 일반적으로 (1)수직 또는 수평으로 배열되고, (2)서로 평행하거나 간단히 45, 60, 또는 90도(임의의 설계 고려사항이나 제조 한계로 인해 이로부터 벗어날 수 있음)로 교차하여 정렬한다.

한 쌍의 비트라인(9(true), 9'(bar)), 한 쌍의 비트라인 컨택트(10, 10'), 및 워드라인(11)은 수평 트랜지스터 위에 설치된다. 전송 트랜지스터 Q5 및 Q6 각각은 활성영역을 포함한다. 구동 트랜지스터 Q3 및 Q4 위에는 층간절연막에 매립된 2개의 수평 상호접속빔(3 및 3')이 있다. 수평 상호접속빔(3')은 Q2, Q4을 수직 상호접속컬럼(4)에 접속하고, 수평 상호접속빔(3)은 Q1, Q3을 수직 상호접속 컬럼(4')에 접속한다. Q1, Q2는 Vcc 빔(12, 12')으로 각각 접속되고, Q3, Q4는 각각 Vss 빔(13, 13')에 접속된다. 도 3는 워드라인(WL)(11)의 전단면으로부터 본 도 2의 구조에 대한 측면도를 도시한다. 따라서, 높은 통합성 및 낮은 구동 전압 동작이 가능하다.

본 발명의 6개의 트랜지스터는 벌크 MOS 트랜지스터, 또는 TFT일 수 있다. 6개의 트랜지스터는 4개의 n-채널 장치 및 2개의 p-채널 장치인 것이 바람직하지만, 4개의 p-채널 장치 및 2개의 n-채널 장치일 수도 있어, SRAM이 NMOS 또는 PMOS기술로 제조되는 것을 가능하게 한다. 다른 방법으로, MOS(metal-oxide-semiconductor) 트랜지스터는 MIS(metal-insulator-semiconductor) 트랜지스터에 의해 대체될 수 있다. 기판에 형성된 2개의 통상적인(수평) 트랜지스터는 전송 소 자로서 기능하는 것이 바람직하다. 당업자에 의해 가능한 임의의 설계 고려사항에 따라 도펀트 농도(dopant concentration)가 설정된다. 수직 SRAM 설계를 실행하는 것의 단점은 추가적인 수평 및 수직 상호접속부의 결과로 종래의 6T SRAM 셀에 비하여 제조 복잡도가 증가하는 것이다.

본 발명의 일 예로서 제1 실시예의 공정흐름이 이하에 설명된다. 본 발명의 다른 실시예는 유사한 제조공정을 이용하여 상이한 사이즈의 영역에서 수행될 수 있다. 본 셀구조의 제조는 수직 트랜지스터를 설치하기 위한 추가적인 에피택셜 성장 공정을 구비하는 기존의 CMOS 기술에 기초하며, 본 공정은 커패시터가 수직 트랜지스터로 대체되는 종래의 DRAM 커패시터 스태킹 기술과 유사할 수 있다.

평면 I-I에서 취해진 도 2의 수직 SRAM 셀의 단면도가 도 4에 도시된다(2개의 이웃하는 SRAM 셀들이 도시됨). 수직 SRAM 셀을 제조하기 위한 공정은 실리콘 기판(21)상에 2개의 수평 NMOS 트랜지스터 Q5, Q6를 성장시키는 것으로 시작하여, Q5, Q6의 상부에 2개의 수직 PMOS 트랜지스터 Q3, Q4를 설치하고, 그 후 동일한 단계를 적용하여 Q3, Q4의 상부에 2개의 수직 NMOS 트랜지스터 Q1, Q2를 스태킹한다. 다음의 논의에서, 32는 텅스텐층 또는 플러그를 가리키고, 33는 배리어 금속(barrier metal)을 가리키고, 34는 층간유전체층을 가리키고, 35는 실리콘 질화물(p-SiN)층을 가리키고, 36은 수직 트랜지스터의 실리콘 이산화물 게이트 유전체를 가리키고, 37은 수직 트랜지스터의 폴리실리콘 게이트 영역이나 전극을 가리키고, 38은 수직 트랜지스터의 폴리실리콘 소스영역을 가리키고, 39는 수직 트랜지스터의 폴리실리콘 드레인 영역을 가리키며, 40은 수직 트랜지스터의 폴리실리콘 채널영역을 가리킨다. 상기의 번호에는 대시와 번호가 부가되어 SRAM 셀에서 동일한 재료의 상이한 층을 나타낸다. 부품들의 상대적인 차원은 일반적으로 도 4에 비례한다.

도 5의 수직 SRAM 셀의 제1 쌍의 트랜지스터의 단면도에서 도시된 바와 같이, p형 실리콘 기판(21)상에 2개의 홀을 에칭하고, STI LOCUS(Local Oxidization of Silicon)법에 따라 선형 실리콘 이산화물(확산 배리어)(22)을 증착하고, 그 후 갭채움 실리콘 이산화물(gap fill silicon dioxide, 23)로 상기 홀을 채우는 종래방법으로 2개의 NMOS 수평 트랜지스터 Q5, Q6가 형성된다. 그 후 열산화(thermal oxidation)에 의하여 얇은 게이트 실리콘 이산화막(28)이 생성된다. 폴리실리콘 게이트 전극(29)은 워드라인(WL)과 같이 열적 및 통합적으로 형성된다. 게이트전극(29)(워드라인 WL)은, n형 불순물(예를 들면 P(인))로 도핑된 저저항 폴리실리콘막 및 W 실리사이드(WSi)막을 포함하는 2층 도전막, 또는 저저항 폴리실리콘막, TiN(티타늄 질화물)막 및 W막이 순서대로 설치되는 3층 도전막으로 구성될 수 있다. 기판(21)으로 불순물을 이온주입(ion-implanting)함으로써 얕은 소스영역(24) 및 얕은 드레인영역(25)이 형성되고, 또한 기판(21)으로 깊은 소스영역(26) 및 깊은 드레인영역(27)이 이온주입된다.

게이트 전극(29)의 위에 CVD 방법으로 실리콘 질화물막(31), 제1 층간절연체(34-1), 및 실리콘 질화물(35-1)이 순서대로 증착된다. 그 후, 3개의 층(31, 34-1, 및 35-1)내로 포토레지스트 마스크를 통한 이방성 에칭을 하여 4개의 접속홀(connection hole)뿐만 아니라 게이트 전극(29)에 인접하는 측벽 스페이서(side wall spacer)를 형성한다. 절연막(31)은 실리콘 질화막을 대신하여 실리콘 산화막으로 구성될 수 있다. 제1 배리어 금속(33-1)의 증착 이후에 접속홀 내부로 스퍼터링함으로써 텅스텐 플러그의 제1 세트(32-1)가 증착된다. 텅스텐 대신 Al 합금이 이용될 수 있다.

CVD 방법에 의해 제2 층간유전체(34-2)가 증착된다. 그 후, 제2 층간유전체(34-2)내로 포토레지스트 마스크를 통한 이방성 에칭을 하여, BL 컨택트홀의 제1 쌍이 형성된다. 표면의 위와 한 쌍의 비트라인 컨택트홀 내부로 CVD 방법에 의해 순서대로 제2 배리어 금속(33-2), 및 제2 텅스텐층(32-2)이 증착된다. 그 후, 층(33-2 및 32-2)는 제2 층간유전체(34-2) 표면과 균일한 레벨로 에칭백된다. 그 후 표면 위에 CVD 방법에 의해 순서대로 제3 배리어 금속(33-3) 및 텅스텐층(32BL)이 증착된다. 그 후, 33-3, 및 32BL층내로 포토레지스트 마스크를 통한 이방성 에칭을 하여, 한 쌍의 BL 빔이 형성된다. 표면의 위와 BL 빔 사이의 공간으로 제2 층간유전체(34-2)가 다시 증착된다. 그 후, 제2 층간유전체(34-2)는 BL 빔의 상부와 균일한 레벨로 에칭백된다. 따라서, 표면에서 한 쌍의 BL 빔은 층간유전체 빔(34-2)과 교번하여 배치된다. 한편, 텅스텐 플러그(32-1)중 하나와 BL 빔중 하나를 접속하기 위하여 한 쌍의 BL 컨택트(10, 10')가 형성된다.

실리콘 질화물(35-2)은 CVD 방법에 의하여 증착된다. 그 후, 2개의 층(34-2, 35-2)(32BL 빔 사이의 영역)내로 마스크를 통한 이방성 에칭을 하여 한 쌍의 수직 상호접속홀(interconnect hole)(차후 설치되는 수직 트랜지스터 Q1, Q2, Q3, 또는 Q4로 상응하는 수직 상호접속부를 통하여 접속됨)을 형성한다. 제3 배리어 금 속(33-3)을 증착한 후, 접속홀 내부로 스퍼터링함으로써 텅스텐 수직 상호접속부의 제1 쌍(32VIC-1)이 증착된다.

도 3의 평면 II'-II'으로부터 내려다봄으로써, 도 11는 도 2의 제1 실시예의 복수의 SRAM 셀의 레이아웃에서 수평 트랜지스터의 평면도를 구조적으로 도시한다. 특히 44 및 44'은 상기 한 쌍의 수평 트랜지스터 Q5, Q6의 2개의 활성영역을 가리킨다. 그러한 구성은, 90도 또는 180도 이외의 각도로 워드라인 및 비트라인과 교차하는 선을 따라 확장하는 통상적인 트랜지스터의 활성영역을 허용한다. 45는 도 2의 제1 실시예의 단위셀을 위한 영역을 가리킨다. 도 4에

도시된 바와 같이, 수직 상호접속부(32-1, 32VIC-1)의 제1 쌍은 Q5, Q6의 드레인을 Q3, Q4로 접속한다. 32-1, 32VIC-1은 정렬마진 및 다른 설계사항들을 고려하여, 4 및 4'와 100% 정렬될 필요는 없다.

다음, 도 6의 하부 부분으로 도시된 2개의 수직 NMOS 트랜지스터 Q3, Q4는 도 7a-7d에 설명된 단계에 따라서 도 4의 수평 트랜지스터 Q5, Q6의 상부에 설치된다. 이제 도 7a를 참조하면, CVD 방법에 의해 제4 배리어 금속(33-4), 제4 텅스텐층(32-4), 및 제5 배리어 금속(33-5)이 순서대로 증착된다. 그 후, 전술된 층들로 포토레지스트 마스크를 통한 이방성 에칭을 하여, 수 개의 밸리가 형성된다. 밸리를 포함하는 전체 표면상에 제3 층간유전체(34-3)가 증착되고, 그 후, 제5 배리어 금속(33-5)과 균일한 레벨로 에칭백되어 층간유전체 빔(34-3)과 교번하는 한 쌍의 전압빔 Vss을 형성한다.

다음 도 7b를 참조하면, PMOS 트랜지스터 Q3, Q4의 수직 소스-채널-드레인 컬럼(S-C-D)은 다음과 같이 형성된다. CVD 방법으로, 제1 폴리실리콘 소스층(38-1)(n형 불순물, 예를 들면 P, As로 도핑됨), 제1 폴리실리콘 채널층(40-1)(p형 불순물, 예를 들면 B, BF_2 로 도핑됨), 및 제1 폴리실리콘 드레인층(39-1)(n형 불순물, 예를 들면 P, As로 도핑됨)이 순서대로 증착된다. 또한, 이온주입으로, 제1 폴리실리콘 소스층(38-1), 제1 폴리실리콘 채널층(40-1), 및 제1 폴리실리콘 드레인층(39-1)을 형성할 수 있다. 제1 마스크층(나중에 완전히 제거되므로 도 7b의 최종적인 구조에서는 도시하지 않음)이 표면에 증착되고, 그 후 제1 마스크를 통하여 에칭되어 한 쌍의 제1 마스크캡(41)을 형성한다. 그 후, 제1 마스크캡(41)은 2개의 S-C-D 컬럼내로 3개의 폴리실리콘층(38-1, 40-1, 39-1을 에칭하기 위한 마스크로서 사용된다. 그 후, S-C-D 컬럼의 상부 및 측부를 포함하는 모든 표면 위에 제1 게이트 실리콘 이산화물 유전체층(36-1)이 증착된다.

도 7c를 참조하면, 전체 표면상에 게이트 전극 층간유전체(34-4)가 증착되고, 그 후 제1 마스크캡(41) 바로 위의 균일한 레벨로 에칭백된다. 제2 마스크층(나중에 완전히 제거되므로 도 7c의 최종적인 구조에서는 도시하지 않음)이 표면상에 증착되고, 그 후 제2 마스크를 통하여 에칭되어 한 쌍의 제2 마스크캡(도시하지 않음)을 형성한다. 그 후, 제2 마스크캡은 한쌍의 게이트 유전체 컬럼(34-4)내로 게이트 전극 층간유전체(34-4)를 에칭하기 위한 마스크로서 사용된다. 그 후, 전체 표면상에 게이트 전극 폴리실리콘(37-1)이 증착되고, 그 후 S-C-D 컬럼의 상부와 균일환 레벨로 에칭백된다. 이러한 단계에 의해, S-C-D 컬럼의 상부의 게이트 실리콘 이산화물 유전체층(36-1) 및 제2 마스크캡은 완전히 제거되는 한편, 제1 마스크캡(41)은 잔류한다.

그 후, 제1 마스크캡(41)은 게이트 유전체 컬럼(34-4) 및 게이트 전극 폴리실리콘(37-1)으로부터 얇은 층을 에칭백하기 위한 마스크로서 사용된다. 그리고 전체 표면상에는 게이트 전극 층간유전체(34-4)가 다시 증착되고, 그 후 제1 마스크캡(41) 바로 위의 균일한 레벨로 에칭백된다. 그와 같이, 게이트 전극 폴리실리콘(37-1)은, 게이트 실리콘 이산화물 유전체(36-1)를 향하는 표면을 제외하고는 게이트 유전체(34-4)에 의해 둘러싸인다. 그 후, S-C-D 컬럼의 상부를 에칭하여 제1 마스크캡(41)이 제거된다.

CVD 방법으로, 제6 배리어 금속(33-6) 및 텅스텐층(32HIC)(수평 상호접속부)이 순서대로 증착된다. 텅스텐층(32HIC)은 균일한 표면으로 에칭되고, 그 후 제7 배리어 금속(33-7)이 전체 표면상에 증착된다. 그 후, 3개의 층(33-6, 32HIC, 및 33-7)내로 포토레지스트 마스크를 통한 이방성 에칭을 하여 하나의 S-C-D 컬럼 사이에 수평 상호접속부를 형성한다. 그 후, 전체 표면상에 게이트 전극 층간유전체(34-4)가 세번째 증착되고 그 후 제7 배리어 금속(33-7) 바로 위의 균일한 레벨로 에칭백된다.

도 7d를 참조하면, 제3 마스크층(나중에 완전히 제거되므로 도 7d의 최종적인 구조에서 도시하지 않음)이 표면상에 증착되고, 그 후 제3 마스크를 통하여 에칭되어 한 쌍의 제3 마스크캡(도시하지 않음)을 형성한다. 그 후, 제3 마스크캡은 도 7c의 모든 층들을 통하여 2개의 수직 상호접속홀로 에칭하기 위한 마스크로서 사용된다. 그 후, 전체 표면 위에 제8 배리어 금속(33-8), 텅스텐층(32VIC-2)(수직 상호접속부)이 증착되고 수직 상호접속홀 내부를 채운다. 그 후, 제3 마스크캡이 제거된다. 그와 같이, 2개의 수직 NMOS 트랜지스터 Q3, Q4가 완성된다.

도 2를 부분단면 II-II에서 취한 3D 사시도로부터 공정을 관찰하기 위하여, 도 8a는 Q4 및 수직 상호접속부(4')(또는 텅스텐 32VIC-2)의 확대 단면도를 도시한다. 전술한 바와 같이, Q4는 소스(6')(또는 폴리실리콘(38-1)), 게이트 전극(1')(또는 폴리실리콘(37-1)), 및 드레인(5')(또는 폴리실리콘(39-1))을 포함한다. 특히, 실리콘 이산화물 게이트 유전체벽(36-1)은 실린더형이다. 도 8b는 도 8a의 구조에 대한 3D 사시도를 도시하고, 도 8c는 도 8a의 구조에 대한 평면도를 도시한다. 도 2를 부분단면 III-III으로부터 바라봄으로써, 도 8d는 수직 상호접속컬럼(4') 및 Q4의 S-C-D 컬럼이 매립된 게이트 전극 블럭(1')의 확대된 측면도를 도시한다.

도 9는 S-C-D 컬럼 및 실리콘 이산화물 게이트 전극벽(36-1)의 형상을 실린더형에서 사각형으로 변형함으로써 도 8a-8d의 수직 트랜지스터의 변형을 도시한다. 또한, 실리콘 이산화물 게이트 전극벽(36-1)은 더이상 S-C-D 컬럼의 모든 측면을 감싸지 않고 오직 3개 측면만 감싼다. 또 다른 변형에서, 도 8a-8d의 게이트 전극 블럭은 실리콘 이산화물 게이트 유전체벽(36-1)과 겹치고 하나의 절연재료에 의해 둘러싸이는 실린더형 벽으로 모아진다.

최종적으로, 텅스텐층(32HIC, 수평 상호접속부)을 한 쌍의 텅스텐 빔(32-4, Vcc)으로 대체하는 단계를 제외하고는, 전술된 것과 유사한 단계들로 도 7a-7d의 수직 NMOS 트랜지스터 Q3, Q4의 상부에는, 도 6의 상부에서 보여진 CVD 방법에 의해 순서대로 증착되는 2개의 수직 PMOS 트랜지스터 Q1, Q2(소스 및 드레인은 n형 불순물, 예를 들면, P, As로 도핑되고 채널은 p형 불순물, 예를 들면, B, BF_2로 도핑됨)가 설치된다.

도 3의 평면 I'-I'으로부터 내려다 봄으로써, 도 10는 도 2의 제1 실시예의 복수의 SRAM 셀의 레이아웃에서 수직 트랜지스터에 대한 평면도를 구조적으로 도시한다. 특히, 도 10의 수직 트랜지스터의 단위셀의 형상(평행사변형)은 도 11의 수평 트랜지스터의 단위셀의 형상과 상이하다. 46 및 46'은 또 다른 한 쌍의 수직 트랜지스터 Q3, Q4의 상부에 스태킹된 한 쌍의 수직 트랜지스터 Q1, Q2의 위치를 가리킨다. 47 및 47'은 또 다른 한 쌍의 게이트 전극(1 및 1')의 상부에 스태킹된 한 쌍의 게이트 전극(2, 2')의 위치를 가리킨다. 정렬마진이나 임의의 다른 설계사항으로 인해, 그러한 스태킹은 정확하게 될 필요는 없다. 49 및 49'은 복수의 SRAM 셀에 의해 공유되는 한 쌍의 Vss 빔의 상부에 스태킹된 한 쌍의 Vcc 빔의 위치를 가리킨다. 하나의 단위셀을 또 다른 단위셀과 앞으로 맞대도록(head to head) 배치함으로써, 2개의 단위셀은 Vss 및 Vcc를 공유한다. 3 및 3'은 한 쌍의 수평 상호접속부를 가리킨다. 4 및 4'은 전술한 바와 같은 하나 또는 두개의 별도의 단계에서 설치된 한 쌍의 수직 상호접속부를 가리킨다. 특히, 도 10의 4 및 4'은 도 11의 4 및 4'와 중첩한다(바로 위에 스태킹함).

전술된 제조방법에 대한 많은 가능한 변형들이 있다. 예를 들면, SiO_2로 만 들어진 마스크 및 층은 증착공정이나 열산화를 이용하여 생산될 수 있다. 폴리실리콘은 증착동안뿐만 아니라 그 후에도 도핑될 수 있다.

또한, 제1 실시예는 레벨, 설치 블럭, 또는 그 일부분을 변경시킴으로써 용이하게 변형될 수 있다. 예를 들면, Q1, Q2, 및 Vcc의 전체 레벨은 Q3, Q4, 및 Vss의 레벨과 바뀔 수 있다. 도 13에 도시된 바와 같이, 변형 실시예 1-1는 긴 플러그와 연관된 제조의 어려움을 감소하기 위하여, 게이트 전극(2, 2')으로부터 도 2의 수직 상호접속부(4, 4')의 상부 부분을 잘라낸다. 도 14에 따르면, 또 다른 변형 실시예 1-2는 Q2와 Q4 뿐만 아니라 Q1과 Q3 사이의 바람직하지 못한 간섭을 감소하기 위하여 Q3, Q4(Q1, Q3와 Q2, Q4 사이에 공유되는 것보다는)를 위한 분리된 한 쌍의 수평 상호접속부($\underline{3}$, $\underline{3'}$)를 갖는다. 또한, Vss 빔은 Q2와 Q4뿐만 아니라 Q1과 Q3 사이에서 각각 위로 이동된다. 따라서, Q3, Q4의 채널방향(S->D)은 Q1, Q2의 채널방향과 부합하도록 반전된다. 또한, 긴 플러그와 연관된 제조의 어려움을 감소하기 위하여 게이트 전극(2, 2')으로부터 도 14의 수직 상호접속부(4, 4')의 상부 부분이 잘라질 수도 있다.

또한, 나중에 제7 실시예에서 논의되는 바와 같이, 부하 트랜지스터 Q5, Q6는 제1 실시예로부터 제거될 수 있다. 모든 변형들에서는 SRAM 셀에 의해 점유되는 유효면적이 감소되므로, 반도체 기판(21)의 영역이 감소되어 하나의 웨이퍼에 제조되는 셀의 숫자를 늘릴 수도 있다.

도 12는 본 발명에 따른 제1 실시예 또는 그 변형들의 복수의 단위 SRAM 셀을 포함하는 SRAM 매트릭스(50)를 이용하는 하나의 회로를 구조적으로 도시한다. 이 회로는 컬럼 I/O(51), 컬럼 디코더(52), 로우 디코더(53), 입력데이터 제어(54), 제어로직(55), 컬럼 어드레스 버퍼(56), 및 로우 어드레스 버퍼(57)를 포함한다. 전체 회로 및 장치의 사이즈를 감소시키기 위하여 웨이퍼상에서 필요한 표면 영역을 감소시키도록, SRAM 매트릭스(50)뿐만 아니라, 컬럼 디코더(52)와 같은 다른 모든 주변장치들에서 수직 트랜지스터들이 응용될 수 있다.

제2 실시예

도 15의 회로도를 참조하면, 본 발명의 제2 실시예에 따른 6T 수직 SRAM은 기판에 만들어진 2개의 전송 NMOS 트랜지스터 Q5 및 Q6 위에 4개의 상이한 레벨로 위치되는 2개의 부하 PMOS 트랜지스터 Q1 및 Q2 및 2개의 구동 NMOS 트랜지스터 Q3 및 Q4를 포함한다. 전송 MOS가 바닥에(기판에서) 유지되는 한, 부하 MOS와 구동 MOS의 레벨은 바뀔 수 있다. 제2 실시예의 3D 다이어그램(도 16)에서 도시된 바와 같이, Q1은 소스(8), 게이트 전극(2), 및 드레인(7)을 포함한다. Q2는 소스(8'), 게이트 전극(2'), 및 드레인(7')을 포함한다. Q3는 소스(6), 게이트 전극(1), 및 드레인(5)을 포함한다. Q4는 소스(6'), 게이트 전극(1'), 및 드레인(5')을 포함한다. Q5, Q6(도시하지 않음)은 도 16에 도시된 구조 아래에 만들어 진다. 수평 트랜지스터 위에는 한 쌍의 비트라인(9, 9'), 한 쌍의 비트라인 컨택트(10, 10'), 및 워드라인(11)이 설치된다. 각각의 전송 트랜지스터 Q5 및 Q6는 활성영역을 포함한다.

트랜지스터 Q1 및 Q3 위에는, 일반적으로 Q2, Q4의 게이트전극(2', 1')과 평행하고, Q1, Q3를 각각 수직 상호접속컬럼(4)에 접속하는 2개의 수평 상호접속빔($\underline{3}$ & $\underline{3'}$)이 있다. 트랜지스터 Q2 및 Q4의 아래에는, 일반적으로 Q1, Q3의 게이트 전극(2, 1)과 평행하고, Q2, Q4를 각각 수직 상호접속컬럼(4')에 접속하는 2개의 수평 상호접속빔($\underline{3}$ & $\underline{3'}$)이 있다. Q1, Q2는 하나의 Vcc 빔(12)에 접속되고, Q3, Q4는 하나의 Vss 빔(13)으로 각각 접속된다. 따라서, 높은 통합성 및 낮은 구동 전압(low-drive-voltage) 동작이 가능하다. 이러한 공유 특성에 기인하여, 기판상에 필요한 영역은 제1 실시예의 약 3/4으로 감소되었고, Vcc, Vss 빔의 갯수는 제1 실시예의 절반으로 감소된다. 그러나, 수평 상호접속부의 갯수와 수직 상호접속부의 길이는 두배가 된다.

또한, 제2 실시예는 레벨, 설치블럭 또는 그 일부분을 변경함으로써 용이하게 변형될 수 있다. 도 17에 도시된 바와 같이, 변형 실시예 2-1는 긴 플러그와 연관된 제조의 어려움을 감소시키기 위하여 게이트 전극(2)으로부터 도 16의 수직 상호접속부(4, 4')의 상부 부분을 잘라낸다. 다른 방법으로, 나중에 논의되는 제7 실시예와 같이, 부하 트랜지스터 Q5, Q6는 제2 실시예로부터 제거될 수 있다.

도 18를 참조하면, 변형 실시예 2-2는 Q2와 Q3 사이에 공유된 수평 상호접속부를 갖는다. 따라서, 셀당 수평 상호접속부의 전체 갯수는 도 19의 4개로부터 3개로 감소된다. 결과적으로, 하나의 수평 상호접속부(3)으로 결합되기 위하여 도 17의 수평 상호접속부(3 및 3′)이 도 20에서 정렬되도록 Q1, Q2의 게이트 전극 블럭의 방위가 바뀐다. 도 19는 워드라인(WL)(11)의 전단면으로부터 도 18의 3D 구조의 측면도를 도시한다.

도 19의 평면 I'-I'으로부터 내려다 봄으로써, 도 20는 도 18의 제2 실시예의 복수의 SRAM 셀의 레이아웃에서 수평 트랜지스터의 평면도를 구조적으로 도시한다. 특히, 44는 수평 트랜지스터 Q5, Q6중 하나의 활성영역을 가리킨다. 비트라인 컨택트(10)는 Q5, Q6의 드레인중 하나를 하나의 BL 빔에 접속한다. 단위셀(45-1)을 단위셀(45-2)과 뒤로 맞대도록(back to back) 배열함으로써 2개의 단위셀들은 비트라인 컨택트를 공유한다. 한 편, 제1 실시예의 SRAM 셀(45-1) 및 SRAM 셀(45-2) 각각은 각각의 비트라인 컨택트(도 11)로 접속된다. 그와 같이, 제2 실시예의 비트라인 컨택트의 갯수는 제1 실시예의 갯수의 절반으로 감소된다.

도 19의 평면 II'-II'로부터 내려다 봄으로써, 도 21는 도 18의 제2 실시예의 복수의 SRAM 셀의 레이아웃에서 제1 수직 트랜지스터 Q1의 평면도를 구조적으로 도시한다. 특히, 도 20의 수평 트랜지스터의 단위셀의 형상(평행사변형)은 도 21의 수직 트랜지스터의 단위셀의 형상과 상이하다. 46은 수직 트랜지스터 Q1(다른 3개의 수직 트랜지스터 Q2, Q3, Q4의 상부에 스태킹함)을 가리킨다. 47은 또 다른 게이트 전극(1')의 바로 위의 게이트 전극(2)을 가리키고, 48은 또 다른 수평 상호접속부(3')의 바로 위에 있는 수평 상호접속부(3)을 가리키며, 그 사이에는 2개의 게이트 전극(2', 1)이 위치된다. 49는 단일의 Vss 빔의 바로 위에 있는 단일의 Vcc 빔을 가리키며, 이들은 복수의 SRAM 셀에 의해 공유된다. 그와 같은 스태킹(stacking)나 토핑(topping)은 정렬마진이나 임의의 다른 설계 고려사항으로 인해 정확하지 않다. 도 10의 제1 실시예에서와 같이, 도 22에서 단위셀(45-1)을 단위셀(45-2)과 앞으로 맞대도록 배열함으로써, 2개의 단위셀은 Vss와 Vcc를 공유 한다.

도 21와 유사하게, 도 22는 도 18의 제2 변형 실시예의 복수의 SRAM 셀의 레이아웃에서 제1 수직 트랜지스터 Q1에 대한 평면도를 구조적으로 도시한다. 또한, 47 및 48은 게이트 전극(2) 및 수평 상호접속부(3)을 가리키지만, 게이트 전극(2)이 도 21에서는 수평 상호접속부(3) 위에 위치되는 것과는 반대로 도 22에서는 수평 상호접속부(3) 아래에 위치된다.

SRAM에 의해 점유되는 유효영역이 모든 변형예에서 감소되므로, 반도체 기판의 필요 영역도 또한 감소되어, 하나의 웨이퍼에서 제조되는 셀의 수가 증가될 수 있다. 제2 실시예의 공정흐름은 제1 실시예의 경우와 유사하며 당업자가 용이하게 이해할 수 있는 것이다.

제3 실시예

제3 실시예는 제1 실시예로부터 기판을 제거함으로써, 즉 2개의 통상적인 트랜지스터 Q5, Q6를 제3 쌍의 수직 트랜지스터 Q5, Q6로 대체함으로써 얻어질 수 있다. 도 23의 회로도를 참조하면, 본 발명의 제3 실시예에 따른 6T 수직 SRAM은 제1 실시예의 전송 트랜지스터 Q5, Q6를 2개의 부하 PMOS 트랜지스터 Q1, Q2 및 2개의 구동 NMOS 트랜지스터 Q3, Q4 위로 추가적으로 이동시킨다. 제3 실시예의 3D 다이어그램에서 도시된 바와 같이(도 24), 전송 MOS가 공유 게이트 전극 블럭내에 유지되는 한, 부하 MOS 및 구동 MOS의 레벨은 바뀔 수 있다. 실제로, 도 24의 전체 3D 구조는 뒤집어서 설치될 수도 있다. Q1은 소스(6), 게이트 전극(1), 및 드 레인(5)을 포함한다. Q2는 소스(6'), 게이트 전극(1'), 및 드레인(5')을 포함한다. Q3은 소스(8), 게이트 전극(2), 및 드레인(7)을 포함한다. Q4는 소스(8'), 게이트 전극(2'), 및 드레인(7')을 포함한다. Q5는 소스(6), 게이트 전극(1), 및 드레인(5)을 포함한다. Q6는 소스(6′), 게이트 전극(1), 및 드레인(5′)을 포함한다. 특히, Q5, Q6은 한 쌍의 수직 상호접속부(4, 4')의 상부에 바로 스태킹된다. 블럭(1)은 Q5, Q6의 게이트 전극, 및 워드라인(11)(공유된 게이트/WL)이 매립된다. 한 쌍의 비트라인(9, 9')은 상부로 이동되어 Q5, Q6와 직접 접속되므로 비트라인 컨택트는 불필요하다. 도 25는 비트라인(9, 9')(BL)의 전단면으로부터 바라본 도 24의 구조에 대한 측면도를 도시한다. 단위셀은 Si 기판 위의 수직 MOSFET들로만 이루어진다.

구동 트랜지스터 Q3 및 Q4 위에는 층간절연막에 매립된 2개의 수평 상호접속빔(3 및 3')이 있다. 수평 상호접속빔(3)은 Q2, Q4를 수직 상호접속컬럼(4)에 접속하고, 수평 상호접속 빔(3')은 Q1, Q3를 수직 상호접속 컬럼(4')에 접속한다. Q1, Q2는 하나의 공유된 Vcc 빔(12)에 접속되고, Q3, Q4는 하나의 공유된 Vss 빔(13)에 접속된다. 단일의 Vcc 빔 바로 위의 단일의 Vss 빔은 복수의 SRAM 셀에 의해 공유된다. 따라서, 높은 통합성 및 낮은 구동 전압 동작이 가능하게 된다. 제3 실시예는 제1 실시예보다 더 작은 단위셀 사이즈를 갖는데, 그 이유는 그 수직 Q5, Q6가 제1 실시

예의 수평 Q5, Q6보다 더 작은 공간을 차지하기 때문이다. 또한, 제3 실시예는 제2 실시예보다 더 낮은 단위셀 높이를 갖는데 그 이유는 3개 레 벨(4개의 레벨보다는)의 수직 구조때문이다.

도 24의 상부 게이트 전극 블럭의 부분 사시도를 취하여, 도 26는 게이트 전극 블럭(20 또는 1)의 2개의 대각선 코너에 매립된 Q5, Q6의 확대된 사시도를 도시한다. 제1 실시예에서 언급된 바와 같이, Q5, Q6의 실리콘 이산화물 게이트 유전체벽(18)은 둘 다 실린더형이다. 게이트 전극 블럭(1)은 Q5 및 Q6가 매립된다. 공유 게이트 전극 특성은 한 쌍의 전송에 대해서만 적용 가능하다(한 쌍의 부하 또는 구동 트랜지스터는 아님).

도 25의 평면 I'-I'으로부터 내려다 봄으로써, 도 27는 도 24의 제3 실시예의 복수의 SRAM 셀의 레이아웃에서 수직 전송 트랜지스터 Q5, Q6에 대한 평면도를 구조적으로 도시한다. 특히, 46은 수직 상호접속부(4', 4)의 상부에 스태킹된 수직 트랜지스터 Q5, Q6중 하나를 가리킨다. 16은 Q5, Q6의 게이트 전극, 워드라인(11)이 매립된 복수의 블럭(1)이 매립된 긴 블럭 구조를 가리킨다. 45는 도 24의 제2 실시예의 단위셀을 위한 영역을 가리킨다.

도 25의 평면 II'-II'으로부터 내려다봄으로써, 도 28는 도 24의 제3 실시예의 복수의 SRAM 셀의 레이아웃에서 수직 부하/구동 트랜지스터 Q1/Q3, Q2/Q4의 공통 평면도를 구조적으로 도시한다. 특히, 46은 임의의 수직 상호접속부보다는 또다른 수직 트랜지스터 Q4의 상부에 스태킹되는 수직 트랜지스터 Q를 가리킨다. 47은 Q4의 게이트 전극(2') 위에 있는 Q2의 게이트 전극(1')을 가리킨다. 45는 도 24의 제3 실시예의 단위셀을 위한 영역을 가리킨다. 단위셀(45-1)을 단위셀(45-2) 과 앞으로 맞대도록 배열함으로써, 2개의 단위셀은 Vss 및 Vcc를 공유한다. 한편, 단위셀(45-1)을 단위셀(45-3)과 평행하게 배열함으로써, 2개의 단위셀은 Vss 및 Vcc를 공유하지 않는다. 임의의 그와 같은 스태킹(stacking) 또는 토핑(topping)은 정렬마진 또는 임의의 다른 설계 고려사항으로 인하여 정확하지 않다.

도 28의 제3 실시예의 레이아웃은 사각형의 2개의 대각 코너에 설치된 한 쌍의 수직 트랜지스터 및 사각형의 다른 2개의 대각 코너에 설치된 한 쌍의 수직 상호접속부를 갖는다. 한편, 도 10의 제1 실시예의 대응하는 레이아웃은 평행사변형의 2개의 대각 코너에 설치된 한 쌍의 수직 트랜지스터 및 평행사변형의 다른 2개의 대각 코너에 설치된 한 쌍의 수직 상호접속부를 갖는다. 도 21의 제2 실시예의 대응하는 레이아웃은 삼각형의 한 코너에 설치된 하나의 수직 트랜지스터 및 삼각형의 다른 2개의 코너에 설치된 한 쌍의 수직 상호접속부를 갖는다.

도 25의 평면 III'-III'으로부터 내려다 봄으로써, 도 29는 도 24의 제3 실시예의 복수의 SRAM 셀의 레이아웃에서 수평 상호접속부에 대한 평면도를 구조적으로 도시한다. 상호접속부(3)은 도 28의 구동/부하 트랜지스터(47)의 게이트 전극의 위치에 수직이다. 도 28의 수직 트랜지스터 단위셀의 형상(사각형)은 도 29의 수평 상호접속부의 단위셀의 형상과 동일하다.

제3 실시예의 수직 SRAM 셀은 Si 또는 폴리실리콘 기판 위의 수직 MOSFET들로만 이루어진다. Si 기판을 구비하는 수직 MOSFET의 특성은 폴리실리콘 기판상의 경우와는 상이하다. 더 향상된 이동성(mobility) 및 더 적은 누설전류를 제공하기 위하여 Si 기판이 선호된다.

또한, 제3 실시예는 레벨, 설치블럭 또는 그 일부분을 변경함으로써 용이하게 변형될 수 있다. 예를 들면, Q1, Q2, 및 Vcc의 전체 레벨은 Q3, Q4,및 Vss의 레벨과 바뀔 수 있다. 다른 방법으로, 나중에 제7 실시예에서 논의되는 바와 같이, 부하 트랜지스터 Q5, Q6는 제3 실시예로부터 제거될 수 있다.

또한, 제3 실시예는, 주메모리로서 SRAM 매트릭스(50)를 이용하는, 도 12의 SRAM 매트릭스(50)에서 적용될 수 있다. 제3 실시예의 공정흐름은 제1 실시예의 경우와 유사하며 이는 당업자가 용이하게 이해할 것이다. 제3 실시예의 무기판(no-substrate) 특성으로 인하여, 주변 제어장치에 관하여는 제1 및 제2 실시예로부터 상이하게 배치될 수 있다.

도 30a, 30b는 주변 제어장치(예를 들면, 디코더(52))와 함께 제3 실시예의 SRAM 셀(도 25)을 도시하는 부분 단면도이다. 디코더(52)는 본 발명에 따른 또 다른 SRAM 셀 이외의 임의의 주변 회로장치의 일 예이다. 디코더(52)는 기판에서 종래의 방법에 따라 성장되므로, 게이트 전극(60), 소스/드레인 영역(61), 및 얕은 트렌치 분리부(62)를 구비하는 하나의 수평 MOSFET를 포함한다. 도 30a에서, 수직 SRAM 셀은 기판의 상부 바로 위에 설치된다. 반대로, 도 30b의 수직 SRAM 셀은 얕은 트렌치 분리부(62)와 동일한 SIT 공정을 통하여 얻어지는 트렌치 내부에 설치된다. 그와 같이, 도 30b의 수직 SRAM 셀과 디코더(52) 사이의 배선은 도 30a의 배치의 경우보다 더 짧고 만들기가 더 용이하다. 즉, 수직 SRAM 셀은 기판면이나 기판면상의 트렌치내에 설치될 수 있다.

다른 방법으로, 제3 실시예의 수직 SRAM 셀은 도 30c에서 도시된 바와 같이 기판에 성장된 주변 수평 MOSFET의 상부 바로 위에 설치될 수 있다. 그와 같이, 접속배선은 매우 짧게 되며, 필요 영역 또한 상당히 감소된다.

제1 실시예의 논의에서 언급된 바와 같이, 수직 트랜지스터와 함께 임의의 주변 제어장치도 설치될 수 있다. 도 30c에 도시된 바와 같이, 또 다른 디코더(53)는 게이트 전극(63), 소스(64) 및 드레인(65)을 포함하는 주변직선 수직 MOSF

ET(실리콘 기판을 사용하지 않음)를 포함한다. 주변 수직 MOSFET도 Si 또는 폴리실리콘 기판의 상부에 설치되므로, 디코더(53)는 기판상의 배선(66)으로 제3 실시예의 수직 SRAM 셀과 용이하게 접속된다.

또한, 도 30a의 Si 기판은 유전체층(69)에 의해 대체될 수 있어 도 30c의 유전체층(69)상에 설치된 수직 SRAM 셀은 도 30c의 수직 SRAM 셀의 상부에 위치될 수 있다. 그와 같이, 복수 수직층(multiple-vertical-layer) 구조에 의해 영역 사이즈가 더 감소된다.

간략히, (1) 수직 SRAM 셀의 아래에 임의의 전통적인 주변장치들을 매립하고; (2) 직선 수직 SRAM 셀과 접속되는 직선 수직 주변장치를 이용하며(기판을 사용하지 않음); 그리고/또는 (3) 하나 이상의 직선 수직 SRAM 셀을 서로의 상부에 스태킹하여 복수 수직층 구조를 형성함으로써, 제3 실시예에서 제1 실시예보다 회로의 유효영역을 더 감소시키는 것이 가능하다.

제4 실시예

제4 실시예는 제1 및 제3 실시예의 혼합이다. 본 실시예는 제3 실시예의 수직 트랜지스터의 하부쌍을 제1 실시예의 한 쌍의 수평 트랜지스터로 대체함으로써 획득된다. 도 31의 회로도를 참조하면(도 23과 동일함), 본 발명의 제4 실시예에 따른 6T 수직 SRAM은, 기판에 성장된 2개의 구동 NMOS 트랜지스터 Q3 및 Q4의 상부에 형성되는 2개의 부하 PMOS 트랜지스터 Q1 및 Q2의 상부에 형성되는 2개의 전송 NMOS 트랜지스터 Q5 및 Q6를 포함한다. 부하 MOS 및 구동 MOS의 레벨은 전송 MOS가 공유 게이트 전극 블럭내에 유지되는 한 바뀔 수 있다. 제4 실시예의 3D 다이어그램에서 도시된 바와 같이(도 32), Q1은 소스(8), 게이트 전극(2), 및 드레인(7)을 포함한다. Q2는 소스(8'), 게이트 전극(2'), 및 드레인(7')을 포함한다. Q3은 소스(6), 게이트 전극(16), 및 드레인(5)을 포함한다. Q4는 소스(6'), 게이트 전극(16) 및 드레인(5')을 포함한다. Q5, Q6(도시하지 않음)은 도 32에 도시된 3D 구조의 아래에 만들어진다.

Vcc 빔 및 한 쌍의 수평 상호접속부(17, 17')이 수평 트랜지스터 위에 설치된다. 구동 트랜지스터(Q3 및 Q4)의 각각은 활성영역을 포함한다. 블럭(16)은 Q5, Q6의 게이트 전극, 및 워드라인(11)(공유 게이트/WL)이 매립된다. 한 쌍의 비트라인(9, 9')은 상부로 이동되고 Q5, Q6와 직접 접속되어 비트라인 컨택트가 필요없게 된다. 도 33는 비트라인(9, 9')(BL)의 전단면으로부터 바라본 도 31의 구조에 대한 측면도를 도시한다.

수평 상호접속빔(17)은 Q4를 수직 상호접속컬럼(4)에 접속하고 수평 상호접속빔(17')은 Q3을 수직 상호접속컬럼(4')에 접속한다. 구동 트랜지스터 Q3 및 Q4 위에는 층간절연막에 매립된 한 쌍의 수평 상호접속빔(3, 3')이 있다. 수평 상호접속빔(3)은 Q2를 수직 상호접속컬럼(4)에 접속하고, 수평 상호접속빔(3')은 Q1을 수직 상호접속컬럼(4')에 접속한다. Q1, Q2는 각각 Vss 빔(12, 12')에 접속되고, Q3, Q4는 Vcc 컨택트(14, 14')로 Vcc 빔(13)에 접속된다. Vcc 빔 바로 위의 Vss 빔은 복수의 SRAM 셀에 의해 공유된다. 도 33는 수평 상호접속부(17, 17')(HIC)의 전단면으로부터 바라본 도 31의 구조에 대한 측면도를 도시한다. 따라서, 높은 통합성 및 낮은 구동 전압 동작이 가능해진다.

도 33의 평면 I'-I'으로부터 내려다 봄으로써, 도 34는 도 32의 제4 실시예의 복수의 SRAM 셀의 레이아웃에서 수평 트랜지스터에 대한 평면도를 구조적으로 도시한다. 17 17'은 2개의 수평 상호접속부를 가리킨다. 58은 Vss/Vcc 컨택트를 가리킨다. 45는 도 32의 제4 실시예의 단위셀을 위한 영역을 가리킨다. 제3 실시예 내부에서 비교하면, 더 큰 수평 드라이버 트랜지스터는 수직 전송 트랜지스터보다 더 빠르고, Si 기판에서 용이하게 성장될 수 있다. 다른 실시예들(도 11, 20)과 비교하면, 본 실시예는 제1, 제2 및 제3 실시예보다 기판에 더 큰 영역 공간을 필요로 한다. 그러나, 이전의 세 실시예는 제4 실시예의 전술된 내부의 비교특성을 갖지 않는다.

도 33의 평면 II'-II'으로부터 내려다 봄으로써, 도 35는 도 32의 제4 실시예의 복수의 SRAM 셀의 레이아웃에서 수직 전송 트랜지스터 Q5, Q6에 대한 평면도를 구조적으로 도시한다. 특히, 46, 46'은 각각 수직 상호접속부(4', 4)의 상부에 스태킹된 수직 트랜지스터 Q5, Q6를 가리킨다. 16은 Q5, Q6의 게이트 전극, 및 워드라인(11)이 매립된 복수의 블럭(16)이 매립되는 긴 블럭 구조를 가리킨다. 45는도 32의 제4 실시예의 단위셀을 위한 영역을 가리킨다. 제3 실시예와 비교하면, 도 35는, 그 하부 블럭(16)이 제3 실시예의 경우보다 예를 들면 25% 더 긴 것을 제외하고는 도 27과 거의 동일한 것으로 보인다. 이것은 도 32의 3D 구조 및 도 36의 레이아웃의 직접적인 결과이다.

도 33의 평면 III'-III'으로부터 내려다봄으로써, 도 36는 도 32의 제4 실시예의 복수의 SRAM 셀의 레이아웃에서 수직 부하 트랜지스터 Q1, Q2의 평면도를 구조적으로 도시한다. 특히, 46은 이전의 실시예에서와 같이 임의의 수직 상호접속부 또는 수직 트랜지스터보다는 수평 상호접속부(3)의 상부에 스태킹된 수직 트랜지스터 Q2를 가리킨다. 47은 Q2의 게이트 전극(2')을 가리킨다. 단위셀(45-1)을 단위셀(45-2)과 앞으로 맞대도록 배치함으로써, 2개의 단위셀은 Vss 및 Vcc를 공유한다. 한편, 단위셀(45-3)과 평행하게 단위셀(45-1)을 배치함으로써, 2개의 단위셀은 Vss 및 Vcc를 공유하지 않는다. 그와 같은 스태킹(stacking) 또는 토핑(topping)은 정렬마진이나 임의의 다른 설계 고려사항으로 인해 정확하지 않다. 제3 실시예와 비교하면, 도 36는 그 하부 로우가 제3 실시예의 경우보다 예를 들면 25% 더 긴 것을 제외하고는 도 28과 거의 동일하게 보인다. 이것은 또한 도 32의 3D 구조 및 후속하는 레이아웃의 직접적인 결과이다. 제4 실시예는 제3 실시예와 동일한 형상을 갖는 도 33의 레이아웃을 가지지만, 더 큰 사각형의 2개의 대각

코너에 설치된 한 쌍의 수직 트랜지스터 및 사각형의 다른 2개의 대각 코너에 설치된 한 쌍의 수직 상호접속부를 구비한다. 따라서, 제4 실시예의 가장 작은 피치(pitch)가 제3 실시예의 경우, 및 제1 및 제2 실시예의 각각의 경우보다 더 크다.

도 33의 평면 VI'-VI'으로부터 내려다 봄으로써, 도 37는 도 32의 제4 실시예의 복수의 SRAM 셀의 레이아웃에서 수평 상호접속부의 평면도를 구조적으로 도시한다. 상호접속부(3)은 도 36의 구동/부하 트랜지스터(47)의 게이트 전극의 위치에 수직이다. 제3 실시예와 비교하면, 도 37는 그 하부 로우가 제3 실시예의 경우보다 예를 들면 25% 더 긴 것을 제외하고는 도 29와 거의 동일한 것으로 보인다. 유추해보면, 이것 또한, 도 32의 3D 구조 및 전술된 레이아웃의 직접적인 결과이다.

또한, 제4 실시예는 설치블럭이나 그 일부분을 변경함으로써 용이하게 변형될 수 있다. 제7 실시예에서 나중에 논의되는 바와 같이, 부하 트랜지스터 Q5, Q6는 제4 실시예로부터 제거될 수 있다.

제4 실시예의 공정흐름은 제1 실시예 또는 임의의 다른 이전의 실시예들의 경우와 유사하며, 이것은 당업자가 용이하게 이해할 것이다.

제5 실시예

제5 실시예는 제4 실시예에서 Q1, Q2와 Q3, Q4를 바꾸고, 4개의 수직 트랜지스터 Q5, Q6, Q3, Q4를 동일한 레벨에 둠으로써 얻어진다. 도 38의 회로도를 참조하면(도 31와 유사함), 본 발명의 제5 실시예에 따른 6T 수직 SRAM은 결정 Si 웨이퍼 기판에 만들어진 2개의 부하 PMOS 트랜지스터 Q1 및 Q2 위의 2개의 구동 NMOS 트랜지스터 Q3 및 Q4와 동일한 레벨에 형성된 2개의 전송 NMOS 트랜지스터 Q5 및 Q6를 포함한다. 전송 MOS와 구동 MOS를 위한 제조공정을 하나로 결합하기 위하여, 구동 MOS는 전송 MOS(공유된 게이트 전극 블럭내에 매립됨)와 동일한 도전형으로 되는 것이 바람직하다. 제 5 실시예의 3D 다이어그램에서 도시된 바와 같이(도 39), Q3은 소스(6), 게이트 전극(1), 및 드레인(5)을 포함한다. Q4는 소스(6'), 게이트 전극(1'), 및 드레인(5')을 포함한다. Q5는 소스(6), 게이트 전극(16), 및 드레인(5)을 포함한다. Q6은 소스(6′), 게이트 전극(16) 및 드레인(5′)을 포함한다. Q1, Q2(도시하지 않음)는 도 39에 도시된 3D 구조 아래에 만들어진다.

한 쌍의 비트라인(9, 9')은 Q5, Q6의 상부에 접속되어 비트라인 컨택트가 필요없다. 부하 트랜지스터 Q5 및 Q6 각각은 활성영역을 포함한다. Vcc 빔 및 한 쌍의 수평 상호접속부(17, 17')는 수평 트랜지스터 위에 설치된다. 블럭(1)은 Q5, Q6의 게이트 전극 및 워드라인(11)(공유된 게이트/WL)이 매립된다. 도 40는 워드라인(16)(G/WL)의 전단면으로부터 바라보는 도 39의 구조에 대한 측면도를 도시한다.

수평 상호접속빔(17)은 Q6를 수직 상호접속컬럼(4)에 접속하고 수평 상호접속빔(17')은 Q5를 수직 상호접속컬럼(4')에 접속한다. 구동 트랜지스터 Q3 및 Q4의 위에는 층간절연막에 매립된 한 쌍의 수평 상호접속빔(3, 3')이 있다. 수평 상호접속빔(3)은 Q3을 수직 상호접속컬럼(4)에 접속하고, 수평 상호접속빔(3')은 Q4를 수직 상호접속컬럼(4')에 접속한다. 제4 실시예보다 본 실시예에는 추가적인 한 쌍의 수평 상호접속부(3, 3′)가 제공된다. 수평 상호접속빔(3)은 Q6을 수직 상호접속컬럼(4)에 접속하고, 수평 상호접속빔(3′)은 Q5를 수직 상호접속컬럼(4')에 접속한다. Q3, Q4는 공유된 Vss 빔(12)에 접속되고, Q1, Q2는 Vcc 컨택트(14, 14')로 Vcc 빔(13)에 접속된다. 따라서, 높은 통합성 및 낮은 구동 전압 동작이 가능해진다. 이전의 모든 실시예들과 비교하면, 오직 단일의 수직 트랜지스터 레벨이 필요하므로 본 실시예의 단위셀 높이는 가장 낮다. 한편, 제1 및 제4 실시예 모두는 2개의 수직 레벨을 갖고, 제3 실시예는 3개의 수직 레벨을 가지며, 제2 실시예는 4개의 수직 레벨을 갖는다.

도 39의 상부 게이트 전극 블럭의 부분 사시도를 취하여, 도 41는 게이트 전극 블럭(20 또는 16)의 두 단부에 매립된 Q5, Q6의 확대 사시도를 도시한다. 제1 실시예에서 언급된 바와 같이, Q5, Q6의 실리콘 이산화물 게이트 유전체벽(18)은 모두 원통형이다. 그리고 게이트 전극 블럭(16)은 Q5 및 Q6가 매립된다. 공유된 게이트 전극 특성은 오직 한 쌍의 전송 트랜지스터(그러나 한 쌍의 부하 또는 구동 트랜지스터는 아님)에 대하여만 적용 가능하다.

도 40의 평면 I'-I'으로부터 내려다 봄으로써, 도 42는 도 39의 제5 실시예의 복수의 SRAM 셀의 레이아웃에서 수평 상호접속부에 대한 평면도를 구조적으로 도시한다. 68, 68'은 수직 트랜지스터 Q3, Q4의 위치를 가리킨다. 상호접속부(3, 3')은 도 39의 수직 트랜지스터의 게이트 전극에 수직이다. 45는 도 39의 제5 실시예의 단위셀을 위한 영역을 가리킨다. 각각 제3/제4 실시예와 비교하면, 도 42는 그 두 로우가 제3/제4 실시예의 경우보다 예를 들면 50%/20% 더 긴 것을 제외하고는 도 29/37와 거의 동일한 것으로 보인다. 이것은 도 39의 3D 구조 및 도 44의 레이아웃의 직접적인 결과이다.

도 40의 평면 II'-II'으로부터 내려다 봄으로써, 도 43는 도 39의 제5 실시 예의 복수의 SRAM 셀의 레이아웃에서 수평 트랜지스터의 평면도를 구조적으로 도시한다. 4 및 4'은 2개의 수직 상호접속부를 가리킨다. 17, 17'은 2개의 수평

상호접속부를 가리킨다. 58은 Vss/Vcc 컨택트를 가리킨다. 44, 44'은 수평 트랜지스터 Q1, Q2의 활성영역을 가리킨다. 단위셀(45-1)의 하부 부분을 단위셀(45-2)의 하부 부분과 앞으로 맞대도록 배치함으로써, 두 단위셀은 Vss 및 Vcc를 공유한다. 한편, 단위셀(45-1)의 하부 부분을 단위셀(45-3)의 하부 부분과 평행하도록 배열함으로써, 두 단위셀은 Vss 및 Vcc를 공유하지 않는다. 다른 실시예들(도 11, 20, 34)와 비교하면, 본 실시예는 하나의 수직 레벨에서의 그 3개의 평행한 게이트 전극 블럭으로 인해 기판 위에 더 큰 영역 공간을 차지한다. 한 편, 제1, 제3, 및 제4 실시예는 동일한 수직 레벨에 오직 2개의 평행한 게이트 전극 블럭만을 갖고, 제2 실시예는 각각의 수직 레벨에 오직 하나의 게이트 전극 블럭을 갖는다.

도 40의 평면 III'-III'으로부터 내려다 봄으로써, 도 44는 도 39의 제5 실시예의 복수의 SRAM 셀의 레이아웃에서 4개의 수직 전송 트랜지스터 Q3, Q4, Q5, Q6에 대한 평면도를 구조적으로 도시한다(Vss 및 중간의 수평 상호접속부를 무시함). Q5, Q6의 게이트 전극이 매립되는 워드라인(16)이 도면의 상부로 도시된다. 59 및 59'은 2개의 수직 트랜지스터 Q6, Q5의 위치를 가리키고, 68 및 68'은 2개의 수직 트랜지스터 Q4, Q3의 위치를 가리킨다. 3 & 3' 은 Q6, Q5를 각각 수직 상호접속부(4, 4')에 접속하는 2개의 수평 상호접속부를 가리킨다. 제3/제4 실시예와 각각 비교하면, 도 44는 그 두 로우가 제3/제4 실시예의 경우에 비하여 예를 들면 50%/20% 더 긴 것을 제외하고는 도 27/35와 거의 동일한 것으로 보인다. 제5 실시 예는 도 44의 레이아웃을 가지며 하부 부분은 제3 및 제4 실시예의 사각형과 동일하지만 상부 부분은 직사각형의 2개의 단부 코너에 설치된 제3 쌍의 수직 트랜지스터를 갖는다. 따라서, 제5 실시예의 가장 작은 피치는 제3 및 제4 실시예의 각각의 경우, 및 제1 및 제2 실시예의 각각의 경우보다 더 크다.

또한, 제5 실시예는 설치블럭 또는 그 일부분을 변경함으로써 용이하게 변형될 수 있다. 예를 들면, Q5, Q6의 공유된 게이트 전극 블럭은 Q3, Q4의 좌측으로 이동될 수 있다. 도 45에 도시된 바와 같이, 변형 실시예 5-1는 수평 상호접속부(3')만큼 길게 되도록 수평 상호접속부(3)을 확장시킨다. 결과적으로, 수평 상호접속부(3) 또한 위치(68)를 향하여 확장한다(도 46). 수평 상호접속부(3)의 확장은 수평 상호접속부(3, 3')의 길이를 균등하게 하여, 더욱 균질의 SRAM 특성을 야기시킨다. 나중에 제7 실시예에서 논의되는 바와 같이, 부하 트랜지스터 Q5, Q6는 제5 실시예로부터 제거될 수 있다.

제5 실시예의 공정흐름은 제1 실시예 또는 임의의 다른 이전의 실시예들의 경우와 유사하며, 당업자는 이것을 용이하게 이해할 것이다.

제6 실시예

제6 실시예는 제5 실시예의 Q5, Q6의 게이트 전극 블럭을 두 블럭으로 분리함으로써 얻어진다. 제6 실시예에 따른 6T 수직 SRAM의 회로도는 본 발명의 제5 실시예(도 38)와 동일하고 기판에 만들어진 2개의 부하 PMOS 트랜지스터 Q1 및 Q2 위의 2개의 구동 NMOS 트랜지스터 Q3 및 Q4와 동일한 레벨에 형성된 2개의 전송 NMOS 트랜지스터 Q5 및 Q6를 포함한다. 구동 MOS와 전송 MOS를 위한 제조공정을 결합하여 하나로 하기 위해 구동 MOS는 전송 MOS와 동일한 도전형으로 되는 것이 바람직하다. 제6 실시예의 3D 다이어그램(도 47)에 도시된 바와 같이, Q3은 소스(6), 게이트 전극(1), 및 드레인(5)을 포함한다. Q4는 소스(6'), 게이트 전극(1'), 및 드레인(5')을 포함한다. Q5는 소스(6), 게이트 전극(16), 및 드레인(5)을 포함한다. Q6은 소스(6'), 게이트 전극(16'), 및 드레인(5')을 포함한다. Q1, Q2(도시하지 않음)은 도 47에 도시된 3D 구조 아래에 만들어진다.

한 쌍의 비트라인(9, 9')은 Q5, Q6의 상부에 접속되어 비트라인 컨택트가 필요 없다. 부하 트랜지스터 Q5 및 Q6 각각은 활성영역을 포함한다. Vcc 빔 및 한 쌍의 수평 상호접속부(17, 17')은 수평 트랜지스터 위에 설치된다. 워드라인 블럭(16, 16')은 Q5, Q6의 게이트 전극이 각각 매립된다. 도 48는 워드라인(16)(G/WL)의 전단면으로부터 바라 본 도 47의 구조에 대한 측면도를 도시한다.

수평 상호접속빔(17)은 Q6를 수직 상호접속컬럼(4)에 접속하고, 수평 상호접속빔(17')은 Q5를 수직 상호접속컬럼(4')에 접속한다. 구동 트랜지스터 Q3 및 Q4 위에는 층간절연막에 매립된 한 쌍의 수평 상호접속빔(3, 3')이 있다. 수평 상호접속빔(3)은 Q3을 수직 상호접속컬럼(4)에 접속하고 수평 상호접속빔(3')은 Q4를 수직 상호접속컬럼(4')에 접속한다. 본 실시예는 제4 실시예에 비하여 추가적인 한 쌍의 수평 상호접속부(3 , 3')이 제공된다. 수평 상호접속빔(3)은 Q6를 수직 상호접속컬럼(4)에 접속하고, 수평 상호접속빔(3')은 Q5를 수직 상호접속컬럼(4')에 접속한다. Q3, Q4는 하나의 공유된 Vss 빔(12)에 접속되고, Q1, Q2는 Vcc 컨택트(14, 14')로 Vcc 빔(13)에 접속된다. 따라서, 높은 통합성 및 낮은 구동 전압 동작이 가능해진다.

제5 실시예와 비교하여, 본 실시예의 단위셀 높이는 제5 실시예의 경우와 동일하다. 그와 같이, 높이는 제1, 제2, 제3, 및 제4 실시예보다 더 낮다. Q5, Q6의 게이트 전극 블럭의 분리는 수평 상호접속부(3, 3')의 길이를 균일하게 하여, 더욱 균질의 SRAM 특성을 야기한다. 그러나, 게이트 전극 블럭을 하나 더 생성하므로 더 많은 공간이 필요하다.

도 48의 평면 I'-I'으로부터 내려다 봄으로써, 도 49는 도 47의 제6 실시예의 복수의 SRAM 셀의 레이아웃에서 수평 상호접속부에 대한 평면도를 구조적으로 도시한다. 68, 68'은 수직 트랜지스터 Q3, Q4의 위치를 가리킨다. 상호접속부(3, 3')은 도 47의 수직 트랜지스터의 게이트 전극에 수직이다. 45는 도 47의 제6 실시예의 하나의 단위셀을 위한 영역을 가리킨다. 제3/제4/제5 실시예와 각각 비교하면, 도 49는 두 로우가 제3/제4/제5 실시예의 경우보다 예를 들면 100%/60%/33% 더 긴 것을 제외하고는 도 29/37/42와 거의 동일한 것으로 보인다. 이것은 추가적인 수직 게이트 전극 블럭의 결과이다. 유추해보면, 이것은 도 47의 3D 구조 및 도 51의 레이아웃의 직접적인 결과이다.

도 48의 평면 II'-II'으로부터 내려다 봄으로써, 도 50는 도 47의 제6 실시예의 복수의 SRAM 셀의 레이아웃에서 수평 트랜지스터에 대한 평면도를 구조적으로 도시한다. 4 및 4'은 2개의 수직 상호접속부를 가리킨다. 17, 17'은 2개의 수평 상호접속부를 가리킨다. 58은 Vss/Vcc 컨택트를 가리킨다. 44는 수평 트랜지스터 Q1, Q2의 활성영역을 가리킨다. 45는 도 47의 제6 실시예의 하나의 단위셀을 위한 영역을 가리킨다. 다른 실시예들(도 11, 20, 34, 43)과 비교해 보면, 본 실시예는 하나의 수직 레벨에 있는 4개의 평행한 게이트 전극 블럭들로 인해 제5 실시예보다 기판위에 더 큰 영역 공간을 필요로 한다. 따라서, 제2, 제3, 제1, 및 제5 실시예보다 더 큰 영역 공간을 필요로 한다. 제5 실시예는 동일한 수직 레벨에서 3개의 평행한 게이트 전극 블럭을 갖고, 제1, 제3, 및 제4 실시예는 동일한 수직 레벨에 오직 2개의 평행한 게이트 전극 블럭을 가지며, 제2 실시예는 각각의 수직 레벨에 오직 하나의 단일 게이트 전극 블럭을 갖는다. 45는 도 47의 제6 실시예의 단위셀을 위한 영역을 가리킨다. 단위셀(45-1)을 단위셀(45-2)의 하부 부분과 평행하게 배치함으로써, 두 단위셀은 Vss 및 Vcc를 공유한다. 한편, 단위셀(45-1)의 중간 부분을 단위셀(45-3)의 중간 부분과 평행하게 배치함으로써, 두 단위셀은 Vss 및 Vcc를 공유하지 않는다.

도 48의 평면 III'-III'으로부터 내려다 봄으로써, 도 51는 도 47의 제6 실시예의 복수의 SRAM 셀의 레이아웃에서 4개의 수직 전송 트랜지스터 Q3, Q4, Q5, Q6에 대한 평면도를 구조적으로 도시한다(중간 수평 상호접속부 및 Vss 무시함). 워드라인(16, 16')은 Q5, Q6의 게이트 전극이 각각 매립된다. 59 및 59'는 2개의 수직 트랜지스터 Q6, Q5의 위치를 가리키고, 68 및 68'은 2개의 수직 트랜지스터 Q4, Q3의 위치를 가리킨다. 3 및 3'은 Q6, Q5를 각각 수직 상호접속부(4, 4')에 접속하는 2개의 수직 상호접속부를 가리킨다. 제3/제4/제5 실시예와 각각 비교하면, 도 51는 그 두 로우가 제3/제4/제5 실시예의 경우보다 예를 들면 100%/60%/33% 더 긴 것을 제외하고는 도 27/35/44와 거의 동일한 것으로 보인다. 이것은 추가적인 수직 게이트 전극 블럭의 결과이다. 제6 실시예는 도 51의 레이아웃을 가지며, 수평 레이아웃은 중간 부분이 제3 및 제4 실시예와 동일한 사각형이지만 2개의 추가적인 수직 트랜지스터는 제5 실시예보다 더 큰 직사각형의 두 측면에 설치된다. 따라서, 제6 실시예의 가장 작은 피치가, 제5, 제4 및 제3 실시예의 각각의 경우, 및 제1 및 제2 실시예의 각각의 경우보다 더 크다.

또한, 제6 실시예는 설치블럭 또는 그 일부분을 변경함으로써 용이하게 변형될 수 있다. 나중에 제7 실시예에서 논의된 바와 같이, 부하 트랜지스터 Q5, Q6는 제6 실시예로부터 제거될 수 있다

제6 실시예의 공정흐름은 제1 실시예 또는 임의의 다른 이전의 실시예중 하나와 유사하며, 당업자는 이것을 용이하게 이해할 것이다.

제7 실시예 (4T SRAM)

상기 논의된 6개 트랜지스터(6T) 셀 형태 이외에, 본 발명은 오직 4개의 트랜지스터를 갖는 또 다른 종류의 SRAM 셀(2개의 부하 트랜지스터가 없음)을 포함한다. 제7 실시예는 부하 트랜지스터를 4개의 구동 및 전송 트랜지스터의 기생저항(parasitic resistance)(누설전류를 이용하는 플립플롭 동작의 제어를 위한 부하 소자로서)로 대체함으로써 얻어진다. 따라서, 4T 구조의 이용이 본 발명에 포함되어 트랜지스터 갯수를 감소시킴으로써 셀 크기를 더 감소시키지만, 누설 전류가 증가되는 손해를 입는다.

4개의 수직 트랜지스터는 2개의 p채널 장치와 2개의 n채널 장치인 것이 바람직하다. 제7 실시예의 공정흐름은 제1 실시예 또는 임의의 다른 이전의 실시예들의 경우와 유사하며, 당업자는 이를 용이하게 이해할 것이다.

본 발명의 실시예의 각각의 요건들에 이용되는 상기 기술된 층, 영역, 마스크 및 구조의 차원에 대하여 고려될 수 있는 많은 변형들이 있다. 반도체 구조는 웹형상(web-shaped)으로 될 필요는 없지만, 오히려 각각의 요건들에 이용될 수 있다. 반도체 구조의 측벽, S-C-D 컬럼, 수직 상호접속부는 반도체 구조의 기판 표면에 수직으로 될 필요는 없지만, 오히려 반도체 구조의 표면과 소정의 각도를 형성할 수 있다. 비트라인 및 워드라인은 기판과 평행으로 될 필요는 없지만, 오히려 소정이 각도를 형성할 수 있다.

본 발명의 원리, 바람직한 실시예 및 동작의 모드가 상기 명세서에 기술되었다. 그러나, 보호받고자 하는 본 발명은 개시된 특정의 실시예들에 국한되지 않는다. 여기에 기술된 실시예들은 제한적이기 보다는 예시적인 것이다. 본 발명의 범위를 벗어나지 않고 당업자가 변형 및 변경을 만들 수 있다. 따라서, 본 발명의 취지 및 범위내에 있는 모든 변형 또는 변경이 포함되도록 명백히 의도하는 것이다.

발명의 효과

본 발명에 따르면, 본 발명의 SRAM 장치는 복수의 SRAM 셀을 포함하고, 그 중 하나 이상은 기판상에 4개 이상의 수직 트랜지스터를 포함하는 수직 SRAM 셀이 며, 각각의 수직 트랜지스터는 소스, 드레인, 및, 그 사이에, 0도 이상의 각도로 기판면을 통과하는 하나의 정렬선에 정렬하는 채널을 포함하여, 저전력 SRAM 셀 사이즈를 더 감소시킬 수 있다.

(57) 청구의 범위

청구항 1.
반도체 메모리 장치에 있어서,

복수의 워드라인;

복수의 비트라인; 및

각각 제1, 제2, 제3, 제4, 제5, 및 제6 트랜지스터를 갖는 복수의 정적 메모리셀을 포함하며,

상기 제1, 제2, 제3, 및 제4 트랜지스터의 각각의 채널은 상기 반도체 메모리 장치의 기판에 대하여 수직으로 형성되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 2.
제1항에 있어서, 상기 제5 및 제6 트랜지스터의 소스 또는 드레인을 형성하는 각각의 반도체 영역은 상기 기판에 대하여 PN 접합을 형성하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 3.
제2항에 있어서,

상기 제5 및 제6 트랜지스터의 게이트 전극은 상기 워드라인에 연결되고,

상기 제5 및 제6 트랜지스터의 각각의 소스-드레인 경로는 상기 비트라인에 연결되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 4.
제2항에 있어서,

상기 제5 트랜지스터의 게이트 전극은 상기 제6 트랜지스터의 상기 드레인에 연결되고,

상기 제6 트랜지스터의 게이트 전극은 상기 제5 트랜지스터의 상기 드레인에 연결되며,

상기 제5 및 제6 트랜지스터 각각은 상기 제1 및 제2 트랜지스터와 동일한 도전형을 갖는 것을 특징으로 하는 반도체 메모리 장치.

청구항 5.
제2항에 있어서,

상기 제5 트랜지스터의 게이트 전극은 상기 제6 트랜지스터의 상기 드레인에 연결되고,

상기 제6 트랜지스터의 게이트 전극은 상기 제5 트랜지스터의 상기 드레인에 연결되며,

상기 제5 및 제6 트랜지스터 각각은 상기 제1 및 제2 트랜지스터와 상이한 도전형을 갖는 것을 특징으로 하는 반도체 메모리 장치.

청구항 6.
제1항에 있어서,

상기 제1 및 제2 트랜지스터의 게이트 전극은 제1 층상에 형성되고,

상기 제3 및 제4 트랜지스터의 게이트 전극은 제2 층상에 형성되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 7.
제1항에 있어서,

상기 제1 트랜지스터의 게이트 전극은 제1 층상에 형성되고,

상기 제2 트랜지스터의 게이트 전극은 제2 층상에 형성되고,

상기 제3 트랜지스터의 게이트 전극은 제3 층상에 형성되며,

상기 제4 트랜지스터의 게이트 전극은 제4 층상에 형성되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 8.
제1항에 있어서,

상기 제1 트랜지스터의 상기 채널을 형성하는 컬럼은, 절연층을 사이에 두고 상기 컬럼의 원통형 표면을 둘러싸는 게이트 전극으로 커버되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 9.
제1항에 있어서, 상기 제5 및 제6 트랜지스터의 상기 채널은 상기 기판에 대하여 수직으로 형성되며, 상기 기판은 단결정 실리콘으로 만들어지는 것을 특징으로 하는 반도체 메모리 장치.

청구항 10.
복수의 SRAM 셀을 가지며, 상기 복수의 SRAM 셀 중 하나는 기판상에 적어도 4개의 수직 트랜지스터를 포함하는 수직 SRAM 셀이며, 각각의 수직 트랜지스터는 소스, 드레인 및 그 사이에, 0도 이상의 각도로 상기 기판 표면을 통과하는 하나의 정렬선에 정렬되는 채널을 포함하는 것을 특징으로 하는 SRAM 장치.

청구항 11.
제10항에 있어서, 상기 각도는 90도인 것을 특징으로 하는 SRAM 장치.

청구항 12.
제10항에 있어서, 상기 수직 SRAM 셀은 한 쌍의 저항, 한 쌍의 수평 트랜지스터, 또는 추가적인 한 쌍의 수직 트랜지스터를 더 포함하는 것을 특징으로 하는 SRAM 장치.

청구항 13.
제12항에 있어서, 상기 한 쌍의 수평 트랜지스터 또는 추가적인 한 쌍의 수직 트랜지스터는 한 쌍의 전송, 구동, 또는 부하 MOS 트랜지스터로서 동작하며, 상기 부하 트랜지스터는 PMOS 트랜지스터이고 상기 전송 및 구동 트랜지스터는 NMOS 트랜지스터인 것을 특징으로 하는 SRAM 장치.

청구항 14.
제12항에 있어서, 상기 4개의 수직 트랜지스터는 상이한 두 레벨에 위치되는 두 그룹으로 구분되고, 상기 수직 SRAM 셀은 상기 한 쌍의 저항 또는 추가적인 상기 한 쌍의 수직 트랜지스터를 더 포함하며, 이중 어느 한 쌍은 상기 두 레벨중 하나, 또는 상기 두 레벨 위, 아래, 또는 그 사이에 배치되는 것을 특징으로 하는 SRAM 장치.

청구항 15.
제14항에 있어서, 상이한 레벨에 위치되는 상기 트랜지스터 또는 저항은 상 기 정렬선에 평행한 하나 이상의 수직 상호접속부를 통하여 선택적으로 서로 접속되는 것을 특징으로 하는 SRAM 장치.

청구항 16.
제15항에 있어서, 상기 적어도 하나의 수직 상호접속부는, 각각이 상기 기판 표면에 평행한 수평 상호접속부, 수평 Vcc 빔, 및 수평 Vss 빔중 적어도 하나와 교차 결합하는 것을 특징으로 하는 SRAM 장치.

청구항 17.

제15항에 있어서, 상기 적어도 하나의 수직 상호접속부는 상기 기판 표면에 평행한 제1 차원 및 제2 차원, 및 상기 정렬선에 평행한 제3 차원을 갖는 수직 트랜지스터의 적어도 하나의 게이트 전극을 통과하는 것을 특징으로 하는 SRAM 장치.

청구항 18.
제17항에 있어서, 상기 적어도 하나의 수직 상호접속부는 적어도 2개의 상기 게이트 전극을 통과하는 것을 특징으로 하는 SRAM 장치.

청구항 19.
제15항에 있어서, 상기 적어도 하나의 수직 상호접속부는 두 개의 수직 트랜지스터와 각각 접속하는 두 개의 수직 상호접속부를 포함하여, 그 사이에, 상기 기판 표면에 평행한 단면상에 대각선 또는 평행사변형의 형상으로 하나의 단위 SRAM 셀을 형성하는 것을 특징으로 하는 SRAM 장치.

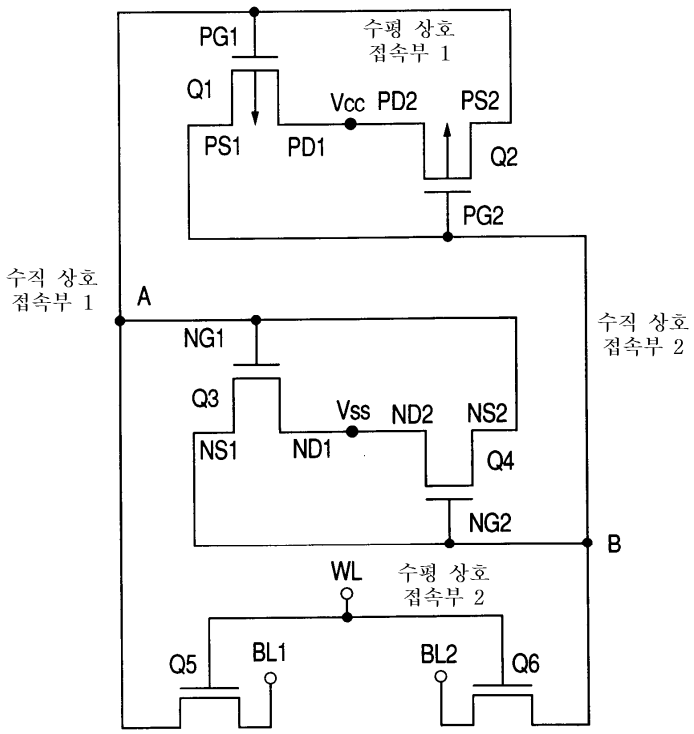
청구항 20.
제12항에 있어서, 상기 수직 SRAM 셀은 상기 정렬선에 평행한 두 개의 수직 상호접속부를 통하여 적어도 하나의 트랜지스터 및 저항에 각각 접속되는 적어도 한 쌍의 비트라인을 더 포함하며, 상기 각각의 비트라인은, 상기 복수의 SRAM 셀중 두 개의 이웃하는 SRAM 셀에 의해 각각이 공유되는 복수의 비트라인 콘택트와 접속되는 것을 특징으로 하는 SRAM 장치.

청구항 21.
제12항에 있어서, 상기 각각의 수직 트랜지스터는 상기 기판 표면과 평행한 제1 차원 및 제2 차원, 및 상기 정렬선에 평행한 제3 차원을 갖는 게이트 전극을 더 포함하는 것을 특징으로 하는 SRAM 장치.

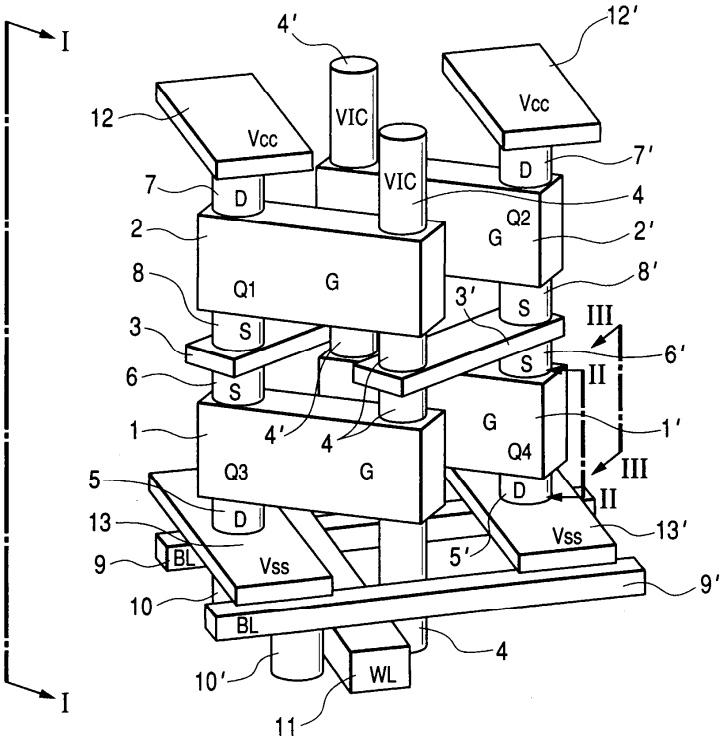
청구항 22.
제10항에 있어서, 유전체층을 사이에 두고 상기 수직 SRAM 셀 위에 설치되는 또 다른 적어도 다른 수직 SRAM 셀을 더 포함하는 것을 특징으로 하는 SRAM 장치.

도면

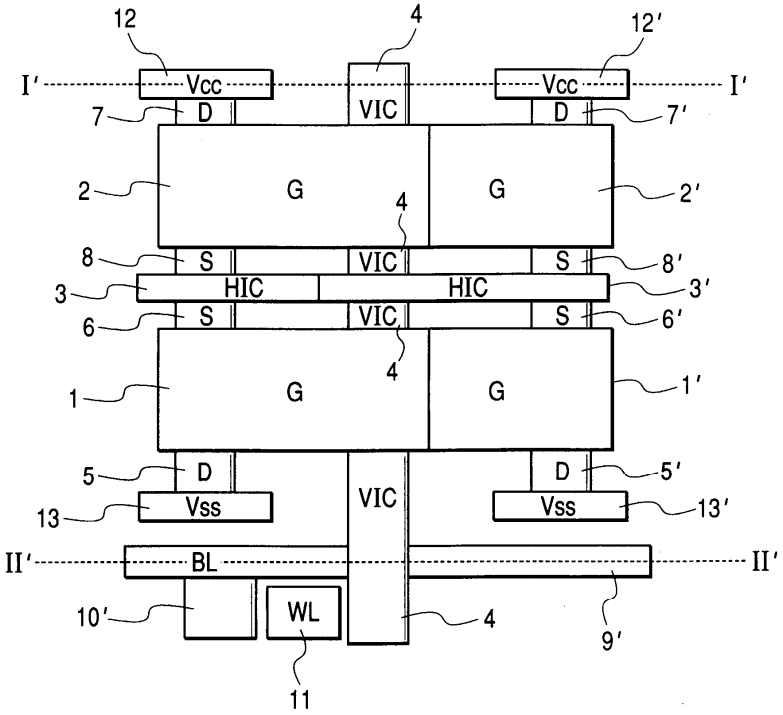
도면1



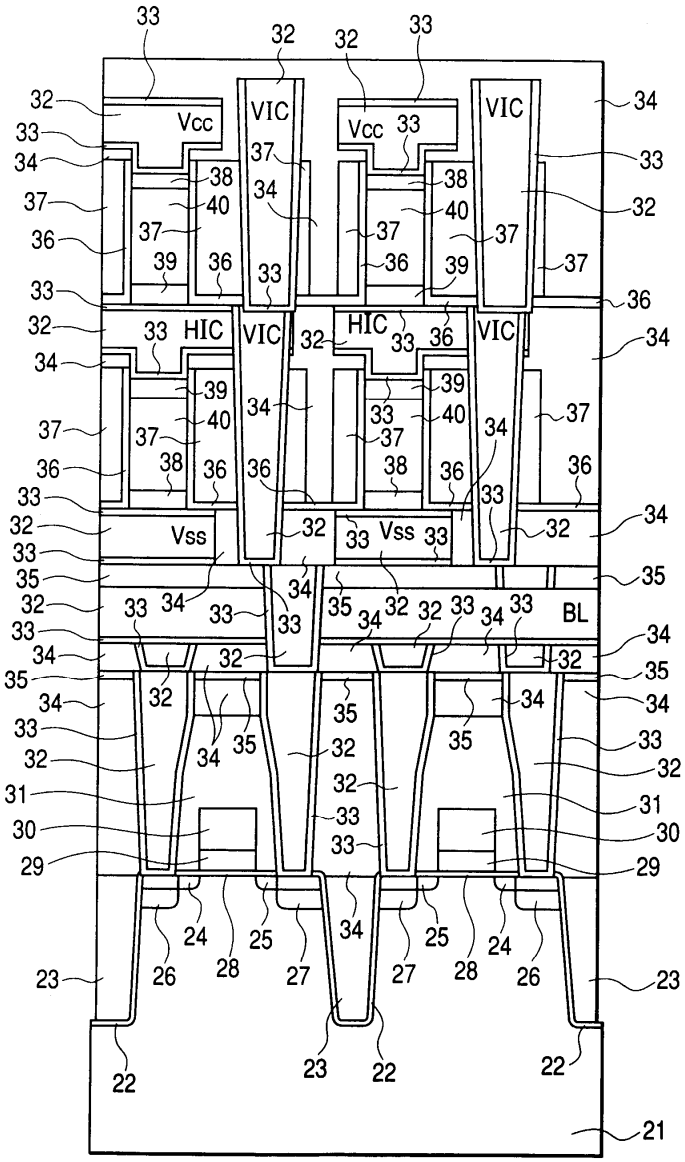
도면2


I
I
4'
12'
12
Vcc
VIC
Vcc
7
D
VIC
D
7'
4
2
Q1
G
Q2
G
2'
8
S
3'
8'
3
S
III
6
S
S
6'
II
1
4'
4
G
1'
Q3
G
Q4
5
D
III
D
13
D
II
13'
Vss
BL
Vss
5'
9
9'
10
BL
4
10'
WL
11

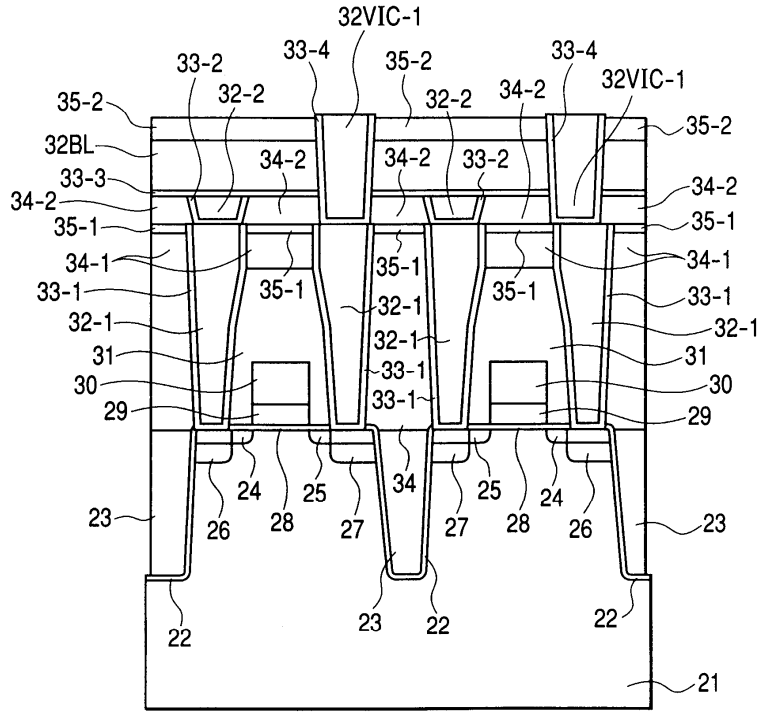
도면3


12
4
12'
I'
Vcc
Vcc
I'
7
D
VIC
D
7'
2
G
G
2'
4
8
S
VIC
S
8'
3
HIC
HIC
3'
6
S
VIC
S
6'
4
1
G
G
1'
5
D
D
5'
VIC
13
Vss
Vss
13'
II'
BL
II'
10'
WL
4
9'
11

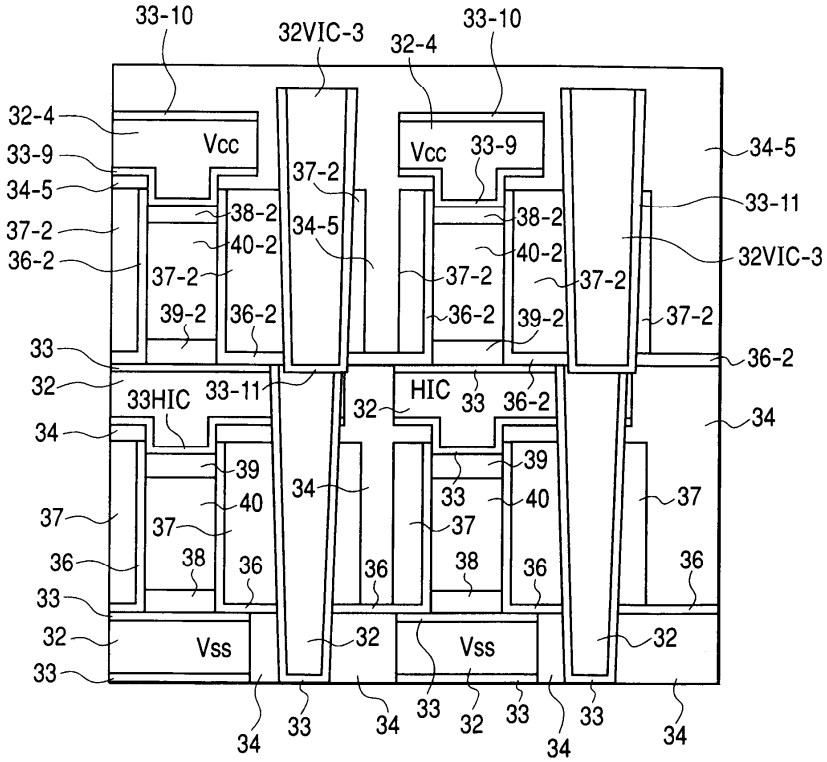
도면4



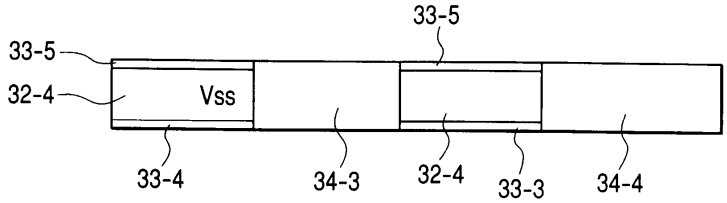
도면5


32VIC-1
33-2
33-4
35-2
32-2
34-2
33-4
32VIC-1
35-2
32BL
33-3
34-2
35-1
34-1
33-1
32-1
31
30
29
23
22
21
24
25
26
27
28
34

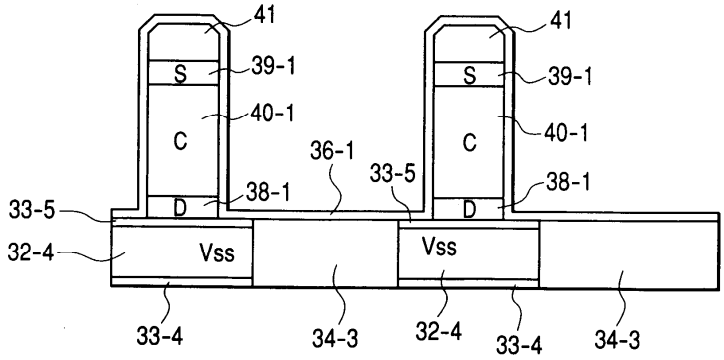
도면6


33-10
32VIC-3
32-4
Vcc
33-9
34-5
37-2
38-2
40-2
36-2
39-2
33
32
33HIC
33-11
HIC
34
39
40
37
38
36
Vss
33-11
32VIC-3

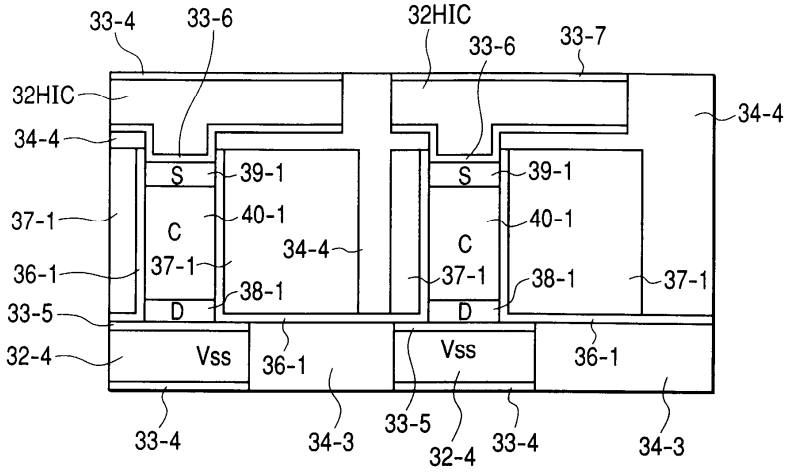
도면7a



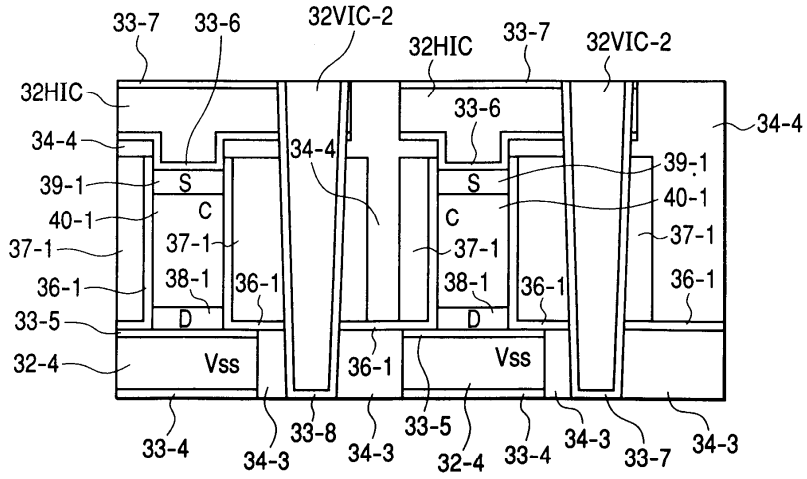
도면7b



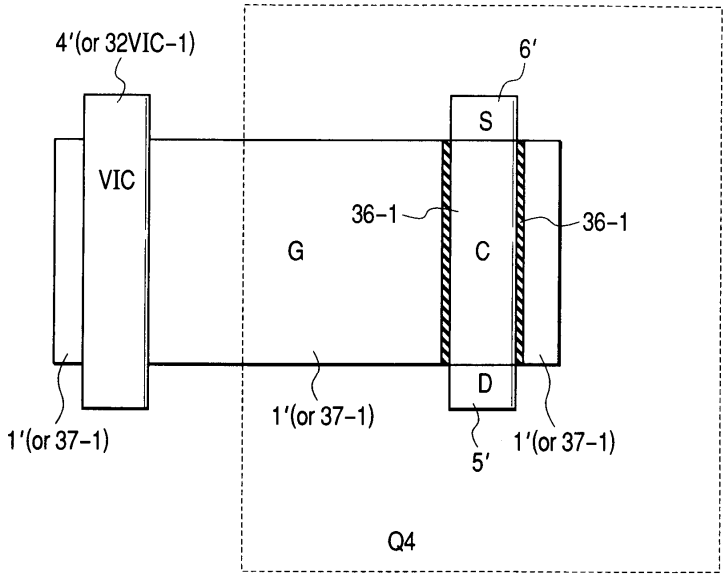
도면7c



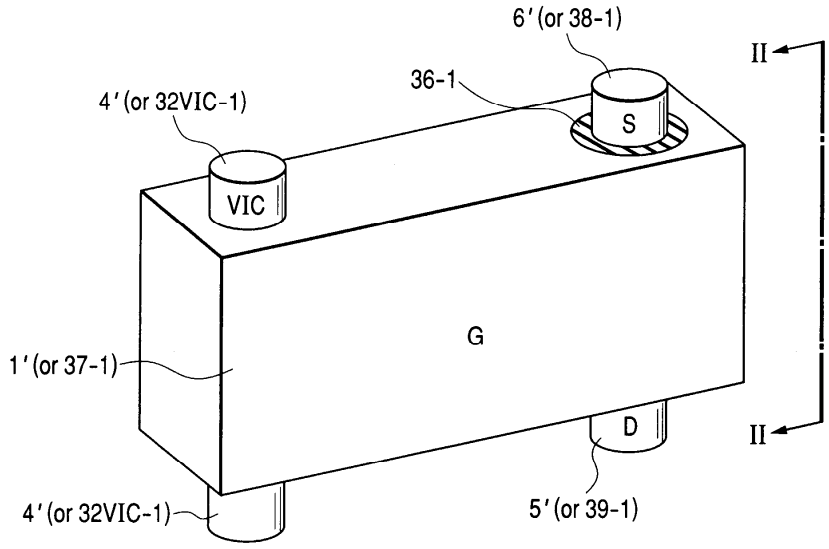
도면7d



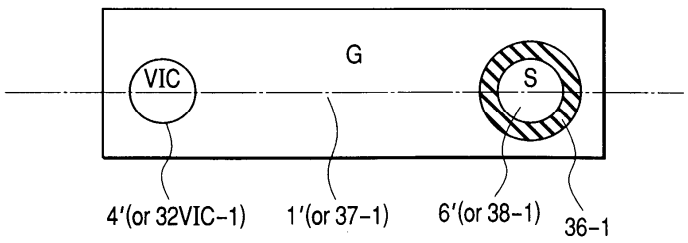
도면8a



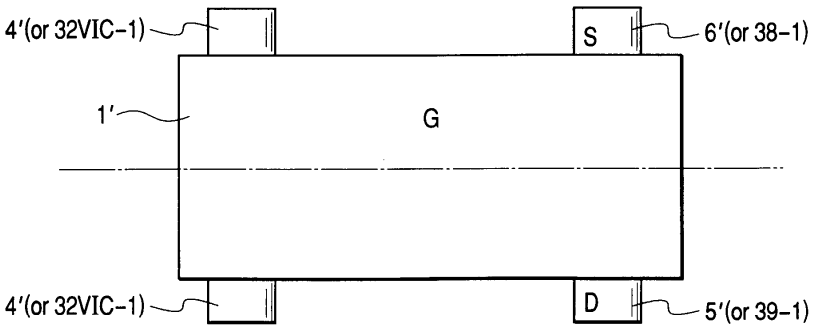
도면8b



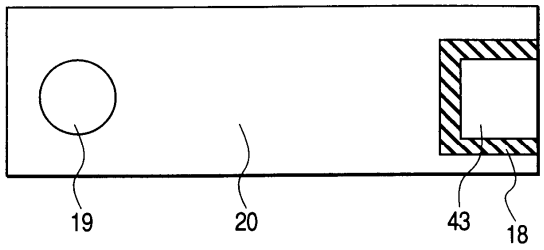
도면8c



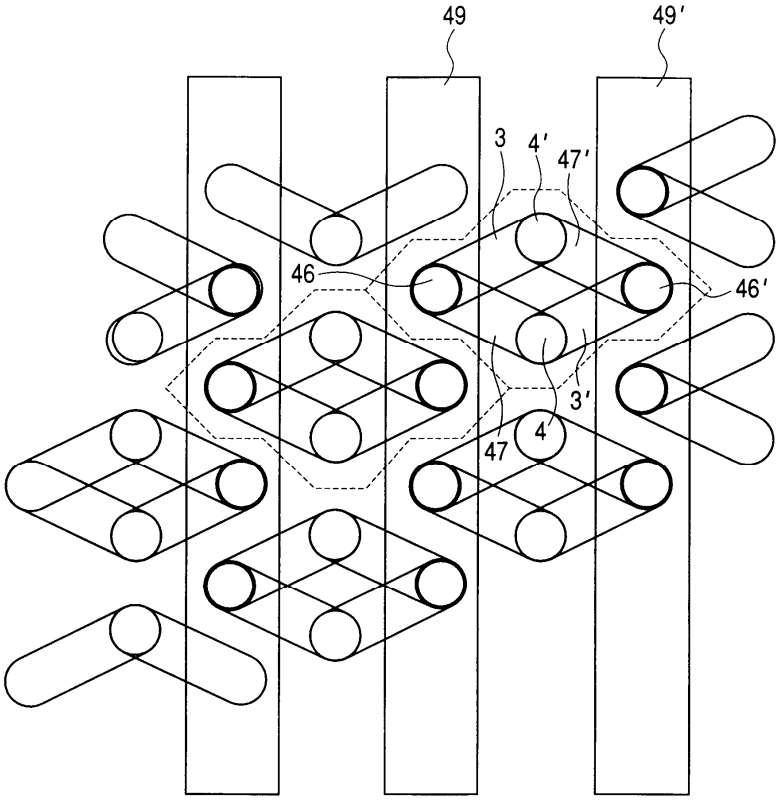
도면8d



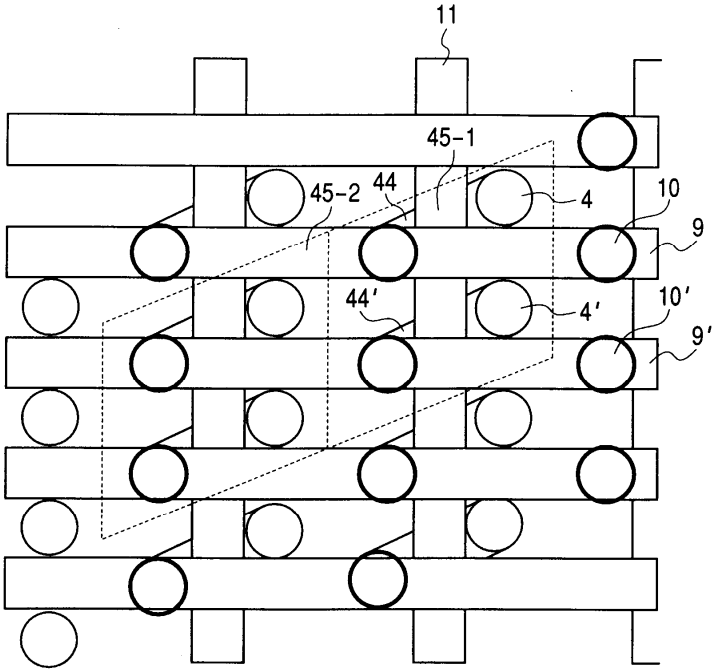
도면9



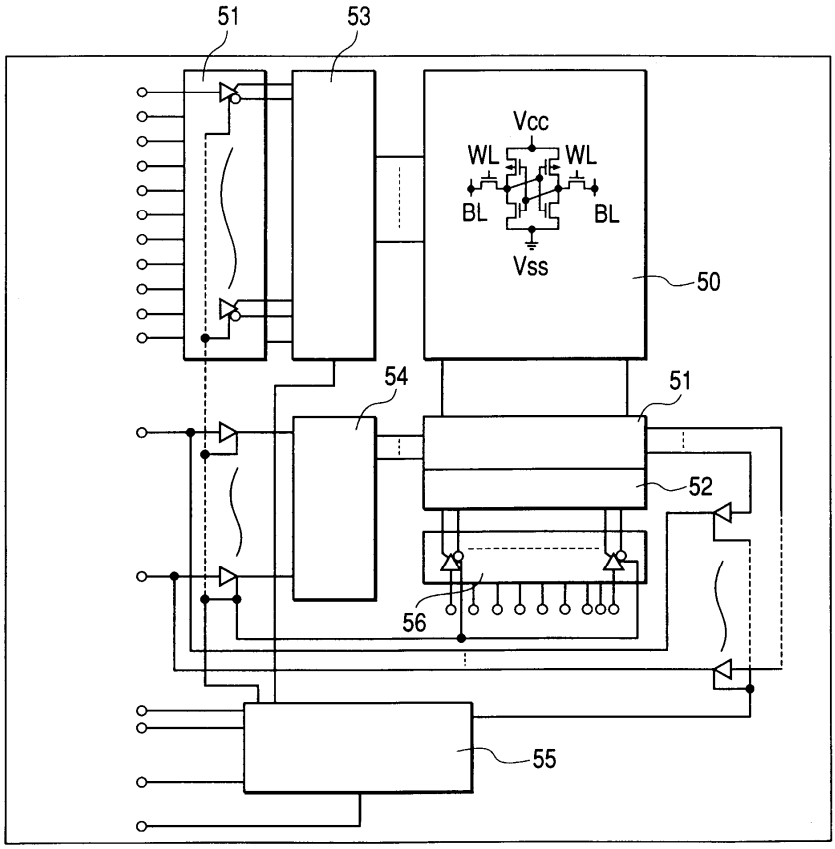
도면10



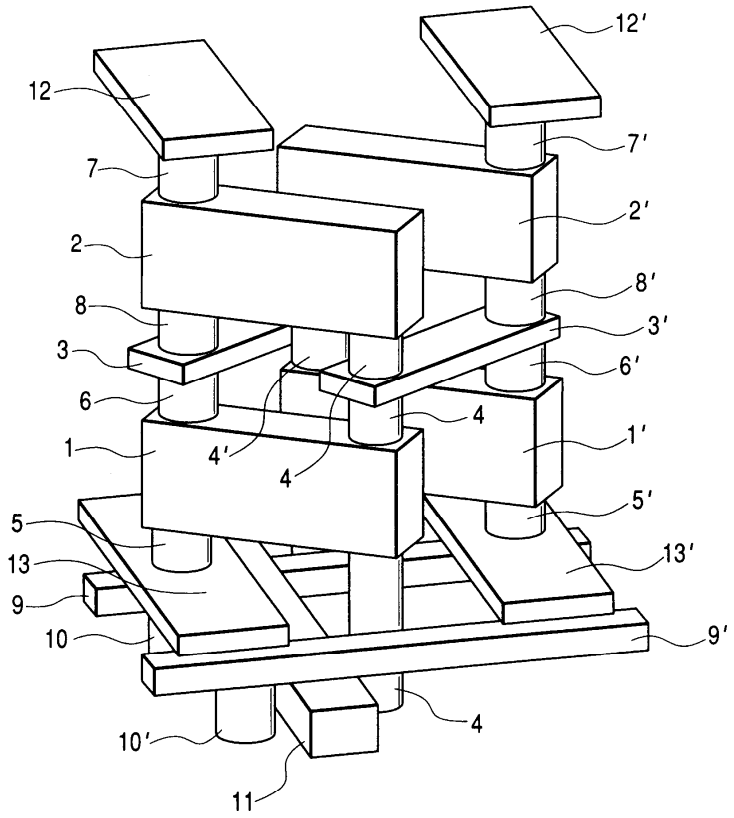
도면11


11
45-1
45-2
44
4
10
9
44'
4'
10'
9'

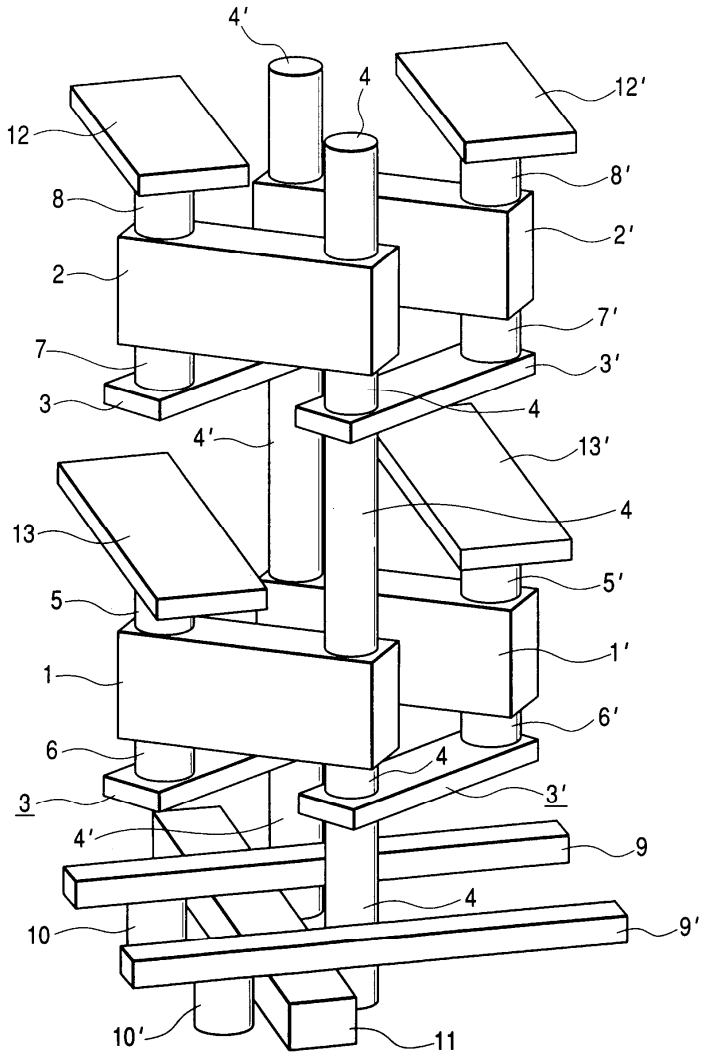
도면12


51
53
Vcc
WL
WL
BL
BL
Vss
50
54
51
52
56
55

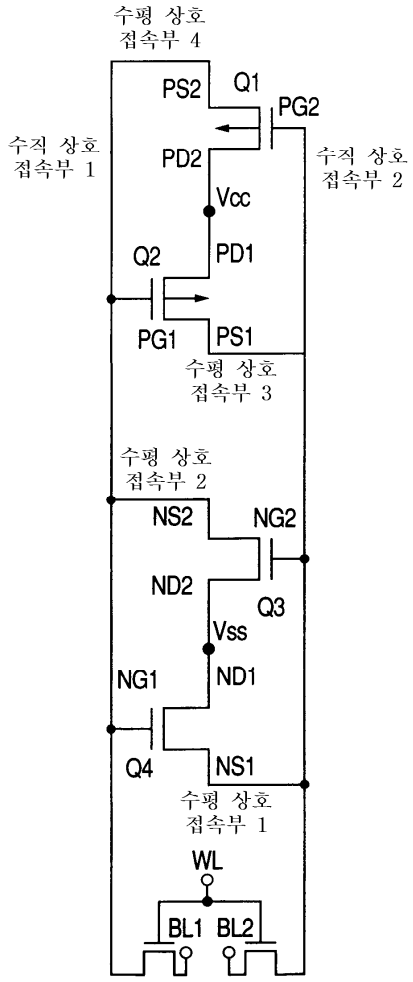
도면13



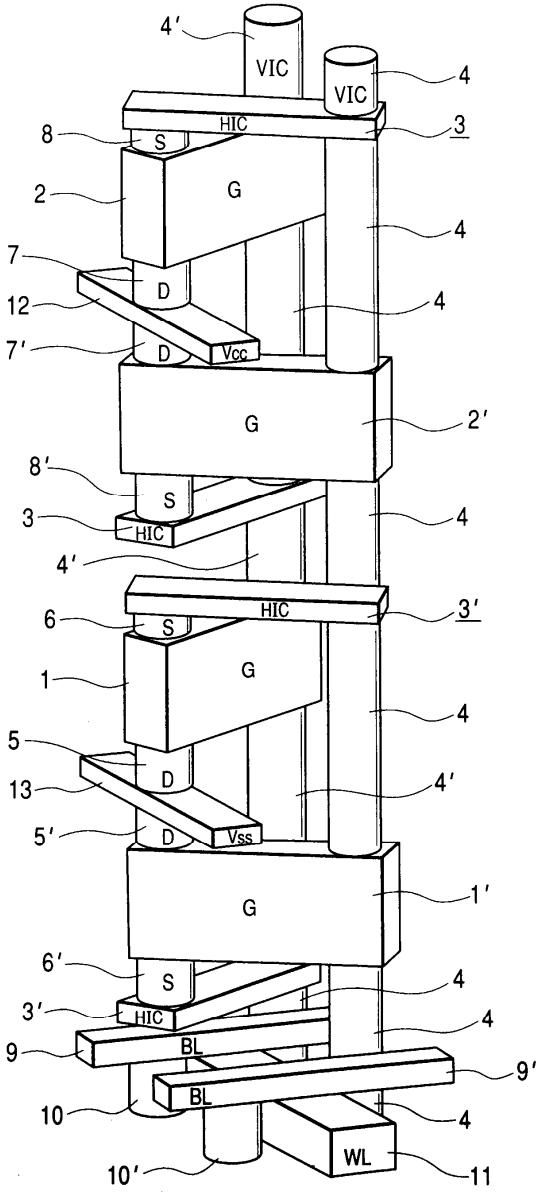
도면14



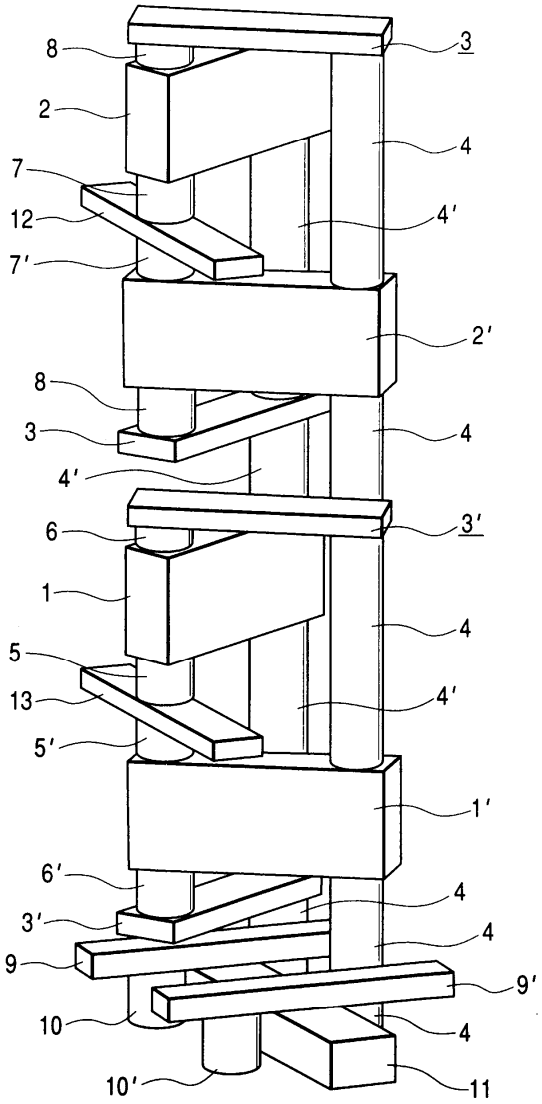
도면15


수평 상호
접속부 4
PS2
Q1
PG2
수직 상호
접속부 1
PD2
수직 상호
접속부 2
Vcc
Q2
PD1
PG1
PS1
수평 상호
접속부 3
수평 상호
접속부 2
NS2
NG2
ND2
Q3
Vss
NG1
ND1
Q4
NS1
수평 상호
접속부 1
WL
BL1
BL2

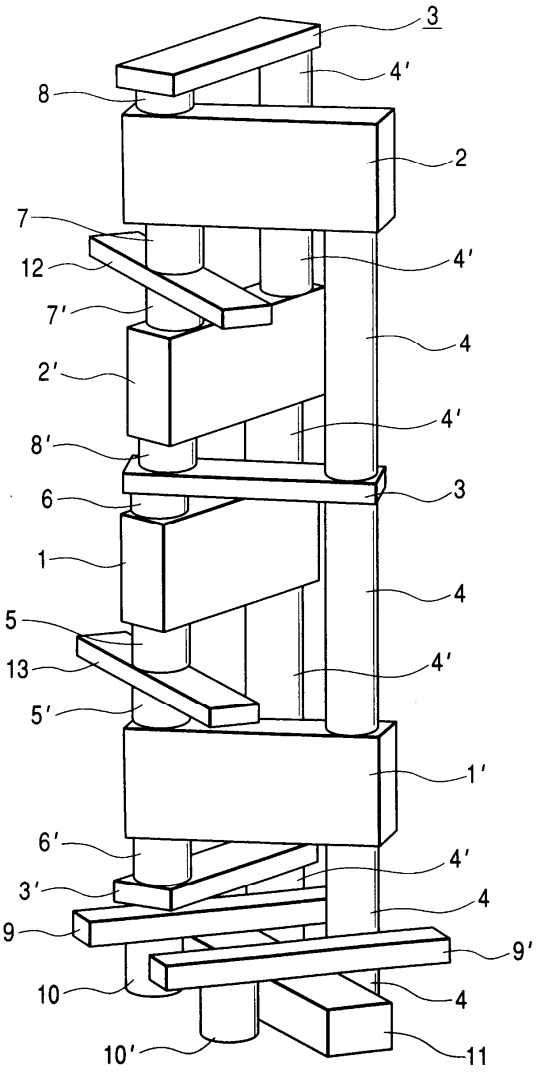
도면16


4'
VIC
VIC
4
HIC
3
8
S
G
2
4
7
D
12
4
7'
D
Vcc
G
2'
8'
S
3
HIC
4
4'
HIC
3'
6
S
G
1
4
5
D
13
4'
5'
D
Vss
G
1'
6'
S
4
3'
HIC
4
BL
9
9'
BL
10
4
WL
11
10'

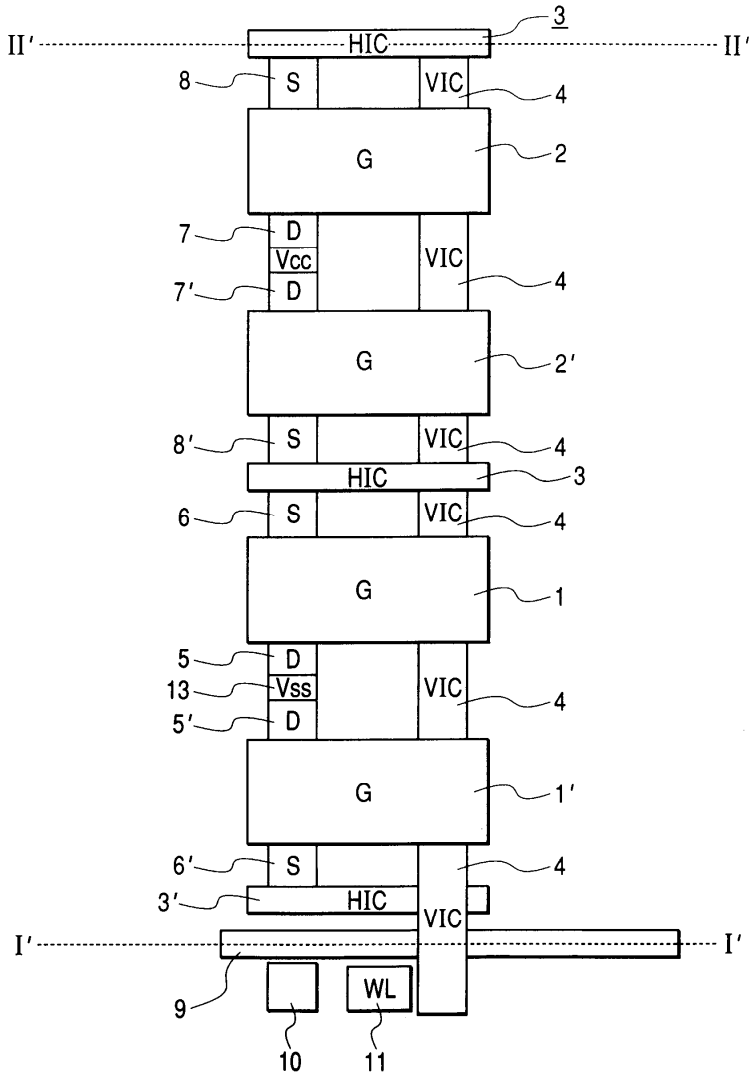
도면17



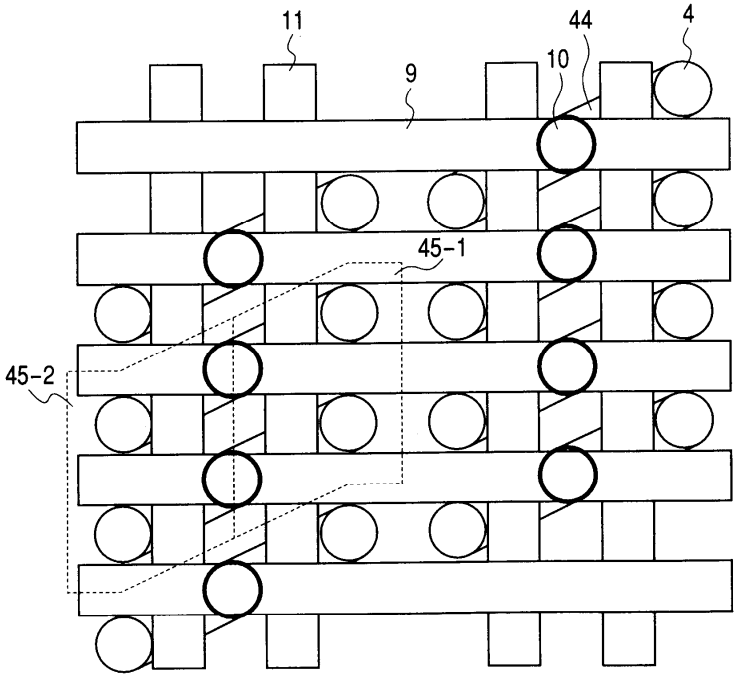
도면18



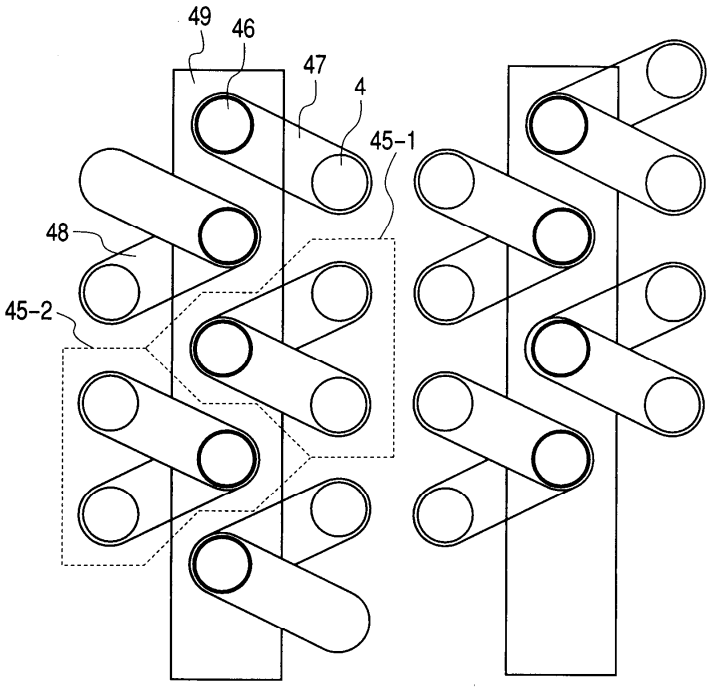
도면19


II′
II′
HIC
3
8
S
VIC
4
G
2
7
D
Vcc
7′
D
VIC
4
G
2′
8′
S
VIC
4
HIC
3
6
S
VIC
4
G
1
5
D
13
Vss
5′
D
VIC
4
G
1′
6′
S
4
3′
HIC
VIC
I′
I′
9
WL
10
11

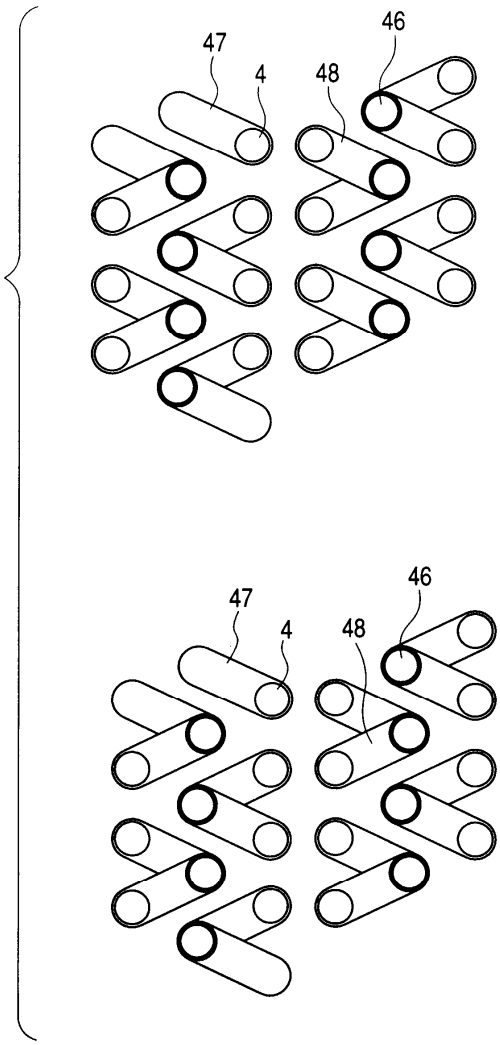
도면20


11
9
44
10
4
45-1
45-2

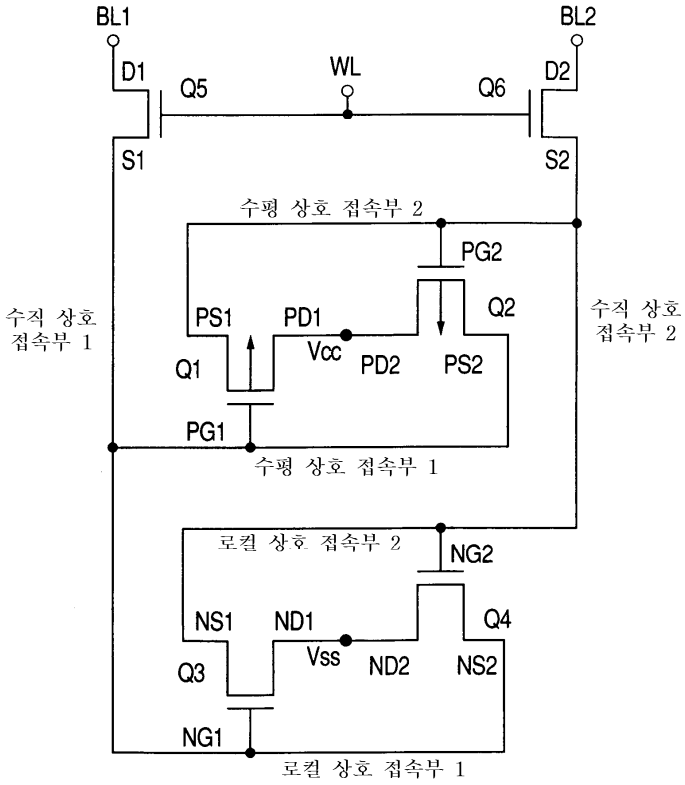
도면21



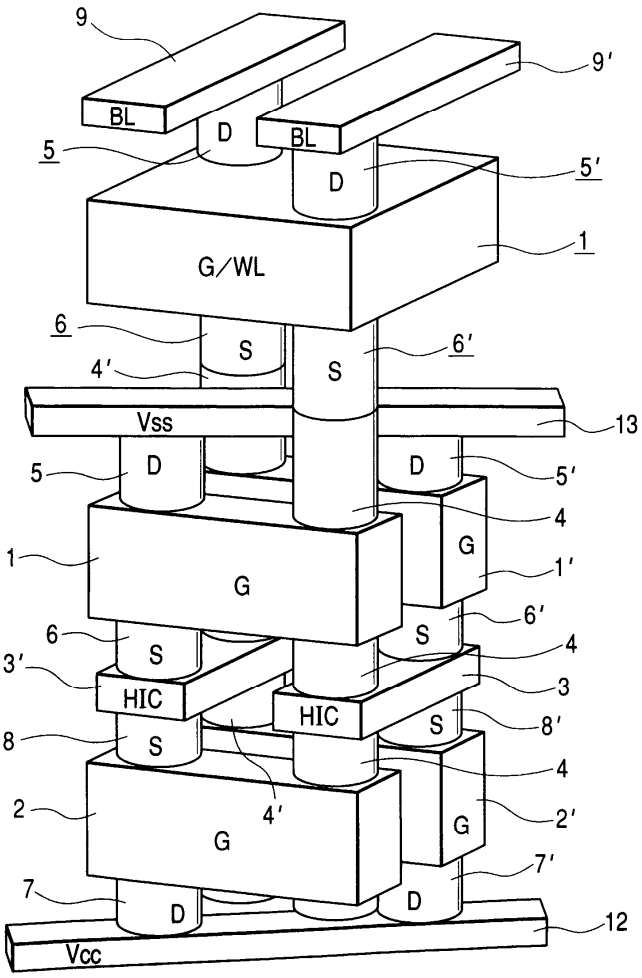
도면22



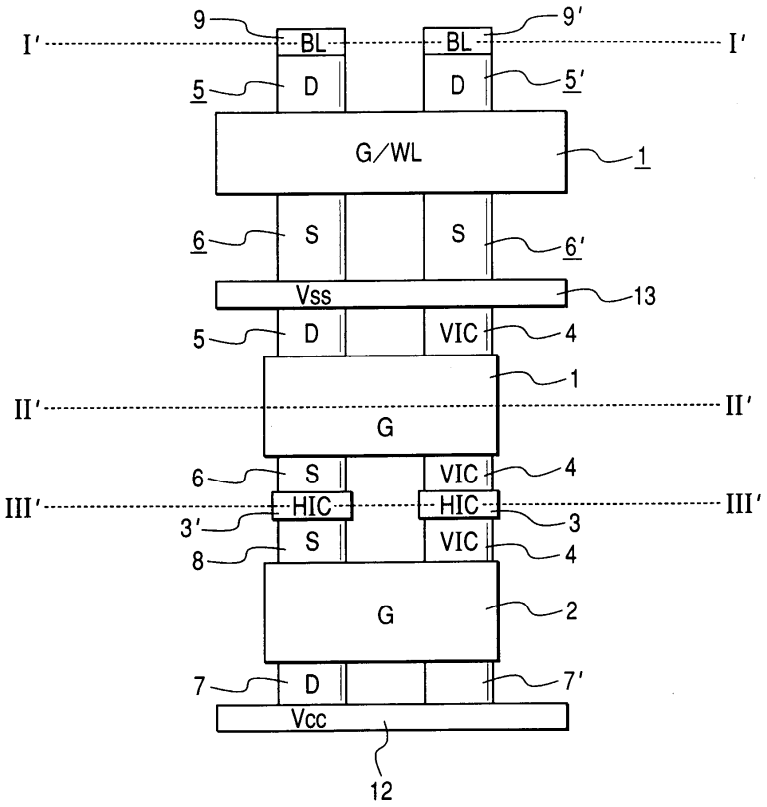
도면23


BL1
BL2
D1
Q5
WL
Q6
D2
S1
S2
수평 상호 접속부 2
PG2
수직 상호 접속부 1
PS1
PD1
Q2
수직 상호 접속부 2
Vcc
Q1
PD2
PS2
PG1
수평 상호 접속부 1
로컬 상호 접속부 2
NG2
NS1
ND1
Q4
Vss
Q3
ND2
NS2
NG1
로컬 상호 접속부 1

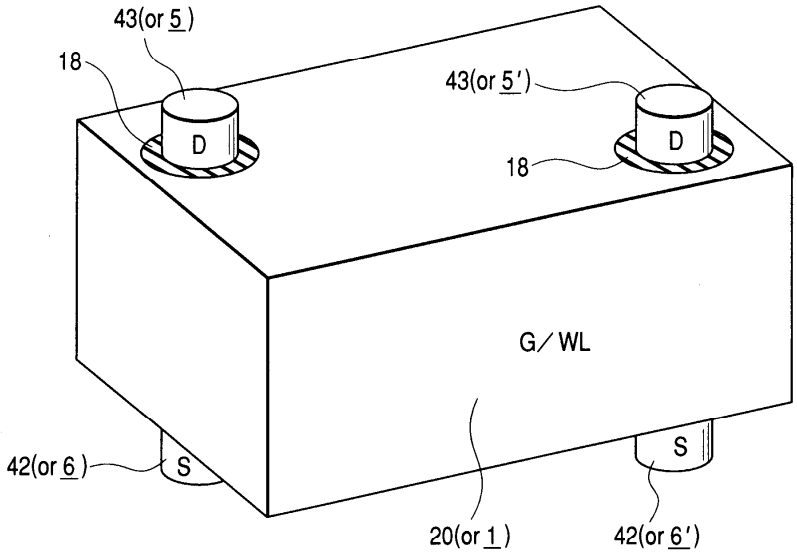
도면24


9
9'
BL
BL
D
D
5
5'
G/WL
1
6
S
S
6'
4'
Vss
13
5
D
D
5'
4
G
1
G
1'
6'
6
S
S
4
3'
HIC
HIC
3
S
8'
8
S
4
4'
2
G
G
2'
7'
7
D
D
12
Vcc

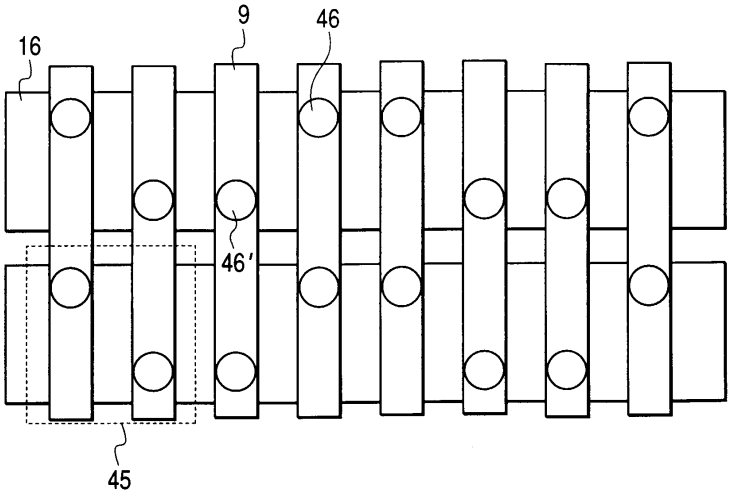
도면25


I'
I'
9
BL
9'
BL
5
D
D
5'
G/WL
1
6
S
S
6'
Vss
13
5
D
VIC
4
1
II'
II'
G
6
S
VIC
4
III'
HIC
HIC
III'
3'
3
S
VIC
8
4
G
2
7
D
7'
Vcc
12

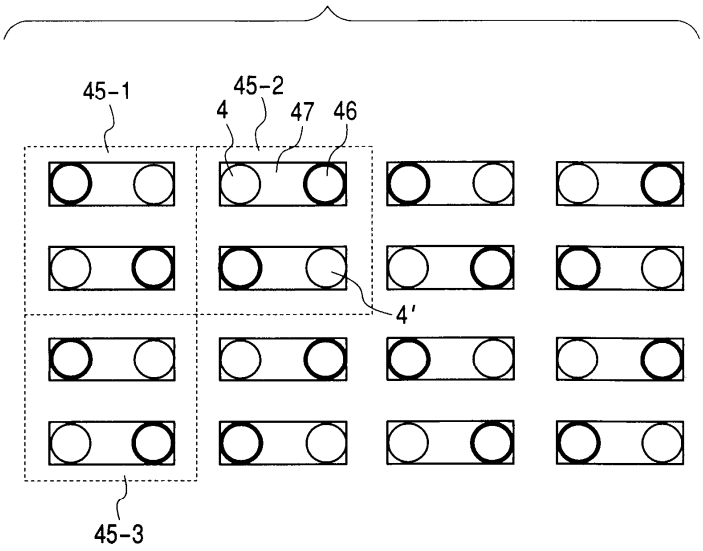
도면26


43(or 5)
18
43(or 5')
D
D
18
G/WL
42(or 6)
S
S
20(or 1)
42(or 6')

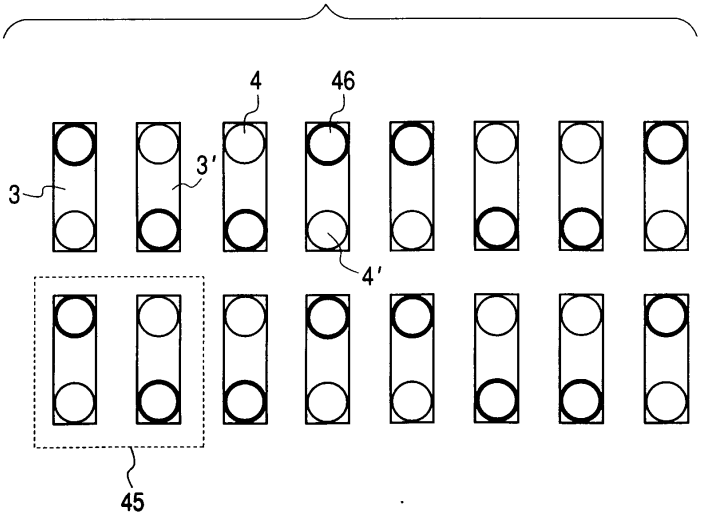
도면27



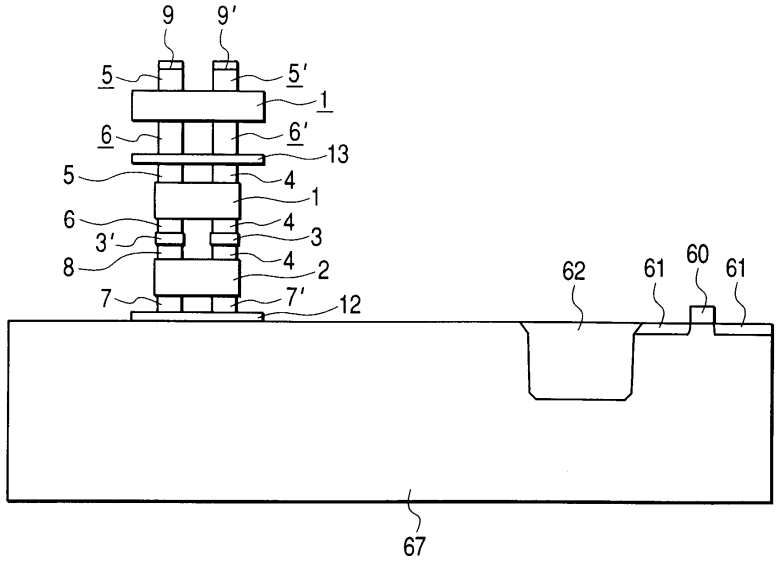
도면28



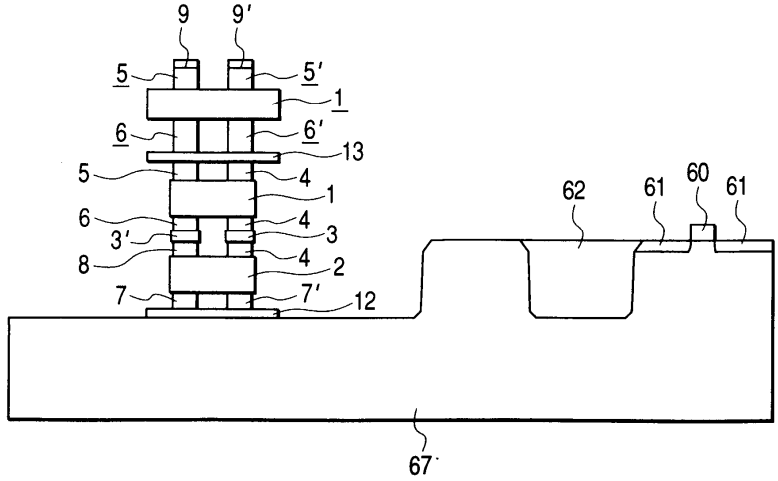
도면29



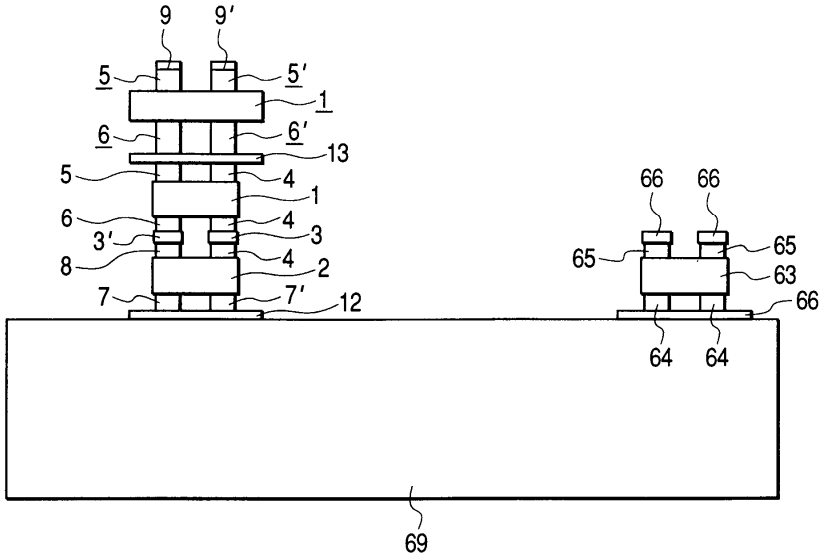
도면30a



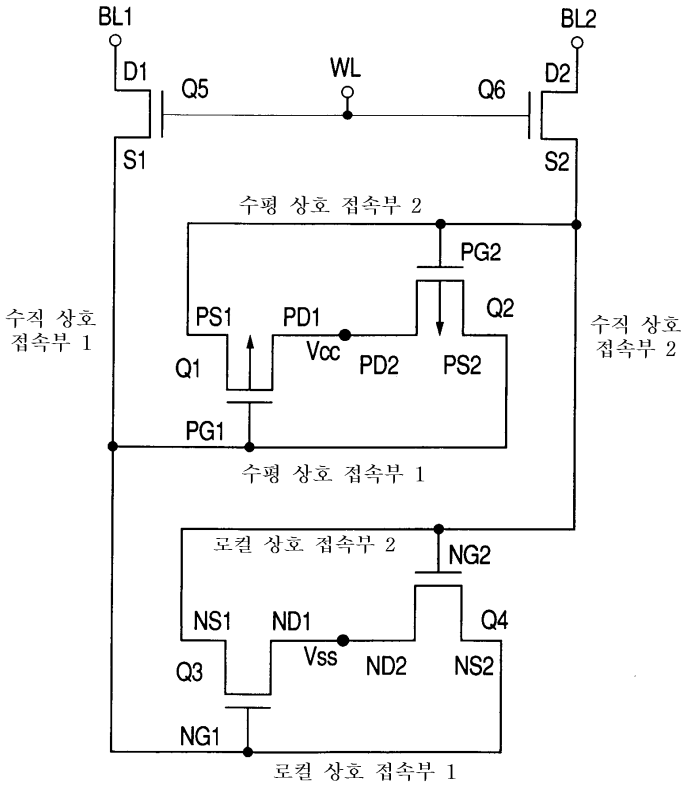
도면30b



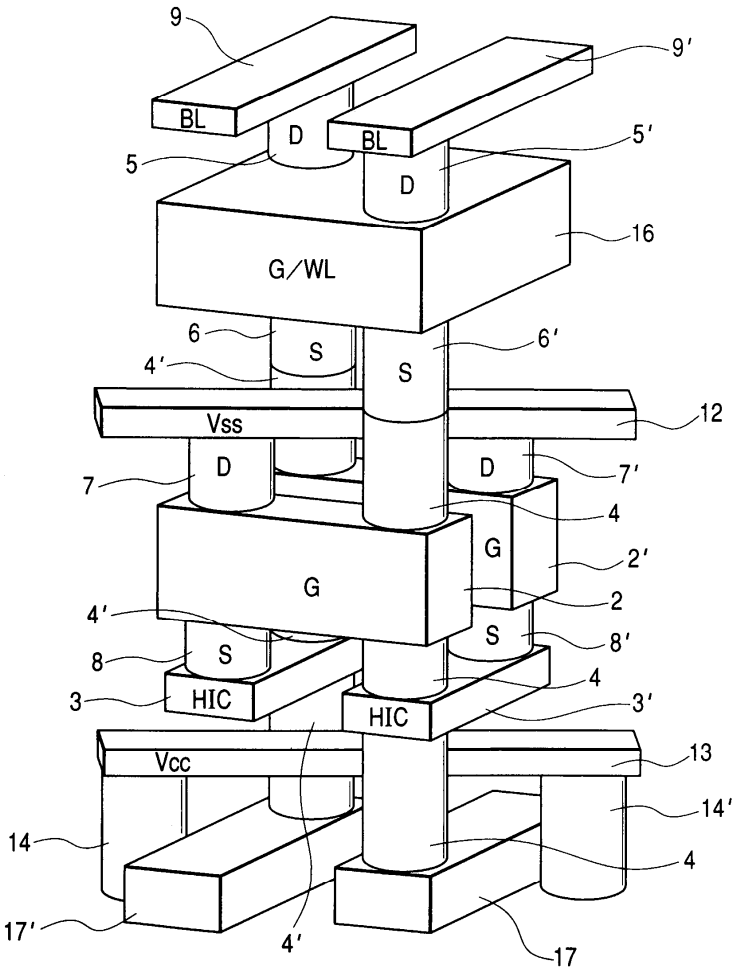
도면30c



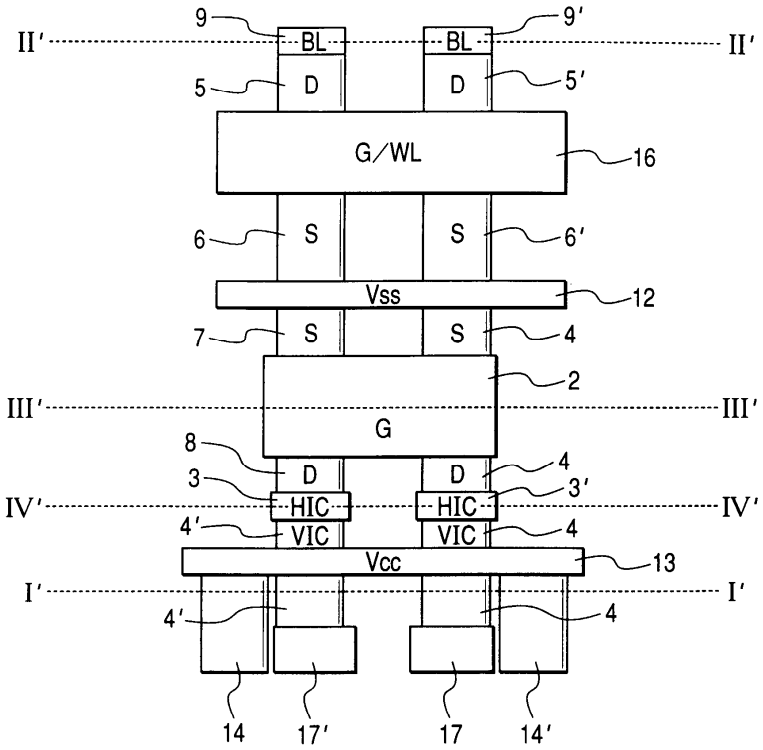
도면31


BL1
BL2
D1
D2
WL
Q5
Q6
S1
S2
수평 상호 접속부 2
PG2
수직 상호 접속부 1
PS1
PD1
Q2
수직 상호 접속부 2
Vcc
Q1
PD2
PS2
PG1
수평 상호 접속부 1
로컬 상호 접속부 2
NG2
NS1
ND1
Q4
Vss
Q3
ND2
NS2
NG1
로컬 상호 접속부 1

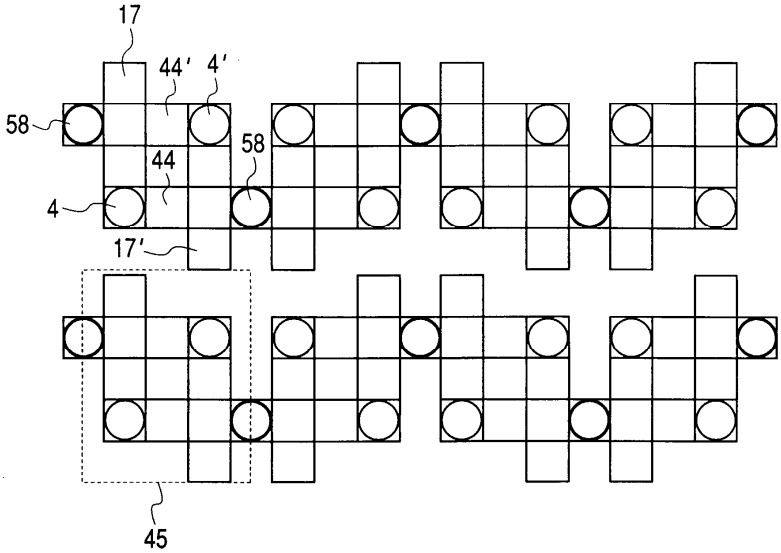
도면32


9
9′
BL
D
BL
5
5′
D
16
G/WL
6
S
6′
4′
S
12
Vss
D
D
7
7′
4
G
G
2′
4′
2
S
S
8′
8
4
3
HIC
HIC
3′
13
Vcc
14′
14
4
17′
4′
17

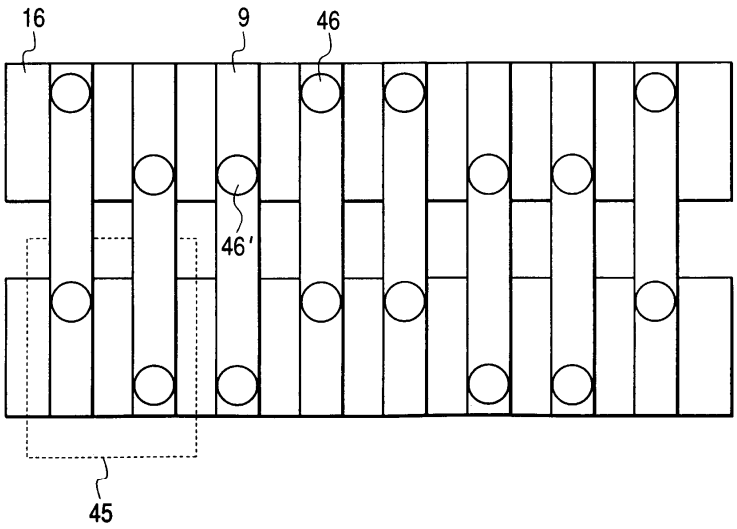
도면33


II'
II'
9
9'
BL
BL
5
D
D
5'
G/WL
16
6
S
S
6'
Vss
12
7
S
S
4
2
III'
III'
G
8
D
D
4
3
3'
IV'
IV'
HIC
HIC
4'
VIC
VIC
4
Vcc
13
I'
I'
4'
4
14
17'
17
14'

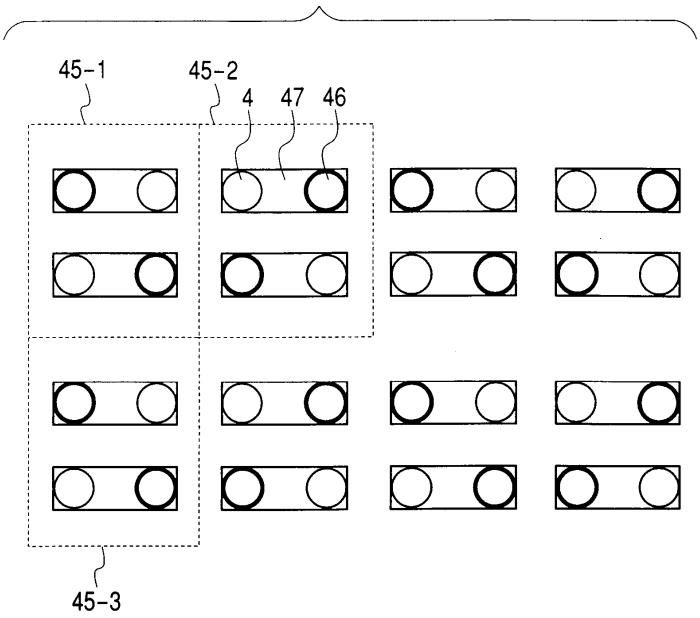
도면34


17
44'
4'
58
58
44
4
17'
45

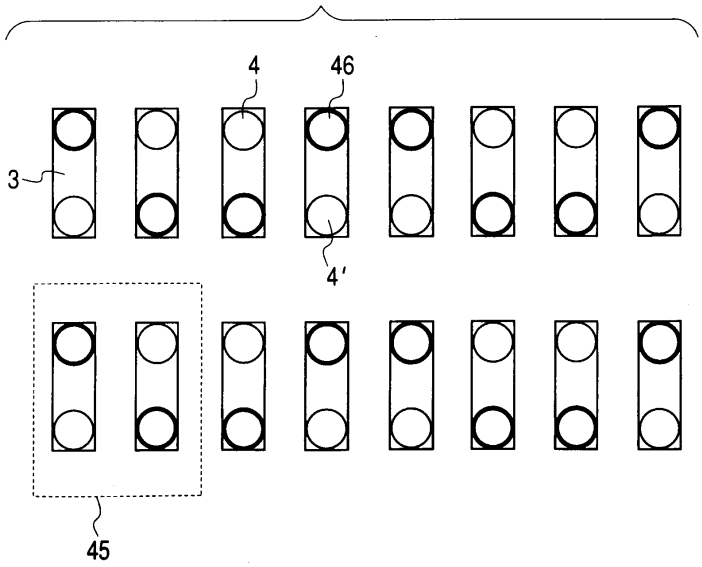
도면35



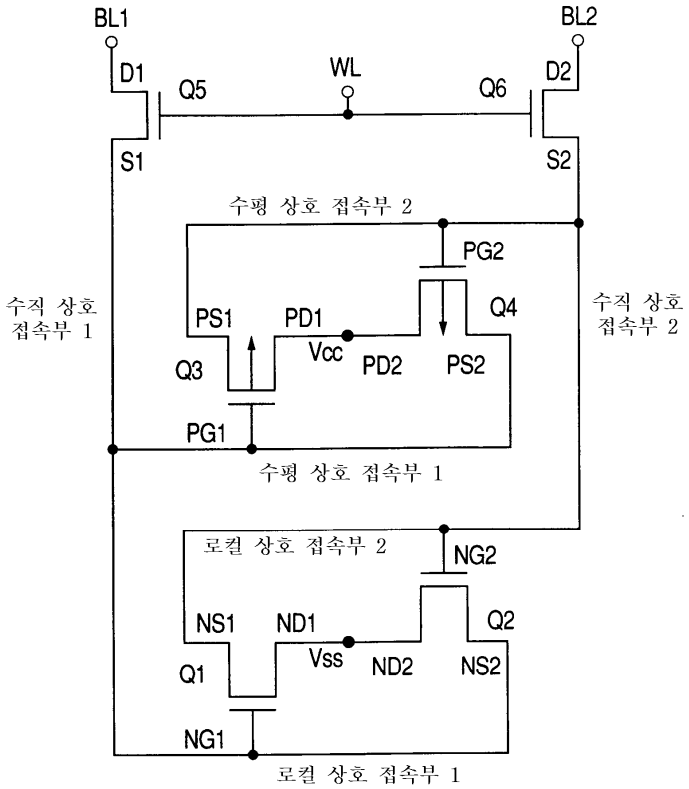
도면36



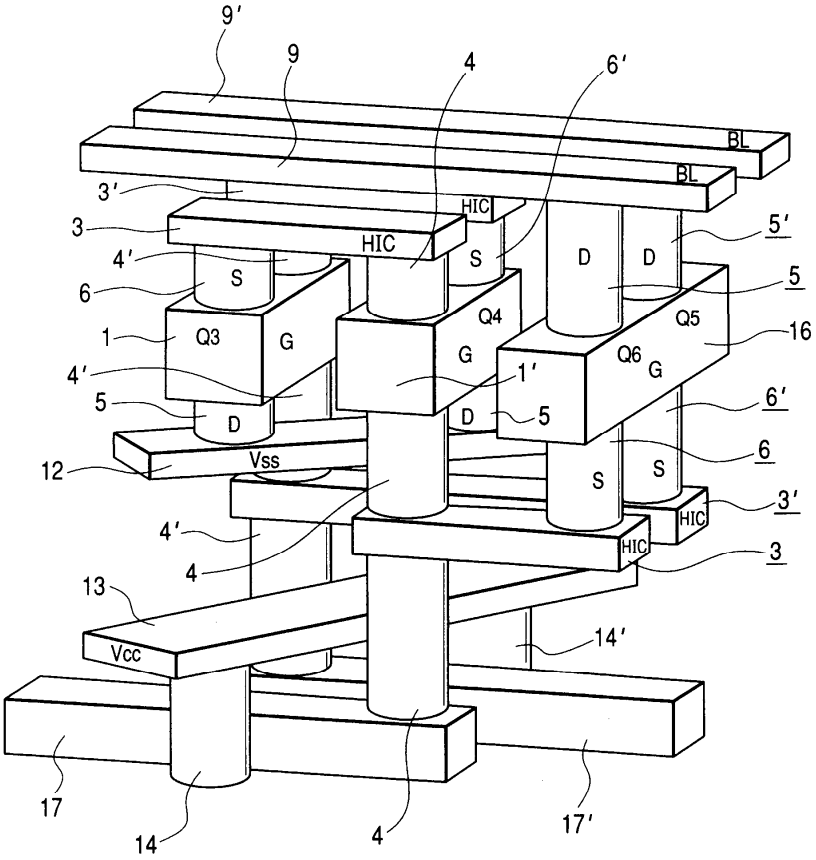
도면37


4
46
3
4'
45

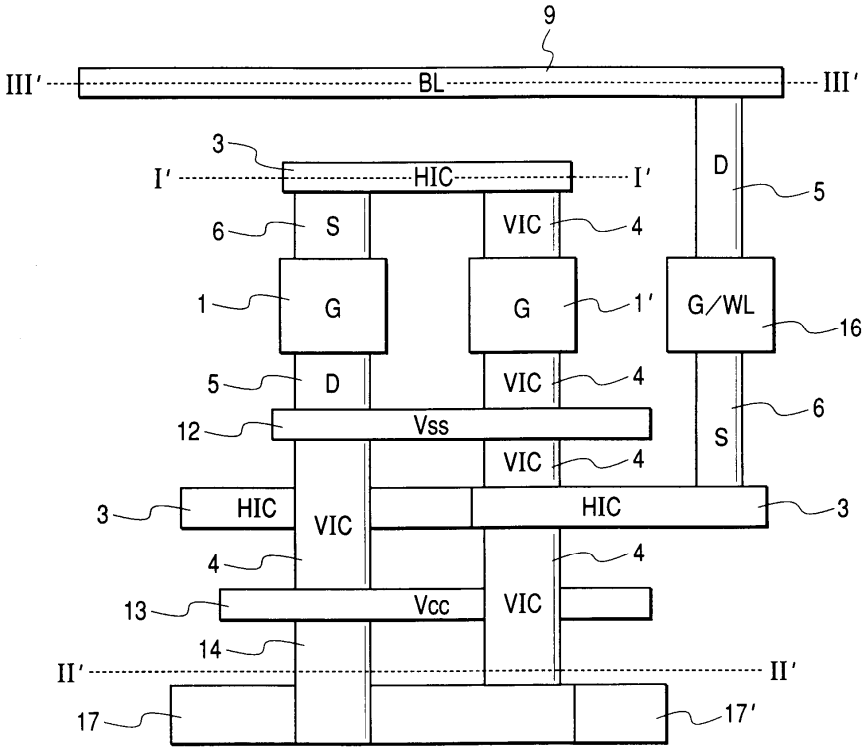
도면38


BL1
BL2
D1
Q5
WL
Q6
D2
S1
S2
수평 상호 접속부 2
PG2
수직 상호 접속부 1
PS1
PD1
Q4
수직 상호 접속부 2
Vcc
Q3
PD2
PS2
PG1
수평 상호 접속부 1
로컬 상호 접속부 2
NG2
NS1
ND1
Q2
Vss
Q1
ND2
NS2
NG1
로컬 상호 접속부 1

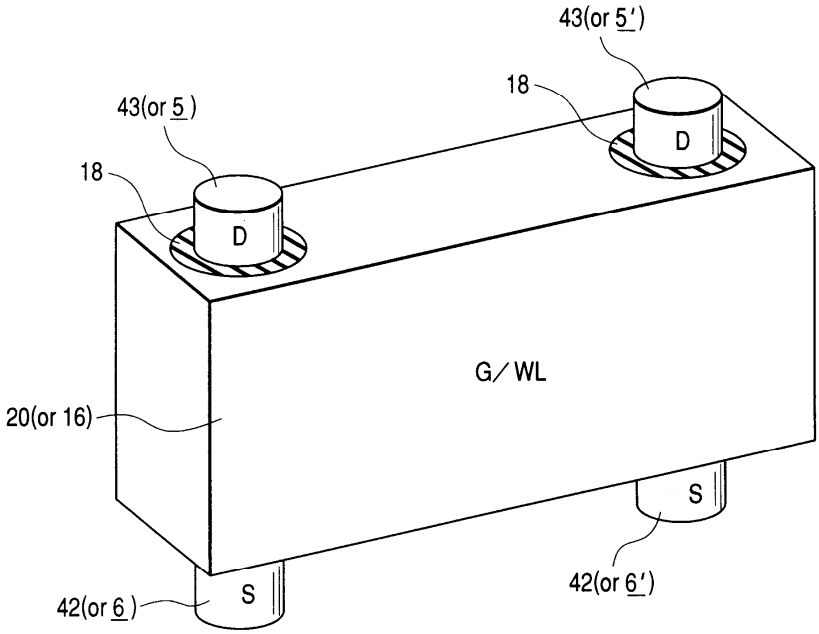
도면39


9′
9
4
6′
BL
BL
3′
HIC
3
HIC
5′
4′
S
D
D
6
5
Q3
G
Q4
Q5
16
1
G
G
Q6
G
4′
1′
5
D
D
5
6′
12
Vss
6
S
S
4′
3′
HIC
HIC
4
3
13
14′
Vcc
17
14
4
17′

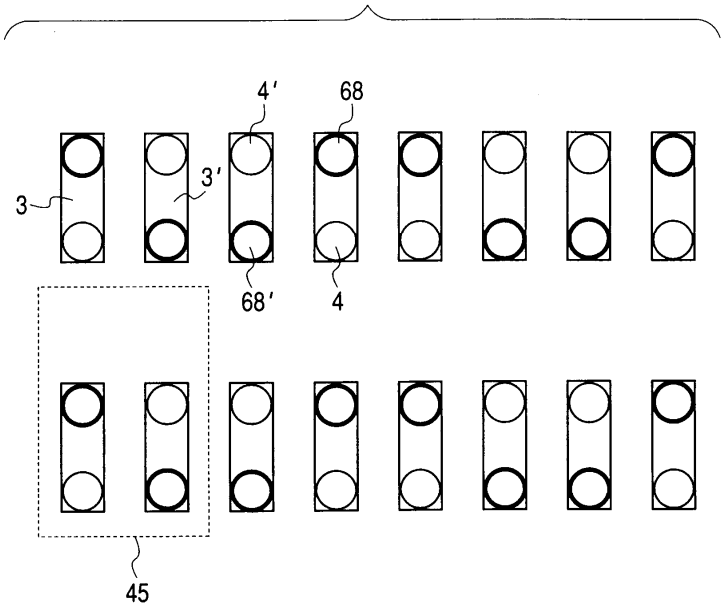
도면40


9
III′
BL
III′
3
I′
HIC
I′
D
5
6
S
VIC
4
1
G
G
1′
G/WL
16
5
D
VIC
4
12
Vss
6
S
VIC
4
3
HIC
VIC
HIC
3
4
4
13
Vcc
VIC
14
II′
II′
17
17′

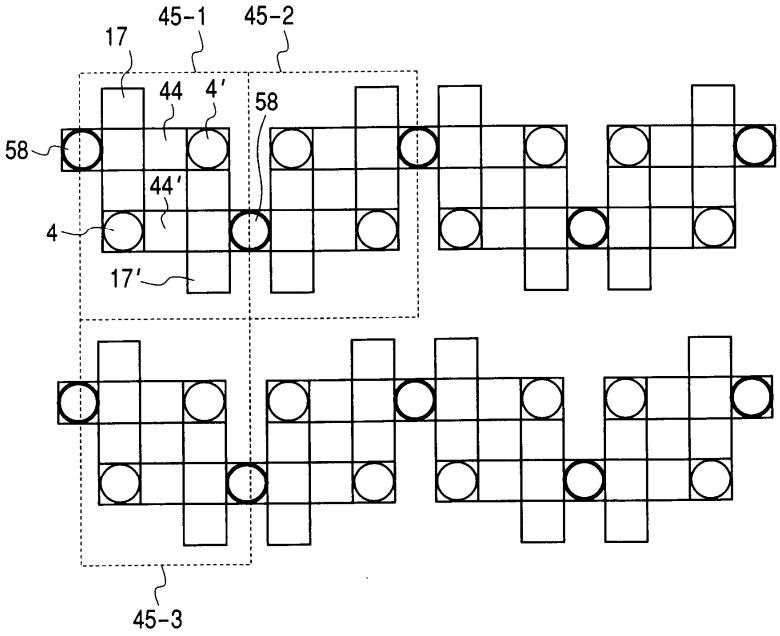
도면41



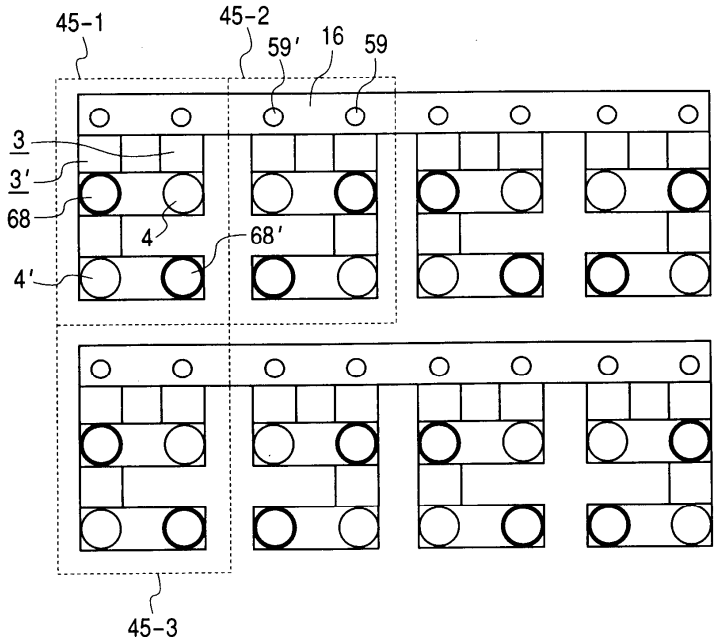
도면42



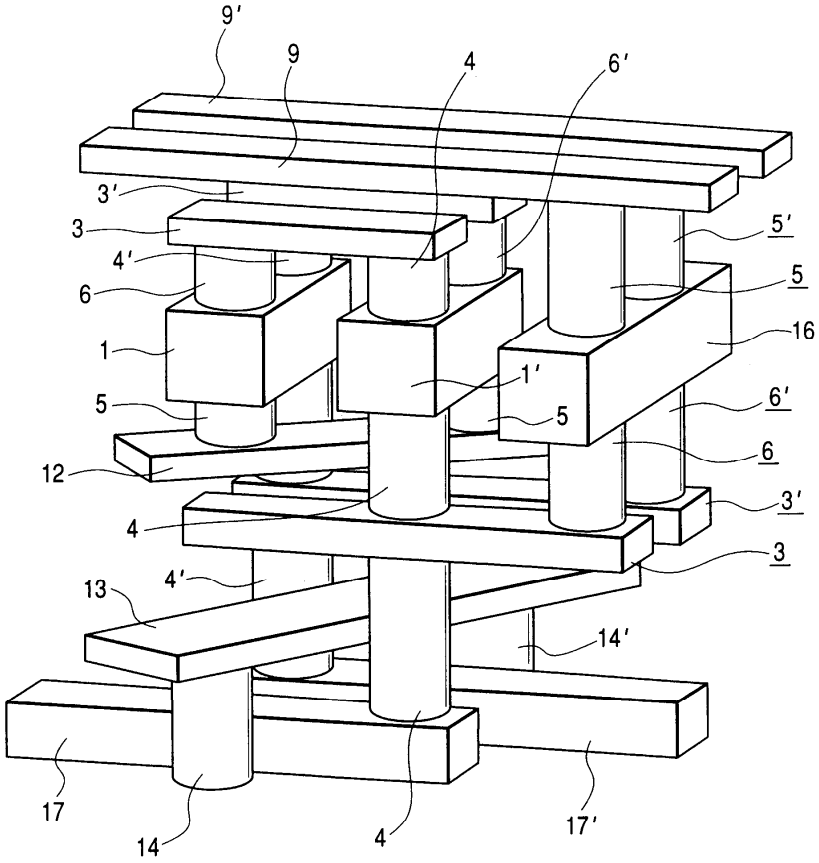
도면43



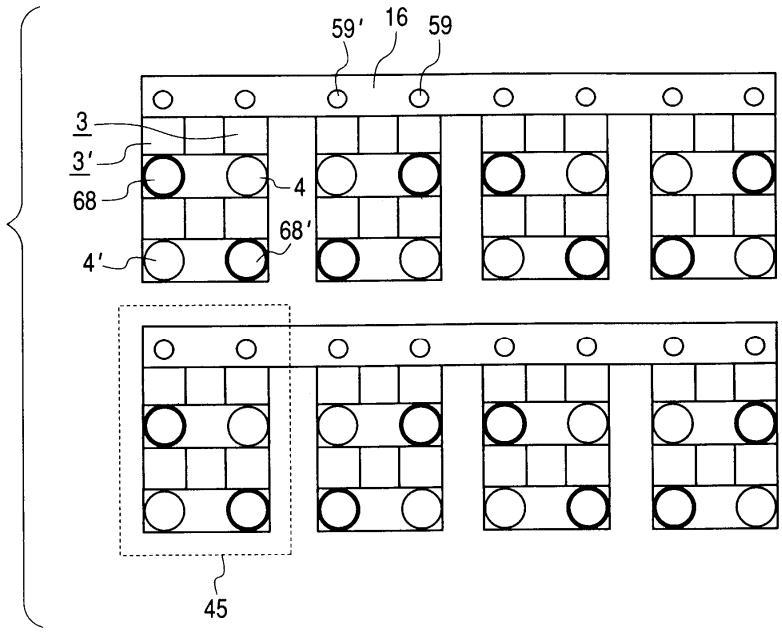
도면44



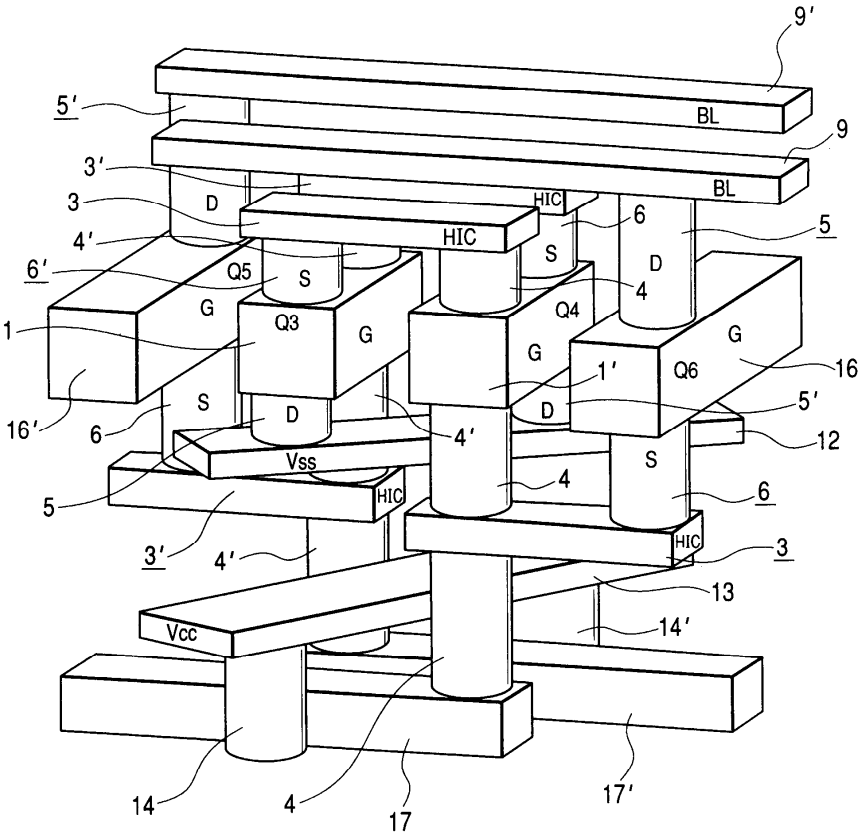
도면45


9'
9
4
6'
3'
3
5'
4'
5
6
16
1
1'
5
6'
5
12
6
3'
4
3
4'
13
14'
17
14
4
17'

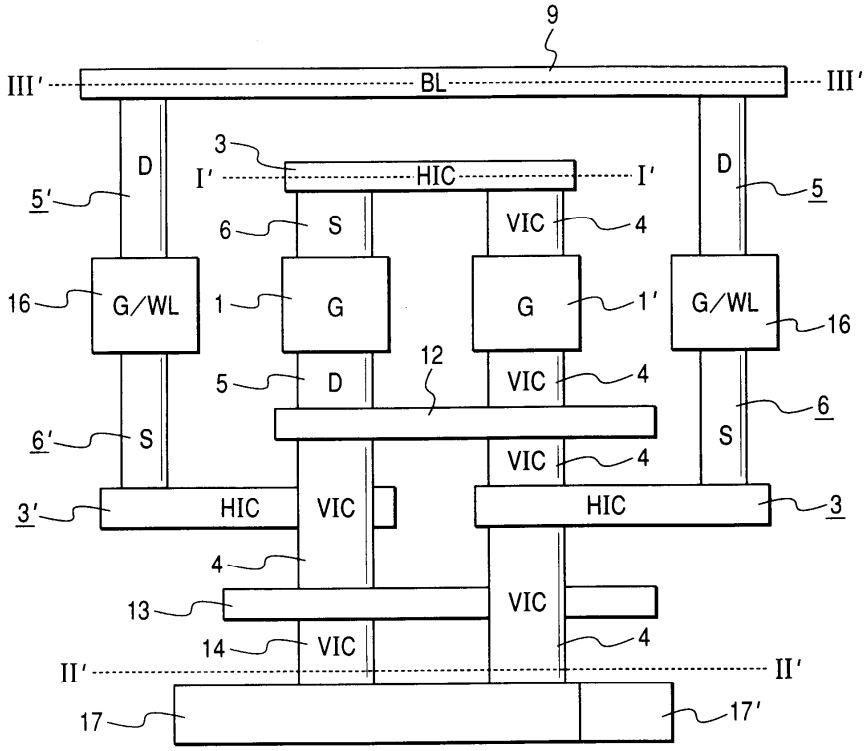
도면46


59'
16
59
3
3'
68
4
68'
4'
45

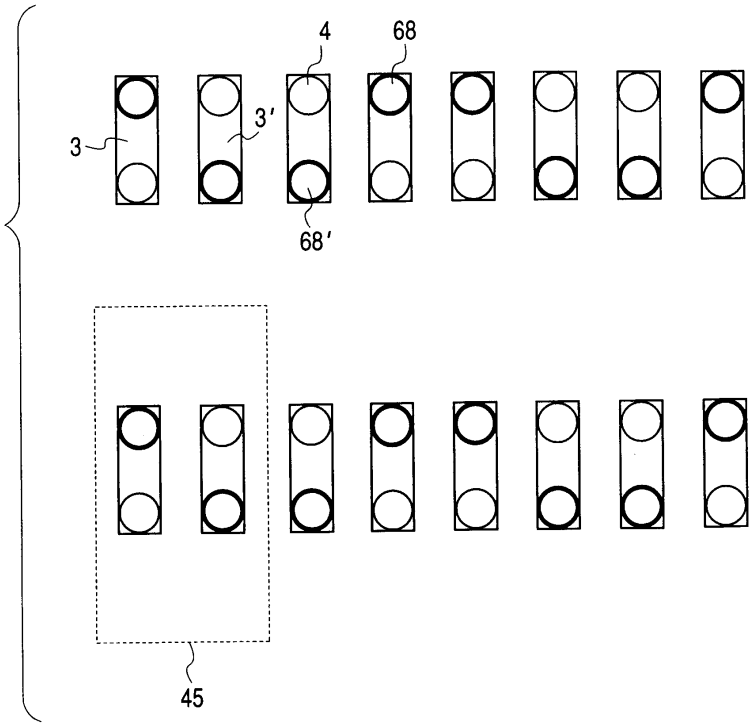
도면47


9'
BL
5'
9
3'
BL
3
D
HIC
6
5
4'
HIC
S
D
6'
Q5
S
4
G
Q4
Q3
G
G
1
G
1'
Q6
16
16'
S
D
D
5'
6
4'
12
Vss
S
5
HIC
4
6
HIC
3'
4'
3
13
Vcc
14'
14
4
17
17'

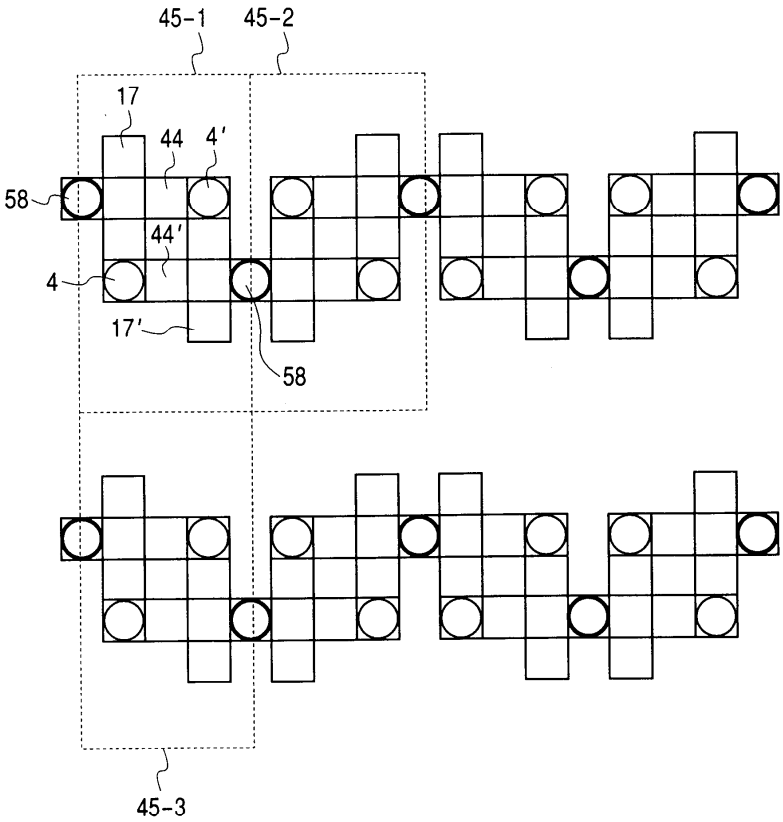
도면48


9
III'
BL
III'
3
D
I'
HIC
I'
D
5'
5
6
S
VIC
4
16
G/WL
1
G
G
1'
G/WL
16
12
5
D
VIC
4
6'
S
6
S
VIC
4
3'
HIC
VIC
HIC
3
4
13
VIC
14
VIC
4
II'
II'
17
17'

도면49



도면50



도면51