



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

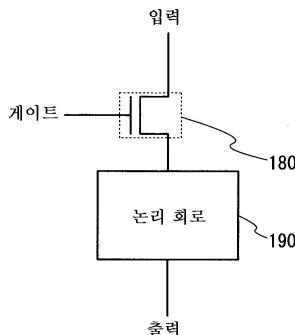
(45) 공고일자 2018년12월18일
 (11) 등록번호 10-1930682
 (24) 등록일자 2018년12월12일

- (51) 국제특허분류(Int. Cl.)
H01L 21/8258 (2006.01) *G11C 11/404* (2006.01)
G11C 11/405 (2006.01) *G11C 16/02* (2006.01)
H01L 27/06 (2006.01) *H01L 27/088* (2006.01)
H01L 27/092 (2006.01) *H01L 27/105* (2006.01)
H01L 27/1156 (2017.01) *H01L 27/12* (2006.01)
- (52) CPC특허분류
H01L 21/8258 (2013.01)
G11C 11/404 (2013.01)
- (21) 출원번호 10-2018-7003653(분할)
- (22) 출원일자(국제) 2010년09월29일
 심사청구일자 2018년02월06일
- (85) 번역문제출일자 2018년02월06일
- (65) 공개번호 10-2018-0016637
- (43) 공개일자 2018년02월14일
- (62) 원출원 특허 10-2012-7009126
 원출원일자(국제) 2010년09월29일
 심사청구일자 2015년09월21일
- (86) 국제출원번호 PCT/JP2010/067496
- (87) 국제공개번호 WO 2011/052351
 국제공개일자 2011년05월05일
- (30) 우선권주장
 JP-P-2009-249328 2009년10월29일 일본(JP)
- (56) 선행기술조사문헌
 WO2004059838 A1*
 (뒷면에 계속)
- 전체 청구항 수 : 총 8 항
- (54) 발명의 명칭 반도체 장치
- 심사관 : 이석주

(57) 요 약

반도체 장치는, 산화물 반도체층을 갖는 트랜지스터, 및 산화물 반도체 이외의 반도체 재료를 이용하여 형성된 논리 회로를 포함한다. 트랜지스터의 소스 전극과 드레인 전극 중 하나는 논리 회로의 적어도 하나의 입력에 전기적으로 접속되어 있고, 트랜지스터를 통해 논리 회로에 적어도 하나의 입력 신호가 인가된다. 트랜지스터의 오프 전류는 1×10^{-13} A 이하이다.

대 표 도



(52) CPC특허분류

G11C 11/405 (2013.01)

G11C 16/02 (2013.01)

H01L 27/0688 (2013.01)

H01L 27/088 (2013.01)

H01L 27/0922 (2013.01)

H01L 27/105 (2013.01)

H01L 27/1156 (2013.01)

H01L 27/12 (2013.01)

H01L 27/1225 (2013.01)

(56) 선행기술조사문현

JP2009135350 A*

JP2009164393 A*

JP61007725 A*

KR1020080053355 A*

*는 심사관에 의하여 인용된 문현

명세서

청구범위

청구항 1

반도체 장치로서,

제1 채널 형성 영역을 포함하는 제1 반도체층, 제1 게이트 전극, 제1 소스 전극, 및 제1 드레인 전극을 포함하는, 기판 위의 제1 트랜지스터;

제2 채널 형성 영역을 포함하는 제2 반도체층, 제2 게이트 전극, 제2 소스 전극, 및 제2 드레인 전극을 포함하는, 상기 기판 위의 제2 트랜지스터를 포함하는 논리 회로; 및

한 쌍의 전극을 포함하는, 상기 기판 위의 용량소자

를 포함하고,

상기 제1 트랜지스터는, 상기 논리 회로 위에 제공되고,

상기 제1 소스 전극 및 상기 제1 드레인 전극 중 하나는 상기 제2 트랜지스터의 상기 제2 게이트 전극, 및 상기 용량소자의 상기 한 쌍의 전극 중 하나에 전기적으로 접속되고,

상기 제1 트랜지스터는 상기 용량소자의 상기 한 쌍의 전극 중 다른 하나로부터 전기적으로 분리되고,

상기 제1 반도체층은 상기 제1 채널 형성 영역에 인듐, 갈륨, 및 아연을 포함하는 산화물 반도체를 포함하고,

상기 제2 반도체층은 산화물 반도체 이외의 반도체 재료를 포함하는, 반도체 장치.

청구항 2

반도체 장치로서,

제1 채널 형성 영역을 포함하는 제1 반도체층, 제1 게이트 전극, 제1 소스 전극, 및 제1 드레인 전극을 포함하는, 기판 위의 제1 트랜지스터;

개구를 포함하는, 상기 제1 트랜지스터 위의 절연층;

상기 제1 소스 전극 및 상기 제1 드레인 전극 중 하나와 접하는, 상기 개구 내의 제1 전극;

제2 채널 형성 영역을 포함하는 제2 반도체층, 제2 게이트 전극, 제2 소스 전극, 및 제2 드레인 전극을 포함하는, 상기 기판 위의 제2 트랜지스터를 포함하는 논리 회로;

상기 제2 게이트 전극과 접하는 제2 전극; 및

한 쌍의 전극을 포함하는, 상기 기판 위의 용량소자

를 포함하고,

상기 제1 트랜지스터는, 상기 논리 회로 위에 제공되고,

상기 제1 소스 전극 및 상기 제1 드레인 전극 중 하나는, 상기 제1 전극 및 상기 제2 전극을 통해 상기 제2 트랜지스터의 상기 제2 게이트 전극에 전기적으로 접속되고, 또한 상기 용량소자의 상기 한 쌍의 전극 중 하나에 전기적으로 접속되고,

상기 제1 트랜지스터는 상기 용량소자의 상기 한 쌍의 전극 중 다른 하나로부터 전기적으로 분리되고,

상기 제1 반도체층은 상기 제1 채널 형성 영역에 인듐, 갈륨, 및 아연을 포함하는 산화물 반도체를 포함하고,

상기 제2 반도체층은 산화물 반도체 이외의 반도체 재료를 포함하고,

상기 제1 전극의 상면은 상기 절연층의 상면과 일치하는, 반도체 장치.

청구항 3

제2항에 있어서,

상기 제1 전극 및 상기 절연층은 CMP 방법에 의해 평탄화되는, 반도체 장치.

청구항 4

제1항 또는 제2항에 있어서,

상기 제1 트랜지스터의 오프 전류는 $1 \times 10^{-17} \text{ A} / \mu\text{m}$ 이하인, 반도체 장치.

청구항 5

제1항 또는 제2항에 있어서,

상기 논리 회로는 인버터를 포함하고,

상기 제2 트랜지스터는 상기 인버터 내에 포함되는, 반도체 장치.

청구항 6

제1항 또는 제2항에 있어서,

상기 반도체 장치는, 상기 제1 트랜지스터가 온 상태일 때 입력 신호가 상기 제1 트랜지스터를 통해 상기 논리 회로에 인가되고, 상기 제1 트랜지스터가 오프 상태일 때 상기 입력 신호가 상기 제2 트랜지스터의 상기 제2 게이트 전극에 유지되도록 설계된, 반도체 장치.

청구항 7

제1항 또는 제2항에 있어서,

상기 반도체 재료는 실리콘인, 반도체 장치.

청구항 8

제2항에 있어서,

상기 제1 전극과 상기 제2 전극은 서로 중첩하지 않는, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 소자를 이용한 반도체 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 소자를 이용한 기억 소자는, 2 부류; 전력 공급이 정지되면 기억된 데이터가 상실되는 휘발성 소자와, 전력이 공급되지 않아도 기억된 데이터가 보유되는 비휘발성 소자로 크게 구별된다.

[0003] 휘발성 기억 소자의 대표적인 예는 DRAM(dynamic random access memory)이다. DRAM은, 기억 소자에 포함되는 트랜지스터를 선택하여 용량소자에 전하를 축적하는 방식으로 데이터를 기억한다.

[0004] 상술한 원리에 따라, DRAM에서 데이터를 판독하면 용량소자의 전하가 상실되므로, 데이터를 판독할 때마다, 다른 기입 동작이 필요해진다. 또한, 기억 소자에 포함되는 트랜지스터에는 누설 전류가 존재하고, 트랜지스터가 선택되지 않은 경우에도 전하가 용량소자로 유출 또는 유입되므로, 데이터의 보유 시간이 짧다. 이로 인해, 미리 정해진 간격(interval)으로 다른 기입 동작(리프레쉬 동작)이 필요하여, 소비 전력을 충분히 저감시키기가 곤란하다. 또한, 전력 공급이 정지되면 기억된 데이터가 상실되므로, 장시간 데이터를 보유하기 위해서는, 자성 재료나 광학 재료를 이용한 부가적인 기억 소자가 필요해진다.

[0005] 휘발성 기억 소자의 다른 예는 SRAM(static random access memory)이다. SRAM은, 플립플롭 등의 회로를 이용하여 기억된 데이터를 보유하므로, 리프레쉬 동작이 불필요하다. 이는, SRAM이 DRAM보다 유리하다는 것을 의미한다. 그러나, 플립플롭 등의 회로를 이용하므로, 기억 용량 당의 단가가 높아진다. 또한, DRAM과

마찬가지로, 전력 공급이 정지되면 SRAM에 기억된 데이터가 상실된다.

[0006] 비휘발성 기억 소자의 대표적인 예는 플래시 메모리이다. 플래시 메모리는, 트랜지스터의 게이트 전극과 채널 형성 영역 사이에 플로팅 게이트를 포함하고, 플로팅 게이트에 전하를 보유시킴으로써 데이터를 기억한다. 따라서, 데이터의 보유 시간은 지극히 길고(반영구적), 휘발성 기억 소자에서 필요한 리프레쉬 동작이 불필요하다는 이점을 갖고 있다(예를 들어, 특히 문헌 1 참조).

[0007] 그러나, 기입 시에 발생하는 터널 전류에 의해 기억 소자에 포함되는 게이트 절연층이 열화되므로, 미리 정해진 횟수의 기입 동작 후에 기억 소자가 그 기능을 정지한다. 이러한 문제의 역효과를 저감시키기 위해서, 예를 들어, 기억 소자들의 기입 동작의 횟수를 균일화하는 방법이 적용된다. 그러나, 이러한 방법을 실현하기 위해서는, 복잡한 주변 회로가 필요하다. 또한, 이러한 방법을 적용해도, 근본적인 수명의 문제가 해소되는 것은 아니다. 즉, 플래시 메모리는, 데이터가 빈번하게 재기록되는 용도로는 부적합하다.

[0008] 또한, 플로팅 게이트에 전하를 보유하거나 또는 그 전하를 제거하기 위해서는, 높은 전압이 필요하다. 또한, 전하의 보유 또는 제거를 위해서는 비교적 오랜 시간이 걸리고, 기입 및 소거를 고속으로 행하는 것은 용이하지 않다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 일본 특허 출원 공개 소57-105889호 공보

발명의 내용

해결하려는 과제

[0010] 논리 회로 등에 있어서 입력 신호의 보유가 필요해질 경우에는, 논리 회로 등에 상술한 기억 소자가 부가된다.

[0011] 그러나, 상술한 휘발성 기억 소자에서는 짧은 시간 동안 데이터가 유지되므로, 휘발성 기억 소자는 장기간 동안 입력 신호를 유지하기에는 적합하지 않은 문제점이 있다. 또한, 반도체 장치로의 전력 공급을 정지시킨 후, 전력 공급을 재개하여 연속 동작을 행하는 경우에는, 논리 회로 등으로 재차 신호가 입력될 필요가 있다.

[0012] 비휘발성 기억 소자는, 장기간 동안 신호를 유지하기에 적합하지만, 데이터가 빈번하게 재기록되는 논리 회로 등의 반도체 장치에 이용되면, 동작 속도 및 소자 수명에 있어서 문제점이 있다.

[0013] 상기 관점에서, 개시된 본 발명의 일 실시예의 목적은, 입력 신호가 유지될 수 있는 새로운 구조의 반도체 장치를 제공하는 것이다.

과제의 해결 수단

[0014] 본 발명의 일 실시예는, 산화물 반도체를 이용하여 형성되는 트랜지스터와, 산화물 반도체 이외의 재료를 이용하여 형성되는 트랜지스터가 적층되어 있는 반도체 장치이다. 반도체 장치는, 예를 들어, 다음과 같은 구조를 가질 수 있다.

[0015] 본 발명의 일 실시예는, 산화물 반도체층을 포함하는 트랜지스터와, 산화물 반도체 이외의 반도체 재료를 이용하여 형성된 논리 회로를 포함하는 반도체 장치이다. 상기 트랜지스터의 소스 전극 또는 드레인 전극 중 하나는 상기 논리 회로 중 적어도 하나의 입력과 전기적으로 접속되고, 상기 트랜지스터를 통하여 상기 논리 회로에 적어도 하나의 입력 신호가 공급된다.

[0016] 여기서, 트랜지스터의 오프 전류는 $1 \times 10^{-13} A$ 이하인 것이 바람직하다.

[0017] 본 발명의 다른 일 실시예는, 제1 게이트 전극, 제1 소스 전극, 및 제1 드레인 전극을 포함하는 제1 트랜지스터; 제2 게이트 전극, 제2 소스 전극, 및 제2 드레인 전극을 포함하는 제2 트랜지스터; 및 제3 게이트 전극, 제3 소스 전극, 및 제3 드레인 전극을 포함하는 제3 트랜지스터를 포함한다. 상기 제1 트랜지스터 및 상기 제2 트랜지스터는, 산화물 반도체 이외의 반도체 재료를 포함하는 기판을 이용하여 형성되고, 상기 제3 트랜지스터는 산화물 반도체층을 포함하고, 상기 제1 드레인 전극과 상기 제2 드레인 전극은 서로 전기적으로 접속

되어 있으며, 상기 제1 게이트 전극, 상기 제2 게이트 전극, 및 상기 제3 소스 전극과 상기 제3 드레인 전극 중 하나는 서로 전기적으로 접속되어 있다.

[0018] 상기 구조에 있어서, 상기 제1 게이트 전극, 상기 제2 게이트 전극, 및 상기 제3 소스 전극과 상기 제3 드레인 전극 중 하나에 전기적으로 접속되어 있는 용량소자를 제공하는 것이 바람직하다. 또한, 제1 트랜지스터는 p 채널형 트랜지스터이며, 제2 트랜지스터는 n 채널형 트랜지스터인 것이 바람직하다.

[0019] 본 발명의 다른 실시예는, 제1 게이트 전극, 제1 소스 전극, 및 제1 드레인 전극을 포함하는 제1 트랜지스터; 제2 게이트 전극, 제2 소스 전극, 및 제2 드레인 전극을 포함하는 제2 트랜지스터; 및 제3 게이트 전극, 제3 소스 전극, 및 제3 드레인 전극을 포함하는 제3 트랜지스터를 포함한다. 상기 제1 트랜지스터 및 상기 제2 트랜지스터는, 산화물 반도체 이외의 반도체 재료를 포함하는 기판을 이용하여 형성되고, 상기 제3 트랜지스터는 산화물 반도체층을 포함하고, 상기 제1 드레인 전극과 상기 제2 드레인 전극은 서로 전기적으로 접속되어 있고, 상기 제1 소스 전극과 상기 제1 게이트 전극은 서로 전기적으로 접속되어 있으며, 상기 제2 게이트 전극, 및 상기 제3 소스 전극과 상기 제3 드레인 전극 중 하나는 서로 전기적으로 접속되어 있다.

[0020] 상기 구조에 있어서, 상기 제2 게이트 전극 및 상기 제3 소스 전극과 상기 제3 드레인 전극 중 하나에 전기적으로 접속되어 있는 용량소자를 제공하는 것이 바람직하다. 또한, 제1 트랜지스터는 n 채널형 트랜지스터이며, 제2 트랜지스터는 n 채널형 트랜지스터인 것이 바람직하다.

[0021] 또한, 상기 구조에 있어서, 상기 제3 소스 전극과 상기 제3 드레인 전극 중 다른 하나는 신호 입력 배선과 전기적으로 접속되고, 상기 제1 드레인 전극과 상기 제2 드레인 전극은 신호 출력 배선과 전기적으로 접속되고, 상기 제3 게이트 전극은 게이트 신호 입력 배선과 전기적으로 접속되고, 상기 제1 소스 전극은 제1 전위를 인가하기 위한 배선과 전기적으로 접속되며, 상기 제2 소스 전극은 제2 전위를 인가하기 위한 배선과 전기적으로 접속되어 있는 것이 바람직하다.

[0022] 상기 제1 트랜지스터는, 산화물 반도체 이외의 반도체 재료를 포함하는 기판에 형성된 제1 채널 형성 영역; 상기 제1 채널 형성 영역을 협지하도록 설치된 제1 불순물 영역; 상기 제1 채널 형성 영역 위의 제1 게이트 절연층; 상기 제1 게이트 절연층 위의 상기 제1 게이트 전극; 및 상기 제1 불순물 영역과 전기적으로 접속되는 상기 제1 소스 전극 및 상기 제1 드레인 전극을 포함하는 것이 바람직하다. 상기 제2 트랜지스터는, 산화물 반도체 이외의 반도체 재료를 포함하는 기판에 형성된 제2 채널 형성 영역; 상기 제2 채널 형성 영역을 협지하도록 설치된 제2 불순물 영역; 상기 제2 채널 형성 영역 위의 제2 게이트 절연층; 상기 제2 게이트 절연층 위의 상기 제2 게이트 전극; 및 상기 제2 불순물 영역과 전기적으로 접속되는 상기 제2 소스 전극 및 상기 제2 드레인 전극을 포함하는 것이 바람직하다. 상기 제3 트랜지스터는, 산화물 반도체 이외의 반도체 재료를 포함하는 기판 위의 상기 제3 게이트 전극; 상기 제3 게이트 전극 위의 제3 게이트 절연층; 상기 제3 게이트 절연층 위의 상기 산화물 반도체층; 및 상기 산화물 반도체층과 전기적으로 접속되는 상기 제3 소스 전극 및 상기 제3 드레인 전극을 포함하는 것이 바람직하다.

[0023] 상기 구조에 있어서, 제3 트랜지스터의 오프 전류는 $1 \times 10^{-13} A$ 이하인 것이 바람직하다.

[0024] 또한, 상기 구조에 있어서, 산화물 반도체 이외의 반도체 재료를 포함하는 상기 기판은 단결정 반도체 기판 또는 SOI 기판인 것이 바람직하다. 또한, 산화물 반도체 이외의 상기 반도체 재료는 실리콘인 것이 바람직하다.

[0025] 상기 구조에 있어서, 상기 산화물 반도체층은 In-Ga-Zn-O계의 산화물 반도체 재료를 포함하는 것이 바람직하다. 또한, 상기 산화물 반도체층은, $In_2Ga_2ZnO_7$ 의 결정을 포함하는 것이 바람직하다.

[0026] 상기 구조에 있어서, 상기 산화물 반도체층에서의 수소의 농도는 $5 \times 10^{19} \text{ atom/cm}^3$ 이하인 것이 적합하다.

[0027] 상기 구조에 있어서, 제3 트랜지스터는 제1 트랜지스터 또는 제2 트랜지스터와 중첩하는 영역에 설치될 수 있다.

[0028] 또한, 본 명세서 등에 있어서, "위(over)" 나 "아래(below)" 등의 용어는, 구성 요소가 반드시 "바로 위" 또는 "바로 밑(under)"에 위치하는 것을 의미하는 것은 아니다. 예를 들어, "제1 게이트 절연층 위의 제1 게이트 전극"의 표현은, 게이트 절연층과 게이트 전극 사이에 구성 요소가 위치하는 경우를 배제하지 않는다. 또한, "위" 및 "아래" 등의 용어는 설명의 편의를 위해 사용하는 것일 뿐, 별도 지정되지 않으면, 구성 요소들의 관계가 역이 되는 경우를 포함할 수 있다.

[0029] 또한, 본 명세서 등에 있어서 "전극"이나 "배선" 등의 용어는, 구성 요소의 기능을 한정하는 것은 아니다. 예

를 들어, "전극"이나 "배선" 등의 용어는, 서로 대체될 수 있다. 또한, "전극"은 "배선"의 일부로서 사용되는 경우가 있으며, 그 역에 대해서도 마찬가지이다.

[0030] "소스" 및 "드레인"의 기능은, 예를 들어, 반대 극성의 트랜지스터를 이용하는 경우나, 회로 동작에 있어서 전류 흐름의 방향이 변화하는 경우에는 서로 대체되는 경우가 있다. 따라서, 본 명세서에서, "소스" 및 "드레인"의 용어는 서로 대체될 수 있다.

[0031] 본 명세서 등에 있어서, "전기적으로 접속"의 용어는, 어떠한 전기적 기능을 갖는 대상(object)을 통하여 구성 요소들이 접속되어 있는 경우를 포함한다는 점에 주목한다. 어떠한 전기적 기능을 갖는 대상에 대하여는, 대상을 통해 접속되어 있는 구성 요소들 사이에서 전기 신호의 송수신이 가능하다면, 특별한 제한은 없다.

[0032] 예를 들어, 어떠한 전기적 기능을 갖는 대상의 예는, 전극이나 배선은 물론, 트랜지스터 등의 스위칭 소자, 저항 소자, 인덕터, 용량소자, 각종 기능을 갖는 소자이다.

[0033] 일반적으로 "SOI 기판"의 용어는 절연 표면 위에 실리콘 반도체층이 설치된 기판을 의미한다. 본 명세서 등에 있어서는, "SOI 기판"의 용어는 또한, 절연 표면 위에 실리콘 이외의 재료를 이용하여 형성되는 반도체층이 설치된 기판을 그 범주 내에 포함한다. 즉, "SOI 기판"에 포함되는 반도체층은 실리콘 반도체층에 한정되지 않는다. "SOI 기판"에 있어서의 기판은, 실리콘 웨이퍼 등의 반도체 기판에 한하지 않고, 글래스 기판, 석영 기판, 사파이어 기판, 또는 금속 기판 등의 비반도체 기판일 수 있다. 즉, "SOI 기판"은 또한, 반도체 재료로 형성되는 층이 제공된 절연 표면 또는 절연 기판을 갖는 도체 기판도 그 범주 내에 포함한다. 또한, 본 명세서 등에 있어서, "반도체 기판"의 용어는, 반도체 재료만을 이용하여 형성된 기판뿐만 아니라, 반도체 재료를 포함하는 기판 전반을 의미한다. 즉, 본 명세서 등에 있어서는 "SOI 기판"도 "반도체 기판"의 범주 내에 포함된다.

발명의 효과

[0034] 본 발명의 일 실시예는, 하부에 산화물 반도체 이외의 재료를 포함하는 트랜지스터가 배치되고, 상부에 산화물 반도체를 포함하는 트랜지스터가 배치되어 있는 반도체 장치를 제공한다.

[0035] 산화물 반도체를 포함하는 트랜지스터의 오프 전류는 지극히 낮으므로, 트랜지스터를 사용함으로써 매우 장기간 동안 기억된 데이터를 보유하는 것이 가능하다. 이러한 특성을 이용함으로써, 입력 신호가 유지될 수 있는, 새로운 구성의 반도체 장치가 제공될 수 있다.

[0036] 개시된 본 발명의 일 실시예에 따르면, 하나의 트랜지스터를 설치함으로써 입력 신호가 유지되어, 플립플롭을 이용하는 동등한 회로와 비교하여 회로 구성의 복잡화를 억제할 수 있다는 점에 주목한다.

[0037] 또한, 휘발성 기억 소자를 이용하는 회로와 비교하여, 리프레쉬 동작이 불필요해지거나 또는 리프레쉬 동작의 빈도를 지극히 낮게 하는 것이 가능해지므로, 소비 전력을 충분히 저감시킬 수 있다. 또한, 전력이 공급되지 않는 경우(즉, 전원이 오프인 경우)라도, 기억된 데이터를 보유하는 것이 가능하다.

[0038] 또한, 비휘발성 기억 소자의 열화의 문제, 기입 또는 소거에 기인하는 동작 속도의 문제점 등을 해소하는 것도 가능하다.

[0039] 이러한 방식으로, 산화물 반도체 이외의 재료를 포함하는 트랜지스터와, 산화물 반도체를 포함하는 트랜지스터 모두 포함함으로써, 신규한 특징을 갖는 반도체 장치를 실현할 수 있다.

도면의 간단한 설명

[0040] 도 1의 (a) 및 (b)는 반도체 장치를 설명하기 위한 회로도이다.

도 2의 (a) 내지 (d)는 반도체 장치를 설명하기 위한 회로도이다.

도 3의 (a) 및 (b)는 반도체 장치를 설명하기 위한 단면도 및 평면도이다.

도 4의 (a) 내지 (h)는 반도체 장치의 제조 공정을 설명하기 위한 단면도이다.

도 5의 (a) 내지 (g)는 반도체 장치의 제조 공정을 설명하기 위한 단면도이다.

도 6의 (a) 내지 (d)는 반도체 장치의 제조 공정을 설명하기 위한 단면도이다.

도 7은 반도체 장치를 설명하기 위한 단면도이다.

도 8의 (a) 및 (b)는 반도체 장치를 설명하기 위한 단면도이다.

도 9의 (a) 및 (b)는 반도체 장치를 설명하기 위한 단면도이다.

도 10의 (a) 및 (b)는 반도체 장치를 설명하기 위한 단면도이다.

도 11의 (a) 내지 (f)는 반도체 장치를 이용한 전자 기기를 설명하기 위한 도면이다.

도 12는 산화물 반도체를 이용한 역스태거형의 트랜지스터의 종단면도이다.

도 13의 (a) 및 (b)는 도 12의 A-A' 단면을 따른 에너지밴드 도면(모식도)이다.

도 14의 (a)는 게이트(GE1)에 플러스 전위($VG > 0$)가 부여된 상태를 나타내고, (b)는 게이트(GE1)에 마이너스 전위($VG < 0$)가 부여된 상태를 나타내는 도면이다.

도 15는 진공 준위와 금속의 일함수(ϕ_M), 산화물 반도체의 전자친화력(X)의 관계를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0041]

본 발명의 실시예에 대해서 도면을 참조하여 이하에 설명한다. 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 일탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해될 것이라는 점에 주목한다. 따라서, 본 발명은 이하에 나타내는 실시예의 기재 내용에 한정하여 해석되는 것은 아니다.

[0042]

또한, 도면 등에 있어서 도시하는 각 구조의, 위치, 크기, 범위 등을, 용이한 이해를 위해, 정확하게 나타내지 않는 경우가 있다는 점에 주목한다. 따라서, 개시된 본 발명은, 반드시, 도면 등에 개시된 위치, 크기, 범위 등에 한정되지 않는다.

[0043]

또한, 본 명세서 등에 있어서의 "제1", "제2", "제3" 등의 서수는, 구성 요소 간의 혼동을 피하기 위해 이용하는 것이며, 그 용어들은 구성 요소 수의 한정을 의미하는 것이 아니라는 점에 주목한다.

[0044]

(실시예 1)

[0045]

본 실시예에서는, 개시된 본 발명의 일 실시예의 반도체 장치의 구조 및 제조 방법에 대해서, 도 1의 (a) 및 (b), 도 2의 (a) 내지 (d), 도 3의 (a) 및 (b), 도 4의 (a) 내지 (h), 도 5의 (a) 내지 (g) 및 도 6의 (a) 내지 (d)를 참조하여 설명한다. 개시된 본 발명의 일 실시예는, 입력 신호의 유지가 필요한 어떠한 반도체 장치에도 적용이 가능하다는 점에 주목한다. 예를 들어, NOT 회로, OR 회로, AND 회로 또는 NOR 회로 등의 논리 회로에 대하여 개시된 본 발명의 일 실시예를 적용하여, 그 입력 신호를 유지시킬 수 있다.

[0046]

<반도체 장치의 개요 구조>

[0047]

먼저, 도 1의 (a) 및 (b)을 참조하여 반도체 장치의 개요 구조에 대해서 설명한다.

[0048]

도 1의 (a)는, 산화물 반도체를 이용한 트랜지스터(180)가, 논리 회로(190)(Logic Circuit)의 입력에 전기적으로 접속된 반도체 장치를 나타낸다. 이러한 반도체 장치에서는, 트랜지스터(180)를 통해, 논리 회로(190)에 입력 신호가 인가된다.

[0049]

산화물 반도체를 이용한 트랜지스터(180)는 오프 전류가 낮으므로, 트랜지스터(180)를 오프 상태로 함으로써, 데이터를 유지할 수 있다. 여기에서는, 트랜지스터(180)의 소스 전극 또는 드레인 전극 중 하나는, 논리 회로의 입력과 전기적으로 접속되어 있으므로, 트랜지스터(180)를 오프 상태로 함으로써, 논리 회로의 입력 신호가 유지될 수 있다. 논리 회로(190)는 하나의 입력을 갖는다는 점에 주목한다.

[0050]

도 1의 (b)는, 산화물 반도체를 이용한 트랜지스터(182)가, 논리 회로(192)의 입력에 전기적으로 접속된 반도체 장치를 나타낸다. 신호의 유지가 필요한 입력 단자에, 산화물 반도체를 이용한 트랜지스터를 전기적으로 접속 함으로써, 필요한 데이터를 유지하는 것이 가능하다. 또한, 도 1의 (b)에 있어서, 논리 회로(192)는 2개의 입력을 가지고 있지만, 개시된 본 발명의 일 실시예는 이에 한정되지 않는다. 또한, 논리 회로의 입력마다 트랜지스터를 전기적으로 접속시킬 수도 있고, 또는 논리 회로의 하나 이상의 입력에 대하여 트랜지스터를 전기적으로 접속시킬 수도 있다.

[0051]

<반도체 장치의 회로 구성>

[0052]

도 2의 (a) 내지 (d)는 반도체 장치의 회로 구성의 구체예를 도시한다. 반도체 장치는, 각각 산화물 반도체 이

외의 재료를 이용한 제1 트랜지스터 및 제2 트랜지스터, 및 산화물 반도체를 이용한 제3 트랜지스터를 포함한다. 이하에 기재된 산화물 반도체 장치에서는, 입력 신호를 유지시키는 회로의 예로서 인버터 회로를 이용했지만, 기재된 본 발명의 일 실시예는, 입력 신호의 유지가 필요한 어떠한 반도체 장치에도 적용될 수 있다 는 점에 주목한다.

[0053] 도 2의 (a)는, 반도체 장치의 회로 구성의 제1 예를 도시하고 있다. 도 2의 (a)의 반도체 장치는, 각각이 산화물 반도체 이외의 재료를 이용한 제1 트랜지스터(160) 및 제2 트랜지스터(162), 및 산화물 반도체를 이용한 제3 트랜지스터(164)를 포함한다.

[0054] 제1 트랜지스터(160)의 드레인 전극은 제2 트랜지스터(162)의 드레인 전극과 전기적으로 접속되어 있다. 또한, 제1 트랜지스터(160)의 게이트 전극과 제2 트랜지스터(162)의 게이트 전극은, 제3 트랜지스터(164)의 소스 전극 및 드레인 전극 중 하나와 전기적으로 접속되어 있다. 제1 트랜지스터(160) 및 제2 트랜지스터(162) 중 하나는 p 채널형 트랜지스터이고, 다른 하나는 n 채널형 트랜지스터인 것이 바람직하다는 점에 주목한다. 여기에서는, 제1 트랜지스터(160)를 p 채널형 트랜지스터, 제2 트랜지스터(162)를 n 채널형 트랜지스터로 한다.

[0055] 트랜지스터의 전극은 각종 배선에 전기적으로 접속될 수 있다. 예를 들어, 제3 트랜지스터(164)의 소스 전극 및 드레인 전극 중 다른 하나를, 신호 입력용의 배선과 전기적으로 접속시키고, 제1 트랜지스터(160)의 드레인 전극 및 제2 트랜지스터(162)의 드레인 전극을, 신호 출력용의 배선과 전기적으로 접속시키는 것이 바람직하다. 또한, 제1 트랜지스터(160)의 소스 전극을, 제1 전위(예를 들어, 전원 전위: VDD)를 인가하는 배선과 전기적으로 접속시키고, 제2 트랜지스터(162)의 소스 전극을, 제2 전위(예를 들어, 접지 전위: GND)를 인가하는 배선과 전기적으로 접속시키는 것이 바람직하다. 또한, 제3 트랜지스터(164)의 게이트 전극을, 게이트 신호 입력용의 배선과 전기적으로 접속시키는 것이 바람직하다.

[0056] 상기 반도체 장치는 다음과 같이 동작한다.

[0057] 제1 트랜지스터(160)의 소스 전극에는 제1 전위가 인가되고, 제2 트랜지스터(162)의 소스 전극에는 제2 전위가 인가된다. 이 상태에서, 제3 트랜지스터(164)의 소스 전극 및 드레인 전극 중 다른 하나에 입력 신호가 인가되고, 제3 트랜지스터(164)가 온 상태로 되는 전위가 제3 트랜지스터(164)의 게이트 전극에 인가되면, 제1 트랜지스터의 게이트 전극 및 제2 트랜지스터의 게이트 전극에는 상기의 입력 신호가 인가된다. 제1 트랜지스터의 게이트 전극 및 제2 트랜지스터의 게이트 전극에 인가되는 입력 신호에 따라, 반도체 장치로부터 제1 전위 또는 제2 전위가 출력된다.

[0058] 제3 트랜지스터(164)의 소스 전극 및 드레인 전극 중 다른 하나에 신호가 입력된 상태에서, 제3 트랜지스터(164)를 오프 상태로 한다. 그 후, 제1 트랜지스터(160)의 게이트 전극 및 제2 트랜지스터(162)의 게이트 전극은, 마지막의 입력 신호의 전위로 유지된다. 즉, 제3 트랜지스터(164)를 오프 상태로 하고 있는 동안에는, 입력 신호가 변화되어도, 출력 신호는 변화되지 않는다.

[0059] 이와 같은 동작은, 제3 트랜지스터(164)에 산화물 반도체를 이용함으로써 실현된다. 즉, 산화물 반도체를 이용함으로써, 제3 트랜지스터(164)의 오프 전류를 충분히 저감시키는 것이 가능하여, 제1 트랜지스터(160)의 게이트 전극 및 제2 트랜지스터(162)의 게이트 전극의 전위를, 장기간에 걸쳐 유지할 수 있다. 이러한 방식으로, 개시된 본 발명의 일 실시예에 따라, 입력 신호를 유지하는 기능을 갖는 반도체 장치(여기서는 인버터 회로)가 제공될 수 있다.

[0060] 도 2의 (b)는 반도체 장치의 회로 구성의 제2 예를 나타낸다. 도 2의 (b)의 반도체 장치는 도 2의 (a)의 반도체 장치에 용량소자(166)가 부가된 구조를 갖고 있다. 용량소자(166)는, 제1 트랜지스터(160)의 게이트 전극, 제2 트랜지스터(162)의 게이트 전극, 및 제3 트랜지스터(164)의 소스 전극 및 드레인 전극 중 하나와 전기적으로 접속되어 있다. 이와 같이, 용량소자(166)를 설치함으로써, 제1 트랜지스터(160)의 게이트 전극 및 제2 트랜지스터(162)의 게이트 전극의 전위를 보다 용이하게 유지할 수 있다.

[0061] 도 2의 (c)는 반도체 장치의 회로 구성의 제3 예를 나타낸다. 도 2의 (c)의 반도체 장치는 도 2의 (a)의 반도체 장치에 있어서의 제1 트랜지스터(160) 대신에, 다이오드 접속된 트랜지스터(168)가 설치된 구조를 갖고 있다. 즉, 트랜지스터(168)의 소스 전극과 게이트 전극은 전기적으로 접속되어 있다. 이 경우, 트랜지스터(168) 및 제2 트랜지스터(162)를, 모두 n 채널형 트랜지스터로 한다는 점에 주목한다. 대안으로서, 트랜지스터(168) 및 제2 트랜지스터(162)를 모두 p 채널형으로 할 수 있다.

[0062] 도 2의 (d)는 반도체 장치의 회로 구성의 제4 예를 나타낸다. 도 2의 (d)의 반도체 장치는 도 2의 (b)의 반도체 장치에 있어서의 제1 트랜지스터(160) 대신에, 다이오드 접속된 트랜지스터(168)가 설치된 구조를 갖고

있다. 즉, 트랜지스터(168)의 소스 전극과 게이트 전극은 전기적으로 접속되어 있다. 이 경우에도, 트랜지스터(168) 및 제2 트랜지스터(162)를, 모두 n 채널형으로 하던지, 또는 p 채널형으로 한다.

[0063] 상술한 바와 같이, 입력 신호가 인가되는 전극에, 산화물 반도체를 이용하여 형성되는 트랜지스터를 부가하는 경우, 입력 신호를 유지하는 것이 가능하다. 이에 의해, 입력 신호가 유지 가능한 새로운 구조의 반도체 장치(각종 논리 회로 등)를 실현할 수 있다.

<반도체 장치의 평면 구조 및 단면 구조>

[0065] 도 3의 (a) 및 (b)는 도 2의 (a)에 도시하는 반도체 장치의 구조의 일례를 나타낸다. 도 3의 (a)는 반도체 장치의 단면을 도시하고, 도 3의 (b)는 반도체 장치의 평면을 도시하고 있다. 여기서, 도 3의 (a)는, 도 3의 (b)의 선 A1-A2 및 선 B1-B2를 따른 단면에 대응한다. 도 3의 (a) 및 (b)에 도시된 반도체 장치는, 하부에 산화물 반도체 이외의 재료를 이용한 트랜지스터(160) 및 트랜지스터(162)를 포함하고, 상부에 산화물 반도체를 이용한 트랜지스터(164)를 포함한다. 트랜지스터(160 및 162)는 유사한 기본적인 구조를 갖고 있으므로, 이하에서는, 주로 트랜지스터(160)에 대해서 설명한다는 점에 주목한다.

[0066] 트랜지스터(160)는, 반도체 재료를 포함하는 기판(100)에 설치된 채널 형성 영역(116), 채널 형성 영역(116)을 협지하도록 설치된 불순물 영역(114) 및 고농도 불순물 영역(120)(이들 영역을 총괄하여 단순히 불순물 영역이라고도 부를 수 있음), 채널 형성 영역(116) 위에 설치된 게이트 절연층(108a), 게이트 절연층(108a) 위에 설치된 게이트 전극(110a), 및 불순물 영역(114)과 전기적으로 접속되는 소스 또는 드레인 전극(130a)과 소스 또는 드레인 전극(130b)을 포함한다.

[0067] 게이트 전극(110a)의 측면에는 사이드월 절연층(118)이 설치되어 있다. 기판(100)의, 평면도에서 보아 사이드월 절연층(118)과 겹치지 않는 영역에는, 고농도 불순물 영역(120)이 배치된다. 고농도 불순물 영역(120) 위에는 금속 화합물 영역(124)이 배치된다. 기판(100) 위에는 트랜지스터(160)를 둘러싸도록 소자 분리 절연층(106)이 설치되어 있다. 트랜지스터(160)를 덮도록, 충간 절연층(126) 및 충간 절연층(128)이 설치되어 있다. 소스 또는 드레인 전극(130a)과 소스 또는 드레인 전극(130b) 각각은, 충간 절연층(126 및 128)에 형성된 개구를 통하여, 금속 화합물 영역(124)과 전기적으로 접속되어 있다. 즉, 소스 또는 드레인 전극(130a 및 130b) 각각은, 금속 화합물 영역(124)을 통해 고농도 불순물 영역(120) 및 불순물 영역(114)과 전기적으로 접속되어 있다. 게이트 전극(110a)에는, 소스 또는 드레인 전극(130a 및 130b)과 마찬가지로 방식으로 형성된 전극(130c)이 전기적으로 접속되어 있다.

[0068] 트랜지스터(164)는, 충간 절연층(128) 위에 설치된 게이트 전극(136d), 게이트 전극(136d) 위에 설치된 게이트 절연층(138), 게이트 절연층(138) 위에 설치된 산화물 반도체층(140), 및 산화물 반도체층(140) 위에 설치되고, 산화물 반도체층(140)과 전기적으로 접속되어 있는 소스 또는 드레인 전극(142a)과 소스 또는 드레인 전극(142b)을 포함한다.

[0069] 여기서, 게이트 전극(136d)은, 충간 절연층(128) 위에 형성된 절연층(132)에 매립되도록 설치되어 있다. 게이트 전극(136d)과 마찬가지로, 소스 또는 드레인 전극(130a), 소스 또는 드레인 전극(130b), 및 전극(130c)에 각각 접하여 전극(136a), 전극(136b), 및 전극(136c)이 형성되어 있다.

[0070] 트랜지스터(164) 위에는, 산화물 반도체층(140)의 일부와 접하도록, 보호 절연층(144)이 설치되어 있다. 보호 절연층(144) 위에는 충간 절연층(146)이 설치되어 있다. 보호 절연층(144) 및 충간 절연층(146)에는, 소스 또는 드레인 전극(142a)과 소스 또는 드레인 전극(142b)에 도달하는 개구가 형성되어 있다. 각각의 개구를 통하여, 전극(150d) 및 전극(150e)은, 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b)에 각각 접하여 형성되어 있다. 전극(150d 및 150e)과 마찬가지로, 게이트 절연층(138), 보호 절연층(144) 및 충간 절연층(146)에 설치된 개구를 통하여, 전극(136a), 전극(136b) 및 전극(136c)에 각각 접하여 전극(150a), 전극(150b) 및 전극(150c)이 형성되어 있다.

[0071] 여기서, 산화물 반도체층(140)은 수소 등의 불순물이 충분히 제거되어, 고순도화된 산화물 반도체층인 것이 바람직하다. 구체적으로는, 산화물 반도체층(140)의 수소 농도는 5×10^{19} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이하, 보다 바람직하게는 5×10^{17} atoms/cm³ 이하이다. 수소 농도가 충분히 저감되어 고순도화된 산화물 반도체층(140)을 이용함으로써, 우수한 오프 전류 특성의 트랜지스터(164)를 얻을 수 있다. 예를 들어, 드레인 전압(Vd)이 +1V 또는 +10V이며, 게이트 전압(Vg)이 -5V 내지 -20V의 범위인 경우, 오프 전류는 1×10^{-13} A 이하이다. 수소 농도가 충분히 저감되어 고순도화된 산화물 반도체층(140)을 이용하여, 트랜지스터(164)의 오

프 전류를 저감시키는 경우, 새로운 구조의 반도체 장치를 실현할 수 있다. 산화물 반도체층(140) 내의 수소 농도는, 2차 이온 질량 분석법(SIMS: secondary ion mass spectrometry)으로 측정한 것임에 주목한다.

[0072] 층간 절연층(146) 위에는 절연층(152)이 설치되어 있다. 절연층(152)에 매립되도록, 전극(154a), 전극(154b), 전극(154c), 및 전극(154d)이 설치되어 있다. 전극(154a)은 전극(150a)과 접하고 있다. 전극(154b)은 전극(150b)과 접하고 있다. 전극(154c)은 전극(150c) 및 전극(150d)과 접하고 있다. 전극(154d)은 전극(150e)과 접하고 있다.

[0073] 즉, 도 3의 (a) 및 (b)에 도시되는 반도체 장치에서는, 트랜지스터(160)(및 트랜지스터(162))의 게이트 전극(110a), 및 트랜지스터(164)의 소스 또는 드레인 전극(142a)이, 전극(130c, 136c, 150c, 154c 및 150d)을 통해 전기적으로 접속되어 있다.

[0074] <반도체 장치의 제조 방법>

[0075] 다음에, 상기 반도체 장치의 제조 방법의 일례에 대해서 설명한다. 이하에서는, 먼저 하부의 트랜지스터(160)의 제조 방법에 대해서 도 4의 (a) 내지 (h)를 참조하여 설명하고, 그 후, 상부의 트랜지스터(164)의 제조 방법에 대해서 도 5의 (a) 내지 (g) 및 도 6의 (a) 내지 (d)를 참조하여 설명한다.

[0076] <하부의 트랜지스터의 제조 방법>

[0077] 우선, 반도체 재료를 포함하는 기판(100)을 준비한다(도 4의 (a) 참조). 반도체 재료를 포함하는 기판(100)으로서는, 실리콘, 탄화 실리콘 등으로 구성된 단결정 반도체 기판 또는 다결정 반도체 기판; 실리콘 게르마늄 등으로 구성된 화합물 반도체 기판; SOI 기판 등을 이용할 수 있다. 여기에서는, 반도체 재료를 포함하는 기판(100)으로서, 단결정 실리콘 기판을 이용하는 일례에 대해서 나타낸다. 일반적으로, "SOI 기판"의 용어는, 절연 표면 위에 실리콘 반도체층이 설치된 기판을 의미한다는 점에 주목한다. 본 명세서 등에 있어서는, "SOI 기판"의 용어는 또한, 절연 표면 위에 실리콘 이외의 재료를 이용하여 형성되는 반도체층이 설치된 기판을 그 범위 내에 포함한다. 즉, "SOI 기판"에 포함된 반도체층은 실리콘 반도체층에 한정되지 않는다. 또한, SOI 기판은, 글래스 기판 등의 절연 기판 위에 절연층을 개재하여 반도체층이 설치된 구조를 갖는 기판일 수 있다.

[0078] 기판(100) 위에는, 소자 분리 절연층을 형성하기 위한 마스크로서 기능하는 보호층(102)을 형성한다(도 4의 (a) 참조). 보호층(102)으로서는, 예를 들어, 산화 실리콘, 질화 실리콘, 질화 산화 실리콘 등을 이용하여 형성된 절연층을 이용할 수 있다. 이러한 수순 전후에 있어서, 반도체 장치의 임계값 전압을 제어하기 위해, n형의 도전성을 부여하는 불순물 원소나 p형의 도전성을 부여하는 불순물 원소를 기판(100)에 첨가시킬 수 있다는 점에 주목한다. 기판(100)에 포함된 반도체 재료가 실리콘인 경우, n형의 도전성을 부여하는 불순물로서는, 인, 비소 등을 이용할 수 있다. p형의 도전성을 부여하는 불순물로서는, 봉소, 알루미늄, 갈륨 등을 이용할 수 있다.

[0079] 다음에, 보호층(102)을 마스크로서 이용하여 에칭하여, 보호층(102)으로 덮어져 있지 않은 영역(즉, 노출 영역)의 기판(100) 일부를 제거한다. 이에 의해, 분리된 반도체 영역(104)이 형성된다(도 4의 (b) 참조). 에칭으로서, 드라이 에칭을 수행하는 것이 바람직하지만, 습식 에칭을 수행할 수도 있다. 에칭 가스 및 에칭액에 대해서는 피에칭층의 재료에 따라 적절하게 선택할 수 있다.

[0080] 다음에, 반도체 영역(104)을 덮도록 절연층을 형성하고, 반도체 영역(104)과 중첩하는 영역의 절연층을 선택적으로 제거함으로써, 소자 분리 절연층(106)을 형성한다(도 4의 (b) 참조). 절연층은, 산화 실리콘, 질화 실리콘, 질화 산화 실리콘 등을 이용하여 형성된다. 절연층의 제거 방법으로서는, CMP 등의 연마 처리 및 에칭 처리 중 임의의 것을 적용할 수 있다. 반도체 영역(104)의 형성 후 또는 소자 분리 절연층(106)의 형성 후에는, 보호층(102)을 제거한다는 점에 주목한다.

[0081] 다음에, 반도체 영역(104) 위에 절연층을 형성하고, 절연층 위에 도전 재료를 포함하는 층을 형성한다.

[0082] 절연층은 이후에 게이트 절연층으로서 기능하기 때문에, 절연층은, CVD법, 스팍터링법 등에 의해 형성되는 산화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 탄탈 등을 포함하는 막을 이용하는 단층 구조 또는 적층 구조를 갖는 것이 바람직하다. 대안으로서, 고밀도 플라즈마 처리나 열산화 처리에 의해, 반도체 영역(104)의 표면을 산화 또는 질화하는 방식으로, 절연층을 형성할 수 있다. 고밀도 플라즈마 처리는, 예를 들어, He, Ar, Kr 또는 Xe 등의 희가스, 산소, 산화 질소, 암모니아, 질소 또는 수소 등의 가스의 혼합 가스를 이용하여 행할 수 있다. 절연층의 두께는 특별히 한정되지 않지만, 절연층은, 예를 들어, 1nm 내지 100nm의 두께를 가질 수 있다.

[0083] 도전 재료를 포함하는 층은, 알루미늄, 구리, 티탄, 탄탈 또는 텉스텐 등의 금속 재료를 이용하여 형성될 수 있

다. 도전 재료를 포함하는 층은, 도전 재료를 포함하는 다결정 실리콘 등의 반도체 재료를 이용하여 형성될 수 있다. 도전 재료를 포함하는 층의 형성 방법에는 특별한 한정은 없으며, 증착법, CVD법, 스팍터링법 또는 스핀 코트법 등의 각종 성막 방법을 적용할 수 있다. 본 실시예는, 도전 재료를 포함하는 층을, 금속 재료를 이용하여 형성하는 경우의 일례를 나타낸다는 점에 주목한다.

[0084] 그 후, 절연층, 및 도전 재료를 포함하는 층을 선택적으로 에칭하여, 게이트 절연층(108a) 및 게이트 전극(110a)을 형성한다(도 4의 (c) 참조).

[0085] 다음에, 게이트 전극(110a)을 덮는 절연층(112)을 형성한다(도 4의 (c) 참조). 그 후, 반도체 영역(104)에 봉 소(B), 알루미늄(A1) 등을 첨가하여, 얇은 접합 깊이의 불순물 영역(114)을 형성한다(도 4의 (c) 참조). 여기에서는 p 채널형 트랜지스터를 형성하기 위해 봉소나 알루미늄을 첨가하고 있지만, n 채널형 트랜지스터를 형성할 경우(예를 들어, 트랜지스터(162)를 형성할 경우)에는, 인(P)이나 비소(As) 등의 불순물 원소를 첨가할 수 있다는 점에 주목한다. 불순물 영역(114)의 형성에 의해, 반도체 영역(104)의 게이트 절연층(108a) 아래에는, 채널 형성 영역(116)이 형성된다(도 4의 (c) 참조). 여기서, 첨가된 불순물의 농도는 적절하게 설정할 수 있지만, 반도체 소자의 사이즈가 고도로 감소되는 경우에는, 그 농도를 높게 하는 것이 바람직하다. 여기서는, 절연층(112)을 형성한 후에 불순물 영역(114)을 형성하는 수순을 적용하고 있지만, 대안으로서, 불순물 영역(114)을 형성한 후에 절연층(112)을 형성하는 수순으로 할 수도 있다.

[0086] 다음에, 사이드월 절연층(118)을 형성한다(도 4의 (d) 참조). 사이드월 절연층(118)은, 절연층(112)을 덮도록 절연층을 형성한 후에, 이방성이 높은 에칭 처리를 하는 경우, 자기정합적으로 형성될 수 있다. 이때, 절연층(112)을 부분적으로 에칭하여, 게이트 전극(110a)의 상면과 불순물 영역(114)의 상면을 노출시키는 것이 바람직하다.

[0087] 다음에, 게이트 전극(110a), 불순물 영역(114), 사이드월 절연층(118) 등을 덮도록, 절연층을 형성한다. 다음에, 불순물 영역(114)과 접하는 영역에, 봉소(B), 알루미늄(A1) 등을 첨가하여, 고농도 불순물 영역(120)을 형성한다(도 4의 (e) 참조). 상술한 바와 같이, n 채널형 트랜지스터를 형성할 경우에도, 인(P)이나 비소(As) 등의 불순물 원소를 첨가하면 된다. 그 후, 절연층을 제거하고, 게이트 전극(110a), 사이드월 절연층(118), 고농도 불순물 영역(120) 등을 덮도록 금속층(122)을 형성한다(도 4의 (e) 참조). 금속층(122)의 형성에는, 진공 증착법, 스팍터링법, 스핀 코트법 등의 각종 성막 방법을 적용할 수 있다. 금속층(122)은, 반도체 영역(104)에 포함되는 반도체 재료와 반응하여 저저항의 금속 화합물이 되는 금속 재료를 이용하여 형성하는 것이 바람직하다. 이러한 금속 재료의 예는, 티탄, 탄탈, 텅스텐, 니켈, 코발트 및 백금 등이다.

[0088] 다음에, 열처리를 행하여, 금속층(122)과 반도체 재료를 반응시킨다. 이에 의해, 고농도 불순물 영역(120)에 접하는 금속 화합물 영역(124)이 형성된다(도 4의 (f) 참조). 게이트 전극(110a)이 다결정 실리콘 등을 이용하여 형성되는 경우, 게이트 전극(110a)이 금속층(122)과 접하는 부분에도, 금속 화합물 영역이 형성된다는 점에 주목한다.

[0089] 열처리로서, 예를 들어, 플래시 램프의 조사가 적용될 수 있다. 물론, 다른 열처리 방법을 이용할 수도 있지만, 금속 화합물의 형성에 관한 화학 반응의 제어성을 향상시키기 위해서는, 지극히 단시간의 열처리를 실현할 수 있는 방법을 이용하는 것이 바람직하다. 금속 화합물 영역은, 금속 재료와 반도체 재료의 반응에 의해 형성되며, 충분히 높은 도전성을 갖는다는 점에 주목한다. 금속 화합물 영역을 형성함으로써, 전기 저항을 적절히 저감시키고, 소자 특성을 향상시킬 수 있다. 금속 화합물 영역(124)을 형성한 후에는, 금속층(122)을 제거한다는 점에 주목한다.

[0090] 다음에, 상술한 수순에 의해 형성된 구성 요소들을 덮도록, 층간 절연층(126) 및 층간 절연층(128)을 형성한다(도 4의 (g) 참조). 층간 절연층(126 및 128)은, 산화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 탄탈 등의 무기 절연 재료를 이용하여 형성될 수 있다. 또한, 층간 절연층(126 및 128)은, 폴리이미드나 아크릴 등의 유기 절연 재료를 이용하여 형성될 수 있다. 여기에서는, 층간 절연층(126) 및 층간 절연층(128)의 2층 구조를 적용하고 있지만, 층간 절연층의 구조는 이 구조에 한정되지 않는다는 점에 주목한다. 층간 절연층(128)의 형성 후에는, 층간 절연층(128)의 표면을, CMP, 에칭 등으로 평탄화하는 것이 바람직하다.

[0091] 그 후, 층간 절연층에, 금속 화합물 영역(124)에 도달하는 개구를 형성하고, 그 개구에, 소스 또는 드레인 전극(130a)과 소스 또는 드레인 전극(130b)을 형성한다(도 4의 (h) 참조). 소스 또는 드레인 전극(130a 및 130b)은, 예를 들어, 개구를 포함하는 영역에 PVD법, CVD법 등에 의해 도전층을 형성한 후, 에칭, CMP 등에 의

해 도전층의 일부를 제거하는 방식으로 형성될 수 있다.

[0092] 도전층의 일부를 제거하여 소스 또는 드레인 전극(130a 및 130b)을 형성하는 경우에는, 표면이 평坦해지도록 처리를 행하는 것이 바람직하다는 점에 주목한다. 예를 들어, 개구를 포함하는 영역에 티탄막이나 질화 티탄막을 형성한 후에, 개구에 매립되도록 텅스텐막을 형성하는 경우에는, 이후의 CMP에 의해, 불필요한 텅스텐, 티탄, 질화 티탄 등이 제거되어, 표면의 평탄성이 향상될 수 있다. 이와 같은 방식으로, 소스 또는 드레인 전극(130a 및 130b)을 포함하는 표면을 평탄화하는 경우, 이후의 수순에 있어서, 전극, 배선, 절연층, 반도체층 등을 양호하게 형성하는 것이 가능해진다.

[0093] 여기에서는, 금속 화합물 영역(124)과 접하는 소스 또는 드레인 전극(130a 및 130b)만을 나타내고 있지만, 이 수순에 있어서, 게이트 전극(110a)과 접하는 전극(예를 들어, 도 3의 (a)에 있어서의 전극(130c)) 등도 형성할 수 있다는 점에 주목한다. 소스 또는 드레인 전극(130a 및 130b)에 이용되는 재료에 대해서 특별히 한정은 없으며, 각종 도전 재료를 이용할 수 있다. 예를 들어, 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴 또는 스칸듐 등의 도전성 재료를 이용할 수 있다.

[0094] 이상의 수순에 의해, 반도체 재료를 포함하는 기판(100)을 이용한 트랜지스터(160)(및 트랜지스터(162))가 형성된다. 상기 수순의 이후에, 또한, 전극, 배선, 절연층 등을 형성할 수도 있다는 점에 주목한다. 배선이, 충간 절연층 및 도전층을 포함하는 적층 구조의 다층 구조를 갖는 경우, 고도로 집적화된 반도체 장치가 제공될 수 있다.

<상부의 트랜지스터의 제조 방법>

[0096] 다음에, 도 5의 (a) 내지 (g) 및 도 6의 (a) 내지 (d)를 참조하여, 충간 절연층(128) 위에 트랜지스터(164)를 제조하는 수순에 대해서 설명한다. 도 5의 (a) 내지 (g) 및 도 6의 (a) 내지 (d)는, 충간 절연층(128) 위의 전극들, 트랜지스터(164) 등의 제조 수순을 도시하는 것이므로, 트랜지스터(164)의 하부에 배치되는 트랜지스터(160) 등은 생략하고 있다는 점에 주목한다.

[0097] 우선, 충간 절연층(128), 소스 또는 드레인 전극(130a 및 130b) 및 전극(130c) 위에 절연층(132)을 형성한다(도 5의 (a) 참조). 절연층(132)은 PVD법, CVD법 등을 이용하여 형성할 수 있다. 절연층(132)은 산화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄 또는 산화 탄탈 등의 무기 절연 재료를 이용하여 형성할 수 있다.

[0098] 다음에, 절연층(132)에, 소스 또는 드레인 전극(130a 및 130b), 및 전극(130c)에 도달하는 개구를 형성한다. 이때, 이후에 게이트 전극(136d)이 형성되는 영역에도 개구를 형성한다. 그 후, 개구에 매립되도록, 도전층(134)을 형성한다(도 5의 (b) 참조). 개구는 마스크를 이용한 에칭 등의 방법으로 형성할 수 있다. 마스크는, 포토마스크를 이용한 노광 등의 방법으로 형성하는 것이 가능하다. 에칭으로서는 습식 에칭 또는 드라이 에칭 중 어느 하나를 이용할 수 있지만, 미세 가공의 관점에서는, 드라이 에칭을 이용하는 것이 바람직하다. 도전층(134)은, PVD법이나 CVD법 등의 성막법으로 형성할 수 있다. 도전층(134)은, 예를 들어, 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴 또는 스칸듐 등의 도전성 재료나, 이를 재료 중 임의의 합금 또는 화합물(예를 들어, 질화물)을 이용하여 형성될 수 있다.

[0099] 구체적으로, 예를 들어, 개구를 포함하는 영역에 PVD법으로 얇은 티탄막을 형성하고, CVD법으로 얇은 질화 티탄막을 형성한 후에, 개구에 매립되도록 텅스텐막을 형성하는 방법을 적용할 수 있다. 여기서, PVD법에 의해 형성되는 티탄막은, 절연층(132)과의 계면의 산화막을 환원시켜, 하부 전극(여기서는, 소스 또는 드레인 전극(130a 및 130b), 전극(130c) 등)과의 접촉 저항을 저감시키는 기능을 갖는다. 티탄막의 형성 후에 형성되는 질화 티탄막은, 도전성 재료의 확산을 억제하는 배리어 기능을 갖는다. 티탄, 질화 티탄 등의 배리어막의 형성 후에, 도금법으로 구리막을 형성할 수 있다.

[0100] 도전층(134)을 형성한 후에는, 에칭, CMP 등에 의해 도전층(134)의 일부를 제거하여, 절연층(132)을 노출시켜, 전극(136a, 136b 및 136c) 및 게이트 전극(136d)을 형성한다(도 5의 (c) 참조). 도전층(134)의 일부를 제거하여 전극(136a, 136b 및 136c) 및 게이트 전극(136d)을 형성할 때는, 표면이 평탄해지도록 처리를 행하는 것이 바람직하다는 점에 주목한다. 그러한 방식으로, 절연층(132), 전극(136a, 136b 및 136c) 및 게이트 전극(136d)의 표면을 평탄화함으로써, 이후의 수순에 있어서, 전극, 배선, 절연층, 반도체층 등을 양호하게 형성하는 것이 가능해진다.

[0101] 다음에, 절연층(132), 전극(136a, 136b 및 136c) 및 게이트 전극(136d)을 덮도록, 게이트 절연층(138)을 형성한다(도 5의 (d) 참조). 게이트 절연층(138)은, CVD법, 스팍터링법 등으로 형성될 수 있다. 게이트 절연층

(138)은, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 탄탈 등을 이용하여 형성되는 것이 바람직하다. 게이트 절연층(138)은, 단층 구조를 가질 수도 있고, 적층 구조를 가질 수도 있다는 점에 주목한다. 예를 들어, 원료 가스(source gas)로서, 실란(SiH_4), 산소 및 질소를 이용한 플라즈마 CVD법에 의해, 산화 질화 실리콘으로 구성된 게이트 절연층(138)을 형성할 수 있다. 게이트 절연층(138)의 두께는 특별히 한정되지 않지만, 게이트 절연층(138)은 예를 들어, 10nm 내지 500nm의 두께를 가질 수 있다. 적층 구조를 적용하는 경우, 게이트 절연층(138)은, 예를 들어, 두께 50nm 내지 200nm의 제1 게이트 절연층, 및 두께 5nm 내지 300nm의 제2 게이트 절연층의 적층인 것이 바람직하다.

[0102] 불순물을 제거함으로써 진성(intrinsic) 또는 실질적으로 진성화된 산화물 반도체(고순도화된 산화물 반도체)는, 계면 준위 및 계면 전하에 아주 민감하므로, 이러한 산화물 반도체를 산화물 반도체층에 이용할 경우에는, 게이트 절연층과의 계면이 중요하다는 점에 주목한다. 즉, 고순도화된 산화물 반도체층에 접하는 게이트 절연층(138)에는, 고품질화가 요구된다.

[0103] 예를 들어, 게이트 절연층(138)은 치밀하고 절연 내압이 높으며 고품질을 갖고 있기 때문에, 마이크로파(2.45GHz)를 이용한 고밀도 플라즈마 CVD법으로 게이트 절연층(138)을 형성하는 것이 바람직하다. 고순도화된 산화물 반도체층과 고품질 게이트 절연층이 서로 밀접하게 있는 경우에는, 계면 준위가 저감될 수 있어 양호한 계면 특성을 얻을 수 있다.

[0104] 물론, 게이트 절연층으로서 고품질의 절연층을 형성할 수 있다면, 고순도화된 산화물 반도체층을 이용하는 경우라도, 스퍼터링법이나 플라즈마 CVD법 등의 다른 방법을 적용할 수 있다. 또한, 절연층의 형성 후에 행해지는 열처리에 의해 막질 및 계면 특성이 향상되는 절연층을 이용할 수 있다. 결국, 게이트 절연층(138)으로서 양호한 막질을 갖고, 산화물 반도체층과의 계면 준위 밀도를 저감시켜, 양호한 계면을 형성할 수 있는 절연층을 게이트 절연층(138)으로서 형성한다.

[0105] $2 \times 10^6 \text{ V/cm}^6$ 로 85°C 에서의 12시간 동안의 게이트 바이어스-온도 스트레스 시험(BT 시험)에 있어서는, 불순물이 산화물 반도체에 첨가되어 있으면, 불순물과 산화물 반도체의 주성분 사이의 결합이, 강전계(B: 바이어스)와 고온(T: 온도)에 의해 절단되어, 생성된 당령 본드(dangling bond)가 임계값 전압(V_{th})의 드리프트(drift)를 유발하게 된다.

[0106] 이에 대해, 산화물 반도체의 불순물, 특히 수소 및 물을 최대한 배제하고, 상술한 바와 같이 산화물 반도체와 게이트 절연층 사이의 계면 특성을 양호하게 하는 경우, BT 시험에 대해서도 안정된 트랜ジ스터를 얻는 것이 가능하다.

[0107] 그 다음에, 게이트 절연층(138) 위에 산화물 반도체층을 형성하고, 마스크를 이용한 에칭 등의 방법으로 처리하여, 십 형상의 산화물 반도체층(140)을 형성한다(도 5의 (e) 참조).

[0108] 산화물 반도체층으로서는, In-Ga-Zn-O계의 산화물 반도체층, In-Sn-Zn-O계의 산화물 반도체층, In-Al-Zn-O계의 산화물 반도체층, Sn-Ga-Zn-O계의 산화물 반도체층, Al-Ga-Zn-O계의 산화물 반도체층, Sn-Al-Zn-O계의 산화물 반도체층, In-Zn-O계의 산화물 반도체층, Sn-Zn-O계의 산화물 반도체층, Al-Zn-O계의 산화물 반도체층, In-O계의 산화물 반도체층, Sn-O계의 산화물 반도체층, 또는 Zn-O계의 산화물 반도체층을 이용하는 것이 바람직하고, 특히 비정질인 것이 바람직하다. 본 실시예에서는, 산화물 반도체층으로서 In-Ga-Zn-O계의 산화물 반도체의 성막 시의 타깃을 이용하는 스퍼터링법으로 비정질의 산화물 반도체층을 형성한다. 비정질의 산화물 반도체층 내에 실리콘을 첨가함으로써, 비정질의 산화물 반도체층의 결정화를 억제할 수 있으므로, 결정화를 억제하는 SiO_x ($X > 0$)를 포함하도록, 예를 들어, SiO_2 를 2중량% 내지 10중량%를 포함하는 타깃을 이용하여 산화물 반도체층을 형성할 수 있다는 점에 주목한다.

[0109] 산화물 반도체층을 스퍼터링법으로 형성하기 위해 이용되는 타깃으로서는, 예를 들어, 산화 아연 등을 주성분으로서 포함하는 금속 산화물을 이용할 수 있다. 또한, 예를 들어, In, Ga, 및 Zn을 포함하는 산화물 반도체의 성막 시의 타깃($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [몰수비]의 조성비)을 이용할 수도 있다. 또한, In, Ga, 및 Zn을 포함하는 산화물 반도체의 성막 시의 타깃으로서, $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ (몰수비)의 조성비를 갖는 타깃, 또는 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 4$ (몰수비)의 조성비를 갖는 타깃도 이용할 수 있다. 산화물 반도체의 성막 시의 타깃의 충전율(fillting rate)은 90% 내지 100%, 바람직하게는 95% 이상(예를 들어 99.9%)이다. 충전율이 높은 산화물 반도체의 성막 시의 타깃을 이용함으로써, 치밀한 산화물 반도체층이 형성된다.

- [0110] 산화물 반도체층의 형성 분위기는, 희가스(대표적으로는 아르곤) 분위기, 산소 분위기, 또는 희가스(대표적으로는 아르곤)와 산소를 포함하는 혼합 분위기인 것이 바람직하다. 구체적으로는, 예를 들어, 수소, 물, 수산기 또는 수소화물 등의 불순물이, 몇 ppm의 농도(바람직하게는 몇 ppb의 농도)로 제거된 고순도 가스를 이용하는 것이 바람직하다.
- [0111] 산화물 반도체층을 형성할 때는, 감압으로 유지된 처리실 내에 기판을 보유하고, 기판 온도를 100°C 내지 600°C, 바람직하게는 200°C 내지 400°C로 설정한다. 기판을 가열하면서 산화물 반도체층을 형성함으로써, 산화물 반도체층의 불순물 농도를 저감시킬 수 있다. 또한, 스퍼터링에 의한 손상이 경감된다. 그 후, 처리실 내에 남아있는 수분을 제거하면서 수소 및 물이 제거된 스퍼터링 가스를 처리실 내에 도입하고, 금속 산화물을 타깃으로서 이용하여 산화물 반도체층을 형성한다. 처리실 내에 남아있는 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들어, 크라이오 펌프, 이온 펌프 또는 티탄 승화 펌프를 이용할 수 있다. 배기부(evacuation unit)는, 콜드 트랩(cold trap)이 설치된 터보 펌프일 수 있다. 크라이오 펌프를 이용하여 배기시킨 성막실에서는, 예를 들어, 수소 원자, 물(H_2O) 등 수소 원자를 포함하는 화합물(보다 바람직하게는 탄소 원자를 포함하는 화합물) 등이 제거되므로, 성막실에서 형성된 산화물 반도체층의 불순물의 농도는 저감될 수 있다.
- [0112] 다음 조건, 예를 들어, 기판과 타깃 사이의 거리가 100mm, 압력이 0.6Pa, 직류(DC) 전원이 0.5kW, 및 분위기가 산소(산소 유량 비율이 100%임)인 조건 하에서 산화물 반도체층을 형성할 수 있다. 펄스 직류(DC) 전원을 이용하면, 성막 시에 생성된 가루 물질(powder substance)(입자 또는 먼지라고도 함)을 경감시킬 수 있고, 막 두께 분포도 균일해지므로, 바람직하다는 점에 주목한다. 산화물 반도체층의 두께는, 2nm 내지 200nm, 바람직하게는 5nm 내지 30nm이다. 산화물 반도체 재료에 따라 적절한 두께는 상이하므로, 그 두께는 사용하는 재료에 따라 적절하게 설정된다는 점에 주목한다.
- [0113] 산화물 반도체층을 스퍼터링법으로 형성하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링에 의해, 게이트 절연층(138)의 표면 위의 먼지를 제거하는 것이 바람직하다는 점에 주목한다. 여기서, 역스퍼터링은, 스퍼터링 타깃에 이온을 충돌시키는 통상의 스퍼터링과는 반대로, 처리 표면에 이온을 충돌시킴으로써 표면을 개질(modify)하는 방법이다. 처리 표면에 이온을 충돌시키는 방법의 예는, 아르곤 분위기에서 표면에 고주파 전압을 인가하여, 기판 부근에 플라즈마를 생성하는 방법이다. 아르곤 분위기 대신에 질소, 헬륨, 산소 등의 분위기를 이용할 수 있다는 점에 주목한다.
- [0114] 산화물 반도체층의 에칭 방법으로서, 드라이 에칭 또는 습식 에칭 중 어느 하나를 적용해도 된다. 물론, 드라이 에칭 및 습식 에칭 양쪽을 조합하여 이용할 수도 있다. 원하는 형상으로 산화물 반도체층을 에칭할 수 있도록, 재료에 따라 에칭 조건(예를 들어, 에칭 가스나 에칭액, 에칭 시간 및 온도)을 적절하게 설정한다.
- [0115] 드라이 에칭에 이용되는 에칭 가스의 예는, 염소를 포함하는 가스(염소(Cl_2), 염화 붕소(BCl_3), 염화 규소($SiCl_4$) 또는 사염화 탄소(CCl_4) 등의 염소계 가스)이다. 또한, 불소를 포함하는 가스(사불화 탄소(CF_4), 불화 유황(SF_6), 불화 질소(NF_3) 또는 트리플루오로메탄(CHF_3) 등의 불소계 가스), 브롬화 수소(HBr), 산소(O_2), 이들 가스 중 임의의 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스를 이용할 수 있다.
- [0116] 드라이 에칭법으로서는, 평행 평판형 RIE(reactive ion etching)법이나 ICP(inductively coupled plasma: 유도 결합형 플라즈마) 에칭법을 이용할 수 있다. 원하는 형상으로 산화물 반도체층을 에칭하기 위해, 에칭 조건(예를 들어, 코일형의 전극에 인가되는 전력량, 기판측의 전극에 인가되는 전력량, 및 기판측의 전극 온도)은 적절하게 설정된다.
- [0117] 습식 에칭에 이용되는 에칭액으로서는, 인산, 아세트산 및 질산의 혼합 용액을 이용할 수 있다. ITO07N(간토 화학 회사 제조) 등의 에칭액을 이용할 수 있다.
- [0118] 다음에, 산화물 반도체층에 제1 열처리를 행하는 것이 바람직하다. 제1 열처리에 의해 산화물 반도체층이 탈수화 또는 탈수소화될 수 있다. 제1 열처리의 온도는, 300°C 이상 750°C 이하, 바람직하게는 400°C 이상 기판의 변형점 미만이다. 예를 들어, 저항 발열체(heating element) 등을 이용한 전기로에 기판을 도입하고, 산화물 반도체층(140)에 대하여 질소 분위기에서 450°C로 1시간 동안 열처리를 행한다. 열처리 동안에, 산화물 반도체층(140)은, 대기에 접촉되지 않아, 물 및 수소의 혼입이 방지될 수 있다.
- [0119] 열처리 장치는 전기로에 한정되지 않고, 가열된 가스 등의 매체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치일 수 있다. 예를 들어, GRTA(gas rapid thermal anneal) 장치 또는 LRTA(lamp rapid

thermal anneal) 장치 등의 RTA(rapid thermal anneal) 장치를 이용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈할라이드 램프, 크세논 아크램프, 카본 아크램프, 고압 나트륨 램프 또는 고압수은 램프 등의 램프로부터 발하는 빛(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 이용하여 열처리를 행하는 장치이다. 가스로서는, 예를 들어, 아르곤 등의 희가스, 또는 질소 열처리에 의해 피처리물과 반응하지 않는 불활성 가스가 이용된다.

[0120] 예를 들어, 제1 열처리로서, 다음과 같은 GRTA 처리를 행할 수 있다. 650°C 내지 700°C의 고온으로 가열한 불활성 가스 내에 기판을 투입하여, 몇 분 동안 가열한 후, 불활성 가스 안에서 기판을 취출한다. GRTA 처리는 단시간에 고온 열처리를 가능하게 한다. 또한, GRTA 처리는 단시간의 열처리이므로, 온도가 기판의 변형점을 초과하더라도 GRTA 처리를 적용할 수 있다.

[0121] 제1 열처리는, 질소 또는 희가스(예를 들어, 헬륨, 네온 또는 아르곤)를 주성분으로서 포함하며, 물, 수소 등을 포함하지 않는 분위기에서 수행되는 것이 바람직하다는 점에 주목한다. 예를 들어, 열처리 장치에 도입하는 질소, 또는 헬륨, 네온 또는 아르곤 등의 희가스의 순도는, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)이다.

[0122] 제1 열처리의 조건 또는 산화물 반도체층의 재료에 따라, 산화물 반도체층이 결정화되어, 미세결정(microcrystalline) 또는 다결정이 되는 경우도 있다. 예를 들어, 산화물 반도체층은 결정화 정도가 90% 이상, 또는 80% 이상인 미세결정의 산화물 반도체층이 되는 경우도 있다. 또한, 산화물 반도체층은, 제1 열처리의 조건 또는 산화물 반도체층의 재료에 따라, 결정 성분을 포함하지 않는 비정질의 산화물 반도체층일 수도 있다.

[0123] 또한, 산화물 반도체층은, 비정질의 산화물 반도체(예를 들어, 산화물 반도체층의 표면)에 미세결정(입경 1nm 내지 20nm, 대표적으로는 2nm 내지 4nm)이 혼합되어 있는 층이 되는 경우도 있다.

[0124] 비정질 반도체 내에 미세결정을 배열시킴으로써, 산화물 반도체층의 전기적 특성을 변화시키는 것도 가능하다. 예를 들어, In-Ga-Zn-O계의 산화물 반도체의 성막 시의 타깃을 이용하여 산화물 반도체층을 형성하는 경우에는, 전기적 이방성을 갖는 $In_2Ga_2ZnO_7$ 의 결정립이 배향된 미세결정부를 형성함으로써, 산화물 반도체층의 전기적 특성을 변화시킬 수 있다.

[0125] 보다 구체적으로는, 예를 들어, $In_2Ga_2ZnO_7$ 의 c축이 산화물 반도체층의 표면에 수직 하도록 결정립을 배향하는 경우, 산화물 반도체층의 표면에 평행한 방향의 도전성이 향상되고, 산화물 반도체층의 표면에 수직인 방향의 절연성이 향상될 수 있다. 또한, 이와 같은 미세결정부는, 산화물 반도체층 안으로의 물이나 수소 등의 불순물의 침입을 억제하는 기능을 갖는다.

[0126] 미세결정부를 포함하는 산화물 반도체층은, GRTA 처리에 의해 산화물 반도체층의 표면을 가열함으로써 형성될 수 있다는 점에 주목한다. 또한, Zn의 양이 In 또는 Ga의 양보다 작은 스퍼터링 타깃을 이용함으로써, 산화물 반도체층을 보다 적절한 방식으로 형성하는 것이 가능하다.

[0127] 산화물 반도체층(140)에 대한 제1 열처리는, 섬 형상의 산화물 반도체층(140)으로 아직 가공하지 않은 산화물 반도체층에 행해질 수도 있다. 그 경우에는, 제1 열처리 후에, 가열 장치로부터 기판을 취출하고, 포토리소그래피 수순을 행한다.

[0128] 상술한 제1 열처리는, 산화물 반도체층(140)에 대한 탈수화 또는 탈수소화의 효과 때문에, 탈수화 처리, 탈수소화 처리 등으로 부를 수도 있다는 점에 주목한다. 이러한 탈수화 처리 또는 탈수소화 처리는, 예를 들어, 산화물 반도체층의 형성 후, 산화물 반도체층(140) 위에 소스 또는 드레인 전극을 적층시킨 후, 또는 소스 또는 드레인 전극 위에 보호 절연층을 형성한 후에 행해질 수 있다. 이와 같은 탈수화 처리 또는 탈수소화 처리는 1회 또는 복수회 행할 수 있다.

[0129] 다음에, 산화물 반도체층(140)에 접하여, 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b)을 형성한다(도 5의 (f) 참조). 소스 또는 드레인 전극(142a 및 142b)은, 산화물 반도체층(140)을 덮도록 도전층을 형성한 후, 도전층을 선택적으로 에칭하는 방식으로 형성될 수 있다.

[0130] 도전층은, 스퍼터링법 등의 PVD법이나 플라즈마 CVD법 등의 CVD법에 의해 형성될 수 있다. 도전층의 재료로서는, 알루미늄, 크롬, 구리, 탄탈, 티탄, 몰리브덴 및 텉스텐으로부터 선택된 원소; 이들 원소 중 임의의 원소를 성분으로서 포함하는 합금 등을 이용할 수 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨 및 트리튬 중에서 선택된 하나 이상의 재료를 이용할 수 있다. 또한, 티탄, 탄탈, 텉스텐, 몰리브덴, 크롬, 네오디뮴 및 스칸듐으로부터 선택된 하나 이상의 원소와 조합된 알루미늄을 이용할 수도 있다. 도전층은, 단층 구조를 가질 수 있

거나 2층 이상을 포함하는 층 구조를 가질 수도 있다. 예를 들어, 도전층은, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티탄막이 적층된 2층 구조, 또는 티탄막, 알루미늄막 및 티탄막이 이 순서로 적층된 3층 구조를 가질 수도 있다.

[0131] 여기서, 에칭에 이용되는 마스크 형성시의 노광에는, 자외선, KrF 레이저광, 또는 ArF 레이저광을 이용하는 것이 바람직하다.

[0132] 트랜지스터의 채널 길이(L)는, 소스 또는 드레인 전극(142a)의 하단부와, 소스 또는 드레인 전극(142b)의 하단부 사이의 거리에 의해 결정된다. 채널 길이(L)가 25nm 미만인 경우에는, 수 nm 내지 수백 nm의 지극히 좁은 초자외선(extreme ultraviolet)을 이용하여 마스크 형성 시에 노광을 행한다는 점에 주목한다. 초자외선에 의한 노광의 해상도는 높고 초점 심도도 크다. 이러한 이유로, 이후에 형성되는 트랜지스터의 채널 길이(L)는 10nm 내지 1000nm의 범위 내일 수 있고, 회로가 고속으로 동작할 수 있다. 또한, 오프 상태의 전류도 지극히 작으므로, 소비 전력의 증대를 방지한다.

[0133] 도전층의 에칭시에는, 산화물 반도체층(140)이 제거되지 않도록, 도전층 및 산화물 반도체층(140)의 재료 및 에칭 조건을 적절하게 조절한다. 일부 경우에, 산화물 반도체층(140)은, 재료 및 에칭 조건에 따라, 에칭 수순에서 부분적으로 에칭되어, 흄부(오목부)를 갖는다는 점에 주목한다.

[0134] 산화물 반도체층(140)과 소스 또는 드레인 전극(142a) 사이, 및 산화물 반도체층(140)과 소스 또는 드레인 전극(142b) 사이에는, 산화물 도전층을 형성할 수 있다. 산화물 도전층과, 소스 또는 드레인 전극(142a 및 142b)을 형성하기 위한 금속층은, 연속하여 형성될 수 있다. 산화물 도전층은 소스 영역 또는 드레인 영역으로서 기능할 수 있다. 이러한 산화물 도전층의 배치는, 소스 영역 또는 드레인 영역의 저항을 저감시킬 수 있어, 트랜지스터가 고속으로 동작할 수 있다.

[0135] 마스크의 이용수를 저감하거나 수순의 수를 저감하기 위해, 복수의 강도를 갖도록 광이 투과되는 노광 마스크인 다계조(multi-tone) 마스크를 이용하여 형성된 레지스트 마스크를 이용하여 에칭 수순을 행할 수 있다. 다계조 마스크를 이용하여 형성된 레지스트 마스크는, 복수의 두께를 갖고(계단 형상을 가짐), 또한 애싱(ashing)에 의해 형상에 있어 변화 가능성이 있으므로, 레지스트 마스크는 다른 패턴으로 가공하는 복수의 에칭 수순에 이용될 수 있다. 즉, 다계조 마스크를 이용함으로써, 적어도 2종류 이상의 다른 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서, 노광 마스크의 수를 저감할 수 있고, 대응하는 포토리소그래피 수순의 수도 저감시킬 수 있으므로, 공정이 간략화될 수 있다.

[0136] 상술한 수순 후에는, N₂O, N₂, 또는 Ar 등의 가스를 이용한 플라즈마 처리를 행하는 것이 바람직하다는 점에 주목한다. 이러한 플라즈마 처리는, 산화물 반도체층의 노출 표면에 부착된 물 등을 제거한다. 산소와 아르곤의 혼합 가스를 이용하여 플라즈마 처리를 행할 수 있다.

[0137] 다음에, 대기에의 노출 없이 산화물 반도체층(140)의 일부와 접하는 보호 절연층(144)을 형성한다(도 5의 (g) 참조).

[0138] 보호 절연층(144)은, 스퍼터링법 등의 방법에 의해, 보호 절연층(144)에 물 및 수소 등의 불순물이 혼입되는 것을 방지하여 적절하게 형성될 수 있다. 보호 절연층(144)은 적어도 1nm의 두께를 갖는다. 보호 절연층(144)은, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘 등을 이용하여 형성될 수 있다. 보호 절연층(144)은, 단층 구조를 가질 수도 있고 또는 적층 구조를 가질 수도 있다. 보호 절연층(144)을 형성할 때의 기판 온도는, 실온 이상 300°C 이하인 것이 바람직하다. 보호 절연층(144)을 형성할 때의 분위기는, 희가스(대표적으로는, 아르곤) 분위기, 산소 분위기, 또는 희가스(대표적으로는, 아르곤)와 산소를 포함하는 혼합 분위기인 것이 바람직하다.

[0139] 보호 절연층(144)에 수소가 포함되면, 수소는, 산화물 반도체층에 침입할 수도 있고, 또는 산화물 반도체층 내의 산소를 취출할 수도 있으므로, 산화물 반도체층의 백채널측의 저항이 감소되어, 기생 채널이 형성될 수 있다. 따라서, 산화물 절연층(144)이 가능한 한 수소를 포함하지 않도록, 보호 절연층(144)의 형성 시에 수소를 이용하지 않는 것이 중요하다.

[0140] 또한, 산화물 반도체층(140) 및 보호 절연층(144)에 수소, 수산기 또는 수분이 포함되지 않도록, 처리실 내에 남아있는 물을 제거하면서 보호 절연층(144)을 형성하는 것이 바람직하다.

[0141] 처리실 내에 남아있는 수분을 제거하기 위해, 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들어, 크라이오 펌프, 이온 펌프, 또는 티탄 승화 펌프를 이용하는 것이 바람직하다. 배기부는, 콜드 트랩이 설치된 터

보 펌프일 수 있다. 크라이오 펌프를 이용하여 배기시킨 성막실에서는, 예를 들어, 수소 원자, 및 물(H_2O) 등의, 수소 원자를 포함하는 화합물이 제거되어 있으므로, 성막실에서 형성된 보호 절연층(144) 내의 불순물의 농도가 저감될 수 있다.

[0142] 보호 절연층(144)을 형성할 시에 이용되는 스퍼터링 가스로서는, 수소, 물, 수산기 또는 수소화물 등의 불순물이, 몇 ppm(바람직하게는, 몇 ppb)의 농도로 제거된 고순도 가스를 이용하는 것이 바람직하다.

[0143] 다음에, 불활성 가스 분위기 또는 산소 가스 분위기에서 ($200^{\circ}C$ 내지 $400^{\circ}C$, 예를 들어 $250^{\circ}C$ 내지 $350^{\circ}C$ 에서) 제2 열처리를 행하는 것이 바람직하다. 예를 들어, 질소 분위기에서 $250^{\circ}C$ 에서 1시간 동안 제2 열처리를 행한다. 제2 열처리는 트랜지스터의 전기적 특성의 편차를 경감시킬 수 있다.

[0144] 또한, 대기 중에서, $100^{\circ}C$ 내지 $200^{\circ}C$ 에서 1시간 내지 30시간 동안 열처리를 행할 수 있다. 이 열처리는 일정한 가열 온도에서 행해질 수 있고, 대안으로서, 가열 온도의 다음의 변경; 실온부터, $100^{\circ}C$ 내지 $200^{\circ}C$ 의 온도까지 가열 온도를 올린 후, 실온까지 내리는 것을 복수회 반복하여 행할 수도 있다. 이러한 열처리는, 보호 절연층의 형성 전에, 감압하에서 행할 수 있다. 감압하에서는, 열처리 시간을 단축시킬 수 있다. 이러한 열처리는, 제2 열처리를 대신하여 행할 수도 있고, 예를 들어, 제2 열처리의 전후에 행할 수도 있다.

[0145] 다음에, 보호 절연층(144) 위에 충간 절연층(146)을 형성한다(도 6의 (a) 참조). 충간 절연층(146)은 PVD법, CVD법 등에 의해 형성될 수 있다. 산화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 또는 산화 탄탈 등의 무기 절연 재료를 이용하여 충간 절연층(146)을 형성할 수 있다. 충간 절연층(146)의 형성 후에는, 충간 절연층(146)의 표면을, CMP, 에칭 등으로 평탄화하는 것이 바람직하다.

[0146] 다음에, 충간 절연층(146), 보호 절연층(144), 및 게이트 절연층(138)에, 전극(136a, 136b, 136c), 및 소스 또는 드레인 전극(142a 및 142b)에 도달하는 개구를 형성한다. 그 후, 개구에 매립되도록 도전층(148)을 형성한다(도 6의 (b) 참조). 개구는 마스크를 이용한 에칭 등의 방법으로 형성할 수 있다. 마스크는, 포토마스크를 이용한 노광 등의 방법으로 형성하는 것이 가능하다. 에칭으로서는 습식 에칭 또는 드라이 에칭 중 어느 하나를 이용할 수 있고, 미세 가공의 관점에서는, 드라이 에칭을 이용하는 것이 바람직하다. 도전층(148)은, PVD법 또는 CVD법 등의 성막법에 의해 형성될 수 있다. 도전층(148)은, 예를 들어, 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐 등의 도전성 재료, 또는 이를 재료 중 임의의 합금 또는 화합물(예를 들어, 질화물)을 이용하여 형성될 수 있다.

[0147] 구체적으로는, 예를 들어, 개구를 포함하는 영역에 PVD법으로 얇은 티탄막을 형성하고, CVD법으로 얇은 질화 티탄막을 형성한 후에, 개구에 매립되도록 텅스텐막을 형성하는 방법을 적용할 수 있다. 여기서, PVD법에 의해 형성되는 티탄막은, 충간 절연층(146)과의 계면의 산화막을 환원시켜, 하부 전극(여기서는, 전극(136a, 136b 및 136c), 및 소스 또는 드레인 전극(142a 및 142b))과의 접촉 저항을 저감시키는 기능을 갖고 있다. 티탄막의 형성 후에 형성되는 질화 티탄막은, 도전성 재료의 확산을 억제하는 배리어 기능을 갖는다. 티탄, 질화 티탄 등의 배리어막의 형성 후에, 도금법으로 구리막을 형성할 수 있다.

[0148] 도전층(148)을 형성한 후에는, 에칭, CMP 등에 의해 도전층(148)의 일부를 제거하여, 충간 절연층(146)을 노출시켜, 전극(150a, 150b, 150c, 150d, 및 150e)을 형성한다(도 6의 (c) 참조). 도전층(148)의 일부를 제거하여 전극(150a, 150b, 150c, 150d, 및 150e)을 형성할 시에는, 표면이 평탄해지도록 가공을 행하는 것이 바람직하다는 점에 주목한다. 이러한 방식으로, 충간 절연층(146), 전극(150a, 150b, 150c, 150d, 및 150e)의 표면을 평탄화하는 경우, 이후의 수순에서, 전극, 배선, 절연층, 반도체층 등을 양호하게 형성할 수 있다.

[0149] 그 후, 절연층(152)을 형성하고, 절연층(152)에, 전극(150a, 150b, 150c, 150d, 및 150e)에 도달하는 개구를 형성한다. 개구에 매립되도록 도전층을 형성한 후, 에칭, CMP 등에 의해 도전층의 일부를 제거한다. 그에 의해, 절연층(152)이 노출되어, 전극(154a, 154b, 154c, 및 154d)이 형성된다(도 6의 (d) 참조). 이러한 수순은, 전극(150a) 등을 형성하는 수순 등과 마찬가지이므로, 상세한 설명은 생략한다.

[0150] 상술한 바와 같은 방법으로 트랜지스터(164)를 형성한 경우, 산화물 반도체층(140)의 수소 농도는 5×10^{19} atoms/cm³ 이하이고, 트랜지스터(164)의 오프 전류는 1×10^{-13} A 이하이다. 상술한 바와 같이, 수소 농도가 충분히 저감되어 고순도화된 산화물 반도체층(140)을 적용함으로써, 우수한 특성의 트랜지스터(164)를 얻을 수 있다. 또한, 하부에 산화물 반도체 이외의 재료를 이용하여 형성된 트랜지스터(160) 및 상부에 산화물 반도체층을 이용하여 형성된 트랜지스터(164)를 포함하고, 우수한 특성을 갖는 반도체 장치를 제조할 수 있다.

[0151] 여기에서는, 도 2의 (a)에 도시한 반도체 장치의 제조 수순에 대해서 설명한다는 점에 주목한다. 도 2의 (b),

도 2의 (c) 및 도 2의 (d)에 도시하는 반도체 장치도 도 2의 (a)에 도시한 반도체 장치와 마찬가지 방식으로 제조하는 것이 가능하다.

[0152] 산화물 반도체와 비교될 수 있는 반도체 재료로서, 탄화 실리콘(예를 들어, 4H-SiC)이 있다는 점에 주목한다. 산화물 반도체와 4H-SiC는 몇 가지의 공통점을 갖고 있다. 캐리어 밀도가 그 중 하나이다. 페르미-디랙 분포 (Fermi-Dirac distribution)에 따르면, 산화물 반도체의 캐리어 밀도는 대략 $10^{-7}/\text{cm}^3$ 으로 추정된다. 이러한 캐리어 밀도의 값은 4H-SiC에 있어서의 $6.7 \times 10^{-11}/\text{cm}^3$ 와 마찬가지로 지극히 적다. 산화물 반도체의 캐리어 밀도를 실리콘의 진성 캐리어 밀도(대략 $1.4 \times 10^{10}/\text{cm}^3$)와 비교하면, 산화물 반도체의 캐리어 밀도가 상당이 낮다는 것을 잘 이해할 수 있다.

[0153] 또한, 산화물 반도체의 에너지 밴드갭은 3.0eV 내지 3.5eV이며, 4H-SiC의 에너지 밴드갭은 3.26eV이다. 따라서, 그들이 둘다 와이드갭 반도체라는 점에 있어서도, 산화물 반도체와 탄화 실리콘은 유사하다.

[0154] 한편, 산화물 반도체와 탄화 실리콘 사이에는 큰 차이점, 즉, 프로세스 온도가 존재한다. 탄화 실리콘은 일반적으로 1500°C 내지 2000°C의 열처리를 필요로 하므로, 탄화 실리콘 이외의 반도체 재료를 이용하여 형성된 반도체 소자와 탄화 실리콘의 적층을 형성하는 것은 어렵다. 이는, 이러한 높은 온도에서는, 반도체 기판, 반도체 소자 등이 손상되기 때문이다. 한편, 산화물 반도체는, 300°C 내지 500°C(글래스 전이 온도 이하, 최대 약 700°C)에서의 열처리로 형성될 수 있어, 산화물 반도체 이외의 반도체 재료를 이용하여 집적 회로를 형성한 후에, 산화물 반도체를 포함하는 반도체 소자를 형성하는 것이 가능하다.

[0155] 또한, 산화물 반도체는, 탄화 실리콘과는 반대로, 글래스 기판 등의 내열성이 낮은 기판을 이용하는 것이 가능하기 때문에, 이점이 있다. 또한, 산화물 반도체는 고온에서의 열처리가 불필요하므로, 탄화 실리콘과 비교해서 에너지 비용을 충분히 낮게 할 수 있다는 다른 이점이 있다.

[0156] DOS(density of state) 등의 산화물 반도체의 물성에 대한 많은 연구가 이루어지고 있지만, 이들 연구는, DOS 자체를 충분히 줄인다는 사상을 포함하지 않는다. 개시된 본 발명의 일 실시예에 따르면, DOS에 영향을 미칠 수 있는 물이나 수소를 제거함으로써, 고순도화된 산화물 반도체가 형성된다. 이것은, DOS 자체를 충분히 줄인다는 사상에 기초한 것이다. 그러한 고순도화된 산화물 반도체는 지극히 우수한 공업 제품의 제조를 가능하게 한다.

[0157] 또한, 산소 결핍(vacancy)으로 인해 발생되는 금속의 당령 본드에 대하여 산소를 공급하고, 산소 결핍으로 인한 DOS를 감소시킴으로써, 보다 고순도화된 (i형의) 산화물 반도체를 형성하는 것도 가능하다. 예를 들어, 채널 형성 영역에 밀접하여, 과잉 산소를 포함하는 산화막을 형성한 후, 산화막으로부터 채널 형성 영역에 산소를 공급하여, 산소 결핍으로 인한 DOS를 감소시키는 것이 가능하다.

[0158] 산화물 반도체의 결함은, 과잉 수소에 의한 전도대 하의 얇은 준위, 산소의 부족으로 인한 깊은 준위 등에 기인하는 것으로 되어있다. 그러한 결함의 제거를 위해, 수소의 철저한 제거 및 산소의 충분한 공급은 기술 사상으로서 올바른 것일 것이다.

[0159] 산화물 반도체는 일반적으로 n형 반도체로서 고려되지만, 개시된 본 발명의 일 실시예에 따르면, 불순물, 특히 물 및 수소를 제거함으로써 i형 반도체를 실현한다. 이러한 점에서, 개시된 본 발명의 일 실시예는, 그것이 실리콘 등의, 불순물을 첨가한 실리콘 등의 i형 반도체와는 상이하기 때문에, 신규한 기술 사상을 포함한다고 말할 수 있다.

[0160] <산화물 반도체를 포함하는 트랜지스터의 전도 기구>

[0161] 산화물 반도체를 포함하는 트랜지스터의 전도 기구에 대하여, 도 12, 도 13의 (a) 및 (b), 도 14의 (a) 및 (b) 및 도 15를 참조하여 설명한다. 이하의 설명은 단지 하나의 고찰일 뿐이고, 본 발명의 유효성을 부정하는 것은 아니라는 점에 주목한다.

[0162] 도 12는, 산화물 반도체를 포함하는 역스테거형의 트랜지스터(박막 트랜지스터)의 단면도이다. 게이트 전극 (GE1) 위에 게이트 절연층(GI)을 개재하여 산화물 반도체층(OS)이 설치되고, 산화물 반도체층 위에 소스 전극 (S) 및 드레인 전극(D)이 설치되어 있다. 또한, 소스 전극 및 드레인 전극 위에 절연층을 개재하여 백 게이트 (GE2)가 설치되어 있다.

[0163] 도 13의 (a) 및 (b)는, 도 12의 A-A' 단면의 에너지 밴드 도면(모식도)이다. 도 13의 (a)는 소스와 드레인 사

이의 전위차가 0(소스와 드레인이 등전위를 가짐, $V_D=0V$)인 경우를 도시한다. 도 13의 (b)는 드레인의 전위가 소스보다 높은 경우($V_D>0$)를 도시한다.

[0164] 도 14의 (a) 및 (b)는, 도 12의 B-B'를 따른 에너지 밴드 도면(모식도)이다. 도 14의 (a)는, 게이트(GE1)에 양의 전압($V_G>0$)이 주어진 상태, 즉, 소스와 드레인 사이에 캐리어(전자)가 흐르는 온 상태를 도시한다. 도 14의 (b)는, 게이트(GE1)에 음의 전압($V_G<0$)이 인가된 상태, 즉, (소수 캐리어가 흐르지 않는) 오프 상태를 도시한다.

[0165] 도 15는, 진공 준위, 금속의 일함수(ϕ_M), 및 산화물 반도체의 전자 친화력(χ) 간의 관계를 도시한다.

[0166] 금속은 축퇴(degenerate)되어 있으므로, 페르미 준위는 전도대에 존재한다. 한편, 종래의 산화물 반도체는 n형이며, 페르미 준위(E_F)는, 밴드갭의 중앙에 있는 진성 페르미 준위(E_i)로부터 이격되어, 전도대 부근에 위치하고 있다. 산화물 반도체에서의 수소는 부분적으로 도너가 되며, n형 산화물 반도체를 생성하는 요인 중 하나인 점이 알려져 있다.

[0167] 이에 반해, 개시된 본 발명의 일 실시예에 따른 산화물 반도체는, 다음 방식; 고순도화를 위해, n형 산화물 반도체를 생성하는 요인인 수소를 산화물 반도체로부터 제거하여, 산화물 반도체가 산화물 반도체의 주성분 이외의 원소(불순물 원소)를 가능한 한 적게 포함하도록 진성(i형)으로 하거나 또는 진성에 근접하게 되는 산화물 반도체이다. 즉, 본 발명의 실시예의 특징은, 불순물 원소의 첨가뿐만 아니라 수소 및 물 등의 불순물의 제거에 의해, 산화물 반도체가 고순도화된 i형(진성) 반도체가 되거나 또는 그에 근접하게 되는 것이다. 이에 따라, 페르미 준위(E_F)는 진성 페르미 준위(E_i)와 비교할만 하다.

[0168] 산화물 반도체의 밴드갭(E_g)이 3.15eV인 경우, 그의 전자 친화력(χ)은 4.3eV라고 한다. 소스 전극이나 드레인 전극에 포함되는 티탄(Ti)의 일함수는, 산화물 반도체의 전자 친화력(χ)과 거의 동등하다. 이 경우, 금속과 산화물 반도체 사이의 계면에서, 전자에 대하여 쇼트키형의 장벽은 형성되지 않는다.

[0169] 즉, 금속의 일함수(ϕ_M)가 산화물 반도체의 전자 친화력(χ)과 동등할 경우, 금속과 산화물 반도체가 서로 접하면 도 13의 (a)의 그러한 에너지 밴드 도면(모식도)이 도시된다.

[0170] 도 13의 (b)에 있어서, 검정 동그라미(●)는 전자를 나타낸다. 도 13의 (b)는, 드레인에 양의 전압($V_D>0$)이 인가되고, 게이트에 전압이 인가되지 않은($V_G=0$) 경우(점선으로 도시함), 및 드레인에 양의 전압($V_D>0$)이 인가되고, 게이트에 양의 전압($V_G>0$)이 인가되는 경우(실선으로 도시함)를 도시한다. 게이트에 양의 전위($V_D>0$)가 공급되고 드레인에 양의 전위가 인가되는 경우, 전자는 배리어(h)를 넘어 산화물 반도체로 주입되어, 드레인으로 흐른다. 배리어(h)의 높이는 게이트 전압 및 드레인 전압에 따른다. 게이트에 양의 전압($V_G>0$)이 공급되고 양의 드레인 전압이 인가되는 경우, 배리어(h)의 높이는, 전압이 인가되지 않는 도 13의 (a)의 배리어의 높이, 즉, 밴드갭(E_g)의 1/2보다 낮다. 게이트에 전압이 인가되지 않는 경우, 높은 전위 배리어로 인해 전극으로부터 산화물 반도체측으로 캐리어(전자)가 주입되지 않아, 전류가 흐르지 않으며, 이는 오프 상태를 의미한다. 한편, 게이트에 양의 전압이 인가되는 경우, 전위 배리어가 감소되어 전류가 흐르며, 이는 온 상태를 의미한다.

[0171] 이때, 전자는, 도 14의 (a)에서 도시한 바와 같이, 게이트 절연층과 고순도화된 산화물 반도체 사이의 계면 부근(산화물 반도체가 에너지 관점에서 안정된 최저부)을 이동한다.

[0172] 도 14의 (b)에 도시한 바와 같이, 게이트 전극(GE1)에 음의 전위가 공급되면, 소수 캐리어인 정공은 실질적으로 존재하지 않는다. 따라서, 전류값은 실질적으로 0에 가까운 값이다.

[0173] 이러한 방식으로, 산화물 반도체는, 산화물 반도체의 주성분 이외의 원소(즉, 불순물 원소)를 가능한 한 적게 포함하도록 고순도화됨으로써, 진성(i형 반도체) 또는 거의 진성이 된다. 따라서, 산화물 반도체와 게이트 절연층 간의 계면 특성이 분명하게 된다. 그로 인해, 게이트 절연층에는, 산화물 반도체와 양호한 계면을 형성할 것이 요구된다. 구체적으로는, 다음의 절연층; 예를 들어, VHF대 내지 마이크로파대의 범위 내의 전원 주파수에서 생성되는 고밀도 플라즈마를 이용한 CVD법으로 형성되는 절연층이나, 스퍼터링법으로 형성되는 절연층을 이용하는 것이 바람직하다.

[0174] 산화물 반도체를 고순도화하면서, 산화물 반도체와 게이트 절연층 간의 계면을 양호하게 하는 경우, 예를 들어,

트랜지스터가 $1 \times 10^4 \mu\text{m}$ 의 채널 폭(W) 및 $3 \mu\text{m}$ 의 채널 길이 L을 갖는 경우에는, (100nm 두께의 게이트 절연층의) 10^{-13}A 이하의 오프 전류, 및 $0.1\text{V}/\text{dec.}$ 의 서브임계 스윙(S_v)이 실현될 수 있다.

[0175] 상술한 바와 같이, 산화물 반도체가, 그의 주성분 이외의 원소(즉, 불순물 원소)를 가능한 한 적게 포함하도록 고순도화되는 경우, 박막 트랜지스터는 양호한 방식으로 동작할 수 있다.

[0176] <변형예>

[0177] 도 7, 도 8의 (a) 및 (b), 도 9의 (a) 및 (b) 및 도 10의 (a) 및 (b)는, 반도체 장치의 구조의 변형예를 도시한다. 이하에서는, 변형예로서, 상술한 바와 상이한 구조를 갖는 트랜지스터(164)를 포함하는 반도체 장치에 대하여 설명한다는 점에 주목한다. 즉, 트랜지스터(160) 및 트랜지스터(162)의 구조는 상기와 동일하다.

[0178] 도 7은, 산화물 반도체층(140) 아래에 게이트 전극(136d)이 배치되고, 소스 또는 드레인 전극(142a 및 142b)이, 산화물 반도체층(140)의 하부 표면과 접하여 있는 트랜지스터(164)를 포함하는 반도체 장치의 예를 도시한다. 평면의 구조는, 단면에 대응하도록 적절하게 변경될 수 있으므로, 여기에서는, 단면에 대해서만 도시한다는 점에 주목한다.

[0179] 도 7의 구조와 도 3의 (a)의 구조 사이의 큰 차이점은, 산화물 반도체층(140)이 소스 또는 드레인 전극(142a 및 142b)과 접속되어 있는 위치이다. 즉, 도 3의 (a)의 구조에서, 산화물 반도체층(140)의 상부 표면은, 소스 또는 드레인 전극(142a 및 142b)과 접하고 있는 반면, 도 7의 구조에서는, 산화물 반도체층(140)의 하부 표면은 소스 또는 드레인 전극(142a 및 142b)과 접하고 있다. 또한, 접촉 위치의 차이는, 그 밖의 전극, 절연층 등의 상이한 배치를 야기한다. 각 구성 요소의 상세는 도 3의 (a) 및 (b)와 동일하다.

[0180] 구체적으로는, 도 7에 도시된 반도체 장치는, 충간 절연층(128) 위에 설치된 게이트 전극(136d), 게이트 전극(136d) 위에 설치된 게이트 절연층(138), 게이트 절연층(138) 위에 설치된 소스 또는 드레인 전극(142a 및 142b), 및 소스 또는 드레인 전극(142a 및 142b)의 상부 표면에 접하는 산화물 반도체층(140)을 포함한다.

[0181] 여기서, 게이트 전극(136d)은, 충간 절연층(128) 위에 형성된 절연층(132)에 매립되도록 설치되어 있다. 게이트 전극(136d)과 마찬가지로, 소스 또는 드레인 전극(130a), 소스 또는 드레인 전극(130b) 및 전극(130c)과 각각 접하여, 전극(136a), 전극(136b), 및 전극(136c)이 형성되어 있다.

[0182] 트랜지스터(164) 위에는, 산화물 반도체층(140)의 일부와 접하도록, 보호 절연층(144)이 설치되어 있다. 보호 절연층(144) 위에는 충간 절연층(146)이 설치되어 있다. 보호 절연층(144) 및 충간 절연층(146)에는, 소스 또는 드레인 전극(142a), 및 소스 또는 드레인 전극(142b)에 도달하는 개구가 형성되어 있다. 각각의 개구를 통하여, 전극(150d) 및 전극(150e)이, 소스 또는 드레인 전극(142a), 및 소스 또는 드레인 전극(142b)에 각각 접하여 형성되어 있다. 전극(150d 및 150e)과 마찬가지로, 게이트 절연층(138), 보호 절연층(144), 및 충간 절연층(146)에 설치된 개구를 통하여, 전극(136a, 136b 및 136c)에 각각 접하여 전극(150a, 150b, 및 150c)이 형성되어 있다.

[0183] 충간 절연층(146) 위에는 절연층(152)이 설치되어 있다. 절연층(152)에 매립되도록, 전극(154a, 154b, 154c 및 154d)이 설치되어 있다. 전극(154a)은 전극(150a)과 접해 있다. 전극(154b)은 전극(150b)과 접해 있다. 전극(154c)은 전극(150c) 및 전극(150d)과 접해 있다. 전극(154d)은 전극(150e)과 접해 있다.

[0184] 도 8의 (a) 및 (b)는 각각, 산화물 반도체층(140) 위에 게이트 전극(136d)이 배치되는 반도체 장치의 구조의 예를 도시한다. 도 8의 (a)는, 소스 또는 드레인 전극(142a 및 142b)이, 산화물 반도체층(140)의 하부 표면과 접해 있는 구조의 예를 도시한다. 도 8의 (b)는, 소스 또는 드레인 전극(142a 및 142b)이 산화물 반도체층(140)의 상부 표면과 접해 있는 구조의 예를 도시한다.

[0185] 도 8의 (a) 및 (b)의 구조와 도 3의 (a) 및 도 7의 구조 사이의 큰 차이점은, 산화물 반도체층(140) 위에 게이트 전극(136d)이 배치된다는 점이다. 또한, 도 8의 (a)의 구조와 도 8의 (b)의 구조 사이의 큰 차이점은, 소스 또는 드레인 전극(142a 및 142b)이, 산화물 반도체층(140)의 하부 표면 또는 상부 표면 중 어느 하나와 접촉한다는 점이다. 또한, 이를 차이는, 그 밖의 전극, 절연층 등의 상이한 배치를 야기한다. 각 구성 요소의 상세는 도 3의 (a) 및 (b) 등과 동일하다.

[0186] 구체적으로는, 도 8의 (a)에 도시한 반도체 장치는, 충간 절연층(128) 위에 설치된 소스 또는 드레인 전극(142a 및 142b), 소스 또는 드레인 전극(142a 및 142b)의 상부 표면과 접하는 산화물 반도체층(140), 산화물 반도체층(140) 위에 설치된 게이트 절연층(138), 및 게이트 절연층(138) 위의 산화물 반도체층(140)과 중첩하는 영역의

케이트 전극(136d)을 포함한다.

[0187] 도 8의 (b)의 반도체 장치는, 충간 절연층(128) 위에 설치된 산화물 반도체층(140), 산화물 반도체층(140)의 상부 표면과 접하도록 설치된 소스 또는 드레인 전극(142a 및 142b), 산화물 반도체층(140) 및 소스 또는 드레인 전극(142a 및 142b) 위에 설치된 케이트 절연층(138), 및 케이트 절연층(138) 위의 산화물 반도체층(140)과 중첩하는 영역의 케이트 전극(136d)을 포함한다.

[0188] 도 8의 (a) 및 (b)의 구조에서는, 도 3의 (a) 및 (b)의 구조에서, 구성 요소(예를 들어, 전극(150a) 또는 전극(154a))가 생략되는 경우가 있다는 점에 주목한다. 이러한 경우, 제조 공정의 간략화 등의 부차적인 효과도 얻을 수 있다. 물론, 도 3의 (a) 및 (b) 등의 구조에서도, 필수가 아닌 구성 요소를 생략할 수 있는 것은 말할 필요도 없다.

[0189] 도 9의 (a) 및 (b)는 각각, 소자의 사이즈가 비교적 크고, 산화물 반도체층(140) 아래에 케이트 전극(136d)이 배치되는 경우의 예를 도시한다. 이 경우, 표면의 평탄성 및 커버리지에 대한 요구는 비교적 적정(moderate)하므로, 배선, 전극 등을 절연층 내에 매립되도록 형성할 필요는 없다. 예를 들어, 도전층의 형성 후에 패터닝함으로써, 케이트 전극(136d) 등을 형성하는 것이 가능하다. 여기에서는 도시하지 않지만, 트랜지스터(160) 및 트랜지스터(162)도, 마찬가지 방식으로 형성하는 것이 가능하다는 점에 주목한다.

[0190] 도 9의 (a)의 구조와 도 9의 (b)의 구조 사이의 큰 차이점은, 소스 또는 드레인 전극(142a 및 142b)이 산화물 반도체층(140)의 하부 표면 또는 상부 표면 중 어느 하나와 접하고 있는 점이다. 또한, 이들 차이는, 그 밖의 전극, 절연층 등이 상이한 방식으로 배치되는 것을 야기한다. 각 구성 요소의 상세는 도 3의 (a) 및 (b) 등과 동일하다.

[0191] 구체적으로, 도 9의 (a)의 반도체 장치는, 충간 절연층(128) 위에 설치된 케이트 전극(136d), 케이트 전극(136d) 위에 설치된 케이트 절연층(138), 케이트 절연층(138) 위에 설치된 소스 또는 드레인 전극(142a 및 142b), 및 소스 또는 드레인 전극(142a 및 142b)의 상부 표면과 접하는 산화물 반도체층(140)을 포함한다.

[0192] 도 9의 (b)의 반도체 장치는, 충간 절연층(128) 위에 설치된 케이트 전극(136d), 케이트 전극(136d) 위에 설치된 케이트 절연층(138), 케이트 절연층(138) 위의 케이트 전극(136d)과 중첩하는 영역에 설치된 산화물 반도체층(140), 및 산화물 반도체층(140)의 상부 표면에 접하도록 설치된 소스 또는 드레인 전극(142a 및 142b)을 포함한다.

[0193] 도 9의 (a) 및 (b)의 구조에서도, 도 3의 (a) 및 (b)의 구조 등으로부터 구성 요소가 생략되는 경우가 있다는 점에 주목한다. 이 경우에도, 제조 공정의 간략화 등의 부차적인 효과를 얻을 수 있다.

[0194] 도 10의 (a) 및 (b)는 각각, 소자의 사이즈가 비교적 크고, 산화물 반도체층(140) 위에 케이트 전극(136d)이 배치되는 경우의 예를 도시한다. 이 경우에도, 표면의 평탄성 및 커버리지에 대한 요구는 비교적 적정하므로, 배선, 전극 등을 절연층 내에 매립되도록 형성할 필요는 없다. 예를 들어, 도전층의 형성 후에 패터닝함으로써, 케이트 전극(136d) 등을 형성하는 것이 가능하다. 여기에서는 도시하지 않지만, 트랜지스터(160) 및 트랜지스터(162)도 마찬가지 방식으로 형성하는 것이 가능하다는 점에 주목한다.

[0195] 도 10의 (a)의 구조와 도 10의 (b)의 구조 사이의 큰 차이점은, 소스 또는 드레인 전극(142a 및 142b)이, 산화물 반도체층(140)의 하부 표면 또는 상부 표면 중 어느 하나와 접한다는 점이다. 또한, 이러한 차이는, 그 밖의 전극, 절연층 등이 상이한 방식으로 배치되는 것을 야기한다. 각 구성 요소의 상세는 도 3의 (a) 및 (b) 등과 동일하다.

[0196] 구체적으로, 도 10의 (a)에서의 반도체 장치는, 충간 절연층(128) 위에 설치된 소스 또는 드레인 전극(142a 및 142b), 소스 또는 드레인 전극(142a 및 142b)의 상부 표면과 접하는 산화물 반도체층(140), 소스 또는 드레인 전극(142a 및 142b) 및 산화물 반도체층(140) 위에 설치된 케이트 절연층(138), 및 케이트 절연층(138) 위의 산화물 반도체층(140)과 중첩하는 영역에 설치된 케이트 전극(136d)을 포함한다.

[0197] 도 10의 (b)에서의 반도체 장치는, 충간 절연층(128) 위에 설치된 산화물 반도체층(140), 산화물 반도체층(140)의 상부 표면에 접하도록 설치된 소스 또는 드레인 전극(142a 및 142b), 소스 또는 드레인 전극(142a 및 142b) 및 산화물 반도체층(140) 위에 설치된 케이트 절연층(138), 및 케이트 절연층(138) 위의 산화물 반도체층(140)과 중첩하는 영역에 설치된 케이트 전극(136d)을 포함한다.

[0198] 도 10의 (a) 및 (b)에서의 구조에서도, 도 3의 (a) 및 (b)에서의 구조 등으로부터, 구성 요소가 생략되는 경우

가 있다는 점에 주목한다. 이 경우에도, 제조 공정의 간략화 등의 부차적인 효과를 얻을 수 있다.

[0199] 상술한 바와 같이, 개시된 본 발명의 일 실시예에 따라, 새로운 구조의 반도체 장치가 실현될 수 있다. 본 실시예에서는, 트랜지스터(160) 및 트랜지스터(162) 위에 트랜지스터(164)가 적층되어 있는 반도체 장치의 예에 대해서 설명했지만, 반도체 장치의 구조는 이러한 구조에 한정되는 것은 아니다. 또한, 본 실시예는, 트랜지스터(164)의 채널 길이 방향이 트랜지스터(160 및 162)와 수직한 예를 도시하지만, 트랜지스터(160, 162 및 164) 간의 위치 관계는 이에 한정되는 것은 아니다. 또한, 트랜지스터(160) 및 트랜지스터(162)는 트랜지스터(164)와 중첩되도록 설치할 수 있다.

[0200] 본 실시예에서는, 간략화를 위해, 최소 기억 단위의 반도체 장치에 대해서 설명했지만, 반도체 장치의 구조는 이에 한정되는 것은 아니다. 복수의 반도체 장치를 적절히 접속하여, 보다 고도의 반도체 장치를 형성할 수도 있다. 배선의 구성은 도 1의 (a)와 (b) 및 도 2의 (a) 내지 (d)에 한정되지 않고, 적절하게 변경할 수 있다.

[0201] 본 실시예에 따른 반도체 장치에서는, 트랜지스터(164)가 낮은 오프 전류를 갖기 때문에, 장기간에 걸쳐 입력 신호를 유지하는 것이 가능하다. 이에 의해, 입력 신호가 유지 가능한 반도체 장치(예를 들어, 인버터 회로)가 제공된다.

[0202] 본 실시예에 기재된 구조 및 방법은 다른 실시예에 기재된 임의의 구조 및 방법과 적절하게 조합 가능하다.

[0203] (실시예 2)

[0204] 본 실시예에서는, 상기 실시예에서 얻어지는 반도체 장치를 탑재한 전자 기기의 예에 대해서 도 11의 (a) 내지 (f)를 참조하여 설명한다. 상술한 실시예에서 얻어지는 반도체 장치에서는, 전력이 공급되지 않는 경우라도, 데이터를 유지하는 것이 가능하다. 또한, 반도체 장치는 입력 신호의 기입 또는 소거에 의해 열화되지 않는다. 또한, 반도체 장치는 고속으로 동작한다. 이로 인해, 반도체 장치를 이용하여 새로운 구조의 전자 기기를 제공하는 것이 가능하다. 상기 실시예에 따른 반도체 장치는 집적화되어 회로 기판 등에 실장된 후, 각 전자 기기에 탑재된다는 점에 주목한다.

[0205] 도 11의 (a)는 상기 실시예에 따른 반도체 장치를 포함하는 랩톱 퍼스널 컴퓨터이다. 랩톱 퍼스널 컴퓨터는, 본체(301), 하우징(302), 표시부(303), 키보드(304) 등을 포함한다.

[0206] 도 11의 (b)는 상기 실시예에 따른 반도체 장치를 포함하는 휴대 정보 단말(PDA)이다. 본체(311)는 표시부(313), 외부 인터페이스(315), 조작 키(314) 등을 포함한다. 또한, 조작용의 부속품으로서 스타일러스(312)가 제공된다.

[0207] 도 11의 (c)는, 상기 실시예에 따른 반도체 장치를 포함하는 전자 페이퍼의 일례로서, 전자 서적(320)을 도시한다. 전자 서적(320)은, 하우징(321) 및 하우징(323)의 2개의 하우징을 포함한다. 하우징(321)은 하우징(323)과 축부(337)에 의해 결합되어 있어, 전자 서적(320)은 축부(337)를 축으로 이용하여 개폐될 수 있다. 그러한 구조는, 전자 서적(320)이 종이 서적으로 사용되도록 한다.

[0208] 하우징(321)은 표시부(325)를 포함하고, 하우징(323)은 표시부(327)를 포함한다. 표시부(325) 및 표시부(327)는, 연속 화면을 표시할 수도 있고 또는 상이한 화면을 표시할 수도 있다. 상이한 화면을 표시하는 구조는, 우측의 표시부(도 11의 (c)에서는 표시부(325))에 문장이 표시되도록 하고, 좌측의 표시부(도 11의 (c)에서는 표시부(327))에 화상이 표시되도록 한다.

[0209] 도 11의 (c)는, 하우징(321)이 조작부 등을 포함하는 경우의 예를 도시한다. 예를 들어, 하우징(321)은, 전원 버튼(331), 제어 키(333), 스피커(335) 등을 포함한다. 제어 키(333)는 페이지가 넘겨지도록 한다. 표시부가 설치되는 하우징의 표시부에는 키보드, 포인팅 디바이스 등이 구비될 수 있다는 점에 주목한다. 또한, 하우징의 이면이나 측면에는, 외부 접속용 단자(이어폰 단자, USB 단자, AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록 매체 삽입부 등이 구비될 수도 있다. 전자 서적(320)은 또한, 전자 사전으로서도 기능할 수 있다.

[0210] 또한, 전자 서적(320)은, 무선으로 데이터를 송수신할 수 있는 구조를 가질 수 있다. 무선 통신을 통하여, 전자 서적 서버로부터, 원하는 서적 데이터 등을 구입하여, 다운로드 받을 수 있다.

[0211] 전자 페이퍼는, 데이터를 표시하는 것이라면 어느 분야에서도 이용될 수 있다. 예를 들어, 전자 페이퍼는, 전자 서적뿐만 아니라, 포스터, 전자 등의 운송 수단 내의 광고 및 신용카드 등의 각종 카드에 적용될 수 있다.

[0212] 도 11의 (d)는, 상기 실시예에 따른 반도체 장치를 포함하는 휴대 전화기를 도시한다. 휴대 전화기는, 하우징

(340) 및 하우징(341)의 2개의 하우징을 포함한다. 하우징(341)은, 표시 패널(342), 스피커(343), 마이크로폰(344), 포인팅 디바이스(346), 카메라용 렌즈(347), 외부 접속 단자(348) 등을 포함한다. 하우징(340)은, 휴대 전화기 충전용의 태양 전지 셀(349), 외부 메모리 슬롯(350) 등을 포함한다. 안테나는 하우징(341) 내에 내장되어 있다.

[0213] 표시 패널(342)은 터치 패널을 포함한다. 도 11의 (d)에는 영상으로서 표시되는 복수의 제어 키(345)가 접선으로 도시되어 있다. 휴대 전화기는, 태양 전지 셀(349)에서 출력되는 전압을 각 회로에 필요한 전압으로 승압하기 위한 승압 회로를 포함한다는 점에 주목한다. 상기 구조 이외에도, 비접촉 IC칩, 소형 기록 장치 등이 휴대 전화기내 내장될 수 있다.

[0214] 표시 패널(342)의 표시 방향은, 적용 모드에 따라 적절하게 변화된다. 또한, 표시 패널(342)과 동일면 위에는 카메라용 렌즈(347)가 구비되어, 휴대 전화기는 영상 전화기로서 사용될 수 있다. 스피커(343) 및 마이크로폰(344)은 음성 통화뿐만 아니라, 영상 전화, 녹음 및 재생 등에 이용될 수 있다. 또한, 도 11의 (d)에서 접하지 않게 도시되어 있는 하우징(340 및 341)은 슬라이드되어 서로 중첩될 수 있다. 따라서, 휴대 전화기는 휴대 이용에 적합한 사이즈가 될 수 있다.

[0215] 외부 접속 단자(348)는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능하고, 이는 휴대 전화기의 충전 및 데이터 통신을 가능하게 한다. 또한, 외부 메모리 슬롯(350)에 기록 매체를 삽입하여, 대량의 데이터를 보존 및 이동할 수 있다. 상기 기능 이외에도, 적외선 통신 기능, 텔레비전 수신 기능 등이 구비될 수도 있다.

[0216] 도 11의 (e)는, 상기 실시예에 따른 반도체 장치를 포함하는 디지털 카메라를 도시한다. 디지털 카메라는, 본체(361), 표시부(A)(367), 접안부(363), 조작 스위치(364), 표시부(B)(365), 배터리(366) 등을 포함한다.

[0217] 도 11의 (f)는, 상기 실시예에 따른 반도체 장치를 포함하는 텔레비전 세트를 도시한다. 텔레비전 세트(370)는, 하우징(371)에 제공된 표시부(373)를 포함한다. 표시부(373)에는 영상을 표시할 수 있다. 여기에서는, 스탠드(375)로 하우징(371)을 지지한다.

[0218] 텔레비전 세트(370)는, 하우징(371)에 포함된 조작 스위치나, 별도 구비된 리모트 컨트롤러(380)로 동작될 수 있다. 리모트 컨트롤러(380)에 포함되는 제어 키(379)로, 채널 및 음량을 제어할 수 있고, 그에 따라 표시부(373)에 표시되는 영상을 제어할 수 있다. 또한, 리모트 컨트롤러(380)에는 리모트 컨트롤러(380)로부터 출력되는 데이터를 표시하는 표시부(377)가 설치될 수 있다.

[0219] 텔레비전 세트(370)는, 수신기, 모뎀 등을 포함하는 것이 바람직하다는 점에 주목한다. 수신기로, 일반 텔레비전 방송을 수신할 수 있다. 또한, 텔레비전 세트(370)가 모뎀을 통해 유선 또는 무선 접속에 의해 통신 네트워크에 접속되면, 일방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 혹은 수신자끼리 등)의 데이터 통신을 행하는 것이 가능하다.

[0220] 본 실시예에 기재된 구조 및 방법은 다른 실시예에 기재된 임의의 구조 및 방법과 적절하게 조합될 수 있다.

[0221] 본원은 2009년 10월 29일자로 일본 특허청에 출원된 일본 특허 출원 번호 제2009-249328호에 기초하며, 그 전체 내용은 본원에 참조로서 원용된다.

부호의 설명

[0222] 100 : 기관

102 : 보호층

104 : 반도체 영역

106 : 소자 분리 절연층

108a : 게이트 절연층

110a : 게이트 전극

112 : 절연층

114 : 불순물 영역

116 : 채널 형성 영역

118 : 사이드월 절연층

120 : 고농도 불순물 영역

122 : 금속층

124 : 금속화합물 영역

126 : 층간 절연층

128 : 층간 절연층

130a : 소스 또는 드레인 전극

130b : 소스 또는 드레인 전극

130c : 전극

132 : 절연층

134 : 도전층

136a : 전극

136b : 전극

136c : 전극

136d : 게이트 전극

138 : 게이트 절연층

140 : 산화물 반도체층

142a : 소스 또는 드레인 전극

142b : 소스 또는 드레인 전극

144 : 보호 절연층

146 : 층간 절연층

148 : 도전층

150a : 전극

150b : 전극

150c : 전극

150d : 전극

150e : 전극

152 : 절연층

154a : 전극

154b : 전극

154c : 전극

154d : 전극

160 : 트랜지스터

162 : 트랜지스터

164 : 트랜지스터

166 : 용량 소자

168 : 트랜지스터

180 : 트랜지스터

182 : 트랜지스터

190 : 논리 회로

192 : 논리 회로

301 : 본체

302 : 하우징

303 : 표시부

304 : 키보드

311 : 본체

312 : 스타일러스

313 : 표시부

314 : 조작 키

315 : 외부 인터페이스

320 : 전자 서적

321 : 하우징

323 : 하우징

325 : 표시부

327 : 표시부

331 : 전원 버튼

333 : 제어 키

335 : 스피커

337 : 축부

340 : 하우징

341 : 하우징

342 : 표시 패널

343 : 스피커

344 : 마이크로폰

345 : 제어 키

346 : 포인팅 디바이스

347 : 카메라용 렌즈

348 : 외부 접속 단자

349 : 태양 전지 셀

350 : 외부 메모리 슬롯

361 : 본체

363 : 접안부

364 : 조작 스위치

365 : 표시부(B)

366 : 배터리

367 : 표시부(A)

370 : 텔레비전 세트

371 : 하우징

373 : 표시부

375 : 스탠드

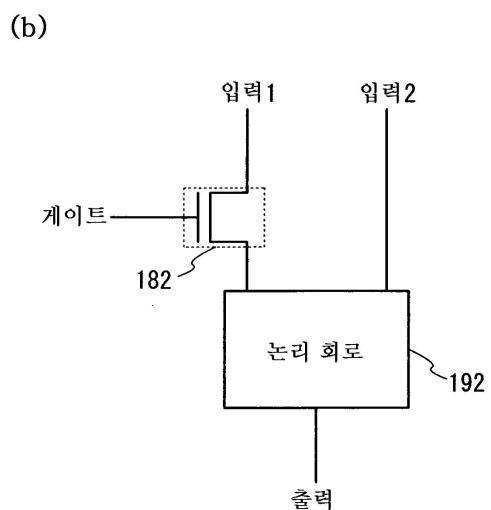
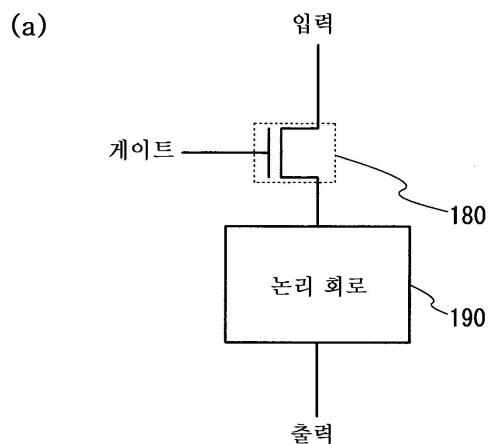
377 : 표시부

379 : 제어 키

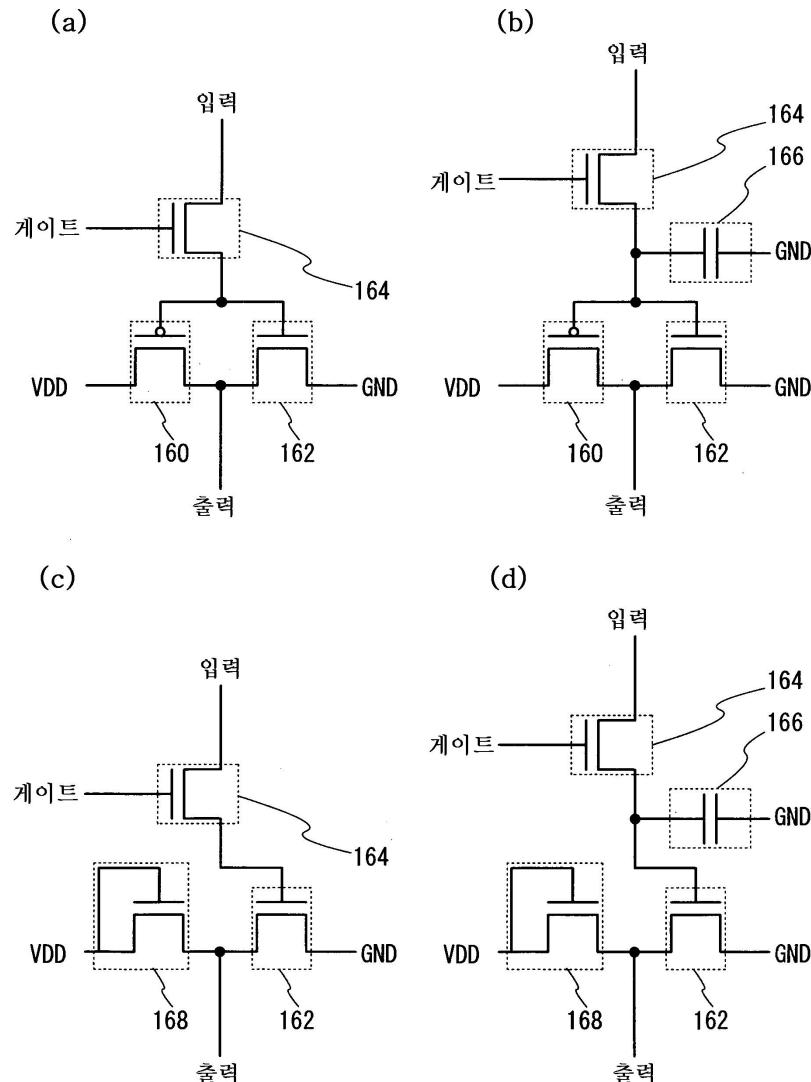
380 : 리모트 컨트롤러

도면

도면1

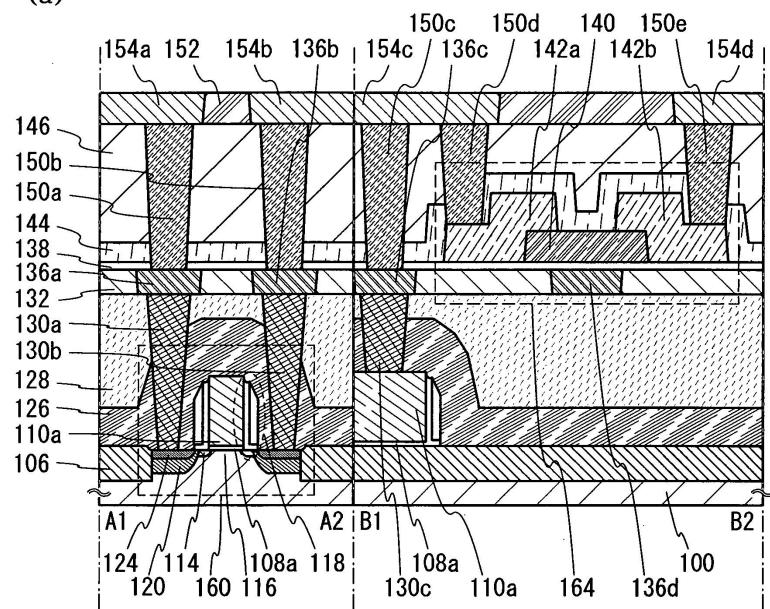


도면2

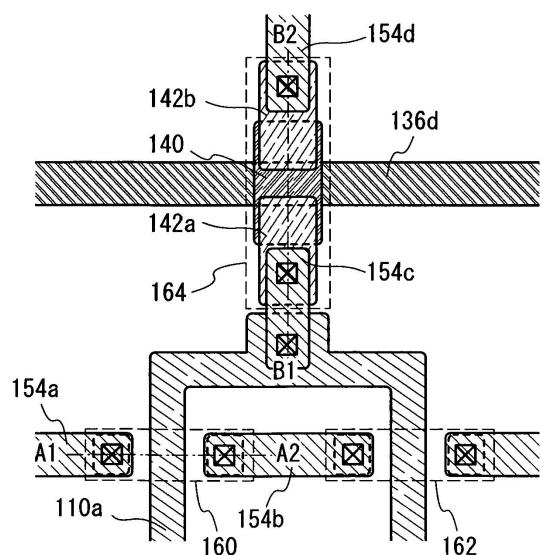


도면3

(a)

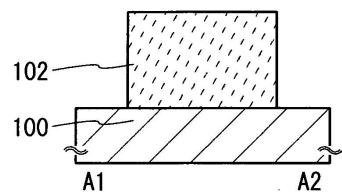


(b)

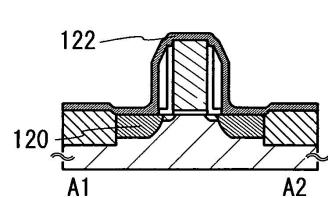


도면4

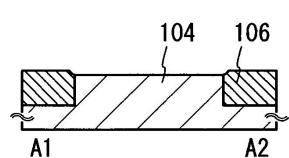
(a)



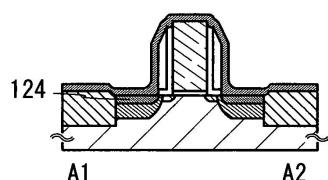
(e)



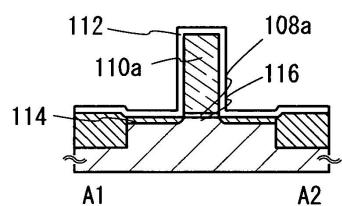
(b)



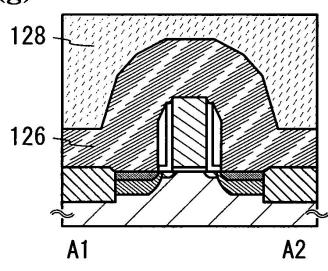
(f)



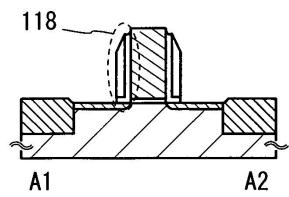
(c)



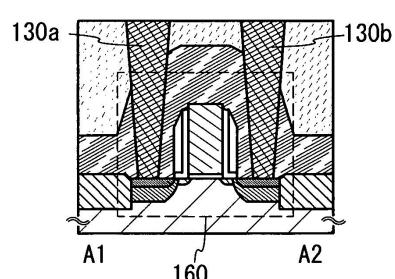
(g)



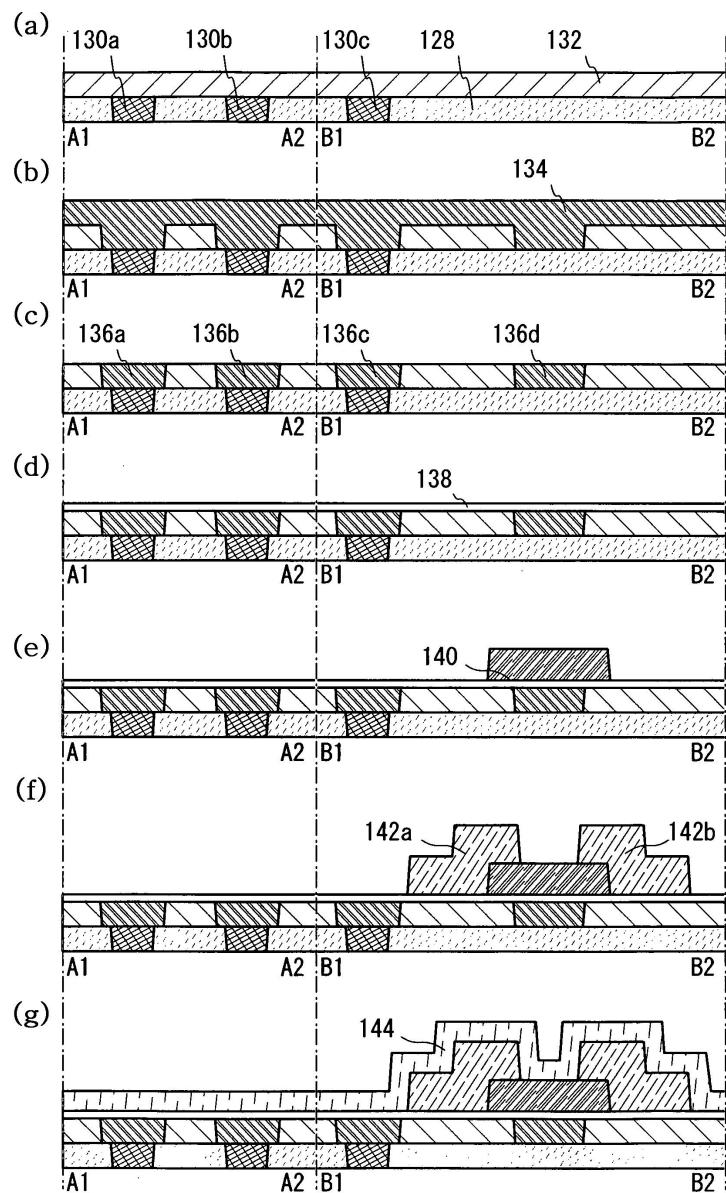
(d)



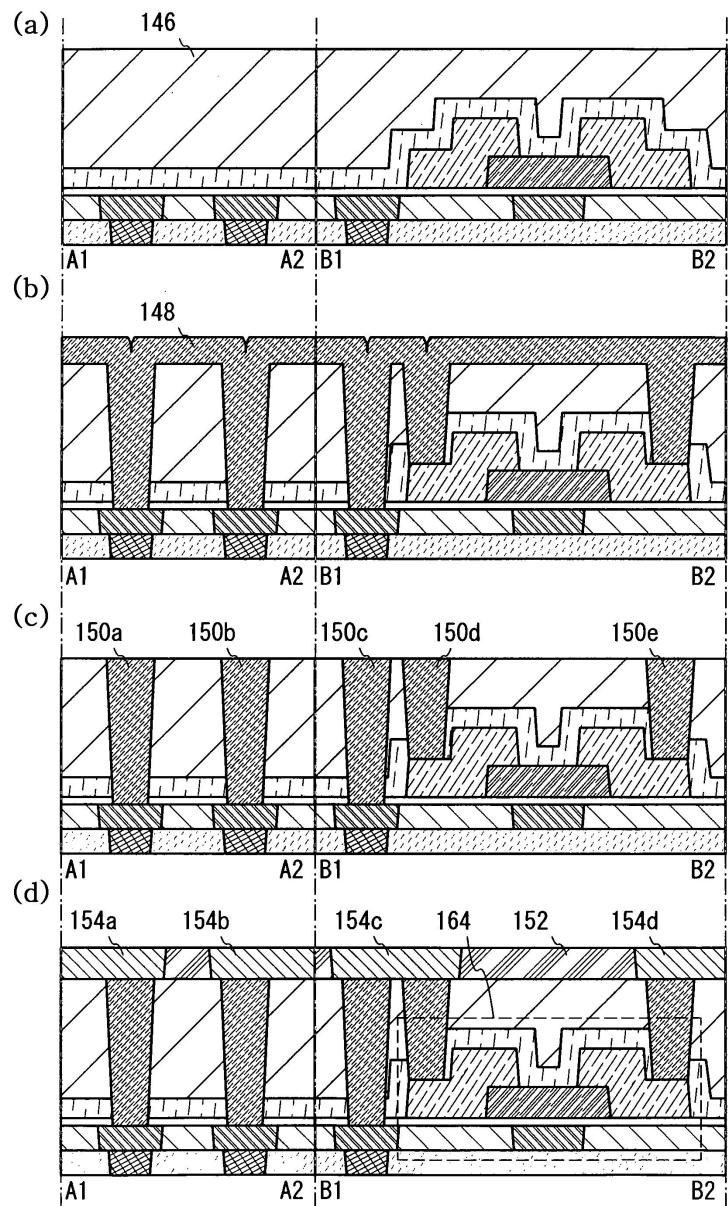
(h)



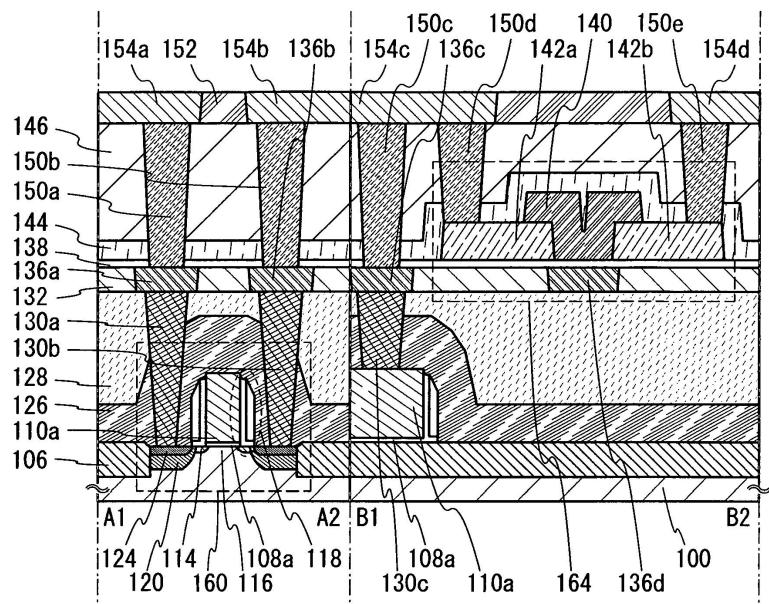
도면5



도면6

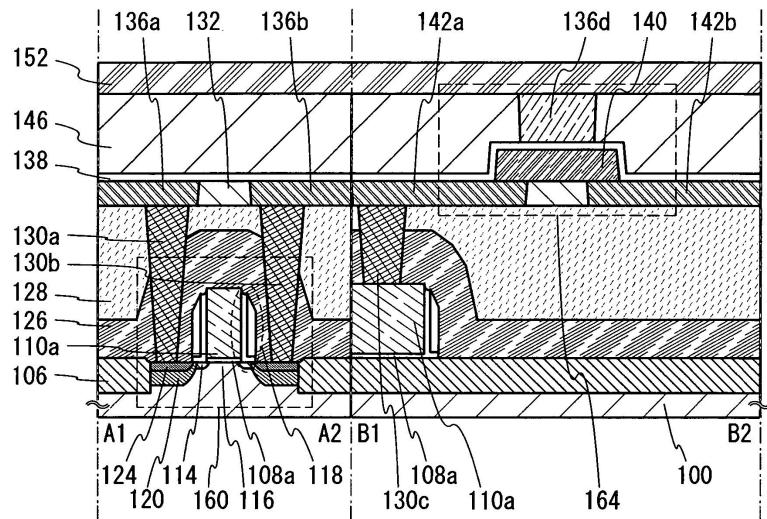


도면7

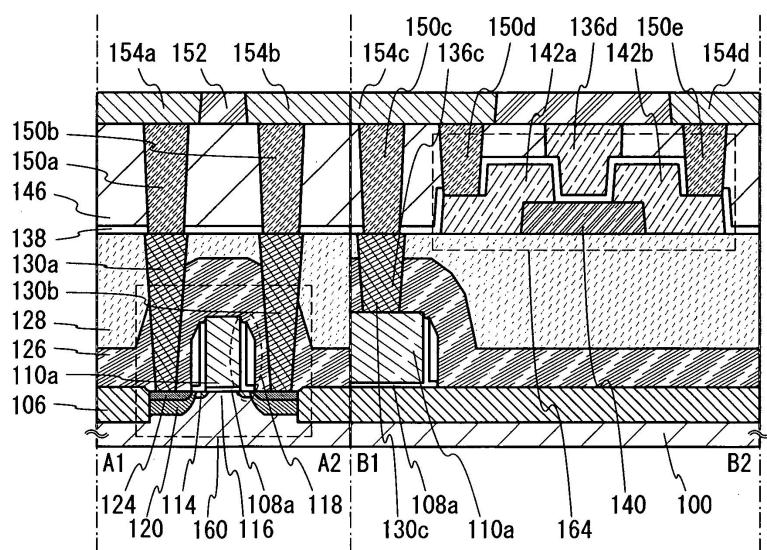


도면8

(a)

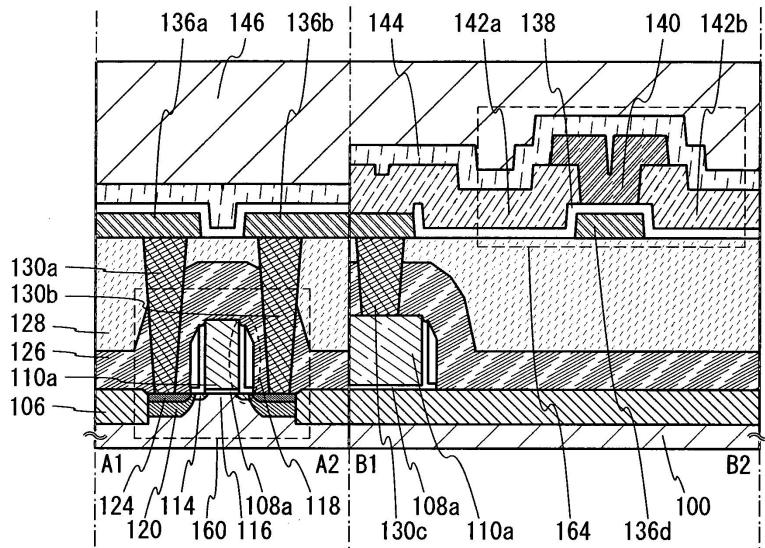


(b)

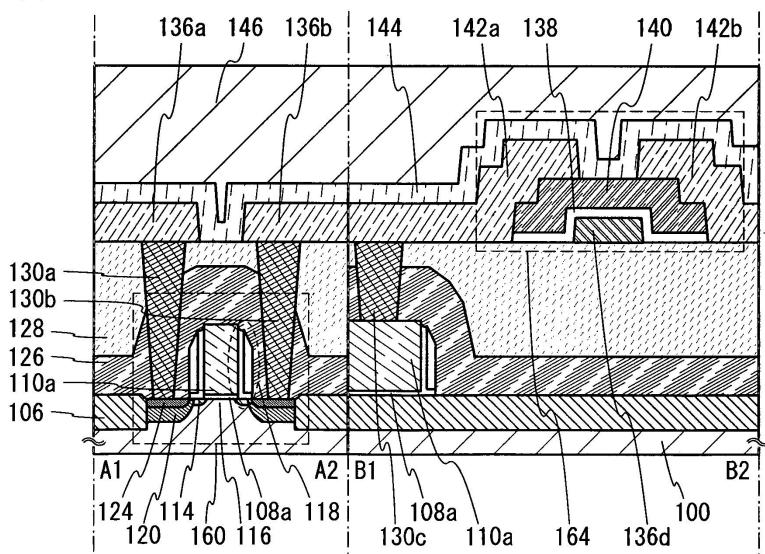


도면9

(a)

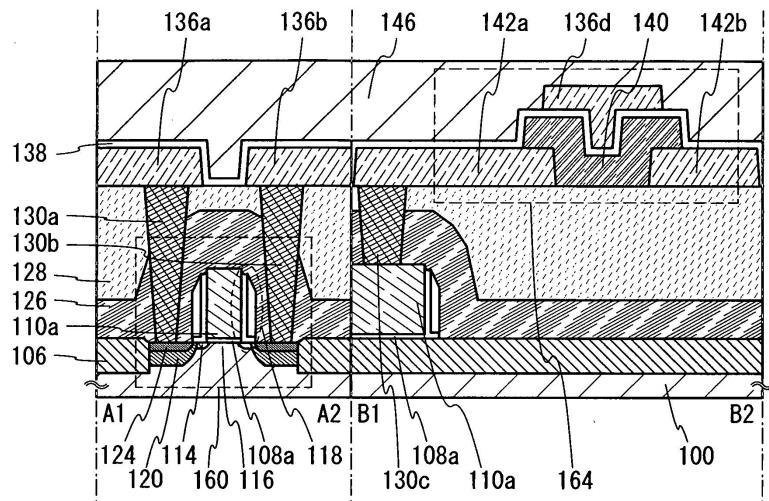


(b)

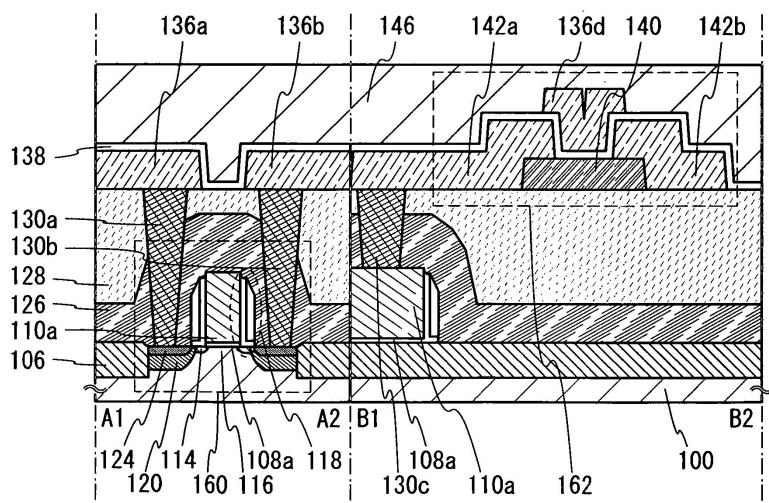


도면10

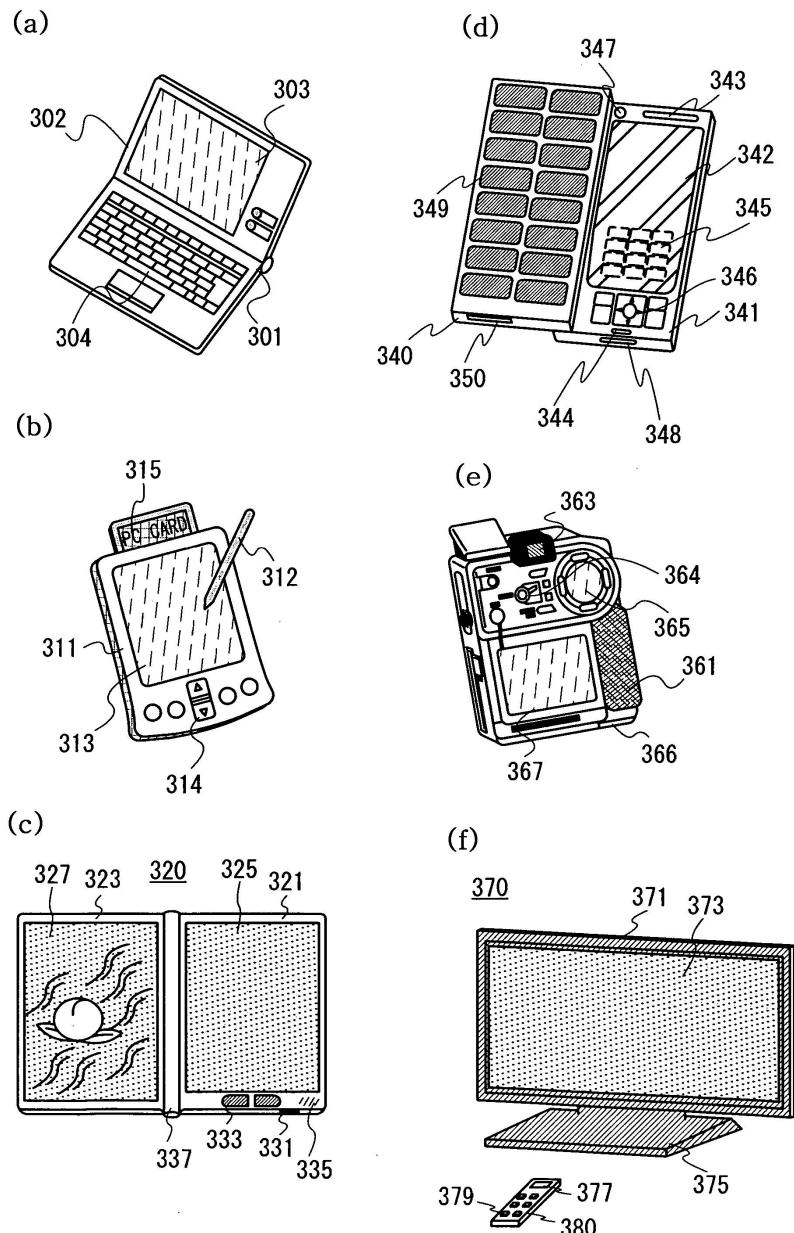
(a)



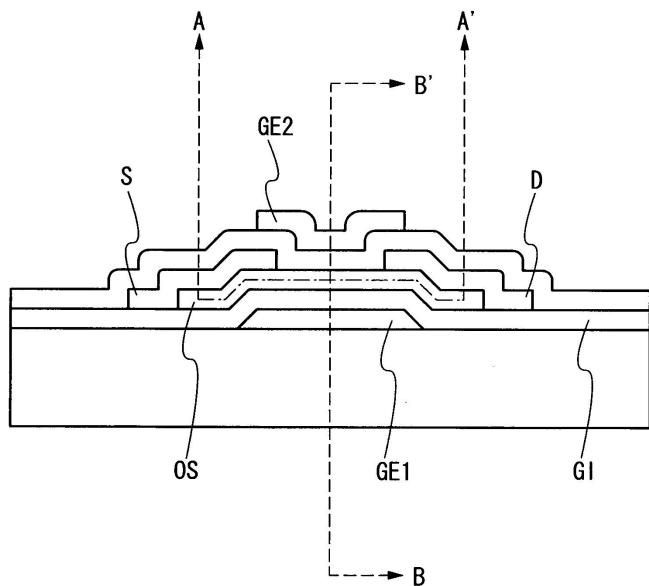
(b)



도면11

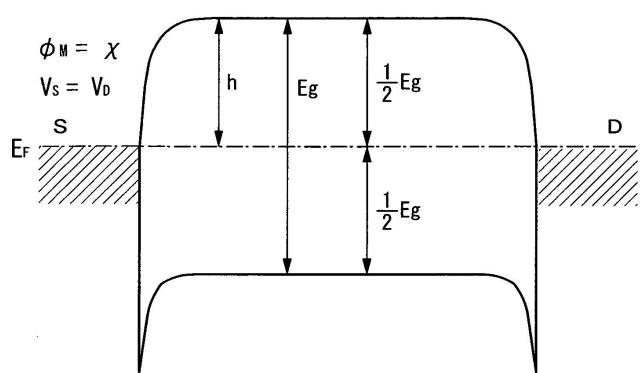


도면12

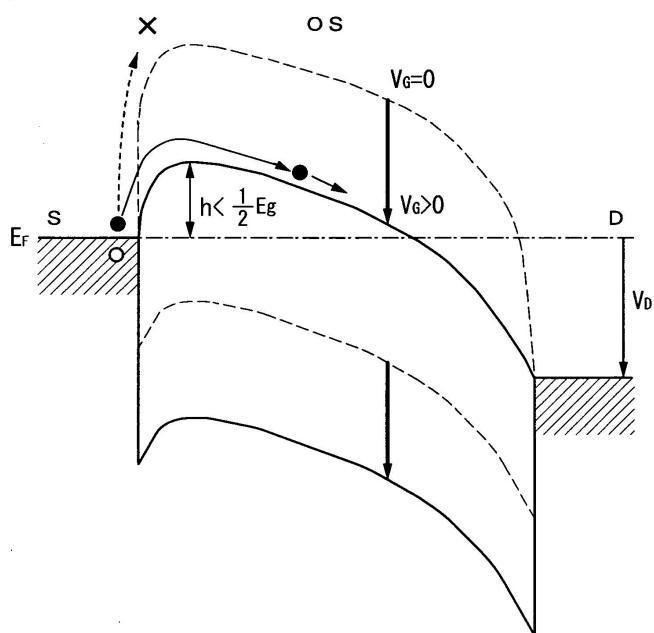


도면13

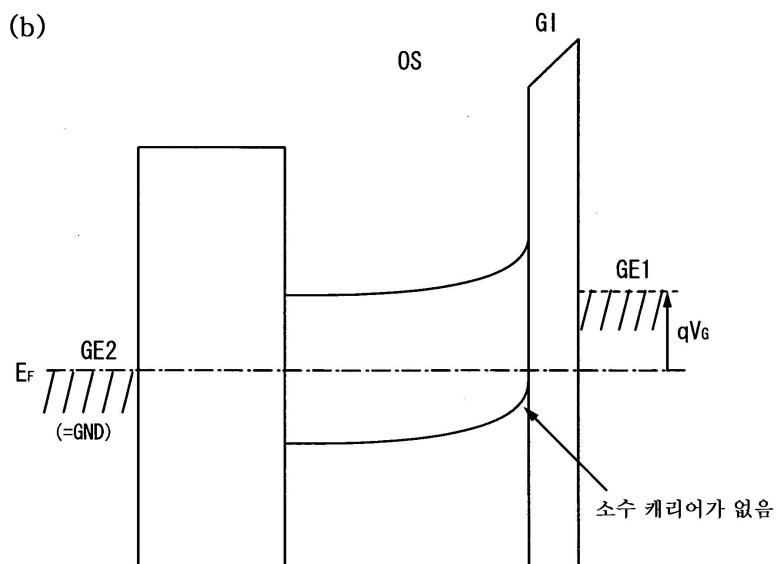
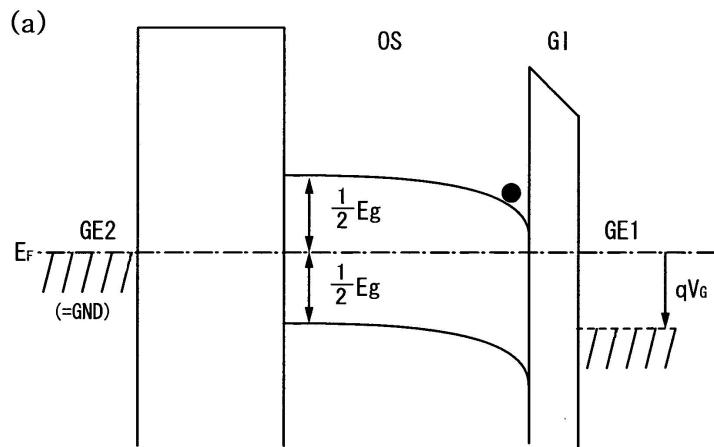
(a)



(b)



도면14



도면15

