

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
6. April 2006 (06.04.2006)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2006/034681 A1

(51) Internationale Patentklassifikation:
H03M 1/10 (2006.01) **G01R 23/20** (2006.01)

München (DE). **SATTLER, Sebastian** [DE/DE]; Severin-
str. 5, 81541 München (DE).

(21) Internationales Aktenzeichen: PCT/DE2005/001673

(74) **Anwalt: SCHÄFER, Horst**; Schweiger & Partner, Karl-
str. 35, 80333 München (DE).

(22) Internationales Anmeldedatum:
22. September 2005 (22.09.2005)

(81) **Bestimmungsstaaten** (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY,
MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO,
NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK,
SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2004 047 511.3
28. September 2004 (28.09.2004) DE

(71) **Anmelder** (für alle Bestimmungsstaaten mit Ausnahme von
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).

(72) **Erfinder; und**

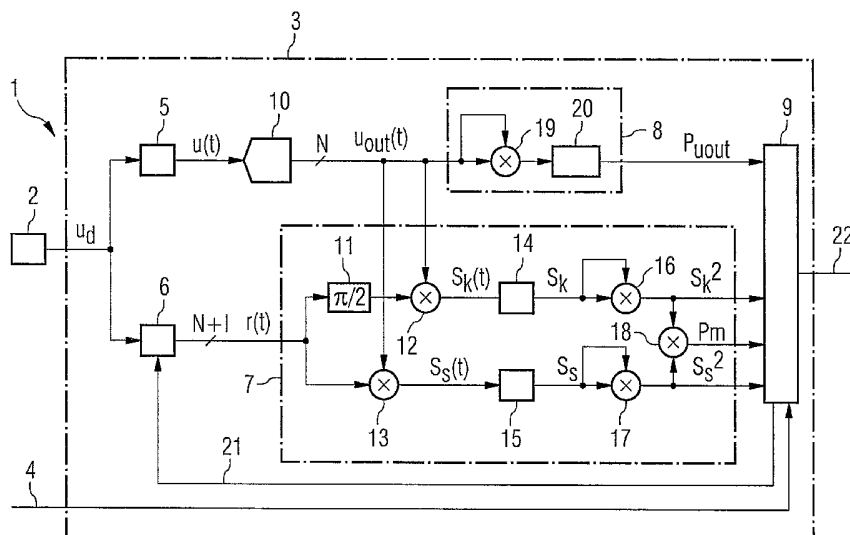
(75) **Erfinder/Anmelder** (nur für US): **DWORSKI, Claus**
[DE/AT]; Franz Pehr Str. 13b, A-9500 Villach (AT).
MATTES, Heinz [DE/DE]; Otto-Wels-Str. 7, 81739

(84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG,
ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU,
TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK,

[Fortsetzung auf der nächsten Seite]

(54) **Title:** METHOD AND TEST DEVICE FOR TESTING A/D CONVERTERS

(54) **Bezeichnung:** TESTVORRICHTUNG UND VERFAHREN ZUM TESTEN VON ANALOG-DIGITAL-WANDLERN



(57) **Abstract:** The invention relates to a method for testing A/D converters (10), comprising the following steps: a) generation of a digital test signal, b) generation of an analogue test signal from the digital test signal as an input signal for the A/D converter (10), c) generation of a sinusoidal, digital reference signal, whose frequency is equal to or a whole-numbered multiple of the frequency of the analogue test signal, d) mixing of the test response of the A/D converter (10) with the sine and the cosine of the digital reference signal to obtain mixed signals, e) determination of the constant components of the mixed signals, f) determination of at least one of the parameters: amplitude, power component and phase angle for a fundamental wave or harmonic of the test response from the constant components of the mixed signals.

[Fortsetzung auf der nächsten Seite]

WO 2006/034681 A1



EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC,
NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG,
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Veröffentlicht:

- *mit internationalem Recherchenbericht*
- *vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen*

(57) Zusammenfassung: Verfahren zum Testen von AD-Wandlern (10) mit den folgenden Schritten: a) Erzeugen eines digitalen Testsignals, b) Erzeugen eines analogen Testsignals als Eingangssignal für den AD-Wandler (10) aus dem digitalen Testsignal, c) Erzeugen eines sinusförmigen, digitalen Referenzsignals, dessen Frequenz gleich oder ein ganzzahliges Vielfaches der Frequenz des analogen Testsignals ist, d) Mischen der Testantwort des AD-Wandlers (10) mit dem Sinus und dem Kosinus des digitalen Referenzsignals zu Mischsignalen, e) Bestimmen der Gleichanteile der Mischsignale, f) Bestimmen mindestens eines der Parameter Amplitude Leistungsanteile und Phasenwinkel für eine Grund- oder Oberwelle der Testantwort aus den Gleichanteilen der Mischsignale.

Beschreibung

Testvorrichtung und Verfahren zum Testen von Analog-Digital-Wandlern

5

Die Erfindung betrifft eine Testvorrichtung und ein Verfahren zum Testen von Analog-Digital-Wandlern.

10 Um die Güte eines Analog-Digital-Wandlers (AD-Wandlers) zu beurteilen, werden üblicherweise die Werte für SNR (Signal-Rausch-Verhältnis), SINAD (Signal-plus-Rauschen-plus-Verzerrung zu Rauschen-plus-Verzerrung Verhältnis), SNDR (Signal zu Rauschen-plus-Verzerrung Verhältnis), und THD (total dynamic distortion) ermittelt. Wie in dem Standard IEEE
15 Std 1241-2000 beschrieben, wird ein AD-Wandler vorzugsweise durch Anlegen eines analogen Signals und anschließender Fast Fourier Transformation (FFT) der Testantwort analysiert. Dabei werden alle Spektralanteile der Testantwort des AD-Wandlers und daraus die Werte für SNR, SINAD, SNDR und THD
20 berechnet. Die FFT Analyse ist sehr rechenintensiv und führt zu langen Testzeiten.

Der Erfindung liegt die Aufgabe zugrunde, eine Testvorrichtung und ein Verfahren zum kostengünstigen und schnellen Testen von AD-Wandlern zur Verfügung zu stellen.
25

Diese Aufgabe wird durch den Gegenstand der unabhängigen Ansprüche gelöst. Vorteilhafte Ausgestaltungen ergeben sich aus den jeweiligen Unteransprüchen.

30

Die Testvorrichtung zum Testen eines Analog-Digital-Wandlers (AD-Wandlers) enthält einen Speicher, der sich z. B. in einem Tester befindet. Der Speicher enthält die Information, die in

Form der digitalen Repräsentation des Testsignals vorliegt. Der Speicher stellt an seinem Ausgang ein digitales Testsignal bereit. Die Testvorrichtung enthält weiterhin einen Digital-Analog-Wandler (DA-Wandler). Dieser wandelt das digitale
 5 Testsignal in ein analoges Testsignal um. Das analoge Testsignal ist sinusförmig und hat die Frequenz ω_0 .

$$u(t) = A_0 \cos(\omega_0 t)$$

10 Der AD-Wandler, der getestet werden soll, wird mit diesem analogen Testsignal gespeist und gibt eine digitale Testantwort aus. Diese ist durch die Funktion $u_{\text{out}}(t)$ beschrieben.

$$u_{\text{out}}(t) = k A_0 \cos(\omega_0 t + \varphi_0) + \sum_{m=2}^M A_m \cos(m \omega_0 t + \varphi_m) + \varepsilon(t) + u_{\text{offset}}$$

15

Wäre der Wandler ideal, würde sich die Testantwort nur durch den die Quantisierung erzeugenden Quantisierungsfehler $\varepsilon(t)$ von dem Testsignal unterscheiden. Dieser Fehler äußert sich durch ein gleichmäßig über alle Frequenzen verteiltes Quantisierungsrauschen. Durch unvermeidliche Unvollkommenheiten des
 20 Wandlers treten jedoch im Frequenzspektrum der Testantwort harmonische Störungen auf ($\sum A_m \dots$), die bei ganzen Vielfachen des Testsignals liegen. Auch die Amplitude der Testantwort kann sich von der des Testsignals unterscheiden. In diesem Fall ist der Verstärkungsfaktor (k) ungleich eins. Unter
 25 Umständen ist die Testantwort noch von einer Gleichspannung, die als Offset-Spannung bezeichnet wird (u_{offset}), überlagert. Außerdem kommt es zwischen dem Testsignal und der Testantwort zu einer Phasenverschiebung (φ_0).

30

Figur 1 zeigt das symmetrische Grundspektrum eines solchen Signalgemischs. Die Linie bei der normierten Frequenz $\omega/\omega_0=0$

repräsentiert die Amplitude der Offsetspannung. Die beiden Linien bei den normierten Frequenzen +1 und -1 entsprechen der Grundfrequenz ω_0 in der Formel. Die Spektrallinien bei +2, -2, +3 und -3 entsprechen den Oberwellen bei der doppel-
5 ten und dreifachen Grundfrequenz. Die Spektrallinien der Oberwellen höherer Ordnung sind in der Figur 1 der Übersichtlichkeit halber nicht gezeigt. Das Quantisierungsrauschen wird durch die breite vertikale Linie oberhalb der Abszisse angezeigt.

10

Für den Test wird erfindungsgemäß die Testantwort $u_{\text{out}}(t)$ einmal mit einem Sinus-Referenzsignal der Amplitude 1 und der Kreisfrequenz Ω und einmal mit einem Kosinus-Referenzsignal der Amplitude 1 und der Kreisfrequenz Ω multipliziert. Die
15 Testantwort $u_{\text{out}}(t)$ ist als digitales Signal N bit breit, hat somit eine Amplitudenauflösung von N. In anderen Gebieten der Technik wird dieses Prinzip der Mischung auch als Homodyn-Mischung bezeichnet.

20 Die Testvorrichtung enthält dazu einen Frequenzwandler, der aus dem digitalen Testsignal ein sinusförmiges digitales Referenzsignal mit der Frequenz Ω erzeugt. Ω ist dabei ein ganzes Vielfaches der Frequenz ω_0 . Das digitale Referenzsignal ist m bit breit, hat seine Amplitudenauflösung ist somit m,
25 wobei m eine positive ganze Zahl ist.

Die Testvorrichtung enthält weiterhin einen Frequenzselektor mit einem Phasenverschieber, mit zwei digitalen Multiplizierern und mit zwei digitale Filtern. Der Phasenverschieber
30 verschiebt das digitale Referenzsignal um $\pi/2$, macht somit aus einem Sinussignal ein Kosinussignal mit der selben Frequenz. Die Multiplizierer haben jeweils zwei Eingangskanäle. Ein Kanal bezeichnet in diesem Zusammenhang mehrere Leitun-

gen, auf denen gemeinsam die digitale Repräsentation eines Signals abgebildet wird. Die Anzahl der Leitungen entspricht der Breite des Kanals. Die Multiplizierer multiplizieren das Signal, das an ihrem ersten Eingangskanäle anliegt, mit dem
 5 Signal, das am zweiten Eingangskanal anliegt. In diesem Zusammenhang wird für Eingangskanal auch der Ausdruck Eingang und für den Ausgangskanal der Ausdruck Ausgangskanal verwendet. Der erste Multiplizierer ist an seinem ersten Eingangskanal mit der digitalen Testantwort und an seinem zweiten
 10 Eingangskanal mit dem digitalen Referenzsignal verbunden. Der zweite Multiplizierer ist mit seinem ersten Eingangskanal an der digitalen Testantwort und an seinem zweiten Eingangskanal mit dem Ausgangssignal des Phasenverschiebers angeschlossen.

15 Daraus ergeben sich die beiden Signale $S_K(t)$ und $S_S(t)$, die aus Summen von Mischprodukten bestehen.

$$S_S(t) = kA_0 \sin(\Omega t) \cos(\omega_0 t + \varphi_0) + \sum_{n=2} A_n \sin(\Omega t) \cos(n\omega_0 t + \varphi_n) \\ + \sin(\Omega t) (\varepsilon(t) + u_{\text{offset}})$$

20

$$S_K(t) = kA_0 \cos(\Omega t) \cos(\omega_0 t + \varphi_0) + \sum_{n=2} A_n \cos(\Omega t) \cos(n\omega_0 t + \varphi_n) \\ + \cos(\Omega t) (\varepsilon(t) + u_{\text{offset}})$$

Die Produkte der harmonischen Funktionen lassen sich mit Hilfe der Additionstheoreme zu Summen umformen.

25

$$S_S(t) = \frac{kA_0}{2} \sin((\Omega - \omega_0)t - \varphi_0) + \frac{kA_0}{2} \sin((\Omega + \omega_0)t + \varphi_0) \\ + \frac{1}{2} \sum_{m=2}^M A_m \sin((\Omega - m\omega_0)t - \varphi_m) + \frac{1}{2} \sum_{m=2}^M A_m \sin((\Omega + m\omega_0)t + \varphi_m) \\ + \sin(\Omega t) (\varepsilon(t) + u_{\text{offset}})$$

30

$$\begin{aligned}
S_K(t) = & \frac{kA_0}{2} \cos((\Omega - \omega_0)t - \varphi_0) + \frac{kA_0}{2} \cos((\Omega + \omega_0)t + \varphi_0) \\
& + \frac{1}{2} \sum_m^M A_m \cos((\Omega - m\omega_0)t - \varphi_m) + \frac{1}{2} \sum_m^M A_m \cos((\Omega + m\omega_0)t + \varphi_m) \\
& + \cos(\Omega t) (\varepsilon(t) + u_{\text{offset}})
\end{aligned}$$

5 Das Frequenzspektrum dieser Summen wird beispielhaft in Figur 2 gezeigt. Die Frequenzspektren der Testantwort werden aus ihrer ursprünglichen Lage, wie sie in Figur 1 zu sehen ist, durch die Mischung mit dem Referenzsignal verschoben und kommen rechts und links der Frequenz des Referenzsignals zu liegen. In Figur 2 ist die Kreisfrequenz des Referenzsignals Ω 10 fünfmal so groß wie die Kreisfrequenz des analogen Testsignals ω_0 . Das Spektrum ist deshalb um die Kreisfrequenzen $+5\omega_0$ und $-5\omega_0$ angeordnet.

15 Ist die Bandbreite des Signals kleiner als die Mischfrequenz, so sind die beiden Spektren des rechten und linken Seitenbandes voneinander separiert. In Figur 2 ist die normierte Bandbreite gleich drei und die normierte Mischfrequenz des Referenzsignals gleich fünf. Es kommt somit zu keiner Überlagerung der Seitenbänder. 20

Ist die normierte Mischfrequenz des Referenzsignals dagegen kleiner als die Bandbreite des Signals, kommt es zu Überlappungen des rechten und linken Seitenbandes und es entsteht 25 ein Signalanteil bei der normierten Frequenz 0.

Figur 3 zeigt das Frequenzspektrum, das sich aus der Mischung der digitalen Testantwort mit einer Mischfrequenz, die der Frequenz des analogen Testsignals entspricht, ergibt. Die gestrichelten Linien gehören zum linken, die gepunkteten Linien zum rechten Seitenband. So zeigt sich die dritte Oberwelle 30

nach dem Mischen bei $\omega/\omega_0=\pm 4$. Andere Spektren setzen sich aus mehreren Anteilen zusammen. So enthält das Spektrum bei $\omega/\omega_0=\pm 2$ Anteile der Grundfrequenz (große Amplitude) und der dritten Oberwelle (kleine Amplitude).

5

In der Figur 3 ist im Vergleich zu Figur 2 die Mischfrequenz so gewählt, dass bei der normierten Frequenz Null Frequenzkomponenten der rechten und des linken Seitenbandes erscheinen. Generell werden für die erfindungsgemäße Testvorrichtung nur solche Mischfrequenzen verwendet, bei denen im Nullpunkt nur eine Frequenzkomponente des rechten und nur eine Frequenzkomponente des linken Seitenbandes erscheint. In Figur 3 ist die Komponente bei der Frequenz Null genau der Anteil des Grundsignals, der die gleiche Frequenz wie das Referenzsignal besitzt.

10
15

Durch gezielte Einstellung der Frequenz des Referenzsignals ist es damit möglich, jede Frequenzkomponente an einem bestimmten Punkt im Frequenzspektrum zu schieben. Damit kann man einen bestimmten Frequenzanteil vom Rest des Signals separieren und getrennt analysieren.

20

Die Frequenz des Referenzsignals wird so gewählt, dass die zu untersuchende Spektrallinie der Testantwort in den Frequenznullpunkt verschoben wird und so als transformierte Offsetspannung in Erscheinung tritt.

25

Wählt man $\Omega=\omega_0$ wie in Figur 3, so wird die Spektrallinie der Grundfrequenz des Testsignals zum einem in den Nullpunkt der Frequenzachse und zum anderen zu seiner doppelten Frequenz $\omega/\omega_0=\pm 2$ verschoben.

30

$$\begin{aligned}
S_S(t) /_{\Omega=\omega_0} = & \frac{kA_0}{2} \sin(-\varphi_0) + \frac{kA_0}{2} \sin(2\omega_0 t + \varphi_0) \\
& + \frac{1}{2} \sum_{m=2}^M A_m \sin((\omega_0 - m\omega_0)t - \varphi_m) + \frac{1}{2} \sum_{m=2}^M A_m \sin((\omega_0 + m\omega_0)t + \varphi_m) \\
& + \sin(\omega_0 t) (\varepsilon(t) + u_{\text{offset}})
\end{aligned}$$

$$\begin{aligned}
5 \quad S_K(t) /_{\Omega=\omega_0} = & \frac{kA_0}{2} \cos(-\varphi_0) + \frac{kA_0}{2} \cos(2\omega_0 t + \varphi_0) \\
& + \frac{1}{2} \sum_{m=2}^M A_m \cos((\omega_0 - m\omega_0)t - \varphi_m) + \frac{1}{2} \sum_{m=2}^M A_m \cos((\omega_0 + m\omega_0)t + \varphi_m) \\
& + \cos(\omega_0 t) (\varepsilon(t) + u_{\text{offset}})
\end{aligned}$$

Die Signale $S_S(t)$ und $S_K(t)$ setzen sich beide aus einem
 10 Gleichanteil und einer Summe von Wechselanteilen zusammen.
 Der Gleichanteil ist der erste Summand der obigen Formel.

Zur Bestimmung des Gleichanteils enthält der Frequenzselektor
 digitale Filter. Die Filter sind mit ihren Eingängen an die
 15 Ausgänge der Multiplizierer angeschlossen und geben an ihrem
 Ausgang jeweils den Gleichanteil ihrer Eingangssignale aus.
 Diese Filter können Tiefpassfilter, deren Grenzfrequenz hin-
 reichend klein und deren Flankensteilheit ausreichend groß
 gewählt ist, sein. Als Filter kommen auch Schaltungen, die
 20 die Eingangssignale integrieren oder summieren und den Mit-
 telwert der Integration bzw. Summierung ermitteln, in Frage.
 Da das Integral über eine ganze Periode eines harmonischen
 Signals den Wert Null ergibt, löschen sich die Wechselanteile
 aus. Es bleibt nur noch der Gleichanteil übrig.

25

Danach liegen die beiden Werte S_S und S_K vor.

$$S_S = \frac{kA_0}{2} \sin(-\varphi_0)$$

$$S_K = \frac{kA_0}{2} \cos(-\varphi_0)$$

Beide Ausdrücke enthalten noch den unbekannten Phasenwinkel φ_0 zwischen der Grundfrequenz der digitalen Testantwort des Analog-Digital-Wandlers und dem Referenzsignal.

5

Um die Amplitude der Grundfrequenz des Testsignals aus S_s und S_K zu bestimmen, gibt es zwei Möglichkeiten. Bei der ersten Möglichkeit wird der Phasenwinkel φ_0 ermittelt. Dies kann beispielsweise durch die folgenden Rechenschritte erfolgen.

10

$$\frac{S_s}{S_K} = \frac{\sin(-\varphi_0)}{\cos(-\varphi_0)} = \tan(-\varphi_0)$$

$$\Rightarrow \varphi_0 = -\arctan\left(\frac{S_s}{S_K}\right)$$

Die Testvorrichtung enthält auch eine Auswerte-/Steuer-
 15 einheit, die die Ausgangssignale des Frequenzselektors empfängt. Diese Auswerte-/Steuereinheit kann beispielsweise die Signale S_s und S_K empfangen und daraus die Phasenverschiebung φ_0 berechnen.

20 Bei der zweiten Möglichkeit kann die Quadratsumme von S_s und S_K gebildet werden.

$$S_s^2 + S_K^2 = \frac{k^2 A_0^2}{4} \sin^2(-\varphi_0) + \frac{k^2 A_0^2}{4} \cos^2(-\varphi_0) = \frac{k^2 A_0^2}{4}$$

25

$$kA_0 = 2 \cdot \sqrt{S_s^2 + S_K^2}$$

Vorzugsweise enthält der Frequenzselektor der Testvorrichtung zwei Quadrierer, die die Ausgangssignale der Filter mit sich selbst multiplizieren. Die Ausgangssignale der beiden

30 Quadrierer werden von einem Addierer addiert. Somit wird die

Quadratsumme der Signale S_s und S_k gebildet. In der Auswerte/Steuereinheit kann aus dieser Quadratsumme der Wert für kA_0 berechnet werden.

- 5 Somit hat man die Amplitude der Grundwelle der Testantwort bestimmt. Wird nun in die Formel $S_s(t)$ für Ω die ganzen Vielfachen der Frequenz ω_0 sowie die Frequenz 0 eingesetzt, stehen die folgenden Informationen zur Verfügung:

- 10 u_{offset} : die Offsetspannung der Testantwort
 kA_0 : die Amplitude der Grundwelle der Testantwort
 P_0 : der Leistungsanteil der Grundwelle der Testantwort
 φ_0 : der Phasenwinkel der Grundwelle der Testantwort
 bezogen auf das Referenzsignal
15 A_i : die Amplitude der i-ten Oberwelle der Testantwort
 P_i : der Leistungsanteil der i-ten Oberwelle der
 Testantwort
 φ_i : der Phasenwinkel der i-ten Oberwelle der
 Testantwort bezogen auf das Referenzsignal.

20

Wenn der Frequenzwandler durch einen Frequenzführungs kanal so eingestellt wird, dass er die Frequenz ändert, können nacheinander die Frequenzen $2\omega_0$ und $3\omega_0$ als Referenzsignale ausgegeben werden. So werden auch die Amplituden, die Leistungsanteile und die Phasenwinkel der zweiten und dritten Oberwelle der Testantwort berechnet. Wenn die Amplitude und/oder die Phase seines Ausgangssignals durch den Frequenzführungs kanal verändert wird, kann das Ausgangssignal den Eigenschaften des zu testenden AD-Wandlers angepasst werden.

30

Vorteilhafterweise enthält die Testvorrichtung auch eine Leistungsmesseinheit. Diese Leistungsmesseinheit enthält einen Quadrierer, der die digitale Testantwort mit sich selbst

multipliziert. Der Quadrierer ist ein digitaler Quadrierer. Ein Mittelwertbilder der Leistungsmesseinheit bildet den Mittelwert aus dieser Multiplikation und gibt das Ergebnis an die Auswerte-/Steuereinheit. An seinem Ausgang wird das Ergebnis dieser Mittelwertbildung ausgegeben. Dieses Ergebnis ist die Gesamtleistung der Testantwort. Der Quadrierer und der Mittelwertbilder sind digital, d.h. sie verarbeiten digitale Signale. ist ein digitaler Quadrierer. Aus den Werten für P_{out} , U_{offset} , kA_0 , P_0 , φ_0 , A_i , P_i und φ_i lassen sich die charakteristischen Leistungsparameter des AD-Wandlers SNR, SINAD, SNDR und THD in der Auswerte-/Steuereinheit extrahieren.

In einer weiteren Ausführungsform enthält die Testvorrichtung eine Vielzahl von Frequenzwandlern und eine Vielzahl von Frequenzselektoren. Die Frequenzwandler erzeugen eine Vielzahl von digitalen Referenzsignalen, die sich hinsichtlich ihrer Frequenz unterscheiden. Mindestens zwei der Frequenzselektoren sind an digitale Referenzsignale mit unterschiedlichen Frequenzen angeschlossen. Die Ausgänge der Frequenzselektoren sind mit der Auswerte-/Steuereinheit verbunden. Somit ist es möglich, die Amplituden, die Leistungsanteile und die Phasenwinkel mehrerer Oberwellen bzw. der Grundwelle und mindestens einer Oberwelle gleichzeitig zu messen. Damit ergibt sich eine Einsparung der Testzeit. Auch möglich ist bei dieser Parallelschaltung von Frequenzwandlern und Frequenzselektoren, dass die Frequenzwandler hinsichtlich ihrer Frequenz durch die Auswerte-/Steuereinheit verändert werden können.

Die Testvorrichtung kann dahingehend erweitert werden, dass an den Ausgang des zu testenden AD-Wandlers eine Offsetkompensation angeschlossen wird. Dadurch ist der Anteil u_{offset} der Testantwort $u_{\text{out}}(t)$ Null und braucht nicht durch die Testvorrichtung ermittelt zu werden.

Durch das Vorsehen einer Zusatzmessschaltung kann die maximale Abweichung der Testantwort des Analog-Digital-Wandlers von der Testantwort eines idealen Analog-Digital-Wandlers gemessen werden. Die Zusatzmessschaltung enthält ein digitales
5 erstes Multiplizierglied, an dessen Eingang ein weiteres digitales Referenzsignal angeschlossen wird, das durch einen weiteren Frequenzwandler erzeugt wird. Dieses weitere digitale Referenzsignal hat die gleiche Frequenz wie das analoge
10 Testsignal und die gleiche Amplitudenauflösung wie das Ausgangssignal des zu testenden AD-Wandlers. Das erste Multiplizierglied multipliziert das weitere digitale Referenzsignal mit dem Faktor 2. Einen Phasenverschieber, der in der Zusatzmessschaltung enthalten ist, verschiebt das Ausgangssignal
15 des ersten Multipliziergliedes in der Phase um $\pi/2$. Ein digitales zweites Multiplizierglied multipliziert das Ausgangssignal des ersten Multipliziergliedes mit dem Ausgangssignal des ersten Multiplizierers des Frequenzselektors. Das digitale dritte Multiplizierglied multipliziert das Ausgangssignal
20 des Phasenverschiebers der Zusatzmessschaltung mit dem Ausgangssignal des zweiten Multiplizierers des Frequenzselektors. In der Zusatzmessschaltung ist ein Addierer vorhanden, mit dem die Summe aus dem zweiten und dritten Multiplizierglied gebildet wird. Ein Subtraktionsglied bildet die Subtraktion aus dem Testsignal und dem Ausgangssignal des Addie-
25 rers. Ein Maximalwertermittler ermittelt den Maximalwert des Ausgangssignals des Subtraktionsglieds und gibt diesen aus. Eine ideale Testantwort eines Analog-Digital-Wandlers enthält nur Frequenzanteile des Eingangssignals.

30

$$u_{\text{out, ideal}} = kA_0 \cos(\omega_0 t + \varphi_0)$$

Nach den Additionstheorem ergibt sich

$$u_{\text{out, ideal}} = kA_0 (\cos(\varphi_0) \cos(\omega_0 t) - \sin(\varphi_0) \sin(\omega_0 t))$$

Die Amplituden entsprechen nun genau der Hälfte der Werte von
5 S_S und S_K , so dass man auch schreiben kann

$$u_{\text{out, ideal}} = 2 (S_K \cos(\omega_0 t) + S_S \sin(\omega_0 t))$$

In der Zusatzmessschaltung wird die Testantwort des idealen
10 Analog-Digital-Wandlers gemäss der obigen Formel ermittelt.
Das Ausgangssignal des Addierers ergibt die Testantwort eines
idealen AD-Wandlers. Diese wird von der Testantwort des zu
testenden Analog-Digital-Wandlers abgezogen und anschließend
der Maximalwert dieser Subtraktion gebildet. Dadurch ist ma-
15ximale Abweichung der Testantwort des Analog-Digital-Wandlers
von der Testantwort eines idealen Analog-Digital-Wandlers ge-
messen worden.

Die Amplitudenauflösung des weiteren Referenzsignals, mit dem
20 die Zusatzmessschaltung gespeist wird, ist immer gleich der
Amplitudenauflösung des zu testenden AD-Wandlers. Dagegen ist
ist die Amplitudenauflösung m des digitalen Referenzsignals,
mit dem ein Frequenzselektor gespeist wird, vorzugsweise grö-
ßer als die Amplitudenauslösung N der digitalen Testantwort.
25 Dadurch wird der durch das Referenzsignal erzeugte Quantisie-
rungsfehler verringert. Je größer dabei der Unterschied zwi-
schen m und N ist, umso weniger verfälscht dieser Quantisie-
rungsfehler das Messergebnis.

30 Der Speicher der Testvorrichtung ist üblicherweise in einem
Tester vorhanden, während die anderen Schaltungen der Test-
vorrichtung sich auf einem Load Board befinden. Es ist aber
auch möglich, dass Teile der Testvorrichtung wie die Fre-

quenzwandler, die Frequenzselektoren, die Leistungsmesseinheit und die Zusatzmeseinheit ganz oder teilweise in dem zu testenden Analog-Digital-Wandler integriert werden.

5 Besonders wenn der AD-Wandler ein Modul eines Mixed-Signal-Bausteins ist, können die Schaltungen teilweise oder komplett auf dem Mixed-Signal-Baustein als "Built In Self Test Einheit" integriert werden. Module, die bereits auf dem Mixed-Signal-Baustein vorhanden sind, wie z. B. Microcontroller, Ad-
10 dierer, Multiplizierer und Speicher, können für den Test des AD-Wandlers umkonfiguriert werden. Die Komponenten auf dem Loadboard reduzieren sich in diesem Fall auf den DA-Wandler. Die Steuerung des Tests wird von einem internen Mikrocontroller übernommen.

15

Zukünftige Produkte mit erhöhten Sicherheitsanforderungen können somit während des regulären Betriebes Selbsttestzyklen durchführen. So würde z. B. beim Starten eines KFZ automatisch die Elektronik für sicherheitsrelevante Funktionen wie
20 z. B. ABS oder Airbag überprüft werden. Dies erfordert die Selbsttestfähigkeit der Halbleiterbausteine. Das in dieser Erfindung beschriebene Konzept eignet sich durch seine geringen Anforderungen an zusätzliche elektronische Schaltungen in besonderer Weise für eine Selbsttestimplementierung in den
25 Baustein.

Die Testvorrichtung kann auch teilweise in FPGA (Field Programmable Gate Array) Bausteinen integriert werden. Solche Bausteine sind kostengünstig und erforderliche
30 Änderungen können mit Hilfe der FPGA schnell implementiert werden.

Auch können Teile der Testvorrichtung in einem externen Tester integriert werden. Das Loadboard besteht im äußersten Fall nur noch aus dem Sockel, in den der zu testende Baustein gesteckt wird.

5

Die Erfindung betrifft auch ein Verfahren zum Testen von AD-Wandlern. Dazu wird zunächst ein Tester bereitgestellt, der mit einem Loadboard verbunden ist. Dieses Loadboard enthält mindestens einen Testsockel zum Testen von integrierten

10 Schaltkreisen. Das Loadboard wird mit dem zu testenden AD-Wandler bestückt. Es wird ein digitales Testsignal erzeugt, aus dem wiederum ein analoges Testsignal generiert wird. Dieses analoge Testsignal wird als Eingangssignal an einen AD-Wandler angelegt. Zudem wird aus dem digitalen Testsignal ein
15 digitales Referenzsignal erzeugt. Dieses ist sinusförmig und hat die gleiche Frequenz wie das analoge Testsignal oder hat eine Frequenz, die ein ganzzahliges Vielfaches der Frequenz des analogen Testsignals ist. Die Testantwort wird zum einen mit dem Sinus des digitalen Referenzsignals und zum anderen
20 mit dem Kosinus des digitalen Referenzsignals zu Mischsignalen gemischt. Für diese durch das Mischen erzeugten Mischsignale werden die Gleichanteile bestimmt. Aus den Gleichanteilen der Mischsignale wird für eine Grund- oder Oberwelle der Testantwort einer der Parameter Amplitude, Leistungsanteil
25 oder Phasenwinkel bestimmt. Mittels dieses Verfahrens können die genannten Parameter bestimmt werden, ohne eine aufwendige FFT (Fast Fourier Transformation) durchzuführen. Eine solche benötigt zunächst einen Datentransfer von der Datenaufnahme des Testers zu einer Recheneinheit sowie eine aufwendige Be-
30 rechnung. Erste Abschätzungen ergeben, dass mit dem erfindungsgemäßen Verfahren eine Reduktion der Testzeit um den Faktor 4 möglich ist.

Der Phasenwinkel kann durch Berechnung des Arcustangens des Quotienten der Gleichanteile der Mischung ermittelt werden. Die Gleichanteile stehen aus der Berechnung der Amplitude schon zur Verfügung und werden zur Berechnung des Phasenwinkels wiederverwendet.

Wenn das Verfahren dahingehend erweitert wird, dass der Phasenwinkel der Grundwelle der Testantwort mittels eines Verschiebens der Phase des digitalen Referenzsignals bestimmt wird, so wird vermieden, dass zur Berechnung des Phasenwinkels ein Arcustangens ermittelt werden muss, was relativ aufwendig ist. Stattdessen wird das Referenzsignal so lange in der Phase verschoben, bis sich bei S_s ein Maximum und S_k ein Minimum einstellt oder sich bei S_s ein Minimum und bei S_k ein Maximum einstellt.

Wenn statt nur eines digitalen Referenzsignals mehrere digitale Referenzsignale, die sich hinsichtlich ihrer Frequenz unterscheiden, erzeugt werden und diese digitalen Referenzsignale gleichzeitig mit der Testantwort gemischt werden, so können Parameter für verschiedene Oberwellen oder für Grund- und Oberwellen gleichzeitig ermittelt werden. Diese Parallelisierung erspart Testzeit und Aufwand für die Steuerung des Verfahrens.

25

Nachdem die Parameter Amplitude, Leistungsanteil und Phasenwinkel für eine Grund- oder Oberwelle der Testantwort gemessen wurden, kann die Frequenz des digitalen Referenzsignals verändert werden und wieder die Schritte des Mischens der Testantwort, Bestimmen der Gleichanteile und Bestimmen der Parameter wiederholt werden. Dadurch werden Parameter für eine andere Grund- oder Oberwelle als beim ersten Testdurchgang ermittelt. Vorteilhaft dabei ist, dass nur wenige Schaltungen

zur Erzeugung des digitalen Referenzsignals zur Verfügung stehen müssen.

Wenn das Verfahren zusätzlich einen Schritt des Bestimmens
5 der Gesamtleistung der Testantwort enthält, können mit dem
selben Verfahren nicht nur die Parameter der Grund- und Ober-
wellen bestimmt werden, sondern auch im Verhältnis zur Ge-
samtleistung betrachtet werden.

10 Das Verfahren kann nach Ermittlung der Parameter Amplitude,
Phasenwinkel, Leistungsanteil der Grund- und Oberwellen und
der Gesamtleistung der Testantwort einen weiteren Schritt
enthalten, bei dem die Werte SNR, SINAD, SNDR, und THD des
AD-Wandlers ermittelt werden. Somit stehen die Parameter, die
15 die Güte eines AD-Wandlers charakterisieren, in ihrer Gesamt-
heit zur Verfügung.

Vorteilhaft ist es, wenn die Testantwort bezüglich ihres Off-
sets kompensiert wird, bevor sie mit anderen Signalen ge-
20 mischt wird. Dadurch braucht der Offset bei der Berechnung
der übrigen Parameter nicht berücksichtigt zu werden.

Um einen Offset eines Signals zu kompensieren, wird bei-
spielsweise mehrfach der Mittelwert des Signals gebildet und
gespeichert. Anschließend wird der Mittelwert dieser gespei-
25 cherten Mittelwerte gebildet, gespeichert und von dem Signal
abgezogen.

Um die maximale Abweichung der Testantwort des Analog-Digi-
tal-Wandlers von einer Testantwort eines idealen Analog-Digi-
30 tal-Wandlers zu berechnen, enthält ein Verfahren, bei dem der
Offset der Testantwort kompensiert ist, zusätzliche Schritte.
Ein Referenzsignal mit der gleichen Frequenz wie das analoge
Testsignal wird mit zwei multipliziert. Die Gleichanteile der

Mischsignale werden mit dem Kosinus bzw. mit dem Sinus dieses mit zwei multiplizierten Referenzsignals gemischt. Das Ergebnis dieser Multiplikationen wird addiert und anschließend von der Testantwort abgezogen. Der Maximalwert dieser Subtraktion
5 wird ermittelt und ergibt die maximale Abweichung der Testantwort des Analog-Digital-Wandlers von der Testantwort eines idealen Analog-Digital-Wandlers.

Die Erfindung ist in den Zeichnungen anhand von Ausführungs-
10 beispielen näher veranschaulicht.

Figur 1 zeigt das Frequenzspektrum einer Testantwort eines Analog-Digital-Wandlers.

15 Figur 2 zeigt ein Frequenzspektrum, das sich ergibt, wenn die Testantwort eines AD-Wandlers mit einem Referenzsignal gemischt wird.

Figur 3 zeigt ein Frequenzspektrum wie Figur 2 bei veränderter Frequenz des Referenzsignals.
20

Figur 4 zeigt in eine erfindungsgemäße Testvorrichtung zur Analyse eines AD-Wandlers

25 Figur 5 zeigt in einer weiteren Ausführungsform eine Testvorrichtung für einen AD-Wandler, mit der drei Analysen parallel durchgeführt werden können.

Figur 6 zeigt eine Testvorrichtung für einen AD-Wandler
30 nach Figur 5, die um eine Zusatzschaltung zur Analyse im Zeitbereich erweitert wurde.

Im folgenden wird zur Beschreibung des Ausführungsbeispiels von einem Fall ausgegangen, der sich aus den schon oben beschriebenen Figuren 1 bis 3 ergibt. Diese werden hier der Einfachheit halber nicht noch einmal beschrieben.

5

Figur 4 zeigt in einer ersten Ausführungsform eine erfindungsgemäße Testvorrichtung 1. Sie enthält einen Speicher 2, ein Loadboard 3 und einen Steuerkanal 4. Der Speicher 2 ist ein Teil eines nicht in der Figur gezeigten Testers und der
10 Steuerkanal 4 wird durch den Tester getrieben.

Das Loadboard 3 enthält einen DA-Wandler 5, einen Frequenzwandler 6, einen Frequenzselektor 7, eine Leistungsmesseinheit 8 und eine Auswerte-/Steuereinheit 9. Außerdem ist auf
15 dem Loadboard der zu testende AD-Wandler 10 angeschlossen. Der Frequenzselektor 7 enthält einen Phasenverschieber 11, einen digitalen ersten Multiplizierer 12, einen digitalen zweiten Multiplizierer 13, einen digitalen ersten Filter 14, einen digitalen zweiten Filter 15, zwei Quadrierer 16 und 17
20 und einen Addierer 18.

Die Leistungsmesseinheit 8 enthält einen Quadrierer 19 und einen Mittelwertbilder 20.

25 Der Ausgang des Speichers 2 ist über den Kanal u_d mit dem Eingang des DA-Wandlers 5 sowie dem Eingang des Frequenzselektors 6 verbunden. Der Eingang des Frequenzselektors 6 hat als digitaler Eingang eine bestimmte Breite n , wobei n eine ganze Zahl ist. Der Eingang des Frequenzselektors 6 ist somit
30 ein Eingangskanal. Auch für die folgenden Bauteile werden die Ausdrücke Eingang für einen digitale Eingangskanal und Ausgang für einen digitalen Ausgangskanal verwendet. Der Ausgang des DA-Wandlers 5 ist über das analoge Signal $u(t)$ mit dem

AD-Wandler 10 verbunden. Der Ausgangskanal des AD-Wandlers 10 ist über die digitale Testantwort $u_{\text{out}}(t)$ mit dem Eingangskanal des digitalen Quadrierers 19 der Leistungsmesseinheit 8 und mit einem ersten Eingangskanal des ersten Multiplizierers 12 und einem ersten Eingangskanal des zweiten Multiplizierers 13 des Frequenzselektors 7 verbunden. Der digitale Ausgangskanal $u_{\text{out}}(t)$ besteht aus N Leitungen. Der Ausgang des digitalen Quadrierers 19 der Leistungsmesseinheit 8 ist mit dem Mittelwertbildner 20 der Leistungsmesseinheit 8 verbunden. Der Ausgang des Mittelwertbildners 20 ist über die Leitung $P_{u_{\text{out}}}$ mit einem Eingang der Auswerte-/Steuereinheit 9 verbunden.

Der Ausgang des Frequenzwandlers 6 ist über den Kanal $r(t)$ mit dem Phasenverschieber 11 und dem zweiten Eingangskanal des zweiten Multiplizierers 13 des Frequenzselektors 7 verbunden. Der Kanal $r(t)$ besteht aus $N+1$ Leitungen, wobei 1 größer Null ist.

Der Ausgang des Phasenverschiebers 11 ist mit dem zweiten Eingangskanal des ersten Multiplizierers 12 des Frequenzselektors 7 verbunden. Innerhalb des Frequenzselektors 7 ist der Eingang des ersten Filters 14 über den Kanal $S_k(t)$ mit dem Ausgang des ersten Multiplizierers 12 und der Eingangskanal des zweiten Filters 15 ist über den Kanal $S_s(t)$ mit dem Ausgang des zweiten Multiplizierers 13 verbunden. Der Ausgang des ersten Filters 14 ist mit den Eingängen des ersten Quadrierers 16 über die Leitung S_k und der Ausgang des zweiten Filters 15 ist über die Leitung S_s mit den Eingängen des zweiten Quadrierers 17 verbunden. Der Ausgang des ersten Quadrierers 16 ist über die Leitung S_k^2 sowohl mit einem Eingang des Addierers 18 als auch mit einem Eingang der Auswerte-/Steuereinheit 9 verbunden. Der Ausgang des zweiten Quadrie-

10 rers 17 ist über die Leitung S_s^2 zum einen mit einem Eingang des Addierers 18 sowie mit einem Eingang der Auswerte-/Steuereinheit 9 verbunden. Der Ausgang des Addierers ist über die Leitung P_n mit der Auswerte-/Steuereinheit 9 verbunden.
5 den. Ein Ausgang der Auswerte-/Steuereinheit 9 ist über den Frequenzeinstellungs kanal 21 mit einem Eingang des Frequenzwandlers 6 verbunden. Ein Eingang der Auswerte-/Steuerschaltung 9 ist mit dem Steuerkanal 4 verbunden. Die Auswerte-/Steuereinheit hat einen Ausgangskanal 22, der mit
10 dem Tester verbunden werden kann.

Der Speicher 2 stellt das digitale Testsignal u_d zur Verfügung. Daraus wird das analoge Testsignal $u(t)$ sowie das Referenzsignal $r(t)$ erzeugt. Am Ausgang des AD-Wandlers 10 wird
15 die digitale Testantwort $u_{out}(t)$ erzeugt. Die digitale Testantwort $u_{out}(t)$ hat als digitales Signal eine Auflösung von N Bit. Das digitale Referenzsignal $r(t)$ hat eine größere Auflösung als die Testantwort und ist somit $N+1$ Bit breit, wobei 1 eine ganze Zahl, die größer Null ist, darstellt. Die digitale
20 Testantwort $u_{out}(t)$ wird mit dem Referenzsignal $r(t)$ gemischt. Die Ergebnisse dieser Mischungen $S_K(t)$ und $S_s(t)$ werden bezüglich ihres Gleichanteils mittels der Filter 14 und 15 gefiltert. Die Gleichanteile S_K und S_s werden mittels der Quadrierer 16 und 17 quadriert. Die sich dadurch ergebenden
25 Signale S_K^2 und S_s^2 werden der Auswerte-/Steuereinheit zur Verfügung gestellt. Weiterhin wird die Summe dieser beiden Signale durch den Addierer 18 erzeugt und als P_m an die Auswerte-/Steuereinheit 9 weitergeleitet.

30 Die Testantwort $u_{out}(t)$ wird in der Leistungsmesseinheit 8 von dem Quadrierer 19 quadriert. Das Ergebnis wird mittels des Mittelwertbilders 20 gemittelt. Die sich daraus ergebende Leistung P_{uout} wird an die Auswerte-/Steuereinheit 9 weiterge-

leitet. Die Auswerte-/Steuereinheit 9 kann über den Frequenz-
einstellungs kanal 21 die Frequenz des Frequenzwandlers 6 ein-
stellenbeeinflussen. Dadurch können Amplituden, Phasenwinkel
und Leistungsanteile für die Grundwelle und verschiedene O-
berwellen der Testantwort des AD-Wadlers in der Auswerte-
/Steuereinheit 9 berechnet werden. Die Ergebnisse dieser Be-
rechnungen werden an den Ausgangskanal 22 ausgegeben.

In der Auswerte-/Steuereinheit kann nun beispielsweise auf-
grund der Eingangssignale S_K^2 und S_S^2 der Phasenwinkel φ_0 für
die Grundwelle berechnet werden. Dieser Phasenwinkel gibt an,
welcher Phasenunterschied zwischen der Testantwort und dem
Referenzsignal besteht. Dieser kann mittels der oben genann-
ten Rechenvorschrift aus den beiden Eingangssignale S_K^2 und
 S_S^2 berechnet werden.

In einer weiteren Ausführungsform kann durch den Frequenzein-
stellungs kanal 21 auch die Phase und/oder die Amplitude des
digitalen Referenzsignals verändert werden. Dadurch könnte
beispielsweise durch den Frequenzeinstellungs kanal die Phase
des Referenzsignals $r(t)$ verschoben werden, bis sich bei S_K^2
oder S_S^2 eine Minimum gebildet hat, um den Phasenwinkel φ_0 zu
ermitteln Dazu müsste in die Auswerte-/Steuereinheit eine
Vorrichtung, die ein Minimum berechnen kann, vorgesehen wer-
den.

Figur 5 zeigt in einer weiteren Ausführungsform die erfin-
dungsgemäße Testvorrichtung 1, die eine Erweiterung der Test-
vorrichtung 1 nach Figur 4 darstellt. Bauteile mit gleichen
Funktionen wie in den vorhergehenden Figuren werden mit glei-
chen Bezugszeichen gekennzeichnet und nicht extra erörtert.
Das Ausgangssignal des ersten Frequenzwandlers 6 wurde mit
 $r_1(t)$ bezeichnet. An die Namen der Leitungen innerhalb des

ersten Frequenzselektors 7 wurde auch der Index 1 angehängt. Ihr Anschlüsse und ihre Funktion entsprechen aber den Anschlüssen und der Funktion in Figur 4.

- 5 Erweitert wurde die Testvorrichtung dadurch, dass auf dem Loadboard 3 ein zweiter Frequenzwandler 23, ein dritter Frequenzwandler 24, ein zweiter Frequenzselektor 25 und ein dritter Frequenzselektor 26 untergebracht wurden.
- 10 Der zweite Frequenzwandler 23 und der dritte Frequenzwandler 24 erzeugen aus der digitalen Repräsentation des Testsignals u_d das zweite Referenzsignal $r_2(t)$ und das dritte Referenzsignal $r_3(t)$. Der zweite Frequenzselektor 25 wird mit dem zweiten Referenzsignal $r_2(t)$ und der dritte Frequenzselektor
- 15 26 mit dem dritten Referenzsignal $r_3(t)$ gespeist. Die ersten Eingangskanäle des ersten Multiplizierers 12 und des zweiten Multiplizierers 13 aller Frequenzselektoren 7, 25, 26 sind an die digitale Testantwort $u_{out}(t)$ angeschlossen. Die Ausgänge der Frequenzselektoren 7, 25, 26 sind mit Eingängen der Aus-
- 20 werte-/Steuereinheit 9 verbunden. Im Gegensatz zu Figur 4 gibt es keinen Frequenzeinstellungskanal 21 von der Auswerte-/Steuereinheit zu den Frequenzwandlern 6, 23 oder 24.

- Die Referenzsignale $r_1(t)$, $r_2(t)$ und $r_3(t)$ sind sinusförmige
- 25 Signale, die sich hinsichtlich ihrer Frequenz unterscheiden. Die Frequenz von $r_1(t)$ ist ω_0 , die Frequenz von $r_2(t)$ ist $2\omega_0$, die Frequenz des dritten Referenzsignals $r_3(t)$ beträgt $3\omega_0$. Durch den vorgestellten Testaufbau 1 werden gleichzeitig die Amplituden, die Leistungsanteile und die Phasenwinkel der
- 30 Grundwelle sowie der zweiten und dritten Oberwelle der Testantwort bestimmt. Durch die vorgenommenen gleichzeitigen Messungen wird Testzeit eingespart.

Figur 6 zeigt eine Testvorrichtung 1, die gegenüber der Testvorrichtung von Figur 5 um eine Offset-Kompensation 36, einen vierten Frequenzwandler 27 sowie eine Zusatzmessschaltung 28 erweitert wurde. Der Aufbau und die Funktion der bereits in
5 Figur 5 gezeigten Bauteile und ihrer Verbindungen untereinander bleiben gleich und werden darum nicht noch einmal erläutert.

Zwischen den Ausgang des AD-Wandlers 10 und der digitalen
10 Testantwort ist eine Offset-Kompensation 36 geschaltet.

Der vierte Frequenzwandler 27 ist mit seinem Eingang an die digitale Repräsentation des Testsignals u_d angeschlossen. An seinem Ausgang ist er mit dem vierten Referenzsignal $r_4(t)$
15 verbunden.

Die Zusatzmessschaltung 28 enthält ein digitales erstes Multiplizierglied 29, einen Phasenverschieber 30, ein digitales zweites Multiplizierglied 31, ein digitales drittes Multiplizierglied 32, einen digitalen Addierer 33, ein digitales Subtraktionsglied 34 und einen Maximalwertermittler 35. Ein Multiplizierglied hat die gleiche Funktion wie ein Multiplizierer. Das erste Multiplizierglied 29 ist mit seinem Eingang mit dem vierten Referenzsignal $r_4(t)$ und mit seinem Ausgang mit dem Phasenverschieber 30 und dem ersten Eingang des dritten Multiplizierglieds 32 verbunden. Der Ausgang des Phasenverschiebers 30 ist mit dem ersten Eingang des zweiten Multiplizierglieds 31 verbunden. Der zweite Eingang des zweiten Multiplizierglieds 31 ist mit dem Ausgang des ersten Filters 14 des ersten Frequenzselektors 7 verbunden. Der zweite Eingang des dritten Multiplizierers 32 ist an den Ausgang des zweiten Filters 15 des ersten Frequenzselektors 7 angeschlossen. Die Ausgänge des zweiten Multiplizierglieds 31 und des
20
25
30

dritten Multiplizierglieds 32 sind an die beiden Eingänge des Addierers 33 angeschlossen. Der Ausgang des Addierers 33 ist mit dem Minuseingang des Subtraktionsglieds 34 verbunden. An dem Pluseingang des Subtraktionsglieds 34 ist die Testantwort $u_{\text{out}}(t)$ angeschlossen. Der Ausgang des Subtraktionsglieds 34 ist mit dem Eingang des Maximalwertermittlers 35 verbunden. Der Ausgang des Maximalwertermittlers 35 ist über die Leitung Diff mit der Auswerte-/Steuereinheit 9 verbunden.

- 10 Die Offset-Kompensation bewirkt, dass ein eventueller Offset des Ausgangssignals des AD-Wandlers so ausgeglichen wird, dass bei der oben genannten Testantwort $u_{\text{out}}(t)$ der Summand u_{offset} Null ist.
- 15 Durch die Zusatzmessschaltung wird die Testantwort $u_{\text{out}}(t)$ mit einer idealen Testantwort verglichen, indem sie voneinander abgezogen werden. Die ideale Testantwort wird aus den Gleichanteilen der mit dem ersten Referenzsignal $r_1(t)$ gemischten digitalen Testantwort erzeugt. Anschließend wird der Maximalwert der Differenz von idealer und digitaler Testantwort ermittelt. Durch die Zusatzmessschaltung kann mit einem relativ geringen Aufwand das Verhalten des AD-Wandlers im Zeitbereich analysiert werden.
- 20
- 25 Die Erfindung ist auch in den folgenden Merkmalszusammenstellungen verwirklicht.
1. Integrierter Baustein, insbesondere Mixed-Signal-Baustein, auf dem eine erfindungsgemäße Testvorrichtung monolithisch integriert ist.
 2. Integrierter Testschaltkreis nach Ziffer 1, der als Field Programmable Gate Array ausgebildet sind.
- 30

3. Nadelkarte zum Testen von integrierten Schaltkreisen bzw. ICs, wobei die Nadelkarte einen integrierten Testschaltkreis nach Ziffer 1 oder 2 sowie einen Digital-
5 Analogwandler aufweist.
4. Nadelkarte, die eine erfindungsgemäße Testvorrichtung aufweist.
- 10 5. Loadboard zur Aufnahme einer Nadelkarte zum Testen von integrierten Schaltkreisen bzw. ICs und/oder mit einem oder mehreren Testsockeln zum Testen von integrierten Schaltkreisen bzw. ICs, wobei das Loadboard (41, 51, 61) einen integrierten Testschaltkreis (IC₂, IC₄) nach Ziffer 1 oder 2 oder eine Nadelkarte nach Ziffer 4. auf-
15 weist.
6. Tester zur Erzeugung von digitalen Signalen, der eine erfindungsgemäße Testvorrichtung und/oder einen Baustein
20 nach Ziffer 1. oder 2. und/oder eine Nadelkarte nach 3. oder 4. und/oder ein Loadboard nach Ziffer 5. aufweist.
7. Computerprogramm zum Ausführen eines Verfahrens zum Testen eines AD-Wandlers, das so ausgebildet ist, dass die erfindungsgemäßen Verfahrensschritte ausführbar sind.
25

Patentansprüche

1. Testvorrichtung (1) zum Testen eines Analog-Digital-Wandlers (AD-Wandlers) (10), die folgende Merkmale ent-
5 hält:
- einen Speicher (2), der an seinem Ausgang ein digitales Testsignal zur Verfügung stellt,
 - einen Digital-Analog-Wandler (DA-Wandler) (5), der
10 das digitale Testsignal in ein sinusförmiges analoges Testsignal der Frequenz ω_0 , mit dem der zu testende AD-Wandler (10) gespeist wird, umwandelt, wodurch der zu testende AD-Wandler (10) eine N-bit breite digitale Testantwort ausgibt,
 - einen Frequenzwandler (6), der aus dem digitalen
15 Testsignal ein sinusförmiges m-bit breites digitales Referenzsignal der Frequenz Ω erzeugt, wobei Ω gleich oder ein ganzes Vielfaches der Frequenz ω_0 ist,
 - einen Frequenzselektor (7), der einen Phasenverschieber (11), zwei digitale Multiplizierer und zwei
20 digitale Filter enthält,
 - wobei der Phasenverschieber (11) das digitale Referenzsignal um $\pi/2$ verschiebt,
 - wobei beide Multiplizierer (12,13) jeweils zwei
25 Eingangskanäle und einen Ausgangskanal aufweisen, wobei sie an ihrem ersten Eingangskanal jeweils mit der digitalen Testantwort verbunden sind, und wobei an dem zweiten Eingangskanal bei dem ersten Multiplizierer (12) das digitale Referenzsignal
30 und bei dem zweiten Multiplizierer (13) der Ausgangskanal des Phasenverschiebers (11) angeschlossen ist,

- wobei die Filter (14,15) die Gleichanteile der Ausgangssignale der Multiplizierer (12,13) bestimmen und ausgeben,

5 - eine Auswerte-/Steuereinheit(9), die Ausgangssignale des Frequenzselektors (7) empfängt.

2. Testvorrichtung nach Anspruch 1,
dadurch gekennzeichnet, dass
der Frequenzselektor (7) zwei Quadrierer (16,17), die die
10 Signale an den Ausgängen der Filter (14,15) mit sich
selbst multiplizieren, und einen Addierer (18), der die
Signale an den Ausgängen der Quadrierer (16,17) addiert,
enthält.

15 3. Testvorrichtung nach Anspruch 1 oder 2,
dadurch gekennzeichnet, dass
die Frequenz und/oder die Amplitude und/oder die Phase
des Ausgangssignals des Frequenzwandler (7) abhängig von
dem Zustand eines Frequenzeinstellungskanals (21) einge-
20 stellt ist.

4. Testvorrichtung nach Anspruch 1, 2 oder 3,
dadurch gekennzeichnet, dass
sie eine Leistungsmesseinheit (8) enthält, die einen
25 Quadrierer (19), der die digitale Testantwort mit sich
selbst multipliziert, einen Mittelwertbilder (20), der
das Ergebnis dieser Multiplikation empfängt und daraus
den Mittelwert berechnet, und eine Verbindung des Aus-
gangs des Mittelwertbilders (20) mit einem Eingang der
30 Auswerte-/Steuereinheit (9), enthält.

5. Testvorrichtung nach einem der Ansprüche 1 bis 4,

dadurch gekennzeichnet, dass die Auswerte-/Steuereinheit (9) über einen Eingang an einen Steuerkanal (4) angeschlossen ist, über den die Auswerte-/Steuereinheit gesteuert wird.

5

6. Testvorrichtung nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass sie eine Vielzahl von Frequenzwandlern (6,23,24) und eine Vielzahl von Frequenzselektoren (7,25,26) enthält, wobei die Frequenzwandler (6,23,24) eine Vielzahl digitaler Referenzsignale, die sich hinsichtlich ihrer Frequenzen unterscheiden, erzeugen, wobei mindestens zwei Frequenzselektoren (7,25,26) an verschiedenen, sich hinsichtlich ihrer Frequenz unterscheidenden, digitalen Referenzsignalen angeschlossen sind.

10

15

7. Testvorrichtung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass zwischen dem Ausgang des zu testenden AD-Wandlers (10) und der digitalen Testantwort eine Offset-Kompensation (36) angebracht ist.

20

8. Testvorrichtung nach Anspruch 7, dadurch gekennzeichnet, dass sie eine Zusatzmessschaltung (28) mit den folgenden Merkmalen enthält:

25

- ein erstes Multiplizierglied (29), an dessen Eingang ein digitales Referenzsignal, das die gleiche Frequenz wie das analoge Testsignal und die gleiche Amplitudenauflösung wie der zu testende AD-Wandler hat, anliegt und das das Eingangssignal mit zwei multipliziert,

30

- einen Phasenverschieber (30), der das Ausgangssignal des ersten Multiplizierglieds (29) der Zusatzmessschaltung (28) um $\pi/2$ verschiebt,
 - ein zweites Multiplizierglied (31), das das Ausgangssignal des ersten Multiplizierglieds (29) mit dem Ausgangssignal des ersten Multiplizierers (12) eines Frequenzselektors multipliziert,
 - ein drittes Multiplizierglied (32), das das Ausgangssignal des Phasenverschiebers (30) mit dem Ausgangssignal des zweiten Multiplizierers (13) des Frequenzselektors (7) multipliziert,
 - einen Addierer (33), das die Summe aus zweitem (31) und dem dritten Multiplizierglied (32) bildet,
 - ein Substraktionsglied (34), das das Ausgangssignal des Addierers (33) von der Testantwort abzieht,
 - ein Maximalwertermittler (35), der den Maximalwert des Ausgangssignals des Substraktionsglieds (34) ermittelt.
9. Testvorrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Amplitudenauflösung m des digitalen Referenzsignals größer als die Amplitudenauflösung N der digitalen Testantwort ist.
10. Testvorrichtung nach einem der Ansprüche 1 - 9, dadurch gekennzeichnet, dass Schaltungen der Testvorrichtung (1) in dem Baustein, der den zu testenden AD-Wandler (10) enthält, integriert sind.
11. Testvorrichtung nach einem der Ansprüche 1 - 10,

dadurch gekennzeichnet, dass Schaltungen der Testvorrichtung (1) in einem Field Programmable Gate Array (FPGA) integriert sind.

- 5 12. Verfahren zum Testen von AD-Wandlern (10) mit den folgenden Schritten:
- a) Erzeugen eines digitalen Testsignals,
 - b) Erzeugen eines analogen Testsignals als Eingangssignal für den AD-Wandler (10) aus dem digitalen Testsignal,
 - 10 c) Erzeugen eines sinusförmigen, digitalen Referenzsignals, dessen Frequenz gleich oder ein ganzzahliges Vielfaches der Frequenz des analogen Testsignals ist,
 - d) Mischen der Testantwort des AD-Wandlers (10) mit dem digitalen Referenzsignal und mit einem um $\pi/2$ verschobenen digitalen Referenzsignal zu Mischsignalen,
 - 15 e) Bestimmen der Gleichanteile der Mischsignale,
 - f) Bestimmen mindestens eines der Parameter Amplitude Leistungsanteil, und Phasenwinkel für eine Grund- oder Oberwelle der Testantwort aus den Gleichanteilen der
 - 20 Mischsignale.
13. Verfahren nach Anspruch 12,
- dadurch gekennzeichnet, dass
- im Schritt f) der Phasenwinkel der Grundwelle der Testantwort mittels eines Verschiebens der Phase des digitalen Referenzsignals bestimmt wird.
- 25
14. Verfahren nach Anspruch 12,
- dadurch gekennzeichnet, dass
- 30 im Schritt f) der Phasenwinkel der Grundwelle der Testantwort durch Ermittlung des Arcustangens des Quotienten der Gleichanteile der Mischsignale erfolgt.

15. Verfahren nach Anspruch 12 bis 14,
dadurch gekennzeichnet, dass
im Schritt c) mehrere digitale Referenzsignale unter-
schiedlicher Frequenz erzeugt werden und
5 im Schritt d) mehrere digitale Referenzsignale gleich-
zeitig mit der Testantwort gemischt werden.
16. Verfahren nach einem der Ansprüche 12 bis 15,
10 dadurch gekennzeichnet, dass
nach Schritt f) die Schrittfolge c), d), e) und f) we-
nigstens einmal wiederholt wird, wobei im Schritt c) die
Frequenz des digitalen Referenzsignals verändert wird.
- 15 17. Verfahren nach einem der Ansprüche 12 bis 16,
dadurch gekennzeichnet, dass
es zusätzlich einen Schritt des Bestimmens der Gesamt-
leistung der Testantwort enthält.
- 20 18. Verfahren nach einem der Ansprüche 12 bis 17,
dadurch gekennzeichnet, dass
in einem weiteren Schritt die Werte SNR, SINAD,
SNDR und THD des AD-Wandlers (10) unter Verwendung der
in Schritt f) ermittelten Parameter und der ermittelten
25 Gesamtleistung ermittelt werden.
19. Verfahren nach einem der Ansprüche 12 bis 18,
dadurch gekennzeichnet, dass
vor dem Schritt f) der Offset der Testantwort kompen-
30 siert wird.
20. Verfahren nach einem der Ansprüche 12 bis 19,
dadurch gekennzeichnet, dass

es zusätzlich die folgenden Schritte enthält:

- 5 a1) Erzeugen eines weiteren digitalen Referenzsignals,
 das die gleiche Frequenz wie das analoge Testsignal
 und die gleiche Amplitudenauflösung wie der zu tes-
 tende AD-Wandler hat,
- b1) Multiplizieren des weiteren Referenzsignals, mit
 zwei,
- 10 c1) Multiplizieren der Gleichanteile der Mischsignale
 aus Schritt e) mit dem Kosinus beziehungsweise mit
 dem Sinus des mit zwei multiplizierten weiteren Re-
 ferenzsignals,
- d1) Addition der Ergebnisses der Multiplikationen aus
 Schritt c1)
- 15 e1) Subtrahieren des Ergebnisses der Addition aus
 Schritt e1)
- f1) Bilden des Maximalwerts des Subtraktionsergebnis-
 ses,
- 20 wobei der Schritt a1) nach Schritt a) und der Schritt
 c1) nach Schritt e) erfolgt.

FIG 1

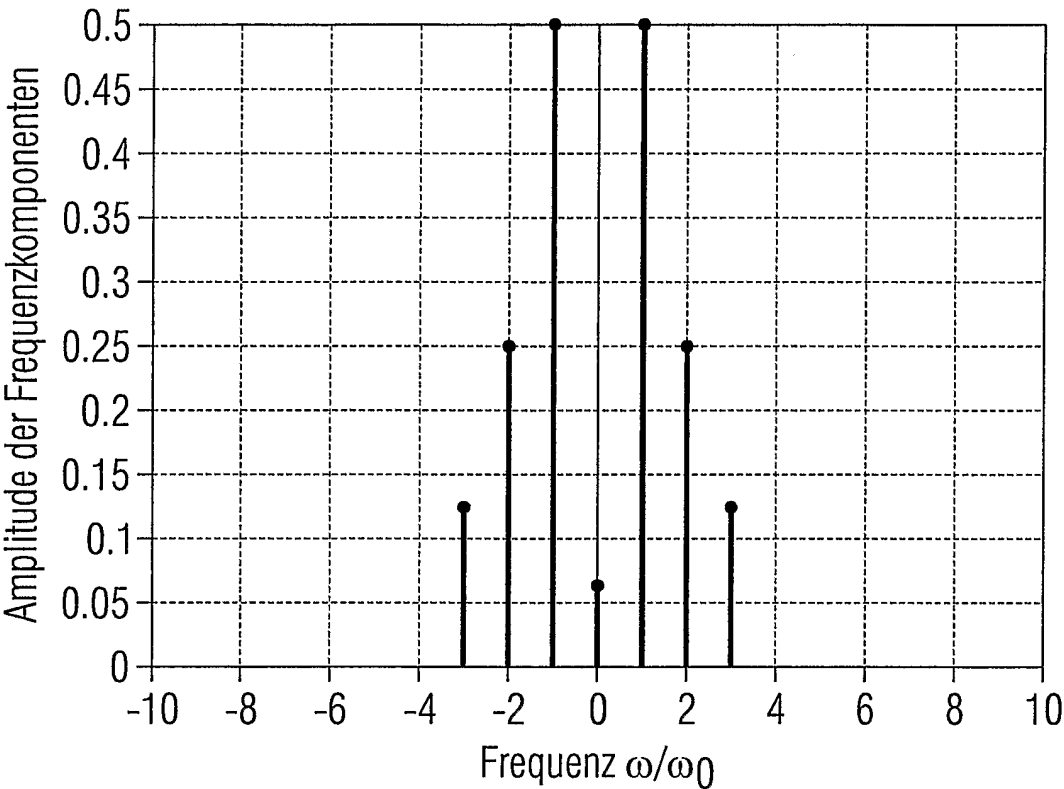


FIG 2

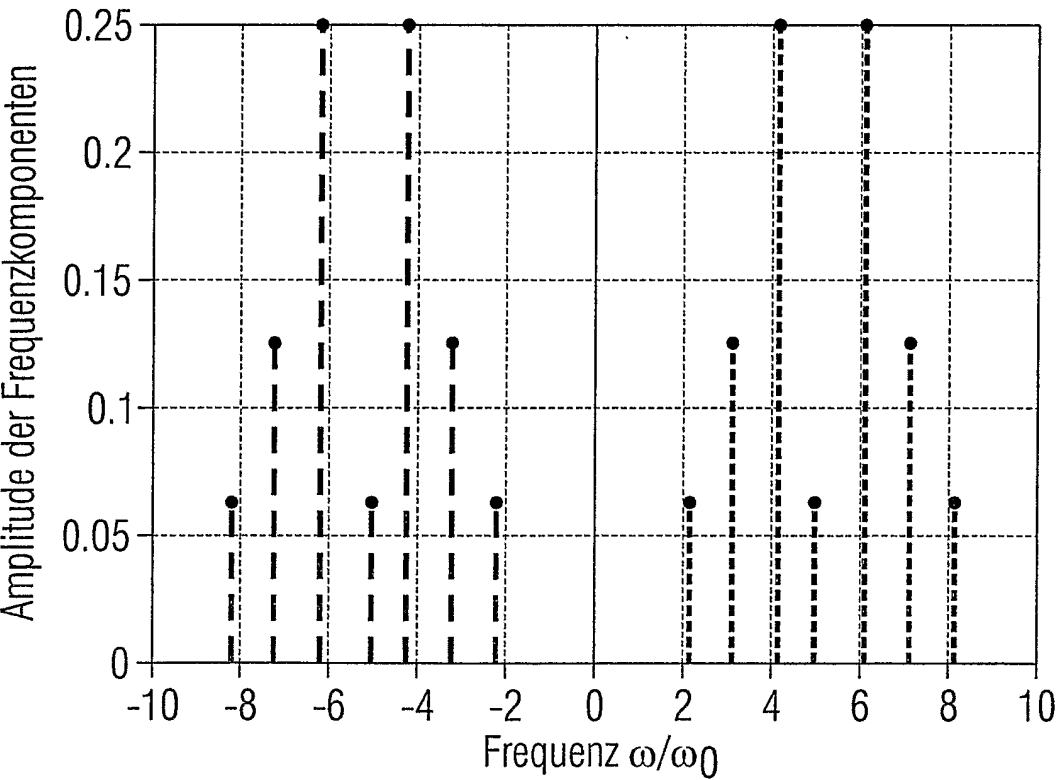


FIG 3

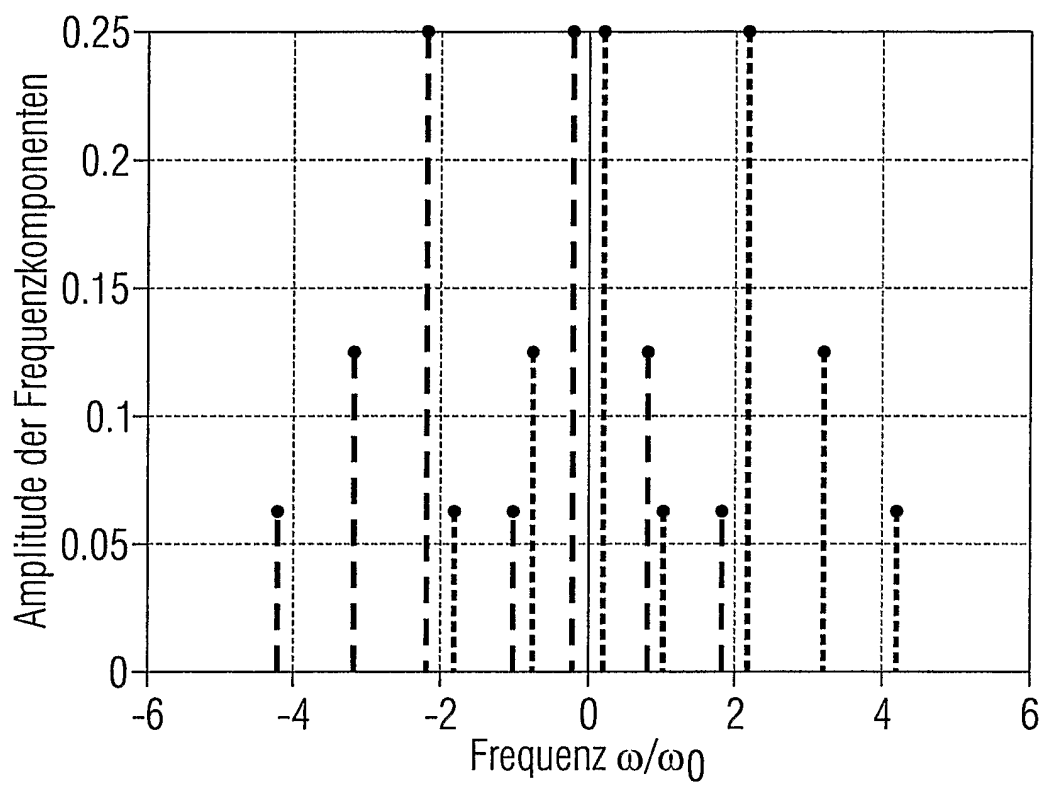


FIG 4

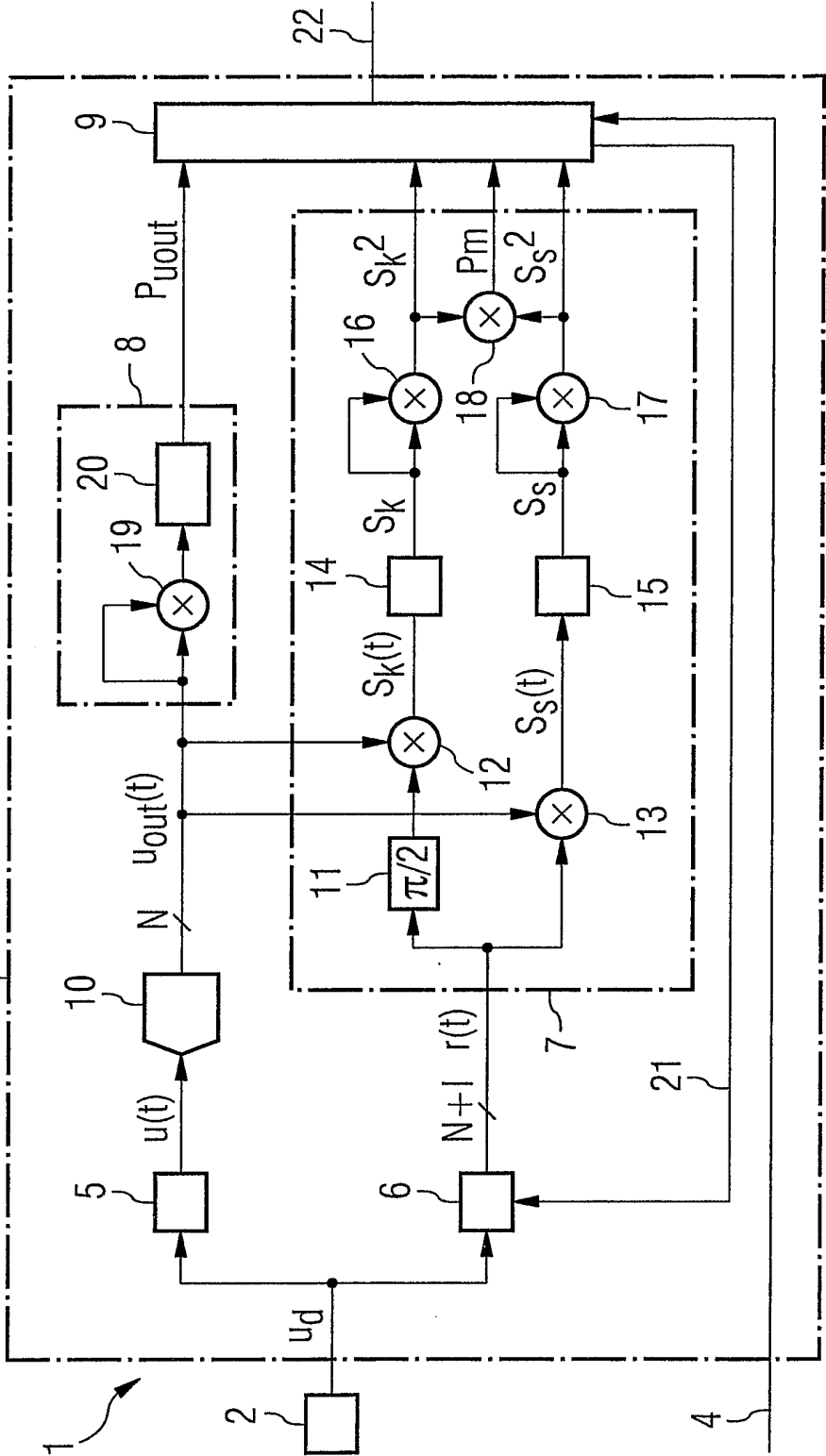


FIG 5

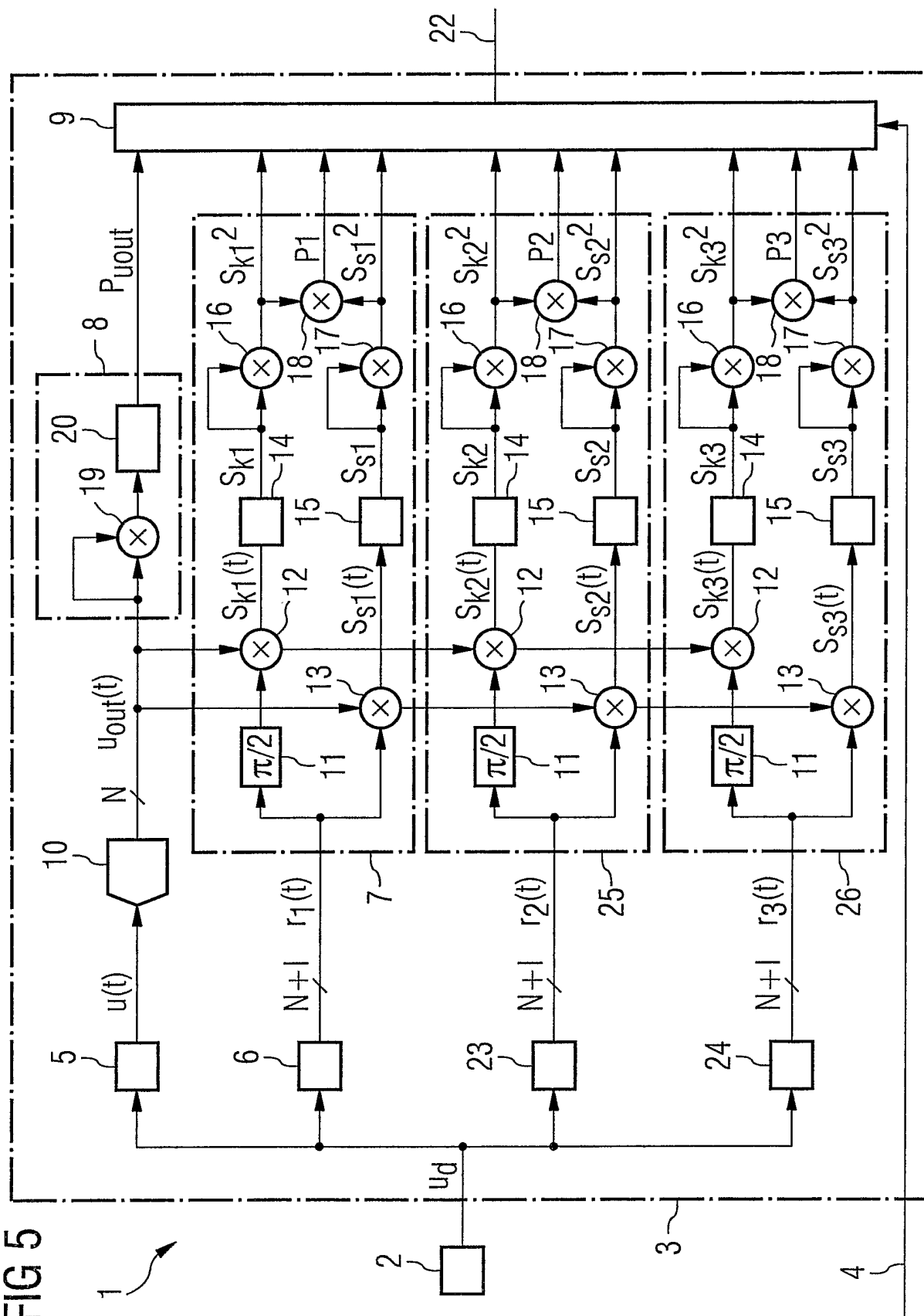
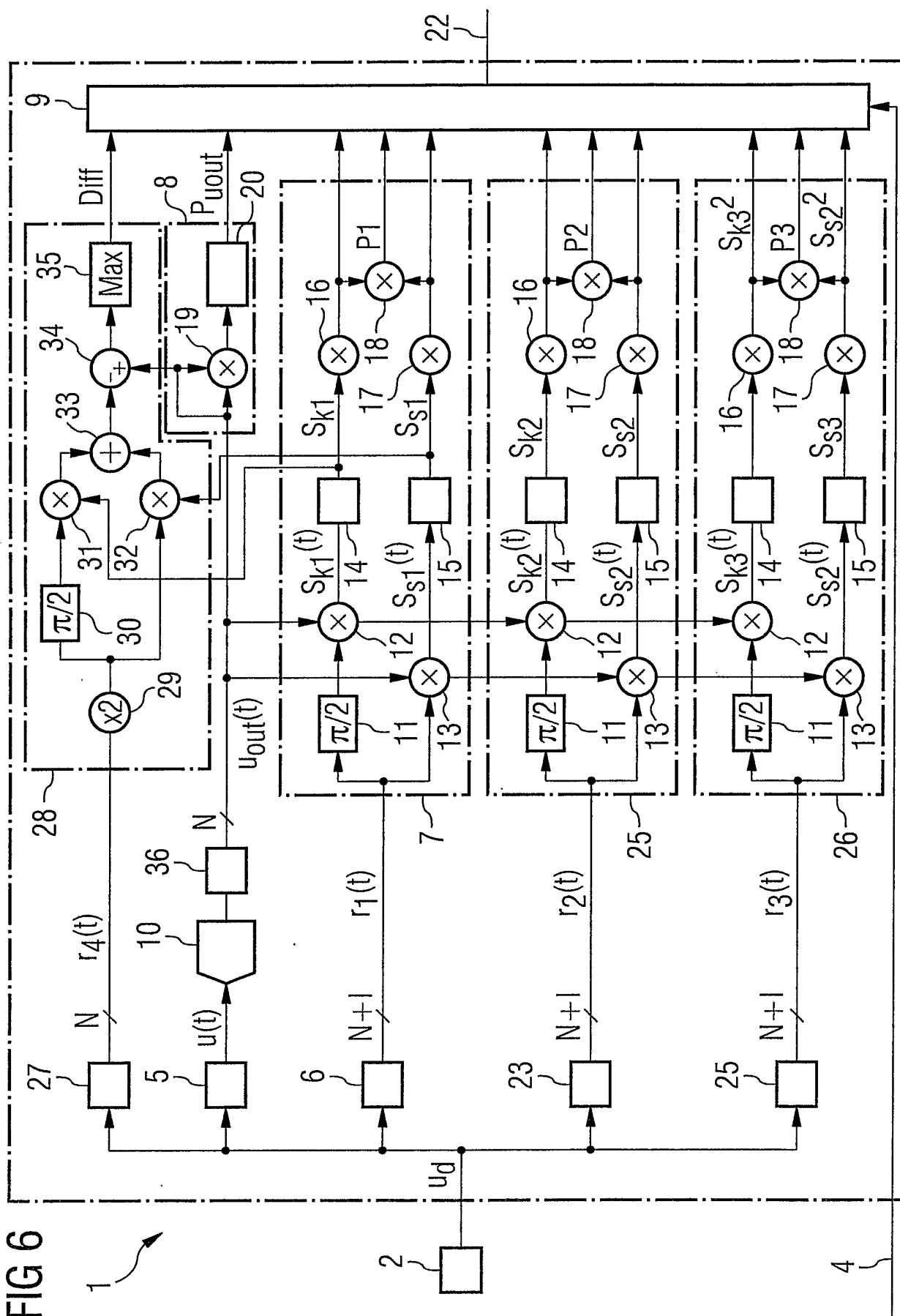


FIG 6



INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE2005/001673

A. CLASSIFICATION OF SUBJECT MATTER

H03M1/10 G01R23/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R H03M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, INSPEC, WPI Data, COMPENDEX, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	"IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters (Sections 4.1.1.1, 4.4 and 4.5)" IEEE STD 1241-2000, 13 June 2001 (2001-06-13), XP002359943 New York, USA ISBN: 0-7381-2724-8 cited in the application pages 18,19; figure 3 pages 44-53 ----- -/--	1-20



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *Z* document member of the same patent family

Date of the actual completion of the international search

20 December 2005

Date of mailing of the international search report

26/01/2006

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Nicolaucig, A

INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE2005/001673

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	DATABASE WPI Section EI, Week 198152 Derwent Publications Ltd., London, GB; Class S01, AN 1981-N3238D XP002360264 -& SU 813 298 A (LENGD ELEC ENG INST) 15 March 1981 (1981-03-15) abstract	1-20
A	----- DEMLER M J: "TIME-DOMAIN TECHNIQUES ENHANCE TESTING OF HIGH-SPEED ADCS" EDN ELECTRICAL DESIGN NEWS, REED BUSINESS INFORMATION, HIGHLANDS RANCH, CO, US, vol. 37, no. 7, 30 March 1992 (1992-03-30), pages 115-120, XP000290960 ISSN: 0012-7515 the whole document -----	1-20

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE2005/001673

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
SU 813298	A	15-03-1981	NONE

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE2005/001673

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
H03M1/10 G01R23/20

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
G01R H03M

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, INSPEC, WPI Data, COMPENDEX, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	"IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters (Sections 4.1.1.1, 4.4 and 4.5)" IEEE STD 1241-2000, 13. Juni 2001 (2001-06-13), XP002359943 New York, USA ISBN: 0-7381-2724-8 in der Anmeldung erwähnt Seiten 18,19; Abbildung 3 Seiten 44-53 ----- -/-	1-20



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

20. Dezember 2005

Absendedatum des internationalen Recherchenberichts

26/01/2006

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Nicolaucig, A

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE2005/001673

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	DATABASE WPI Section EI, Week 198152 Derwent Publications Ltd.; London, GB; Class S01, AN 1981-N3238D XP002360264 -& SU 813 298 A (LENGD ELEC ENG INST) 15. März 1981 (1981-03-15) Zusammenfassung	1-20
A	DEMLER M J: "TIME-DOMAIN TECHNIQUES ENHANCE TESTING OF HIGH-SPEED ADCS" EDN ELECTRICAL DESIGN NEWS, REED BUSINESS INFORMATION, HIGHLANDS RANCH, CO, US, Bd. 37, Nr. 7, 30. März 1992 (1992-03-30), Seiten 115-120, XP000290960 ISSN: 0012-7515 das ganze Dokument	1-20

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE2005/001673

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
SU 813298	A	15-03-1981	KEINE