

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5461987号
(P5461987)

(45) 発行日 平成26年4月2日 (2014.4.2)

(24) 登録日 平成26年1月24日 (2014.1.24)

(51) Int. Cl. F I
H04 J 1/00 (2006.01) H04 J 1/00

請求項の数 10 (全 29 頁)

(21) 出願番号	特願2009-519865 (P2009-519865)	(73) 特許権者	513273074
(86) (22) 出願日	平成19年7月17日 (2007.7.17)		カトラインーベルケ コマンディット ゲゼ
(65) 公表番号	特表2009-544206 (P2009-544206A)		ルシャフト
(43) 公表日	平成21年12月10日 (2009.12.10)		ドイツ国, 83004 ローゼンハイム,
(86) 国際出願番号	PCT/EP2007/006335		アントンーカトラインーシュトラーセ 1
(87) 国際公開番号	W02008/009422		ー3
(87) 国際公開日	平成20年1月24日 (2008.1.24)	(74) 代理人	100099759
審査請求日	平成21年9月25日 (2009.9.25)		弁理士 青木 篤
(31) 優先権主張番号	0614294.7	(74) 代理人	100092624
(32) 優先日	平成18年7月17日 (2006.7.17)		弁理士 鶴田 準一
(33) 優先権主張国	英国 (GB)	(74) 代理人	100114018
(31) 優先権主張番号	60/807,512		弁理士 南山 知広
(32) 優先日	平成18年7月17日 (2006.7.17)	(74) 代理人	100141254
(33) 優先権主張国	米国 (US)		弁理士 榎原 正巳
前置審査			最終頁に続く

(54) 【発明の名称】 デジタル送受信機

(57) 【特許請求の範囲】

【請求項 1】

デジタルベース帯域信号を受信するための無線通信システムにおいて使用可能であり、少なくとも1つの入力デジタル帯域通過信号 (R_S) をデジタルベース帯域信号にダウンコンバートするデジタルダウンコンバータ (DDC) (350) であって、前記デジタルベース帯域信号は、同相成分 (I 信号) および直交成分 (Q 信号) を含み、前記デジタルダウンコンバータは、

シングルビット/1.5ビットフォーマットの前記少なくとも1つの入力デジタル帯域通過信号 (R_S) を2:1サブサンプリングされたシングル/1.5ビットフォーマットのI信号およびQ信号に変換するための少なくとも1つの直交復調部 (360) であって、前記1.5ビットフォーマットは1並列セットのゼロビット信号および符号ビット信号として3レベルを表す双シリアル信号である、直交復調部と、

前記少なくとも1つの直交復調部 (360) に接続され、それぞれFIRデシメータを利用して、任意の整数である $(1/4) N_R$ のサブサンプリング比を適用することによってシングル/1.5ビットフォーマットの前記入力I信号および前記入力Q信号をサブサンプリングされたパラレルデータフォーマットに変換する少なくとも2つのデシメータ部 (356、357) と、

前記デシメータ部 (356、357) に接続され、それぞれFIR低域通過フィルタを利用して、2のサブサンプリング比でパラレルデータフォーマットの前記I信号および前記Q信号をさらにサブサンプリングする少なくとも2つのサブサンプリング部 (354、

10

20

355)と

を備え、

前記デジタルダウンコンバータ(DDC)ブロック(3701~3706)は、それぞれ出力格納レジスタ(380)に接続される並列ビットスライス(381~386)から構成されるシストリックアレイとして実現される、デジタルダウンコンバータ。

【請求項2】

請求項1に記載のデジタルダウンコンバータ(DDC)(350)において、

前記サブサンプリング部(354、355)に接続され、同じパラレルデータフォーマットで入力した各サブサンプリングされたI信号およびQ信号をシリアルパケットデータフレームフォーマットに変換し、かつ前記信号をパケットデータストリームにして、前記DDC(350)の出力に接続された少なくとも2つのシリアルリンク(260)を介して送信する少なくとも2つのSerDesエンコーダ・バッファ段(352、353)をさらに備える、デジタルダウンコンバータ(DDC)(350)。

10

【請求項3】

請求項1に記載のデジタルダウンコンバータ(DDC)(350)において、

前記サブサンプリング部(354、355)に接続され、同じパラレルデータフォーマットで入力した前記サブサンプリングされたI信号および前記サブサンプリングされたQ信号のサンプルを多重化I/Q信号フォーマットにインタレースし、前記多重化I/Q信号フォーマットをシリアルパケットデータフレームフォーマットに変換し、かつ前記多重化されたI/Q信号をシリアルパケットデータストリームにして、前記DDC(350)の出力に接続された少なくとも1つのシリアルリンク(260)を介して送信する少なくとも1つのマルチプレクサ・バッファ+SerDesエンコーダ段(351)をさらに備える、デジタルダウンコンバータ(DDC)(350)。

20

【請求項4】

請求項1~2のいずれかに記載のデジタルダウンコンバータ(DDC)(350)において、

前記少なくとも1つの直交復調部(360)は、1:2逆多重化および循環否定によって直交復調を行う、デジタルダウンコンバータ(DDC)(350)。

【請求項5】

請求項4に記載のデジタルダウンコンバータ(DDC)(350)において、

前記少なくとも1つの直交復調部(360)は、1:2デマルチプレクサ、論理ANDおよびEXORゲート、ならびにフリップフロップのみを使用することによってパイプライン化構造において実現される、デジタルダウンコンバータ(DDC)(350)。

30

【請求項6】

請求項1~5のいずれかに記載のデジタルダウンコンバータ(DDC)(350)において、

前記デシメータ部(356、357)は、それぞれ1アレイのM個のデジタルダウンコンバータ(DDC)ブロック(3701~3706)およびその後段の1パイプライン化カスケードの並列加算器段(390)として実現され、シングル/1.5ビットフォーマットの前記入力デジタル帯域通過信号(R_s)は、1アレイの双シリアルシフトレジスタ(3712~3716)によって前記DDCブロックのM個の入力(3721~3726)に分散され、ここで、Mは、任意の整数である、デジタルダウンコンバータ(DDC)(350)。

40

【請求項7】

請求項6に記載のデジタルダウンコンバータ(DDC)(350)において、

前記ビットスライスは、それぞれ1ビットについてのFIR係数リボルバ(3730)、その後段の 1×1.5 ビット乗算器(3740)、さらに前記 1×1.5 ビット乗算器(3740)が接続される同期してクリアされるアキュムレータ(3760)、および前記アキュムレータ(3760)が接続されるサブサンプルホールド段(3780)を備え、

50

これにより、前記ビットスライスは、2：1マルチプレクサ、1ビットフル加算器、論理ANDおよびEXORゲート、ならびにフリップフロップのみを使用することによって実現される、

デジタルダウンコンバータ（DDC）（350）。

【請求項8】

請求項1～7のいずれかに記載のデジタルダウンコンバータ（DDC）（350）において、

前記DDC（350）は、前記デジタル帯域通過信号（RS）のマルチビットフォーマットを利用する、デジタルダウンコンバータ（DDC）（350）。

【請求項9】

請求項1～8のいずれかに記載のデジタルダウンコンバータ（DDC）（350）において、

前記DDC（350）は、パラレルデータフォーマットとして、16ビットフォーマットを利用する、デジタルダウンコンバータ（DDC）（350）。

【請求項10】

請求項1～9のいずれかに記載のデジタルダウンコンバータ（DDC）（350）において、

前記DDC（350）は、マイクロエレクトロニクス技術によりモノリシックに集積されるか、またはマルチチップモジュールとして集積される、デジタルダウンコンバータ（DDC）（350）。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、無線送受信機およびアンテナシステムに関する。特に、本発明は、無線通信システムのための送受信基地局およびデジタル送受信機に関する。

【背景技術】

【0002】

近年、無線技術が大きく進歩してきた。これは、現在入手可能な高性能デジタル携帯電話を見ても明らかである。移動通信は、ユーザの要求に答えて世界の多くの地域がほぼ100%の受信可能エリアとなってきた。ユーザは、どこにいても携帯電話（移動局）を介して通信できることを所望する。

【0003】

その結果、移動局の数および確立する通信リンクの数が増加している。加えて、高品質な音声メッセージまたはショートメッセージだけでなく、画像、映画または音楽などの増え続けるデータ量を転送することが所望されるので、通信リンクを介して転送されるデータ量は、着実に増加している。

【0004】

着信可能となるためには、送受信基地局（BTS）が移動局の範囲内に存在しなければならない。次いで、移動局とBTSとの間に通信リンクが確立される。この通信リンクにおいて、通信データは、RF信号によって移動局およびBTSから送受信される。BTSは、通信データをさらに電話または他の通信ネットワークへ転送する。

【0005】

移動サービスプロバイダは、顧客がほぼどこからでもBTSに確実にアクセスできるようにしなければならない。したがって、BTSは、高度な受信可能エリアを実現するために分散されなければならない。加えて、多数の移動通信が同時に行われる必要のある都市エリアにおいては、十分な数のBTSが設置されなければならない。

【0006】

現代のBTSは、周波数帯域幅が広く、かつダイナミックレンジが高くなければならない。

【0007】

10

20

30

40

50

良好なアクセスを提供するために、B T Sのアンテナは、通常、屋上、塔の先端部（塔上）、マスト上などの露出した場所に設置されるので、壁または地形そのものに遮られることがなく、かつ受信可能エリアが最大化され得る。

【0008】

当該技術分野で公知の送受信基地局（B T S）は、通常、塔上装置および基地局を備える。

【0009】

塔上装置は、主に、屋上、マストなどの露出した場所に取り付けられるアンテナを形成する複数のアンテナ素子からなり、そこへ向かって、またはそこからR F信号が移動局へ送信されるので、障壁は可能な限り少なくなる。露出するように取り付けられる場合、アンテナは広範囲に見られ得ることになる。しかし、これは必ずしも所望されることではなく、しばしばアンテナの近くに住む住民に懸念を生じさせる。

【0010】

当該技術分野で公知の塔上装置のアンテナは、アンテナのアンテナ素子を介してR F信号を送受信するための無線部に接続される。無線部は、R F信号をデジタルベース帯域信号に変換するコンバータとして機能し、通常、基地局内のB T Sに必要なさらなる電子装置と共に配置される。現在、基地局は、相当なスペース（通常、小さな部屋の大きさ）を必要とする。この部屋またはコンテナは、アンテナが取り付けられる建物の地下または屋上に配置されてもよい。基地局および無線部は、アンテナからある程度の距離だけ離れているので、それらの間には接続が必要である。

【0011】

無線部およびアンテナ素子は、電気ノイズから可能な限り遮蔽するために同軸ケーブルを用いて接続される。これらの同軸ケーブルの長さは、アンテナと無線部との距離になるので現在のところ約10～50mである。ケーブルの長さは、エネルギー損失および信号対ノイズの損失という固有の短所を有する。同軸ケーブルは、建物の外側に沿って這わせてあることが多く、その結果見苦しい。

【0012】

特許文献1は、デジタルアップおよびダウンコンバータならびにデジタル送受信機を開示する。例えば、プログラマブルデジタル中間周波数受信器は、プログラマブルメモリ、クロック発生器、シグマデルタコンバータ、デジタルダウンコンバータ、および間引きフィルタネットワークを含む。

特許文献2は、送受信機の送信部分のためのデジタルアップコンバータおよび受信部分のためのデジタルダウンコンバータを有する無線送受信機を開示する。送受信機は、アナログデジタルコンバータ、デジタルアナログコンバータ、およびR F部をさらに含む。R F部は、アナログ設計されており、かつ信号をキャリア周波数範囲に（から）アップコンバート（ダウンコンバート）する目的を果たす。デジタル信号のアップコンバージョンおよびダウンコンバージョンは、ベース帯域周波数と中間周波数との間で行われる。

【0013】

特許文献3は、数値制御発振器を使用するデジタルダウンコンバータおよびデジタルアップコンバータを示す。デジタルダウンコンバータは、サンプリング周波数を低減するためのデシメータ（decimator）を含む。デジタルアップコンバータは、サンプリング周波数を増加するための補間器を含む。数値制御発振器は、アップ／ダウンコンバータがアナログ周波数ミキサの動作を模倣できるようにするために、正弦信号または余弦信号の比較的正確なデジタル表現を与える。

【0014】

特許文献4は、デジタル帯域通過シグマデルタ変調器を含むフルデジタル送信器を記載する。送信器は、デジタル帯域通過シグマデルタ変調器と組み合わさって動作して、送信周波数の数倍のサンプリング周波数で変調デジタル信号を生成するデジタルアップコンバータ機能を含む。この構成は、送信周波数の数倍で機能するためにシグマデルタ変調器を必要とする、すなわち、シグマデルタ変調器は、比較的高い周波数で動作される

10

20

30

40

50

。

【先行技術文献】

【特許文献】

【0015】

【特許文献1】米国特許6611570 B1

【特許文献2】国際公開WO 2004/043030 A1

【特許文献3】欧州特許出願EP 1 429 231 A1

【特許文献4】国際公開WO 2005/120001 A3

【発明の概要】

【発明が解決しようとする課題】

10

【0016】

したがって、RF信号の電氣的損失を最小化または回避するシステムが要求される。

【0017】

また、スペースをあまり必要とせず、かつ設置および保守がより簡単なBTSが求められる。

【0018】

したがって、本発明の目的は、信号を転送するための同軸ケーブルの使用を回避する送受信基地局を提供することである。

【0019】

本発明の目的は、デジタル無線部において使用するためのアップコンバータを提供することである。

20

【0020】

本発明の別の目的は、デジタル無線部において使用するためのダウンコンバータを提供することである。

【0021】

本発明のさらなる目的は、デジタル無線部において使用するための送受信機を提供することである。

【0022】

本発明の別の目的は、必要なスペースの小さい高速な送受信機を提供することである。

【0023】

本発明のさらなる目的は、アンテナの近傍のBTSの塔上装置において設置され得るデジタル無線部を提供することである。

30

【0024】

本発明のさらなる目的は、フルデジタルアンテナ用のデジタル無線部を提供することである。

【課題を解決するための手段】

【0025】

本発明のこれらの目的および他の目的は、デジタルベース帯域信号を送信するための無線通信システムにおいて使用可能であり、入力デジタルベース帯域信号をデジタル帯域通過信号(I_{DL})にアップコンバートするデジタルアップコンバータ(DUC)(310)であって、デジタルベース帯域信号は、同相成分(I信号)および直交成分(Q信号)を含む、デジタルアップコンバータによって解決される。デジタル帯域通過信号(I_{DL})は、出力において利用可能であってもよい。デジタルアップコンバータは、

40

少なくとも2つのオーバーサンプリング部(314、315)であって、それぞれは、サンプルホールド回路に接続される複数のFIR低域通過フィルタを備え、入力I信号およびQ信号を $(1/2)N_T$ のオーバーサンプリング比でオーバーサンプリングし、ここで、 $(1/2)N_T$ は、任意の整数である、オーバーサンプリング部と、

オーバーサンプリング部(314、315)に接続される、少なくとも2つの時間離散シグマデルタ低域通過変調器(316、317)であって、オーバーサンプリングされたI信号およびQ信号を、1並列セットのゼロビット信号および符号ビット信号として3

50

レベルを表す双シリアル信号であるシングル／1．5ビットフォーマットに変換する時間分散シグマデルタ低域通過変調器と、

シングル／1．5ビットフォーマットの入力I信号および入力Q信号を、DUC（310）の出力において、シングル／1．5ビットフォーマットにおいて利用可能なデジタル帯域通過信号（ I_{DL} ）に変換する少なくとも1つの直交変調部（340）と

を備え、

前記少なくとも2つの時間分散シグマデルタ低域通過変調器（316、317）は、シストリックアレイとして実現される。

【0026】

無線通信システムは、また無線通信システムのサブシステムであり得る。本発明の特定の用途において、無線通信システムは、移動通信システムである。

【0027】

直交変調は、シングル／1．5ビットフォーマットのI信号およびQ信号を2：1多重化および循環否定することによって行われてもよい。

【0028】

本発明の一態様において、デジタルアップコンバータ（DUC）は、I信号およびQ信号を少なくとも2つのシリアルリンクを介してパケットデータフレームフォーマットにおいて受信し、さらなる処理のために、当該信号をそれぞれ同じパラレルデータフォーマットの少なくとも2つのパラレル同期データストリームに変換し、かつ2つのパラレル同期データストリームをオーバーサンプリング部に提供する少なくとも2つのSerDesデコーダ・バッファ段を備える。

【0029】

本発明の別の態様において、デジタルアップコンバータ（DUC）は、少なくとも1つのシリアルリンクを介して、パケットデータフレームフォーマットにおいてインタレースされたI信号およびQ信号を受信し、さらに、さらなる処理のために、当該信号をそれぞれ同じパラレルデータフォーマットの少なくとも2つのパラレル同期データストリームに逆多重化および変換し、かつ2つのパラレル同期データストリームをオーバーサンプリング部に提供する少なくとも1つのSerDesデコーダ・フレームバッファ+デマルチプレクサ段を備える。

【0030】

直交変調は、オーバーサンプリングされたI信号およびQ信号を2：1多重化および循環否定することによって行われてもよい。

【0032】

別の態様において、デジタルアップコンバータ（DUC）は、

少なくとも2つのオーバーサンプリング部であって、それぞれサンプルホールド回路に接続される1組み合わせのFIR低域通過フィルタを利用して、入力I信号およびQ信号を $(1/2)N_T$ のオーバーサンプリング比でオーバーサンプリングし、ここで、 $(1/2)N_T$ は、任意の整数である、オーバーサンプリング部と、

オーバーサンプリングされたI信号およびQ信号をパラレルデータフォーマットのデジタル帯域通過信号に変換するための少なくとも1つの直交変調部と、

少なくとも1つの直交変調部（340）に接続され、パラレルデータフォーマットのデータ帯域通過信号をDUCの出力においてシングル／1．5ビットフォーマットにおいて利用可能なデジタル帯域通過信号（ I_{DL} ）に変換する少なくとも1つの時間分散シグマデルタ帯域通過変調器であって、前記1．5ビットフォーマットは1並列セットのゼロビット信号および符号ビット信号として3レベルを表す双シリアル信号である、時間分散シグマデルタ低域通過変調器と

を備え、

前記少なくとも1つの時間分散シグマデルタ帯域通過変調器（318）は、シストリックアレイとして実現される。

【0033】

直交変調は、オーバーサンプリングされた I 信号および Q 信号を 2 : 1 多重化および循環否定することによって行われてもよい。

【0034】

デジタルアップコンバータは、少なくとも 1 つのシリアルリンクを介して、パケットデータフレームフォーマットにおいてインタレースされた I 信号および Q 信号を受信し、かつさらに、さらなる処理のために、信号をそれぞれ同じパラレルデータフォーマットの少なくとも 2 つのパラレル同期データストリームに逆多重化および変換する少なくとも 1 つの SerDes デコーダ・フレームバッファ+デマルチプレクサ段をさらに備えてもよい。

【0035】

デジタルアップコンバータは、I 信号および Q 信号を少なくとも 2 つのシリアルリンクを介してパケットデータフレームフォーマットにおいて受信し、かつさらなる処理のために、当該信号をそれぞれ同じパラレルデータフォーマットの少なくとも 2 つのパラレル同期データストリームに変換する少なくとも 2 つの SerDes デコーダ・バッファ段をさらに備えてもよい。

【0037】

さらなる態様において、2 : 1 多重化および循環否定によって直交変調を行うための少なくとも 1 つの直交変調部は、2 : 1 マルチプレクサ、論理 AND および EXOR ゲート、ならびにフリップフロップのみを使用することによってパイプライン化構造において実現される少なくとも 1 つの直交変調部である。

【0038】

DUC は、デジタル帯域通過信号 (I_{DL}) のマルチビットフォーマットを利用してもよい。DUC は、パラレルデータフォーマットとして 16 ビットフォーマットを利用してもよい。

【0039】

DUC は、マイクロエレクトロニクス技術によりモノリシックに集積され、またはマルチチップモジュールとして集積されてもよい。

【0040】

また、本発明の目的は、デジタルベース帯域信号を受信するための無線通信システムにおいて使用可能であり、少なくとも 1 つの入力デジタル帯域通過信号 (R_S) をデジタルベース帯域信号にダウンコンバートするデジタルダウンコンバータ (DDC) であって、デジタルベース帯域信号は、同相成分 (I 信号) および直交成分 (Q 信号) を含む、デジタルダウンコンバータによって解決される。デジタルダウンコンバータは、

___ シングル / 1.5 ビットフォーマットの少なくとも 1 つの入力デジタル帯域通過信号 (R_S) を 2 : 1 サブサンプリングされたシングル / 1.5 ビットフォーマットの I 信号および Q 信号に変換するための少なくとも 1 つの直交復調部と、

___ 少なくとも 1 つの直交復調部に接続され、それぞれ FIR デシメータを利用して、任意の整数である $(1/4)N_R$ のサブサンプリング比を適用することによってシングル / 1.5 ビットフォーマットの入力 I 信号および Q 信号をサブサンプリングされたパラレルデータフォーマットに変換する少なくとも 2 つのデシメータ部と、

___ デシメータ部に接続され、それぞれ FIR 低域通過フィルタを利用して、2 のサブサンプリング比でパラレルデータフォーマットの I 信号および Q 信号をさらにサブサンプリングする少なくとも 2 つのサブサンプリング部とを備え、

前記デジタルダウンコンバータ (DDC) ブロック (3701~3706) は、それぞれ出力格納レジスタ (380) に接続される並列ビットスライス (381~386) から構成されるシストリックアレイとして実現される。

___ 前記 1.5 ビットフォーマットは 1 並列セットのゼロビット信号および符号ビット信号として 3 レベルを表す双シリアル信号である。

【0041】

デジタルダウンコンバータは、サブサンプリング部に接続され、同じパラレルデータフ

10

20

30

40

50

フォーマットで入力した各サブサンプリングされた I 信号および Q 信号をシリアルパケットデータフレームフォーマットに変換し、かつ当該信号をパケットデータストリームにして、DDCの出力に接続された少なくとも2つのシリアルリンクを介して送信する少なくとも2つのSerDesエンコーダ・バッファ段をさらに備えてもよい。

【0042】

本発明の別の態様において、DDCは、サブサンプリング部に接続され、同じパラレルデータフォーマットで入力したサブサンプリングされた I 信号および Q 信号のサンプルを多重化 I/Q 信号フォーマットにインタレースし、多重化 I/Q 信号フォーマットをシリアルパケットデータフレームフォーマットに変換し、かつ多重化された I/Q 信号をシリアルパケットデータストリームにして、DDCの出力に接続された少なくとも1つのシリアルリンクを介して送信する少なくとも1つのマルチプレクサ・バッファ+SerDesエンコーダ段を備える。

10

【0043】

少なくとも1つの直交復調部は、1:2逆多重化および循環否定によって直交復調を行ってもよい。

【0044】

本発明の一態様において、1:2逆多重化および循環否定によって直交復調を行う少なくとも1つの直交復調部は、1:2デマルチプレクサ、論理ANDおよびEXORゲート、ならびにフリップフロップのみを使用することによってパイプライン化構造において実現される。

20

【0045】

DDCの一態様において、デシメータ部は、それぞれ1アレイのM個のデジタルダウンコンバータ(DDC)ブロックおよびその後段の1パイプライン化カスケードの並列加算器段として実現され、シングル/1.5ビットフォーマットの入力デジタル帯域通過信号(R_S)は、1アレイの双シリアルシフトレジスタによってDDCブロックのM個の入力に分散され、ここで、Mは、任意の整数である。

【0046】

ビットスライスは、それぞれ1ビットについてのFIR係数リボルバ、その後段の1×1.5ビット乗算器、さらに1×1.5ビット乗算器が接続される同期してクリアされるアキュムレータ、およびアキュムレータが接続されるサブサンプルホールド段を備え、これにより、ビットスライスは、2:1マルチプレクサ、1ビットフル加算器、論理ANDおよびEXORゲート、ならびにフリップフロップのみを使用することによって実現される。

30

【0047】

本発明の一態様において、少なくとも1つのデジタルアップコンバータ(DUC)および少なくとも1つのダウンコンバータ(DDC)が、デジタルベース帯域信号を送信および受信するための無線通信システムにおいて使用可能なデジタル送受信機(DTRX)を構成する。

【0048】

一態様において、DDC、DUCまたはDTRXは、シストリックアレイとして実現される。

40

【0049】

さらなる態様において、DDC、DUCまたはDTRXは、デジタル帯域通過信号(I_{DL})のマルチビットフォーマットを利用する。マルチビットフォーマットは、16ビットフォーマットであってもよい。

【0050】

本発明の一態様において、DUC、DDCまたはDTRXは、デジタル無線部のマイクロ無線機において集積される。DUC、DDCまたはDTRXは、マイクロエレクトロニクス技術によりモノリシックに集積され得るか、またはマルチチップモジュールとして集積され得る。集積化は、マクロエレクトロニクス手段によって実現され得る。

50

【0051】

本発明に係るDUC、DDCまたはDTRXは、任意の無線通信システムにおいて適用され得るという利点があり、かつ本発明が移動通信システムに限定されないことは、当業者にとって明らかである。本発明は、特定の無線通信システムの要件にしたがって、送受信機、送信機、または受信機部において適用されてもよい。

【図面の簡単な説明】

【0052】

【図1】移動通信ネットワークを示す。

【図2】従来技術および本発明に係る基地局構成を示す。

【図3】本発明に係るフルデジタルアンテナシステムの異なる構成を示す。

10

【図4a】本発明に係るFDD無線リンクに対するデジタル無線部の構成要素を詳細に示す。

【図4b】図4aにおけるμ無線機とCハブとの間に使用されるデータフレームフォーマットの例を示す。

【図4c】本発明に係るTDD無線リンクに対するマイクロ無線機の構成要素を詳細に示す。

【図5】4：1モードにおける本発明に係るデジタル送受信機(DTRX)の機能ブロック図を示す。

【図6a】図6aおよび図6bは、4：3モードにおけるデジタル送受信機(DTRX)の機能ブロック図の2つの実施形態を示す。

20

【図6b】図6aおよび図6bは、4：3モードにおけるデジタル送受信機(DTRX)の機能ブロック図の2つの実施形態を示す。

【図7a】図5のDUCの多重化および循環否定による直交変調ブロックとしての同一機能を有する1：2オーバーサンプリング前段を有する一般のデジタル直交変調器のブロック図を示す。

【図7b】図7aの1：2オーバーサンプリング前段を有する一般のデジタル直交変調器の信号の代表例を示す。

【図8】図7aに示す同相バージョンのデジタル直交変調器の異なるラインでの信号の例を示す。

【図9】図5のDUCの2：1多重化および循環否定による直交変調ブロックのパイプライン化による実現を示す。

30

【図10】図5のDDCの逆多重化および循環否定による直交復調ブロックおよび低域通過デシメータとしての同一機能をともに有する一般のデジタル直交復調器およびその後段の低域通過デシメータの構造を示す。

【図11】図10の異なるラインでの信号の代表例を示す。

【図12】デジタルダウンコンバージョンに対するシストリックN：1デシメータのブロック図を示す。

【図13】1.5ビット信号のN：1間引きを実現するシストリックDDCブロックを示す。

【図14】N：1間引きのためのシストリックDDCブロックにおける畳み込み部のビットスライスを示す。

40

【発明を実施するための形態】

【0053】

本発明の特徴は、詳細な説明および図面を読むことによってより良く理解されるかもしれない。同一の符号は、同一または同様の構成要素を示す。

【0054】

図1は、移動通信ネットワークの概略を示す。移動局2は、送受信基地局(BTS)100の範囲4内に存在する場合に、無線リンクを介してBTS100と通信し得る。移動局2は、通常800MHzから数GHzまでの範囲の無線周波数(RF)で、無線リンクを介して通信可能な任意の移動または固定通信デバイスである。移動局の一般例は、携帯

50

電話、ポケットPC、データカードなどであるが、これらに限定されない。

【0055】

移動局2がBTS100の範囲内に存在するならば、移動局2とBTS100との間にデータ通信が確立されてもよい。データ通信を使用して音声および／またはデータを転送してもよい。通信中に、BTS100は、無線ダウンリンクを介して移動局2によって受け取られるRF信号を送信し、かつ無線アップリンクを介して移動局2によって送られたRF信号を受け取る。周波数分割二重(FDD)モードにおいて、2つの異なる周波数帯域を利用して、無線ダウンリンクを無線アップリンクから分離する。しかし、時間分割二重(TDD)モードにおいては、1つの周波数帯域だけがダウンリンクおよびアップリンク双方向に使用される。分離は、同じ周波数帯域を使用し、ダウンリンクおよびアップリンク方向に交互に、時間ドメインにおいて行われる。したがって、TDDモードにおいて、アンテナ+帯域通過フィルタは、送信路または受信路のいずれか一方へ周期的に切り換えられる。両モードは、異なる移動無線規格において利用されるが、FDDは、TDDよりも普及している。

10

【0056】

BTS100から、データ(データ通信データおよび音声データを含む)が基地局コントローラ12に転送される。基地局コントローラ(BSC)12は、音声データおよびデータ通信データを分離し、そして音声データおよびSMSデータを移動切り換えセンタ(MSC)16へ送信する。さらに、移動切り換えセンタ(MSC)16から、音声データおよびSMSデータは、MSC16がリンクされた電話ネットワーク30へ転送される。他のデータは、BSC12によって、サービングおよびゲートウェイGPRSサポートノード(GSN)18に送信され、かつさらにインターネットなどのデータネットワーク40へ転送される。すべての通信フローが双方向であってもよいことが理解される。また、データは、データネットワーク40および／または電話ネットワーク30から反対方向にBTS100へ送信される。BTS100から、データは、無線波によってRF信号として移動局2へ送信される。数個の移動局2が1つのBTS12と同時に通信してもよい。

20

【0057】

図2は、送受信基地局(BTS)100の3つの異なる構成を示す。すべてのBTS100は、BTS100の受信可能エリアを最大化するために、上記導入部において述べたように、屋上または塔上などの高い位置に通常取り付けられる塔上装置102を備える。塔上装置102は、塔上装置のそばまたはそこからある距離だけ離れた特定のハウジング内に存在してもよい基地局104に接続される。

30

【0058】

当該技術分野において公知の第1の構成(A)において、無線信号を移動局2に対して受信および送信するための1セットのアンテナまたはアンテナ素子120が同軸ケーブル122を用いて配列無線部124にリンクされる。アナログRFが、アンテナまたはアンテナ素子120のセットにおいて受信され、そして配列無線部124に渡される。配列無線部124において、アナログ無線RF信号は、増幅され、キャリア周波数から分離され、かつデジタル信号に変換される。次いで、デジタル信号は、さらにデジタル無線サーバ128に転送される。デジタル無線サーバ128から、デジタル信号は、図1に示すBSC12に渡される。その逆も同様である。同軸ケーブルの長さは、信号対ノイズ比およびBTS100の効率に影響を与える。消費電力および必要な電子構成要素の構成についても同様である。

40

【0059】

上記のように、塔上装置は、多くの場合、アンテナによる受信可能エリアを最大化するために、塔上、屋上またはマスト上などの露出した場所に配置される。したがって、同軸ケーブル122の長さは、非効率なほどに長くなってもよい。

【0060】

第2の構成(B)において、遠隔無線部134が、塔上装置102に取り付けられる。このように、より短い同軸ケーブル132を使用して、アンテナまたはアンテナ素子13

50

0を遠隔無線部134に接続し得る。遠隔無線部134は、CPR IまたはOB S A I規格にしたがって、変調RF信号をデジタルデータフォーマットの通信信号に変換する。次いで、通信信号は、光ファイバ136を介してデジタル無線サーバ138に転送される。デジタル無線サーバ138は、デジタル無線サーバ128と本質的に同一か、または同様である。

【0061】

構成(A)および(B)において、複数のアンテナ素子は、アンテナ120、130を構成する。アンテナ120、130は、1本の同軸ケーブル122、132を介して1つの無線部124、134に接続される。次いで、無線部124、134は、並列に取り扱われる異なる通信リンクを分離するために、複数のアンテナ素子から受け取った信号を分離しなければならない。

10

【0062】

本発明に係る第3の構成(C)において、デジタル無線部200がアンテナを構成する複数のアンテナ素子220に直接に接続される。これにより、アンテナ素子220のそれぞれ1つは、デジタル無線部またはその構成要素に直接に接続される。この実施形態においては、デジタル無線部200をアンテナ素子220に結合するために同軸ケーブルを必要としない。デジタル無線部200は、移動局2に対してアンテナ素子220を介して送受信されるRF信号をCPR IまたはOB S A I規格/インタフェースにしたがって信号に変換する。次いで、これらの信号は、光ファイバを介して、基地局104に配置されたデジタル無線サーバ208へ転送される。これにより、光ファイバは、最大で40kmの長さでもよく、基地局104を塔上装置に対して遠隔配置することが可能となる。

20

【0063】

本発明の一利点は、アンテナ素子220だけをデジタル無線部200とともにアンテナの位置に設置すればよいことである。基地局104は、ある距離だけ離してもよい。また、特にアンテナ密度の高い都市エリアにおいては、数個の塔上装置を基地局104のうちの1つに接続することが可能である。

【0064】

これにより、デジタル無線サーバ128、138、208は、すべての構成(A)、(B)および(C)において同じタイプであってもよい。

【0065】

図3(a)~図3(c)は、本発明に係るデジタル無線部200の異なる実施形態を示す。デジタル無線部200は、少なくとも1つのアンテナ素子220、少なくとも1つのマイクロ無線機230、および少なくとも1つのハブ240を備える。

30

【0066】

図3(a)に示す実施形態において、デジタル無線部200は、1つのマイクロ無線機230および1つのCハブ240に直接に接続された1つのアンテナ素子220を備える。マイクロ無線機230は、送受信方向にCハブ240と通信する。マイクロ無線機とCハブとの間の双方向シリアルインタフェースは、「SerDes」と呼ばれる周知の規格に基づく。Cハブ230は、さらにデジタル無線サーバ208に接続される(具体的には、図2に示すように光ファイバを介して)。

40

【0067】

図3(a)の実施形態の複数をアレイ状に配置および結合してもよい。

【0068】

図3(b)に示す実施形態において、Cハブ240は、2つのマイクロ無線機230に接続される。マイクロ無線機230のそれぞれは、Cハブ240と送受信方向に通信する。さらに、各マイクロ無線機230は、2つのアンテナ素子220に当該技術分野において公知のいわゆるウィルキンソンスプリッタ225を介して接続される。

【0069】

図3(c)は、本発明の別の実施形態を示す。この実施形態において、複数のマイクロ無線機230が、1つのCハブ240に接続され、これにより、マイクロ無線機230の

50

それぞれは、送受信方向にCハブ240と通信する。16個のマイクロ無線機230を図3(c)に示すが、これは本発明を限定しない。この例において、マイクロ無線機230のそれぞれ1つは、アンテナ素子220に接続される。それぞれ8つのマイクロ無線機230および8つのアンテナ素子240を有する数個のCハブ240を連結して、16個以上のアンテナ素子220のアレイを形成してもよい。

【0070】

上記に示す実施形態があくまで例であり、かつ任意の数のマイクロ無線機230がCハブ240に接続されてもよいことは、当業者には自明であろう。また、1マイクロ無線機230当たりのアンテナ素子220の数が特定のアプリケーションの要求にしたがって変化し得ることは、当業者にはまた自明であるが、1マイクロ無線機230当たり1または2つのアンテナ素子220が好適である。加えて、複数のCハブ240が結合され得る(2つのCハブ240を含む図3(c)のように)。

10

【0071】

加えて、いわゆる「マイクロスニファ」(μS)250が監視および較正のためにCハブ240のうちの1つに接続され得る。マイクロスニファ250は、逆送受信周波数帯域を有する特殊なマイクロ無線機である。マイクロスニファ250は、同じまたは同様のインタフェースを介してCハブ240に接続され得る。マイクロスニファ250は、アンテナ素子の形態または別の形態を有してもよいアンテナ255をさらに有する。マイクロスニファ250は、パイロット信号をアンテナ素子220へ向けて送信し、およびアンテナ素子220から放射された電波を検出するので、較正のためにマイクロ無線機230が必要とするフィードバック制御情報をCハブ240に対して提供する。

20

【0072】

図4aは、デジタル双方向シリアルリンク(260)を介して接続され、本発明に係るデジタル無線部200とともに構成するマイクロ無線機230およびCハブ240をより詳細に示す。アンテナ素子220は、マイクロ無線機230に直接接続される。アンテナ素子220は、例えば、マイクロ無線機230が配置または装着されるアンテナ基板または別の回路基板上に取り付けられてもよい。1つの別の実施形態において、マイクロ無線機230は、プリント基板上に直接に実現されてもよい。

【0073】

図4aに示すマイクロ無線機230は、FDDモードで動作され、したがって、そのアンテナ素子の入口にFDDフィルタ部232を備える。FDDフィルタ部232は、フィルタ部232に組み込まれた2つの帯域通過フィルタの組み合わせを利用することによってRF信号をアップリンクおよびダウンリンク方向に分離する。

30

【0074】

アップリンク方向において、アンテナ素子220を介して受信され、かつFDDフィルタ部232によってフィルタリングされるRF(無線周波数)信号は、低ノイズアナログ-デジタルコンバータ(ADC)235によってデジタル帯域通過信号 R_s に変換される。ADC235およびデジタルダウンコンバータDDC350は、受信クロック発振器(RCLK)237によってクロックされる。デジタル帯域通過信号 R_s は、デジタル送受信機(DTRX)300に組み込まれたデジタルダウンコンバータ(DDC)350によってデジタルベース帯域信号にダウンコンバートされる。DTRX300は、マイクロ無線機230のデジタルポートに配置される。デジタルベース帯域信号は、そのデジタルポートからCハブ240へ転送される。

40

【0075】

ADC235は、低ノイズ増幅器およびその後段の連続時間シグマ-デルタ帯域通過変調器を備える(両方とも当該技術分野で公知)。連続時間シグマ-デルタ帯域通過変調器は、2または3レベル量子化器を利用して、入力されたRF信号をデジタル帯域通過信号 R_s に変換する(ここで、サンプリングレートは、RFキャリア周波数の4または4/3倍である)。このように、デジタル帯域通過信号 R_s は、代表レベル+1、-1または+1、0、-1を含む(それぞれ1または2ビットで符号化される)。さらに、このデジタ

50

ル信号フォーマットは、3より多くの代表レベルを含む「多ビット」フォーマットとは異なり、「シングル／1.5ビット」または「双シリアル (b i - s e r i a l)」と呼ばれる。

【0076】

ダウンリンク方向において、Cハブ240から受信されたデジタルベース帯域信号は、マイクロ無線機230のDTRX300に入力される。DTRX300において、デジタルベース帯域信号は、デジタルアップコンバータ(DUC)310によってデジタル帯域通過信号 I_{DL} にアップコンバートされる。次いで、デジタル帯域通過信号 I_{DL} は、パワーデジタル-アナログコンバータ(PDAC)234に転送され、そこでRF信号に変換される。PDAC234およびDUC310は、送信クロック発振器(TCLK)236によってクロックされる(ここで、サンプリングレートは、RFキャリア周波数の4または4/3倍である)。次いで、RF信号は、FDDフィルタ部232に通され、そしてアンテナ素子220を介して放射される。RF送信器に通常使用される単独の電力増幅器は、必要でない。なぜなら、パワーデジタル-アナログコンバータ(PDAC)234がアンテナ素子220を介して放射されるべき十分なパワーを有するRF信号を提供するからである。

10

【0077】

図4cに示すマイクロ無線機230は、TDDモードで動作され、したがって、そのアンテナ素子の入口にTDDフィルタ部233、およびその後段のTDDスイッチ239を備える。TDDスイッチ239は、時間ドメイン内でアップリンクおよびダウンリンク方向にRF信号を分離する。TDDスイッチ239は、周期信号238によって制御される。周期信号238は、送信クロック信号から周期信号238を導出する同期カウンタを利用して、送受信クロック発振器(TRCLK)部2367内で生成される。この方法は、当該技術分野で周知である。TRCLK部2367は、マイクロ無線機230の送信路および受信路のための共通のサンプリングクロック、および別の同期カウンタを利用するDDC(350)のためのサブサンプリングパルス(3781)をさらに提供する。共通のサンプリングクロックで十分である。なぜなら、TDDモードにおいて、アップリンクおよびダウンリンクで同じキャリア周波数が使用され、したがって、アップリンクおよびダウンリンクで同じサンプリングクロック周波数(キャリア周波数の4または4/3倍(上記参照))が使用されるからである。TDDモードで動作されるマイクロ無線機230のすべての他の構成要素および機能は、FDDモードにおいて動作されるマイクロ無線機230について図4aに示されるものと同じである。

20

30

【0078】

デジタルアップコンバータ(DUC)310は、1つの時間離散シグマデルタ帯域通過変調器、あるいは2つの時間離散シグマデルタ低域通過変調器を含む。両方の場合において、変調器は、2または3レベルを使用することによって粗い量子化を行う(出力においてシングル／1.5ビット信号を提供するだけである)。このように、デジタルアップコンバータ(DUC)310によって生成されるデジタル帯域通過信号 I_{DL} は、代表レベル+1、-1または+1、0、-1(それぞれ、1または2ビットで符号化される)を含むだけである。したがって、パワーデジタル-アナログコンバータ(PDAC)234は、アナログドメインにおいてデジタル帯域通過信号 I_{DL} を表すために、それぞれ2または3電圧レベルを利用するだけである。

40

【0079】

送信クロック発振器(TCLK)部236および受信クロック発振器(RCLK)部237は、それぞれ主に、同期化のために使用される位相ロックループ(PLL)内に組み込まれた電圧制御発振器(VCO)を備える。VCO+PLLを利用するクロック発振器は、当該技術分野において公知であり、標準の構成要素または構成が適用されてもよい。

【0080】

なおここで、信号 I_{DL} および R_S のサンプルが2レベルフォーマットで表される本発明のこれらの実施形態は、信号 I_{DL} および R_S のサンプルを表すために3レベルフォー

50

マットを利用する本発明の実施形態の特殊な場合として解釈され得る。両方の場合において、2の補数の演算が適用される。主な実施形態の場合、代表レベル+1、0、-1は、2ビットで符号化される。ここで、上位ビットは、符号ビットを示し、他方下位ビットは、ゼロサンプルが生じた場合にクリア（LOW状態）されるゼロビットを示す。このように、本発明の主な実施形態は、ゼロビットを常にHIGH状態（非ゼロ）に維持することによって、2レベルフォーマットを使用する特定モードにおいても動作され得る。

【0081】

マイクロ無線機230は、Cハブ240に接続される。マイクロ無線機230とCハブ240との間の双方向シリアルリンク（260）は、「SerDes」と呼ばれる周知の規格に基づく。

10

【0082】

当該技術分野において公知のように、SerDesは、「8B/10B」と呼ばれる自己クロックかつDCフリーなチャンネルコードを利用する。「8B/10B」は、各データバイトを10ビットを含むコードワードで表し、他方10ビットの専用シーケンスが同期化のために提供される。SerDes機能は、パラレルシリアルおよびシリアルパラレル変換、チャンネル符号化および復号、ならびにクロック回復および同期化を基本的に備える。

【0083】

低コストCMOS技術において、SerDesは、2.5ギガボーまでのシンボルレートをサポートする。2.5ギガボーは、2.0ギガビット/秒の総データレートを表し、これは、8B/10Bチャンネルコードのコードレート0.8による250メガバイト/秒に相当する。

20

【0084】

マイクロ無線機230とCハブ240との間の双方向シリアルリンク（260）上で使用されるデータフォーマットの例を図4bに示し、その詳細は後述する。

【0085】

Cハブ240は、フレームバッファおよびシリアライザ/デシリアライザを含む振幅および位相アライナ（APA）241を備える。APA241は、N個のマイクロ無線を接続するためのN個のポートを有する。複数のマイクロ無線機230、231は、図3（c）を参照して説明したようにCハブ240のうちの1つに接続されてもよい。全部でN個のマイクロ無線機230、231のそれぞれは、Nポート位相アライナ241のうちの1つのポートに接続されてもよく、かつマイクロ無線機230、231のうちのそれぞれ1つから受信および送信される信号は、Cハブ240のうちの後段の構成要素によって並列および/または直列に処理される。さらなる第1および次のマイクロ無線231は、マイクロ無線機230と同一であってもよい（より詳細には図4aを参照）。

30

【0086】

Cハブ240は、さらなる構成要素として、複素ベース帯域信号のサンプリング周波数をRFキャリア周波数に調節するためのサンプリングレートコンバータ（SRC）242、周波数マルチプレクサ/デマルチプレクサ（FMDX）243、ハブ周辺の時間マルチプレクサ/デマルチプレクサ（TMDX）を備えるユニット244、ならびに最後に、マスタシリアライザ/デシリアライザ（SerDes）249および1つ以上のシリアライザ/デシリアライザ（SerDes）248を備える。

40

【0087】

TMDXおよびハブ部244は、隣接シグナリング情報によって制御されるCPRIおよび/またはOB SAIフォーマットのデータストリームのパケットデータハンドリングおよび分配を行う。このように、接続されたマイクロ無線機230、231によって専用に受信および送信されるデータパケットだけがさらなる処理のためにFMDX部243に対して受け渡しされる。他のデータパケットは、いわゆるカスケードリングをサポートするCPRIおよび/またはOB SAIリンクを介して通過される。データパケットは、隣接シグナリング情報によって識別される所与のパケットフォーマットのベース帯域信号の

50

I および Q サンプルを含む。パケットフォーマットは、サンプルの数およびワード長、そのサンプルによって表されるベース帯域信号の帯域幅、ならびにそのサブキャリアの周波数を定義する。

【0088】

周波数マルチプレクサ／デマルチプレクサ（FMDX）部 243 は、種々のベース帯域信号をそれぞれのサブキャリア周波数へ／から同時にアップおよびダウンコンバートするための数個のデジタル変調器および復調器を備える。変調信号は、簡単な加算器段を使用することによって周波数ドメインにおいて容易に組み合わせられ得る。したがって、多キャリア動作が可能となる。

【0089】

C ハブ 240 のすべての構成要素は、それらが制御バス 247 を介して接続されるマイクロコントローラ（ μ CTRL）245 によって制御され、かつマスタクロック発振器（MCLK）部 246 によってクロックされる。マスタクロック発振器（MCLK）部 246 は、同期化のために使用される位相ロックループ（PLL）に組み込まれた電圧制御発振器（VCO）を備える。マスタクロック発振器 246 は、マスタシリアライザ／デシリアライザ（SerDes）249 内のクロック回復部によって導出される CPR I および／または OB S A I 伝送信号（どちらのフォーマットも自己クロック SerDes プロトコルを利用する）のクロック周波数に同期させなければならない。また、マスタクロック発振器（MCLK）246 は、マイクロ無線機 230／231 の送信クロック発振器 236 および受信クロック発振器 237 を同期させる。

【0090】

C ハブ 240 のすべての構成要素は、当業者に公知の市販の構成要素であり得る。

【0091】

1 つ以上の電気－光コンバータ（E/O）258 および 259 を備えるスモールフォームファクタモジュール（SFF）250 が、SerDes 248 および 249 にそれぞれ接続される。電気－光コンバータは、当該技術分野において公知であり、デジタル電気信号を光信号に変換するために適用される。変換された光信号は、CPR I（公用無線インタフェース）または OB S A I などの公知の規格を用いて転送され得る（具体的には、図 2 に示すように光ファイバを介してデジタル無線サーバへ）。

【0092】

図 4b は、マイクロ無線機 230 と C ハブ 240 との間の双方向シリアルインタフェースのデータフォーマットを示す。FL バイトを含むデータフレームフォーマットがいずれの方向にも使用される。図 4b に示すように、ヘッダは、フレーム同期化バイトおよび制御バイトを含む。それに続いて K データバイトおよび任意の目的に自由に使えるいくつかの非専用残バイトがある。このように、フレームは、ペイロードを一部に含むだけである。この部分ペイロードフレームフォーマットをフレームデータバッファリングと組み合わせると、マイクロ無線機 230 の送信路および受信路の両方において使用されるキャリア周波数の調整が可能となるが、DTRX 300 内のオーバーサンプリング比 N_T および N_R は、一定のままであり、かつ双方向シリアルインタフェースのクロックレートは、常に 2.5 GHz である。

【0093】

複素ベース帯域信号の各同相および直交成分について 1 サンプル当たり 16 ビットまたは 2 バイトの好適なフォーマットを仮定すると、各シリアル 2.5 GHz リンクを介して送信されるサンプリングレート（SR）は、 $SR = 125 \cdot K / FL$ （単位：MHz）で与えられる。

【0094】

実際には、FL は、数百バイトを含み、他方 SR は、120 MHz の範囲である。

【0095】

このように、4：1 モードでマイクロ無線機 230 において使用されるキャリア周波数は、送信路においてはステップサイズ $\Delta f_{CT} = (1/4) N_T \cdot SR_T / FL_T$ 、およ

10

20

30

40

50

び受信路においてはステップサイズ $\Delta f_{CR} = (1/4) N_R \cdot S R_R / F L_R$ によって調整され得る。

【0096】

図5を参照して詳細に説明したようにマイクロ無線機230がDTRX300を利用して4:1モードで使用される場合、マイクロ無線機230は、約2GHzのキャリア周波数で帯域幅が60MHzである複素ベース帯域信号をサポートする。シャノンのサンプリング定理によると、この複素ベース帯域信号の各成分は、サンプリングレートが少なくとも60MHzであることを必要とする。

【0097】

このように、約2の微調整オーバーサンプリング比が、双方向シリアルインタフェース上で利用されるこれらのサンプリングレート $S R_T$ および $S R_R$ に対してベース帯域サンプリングレートに適合するCハブ240内でサンプリングレートコンバータ(SRC)242によって適用される。

【0098】

図5は、4:1動作モードにおけるDTRX300の機能ブロック図を示す。DTRX300は、約2GHzのキャリア周波数において60MHzの帯域幅にわたり動作してもよい。DTRX300は、2つの部分に分割される(すなわち、DUC310およびDDC350)。DUC310およびDDC350は、それぞれベース帯域をキャリア周波数アップコンバージョンに、およびキャリア周波数をベース帯域ダウンコンバージョンに提供する。

【0099】

4:1モードおよび送信方向において、SerDes規格に基づく図4bに示すデータフォーマットにしたがうCハブ240からのデータ信号が、I信号(同相信号)およびQ信号(直交信号)としてDUC310に印加される。データ信号は、2.5Gbpsのレートで入力されてもよい。両方の信号は、I信号 I_0 およびQ信号 Q_0 のためのSerDesデコーダ・バッファ312および313においてそれぞれまず復号およびバッファリングされる。次いで、データ信号は、16ビットワード長信号としてユニット314および315にそれぞれ転送される。ユニット314および315は、サンプルホールド段+FIR低域通過フィルタを備え、ここでI信号およびQ信号は、1:(1/2)・ N_T によってオーバーサンプリングされる。SerDesデコーダ・バッファ312および313、ならびに サンプルホールドによるオーバーサンプリング+FIR低域通過フィルタ部314および315は、当該技術分野において公知であり、標準の構成要素または構造が適用されてもよい。

【0100】

次いで、I信号およびQ信号の両方は、さらにシストリックシグマデルタ低域通過変調器316および317にそれぞれ転送される。シストリックシグマデルタ低域通過変調器316および317は、同時係属中の米国仮出願(代理人整理番号:90561US)および英国特許出願第GB 0611096.9号(共に2006年6月2日出願)に記載される。この出願の教示するところは、本明細書中に参照により援用される。

【0101】

シグマデルタ低域通過変調器316は、3レベル信号 I_{SD} を出力し、シグマデルタ低域通過変調器317は、3レベル信号 Q_{SD} を出力する。値+1、0、-1を含む両方の3レベル信号は、それぞれ2ビットで表され、したがってさらに「2ビット信号」と呼ばれる。

【0102】

両方の2ビット信号 I_{SD} および Q_{SD} は、多重化および循環否定(cyclic negation)による直交変調ブロック340に印加される。多重化および循環否定による直交変調ブロック340において、信号 I_{SD} および信号 Q_{SD} は、1:2でオーバーサンプリングされ、循環的に否定され、そして2:1多重化されて、図4aに示すPDAC234に印加される1つの2ビット出力信号 I_{DL} となる。多重化および循環否定に

10

20

30

40

50

よる直交変調ブロック340の機能は、図7a、図7bおよび図8(a)～図8(i)を参照して詳細に説明される。

【0103】

受信方向において、同様に3レベル(+1、0、-1)を表す2ビット信号 R_s が、DTRX300において図4aに示すADC235から受信され、そしてDTRX300におけるDDC350の逆多重化および循環否定による直交復調ブロック360に適用される。2ビット信号 R_s は、1:2逆多重化され、循環否定され、そして2:1サブサンプリングされて、2ビットI信号 I_{DM} および2ビットQ信号 Q_{DM} となる。逆多重化および循環否定による直交復調ブロック360の機能は、図10および図11を参照して詳細に説明される。

10

【0104】

信号 I_{DM} および Q_{DM} は、シストリックFIRデシメータ(decimator)ブロック356および357にそれぞれ渡される。シストリックFIRデシメータブロック356および357において、これらの信号は、FIRフィルタリングおよび $(1/4) \cdot N_R$:1サブサンプリングによって間引かれ(decimated)、そして16ビットI信号および16ビットQ信号として出力される。シストリックFIRデシメータブロック356および357は、図12、図13および図14を参照して詳細に説明される。

【0105】

シストリックFIRデシメータブロック356および357から、I信号およびQ信号は、16ビット信号としてFIR低域通過およびサブサンプリングブロック354および355にそれぞれさらに転送される。FIR低域通過およびサブサンプリングブロック354および355において、I信号およびQ信号は、2:1サブサンプリングされる。次いで、I信号およびQ信号の両方は、SerDesエンコーダおよびバッファ352および353にそれぞれ渡される。SerDesエンコーダおよびバッファ352および353から、図4aに示すように、I信号およびQ信号は、DDC350から出力され、そしてCハブ240に送信される。FIR低域通過およびサブサンプリングブロック354および355ならびにSerDesエンコーダおよびバッファ352および353は、当該技術分野において公知であり、標準の構成要素または構造が適用されてもよい。

20

【0106】

図6aおよび図6bは、4:3動作モード(4:3モード)におけるDTRX300の2つの異なる別の実施形態の機能ブロック図を示す。4:3モードにおいて、DTRX300は、約2GHzのキャリア周波数において20MHzの帯域幅で機能してもよい。

30

【0107】

4:3モードにおいて、DTRX300およびその構成要素は、図5を参照して説明したような4:1モードにおいて使用されるDTRXと同じかまたは同様であってもよい。このように、4:3モードにおけるDTRXは、2つの部分、すなわち、DUC310およびDDC350、に分割される。DUC310およびDDC350は、それぞれベース帯域をキャリア周波数アップコンバージョンに、およびキャリア周波数をベース帯域ダウンコンバージョンに提供する。

【0108】

4:1モードとは異なり、4:3モードにおけるCハブ240からのデータ信号が、1つのビットストリームのみとしてDUC310に印加される。データ信号は、2.5Gbpsのレートで入力されてもよい。入力信号は、まずSerDesデコーダ・フレームバッファ・デマルチプレクサブロック311によって復号され、バッファリングされ、そして逆多重化されて、I信号およびQ信号となる。逆多重化および分離されたI信号およびQ信号は、図5を参照して上記に説明したように、16ビットワード長さ信号としてそれぞれサンプルホールドによるオーバーサンプリング+FIR低域通過フィルタ部314および315にさらに転送される。本実施形態のすべてのさらなる信号処理は、上記の4:1モードと同一である。I信号およびQ信号は、サンプルホールドによるオーバーサンプリング+FIR低域通過フィルタユニット314および315からシストリックシグマー

40

50

デルタ低域通過変調器 3 1 6 および 3 1 7 へそれぞれさらに渡される。

【0 1 0 9】

シグマデルタ低域通過変調器 3 1 6 および 3 1 7 のそれぞれは、2 ビットで表される 3 レベル信号 (+1、0、-1) を出力する。この信号は、「2 ビット信号」と呼ばれる。シグマデルタ低域通過変調器 3 1 6 および 3 1 7 の 2 ビット出力信号の両方は、多重化および循環否定による直交変調ブロック 3 4 0 に接続される。多重化および循環否定による直交変調ブロック 3 4 0 において、I 信号および Q 信号は、1 : 2 でオーバーサンプリングされ、循環否定され、そして 2 : 1 多重化されて 1 つの 2 ビット出力信号となり、この 2 ビット出力信号は、図 4 a に示される P D A C 2 3 4 に印加される。しかし、4 : 3 モードにおいて、サンプリングレートは、 $f_{\text{サンプリング}} = 4 / 3 \cdot f_{\text{キャリア}}$ である。

10

【0 1 1 0】

図 6 a に示され、かつ図 5 の実施形態に類似する実施形態の受信方向において、2 ビット信号は、図 4 に示される A D C 2 3 5 から受信され、そして 4 : 3 モードで動作する D T R X 3 0 0 における D D C 3 5 0 の逆多重化および循環否定による直交復調ブロック 3 6 0 に印加される。信号は、1 : 2 逆多重化され、循環否定され、そして 2 : 1 サブサンプリングされて、 $f_{\text{サンプリング}} = 4 / 3 \cdot f_{\text{キャリア}}$ で I 信号 (同相信号) および Q 信号 (直交信号) となる。2 ビット I 信号および 2 ビット Q 信号は、さらにシストリック F I R デシメータ 3 5 6 および 3 5 7 にそれぞれ渡され、そして 1 6 ビット信号として F I R 低域通過およびサブサンプリングブロック 3 5 4 および 3 5 5 にそれぞれ転送される。

20

【0 1 1 1】

図 5 に示される 4 : 1 モード実施形態とは異なり、4 : 3 モードにおいては、両方の 1 6 ビット信号が次いで 1 つのマルチプレクサ・フレームバッファ・S e r D e s エンコーダ 3 5 1 に印加される。このマルチプレクサ、フレームバッファ、および S e r D e s エンコーダ 3 5 1 から、図 4 a に示すように、多重化され信号が出力 D D C 3 5 0 から出力され、そして C ハブ 2 4 0 に送信される。

【0 1 1 2】

図 6 b は、4 : 3 モードにおける D T R X 3 0 0 のさらに別の例を図示する。本実施形態および D U C 3 1 0 の送信方向において、多重化および循環否定による直交変調ブロック 3 4 0 (図 5 および図 6 a の実施形態の多重化および循環否定による直交変調ブロック 3 4 0 と同等であってもよい) は、サンプルホールドによるオーバーサンプリング + F I R 低域通過フィルタ部 3 1 4 および 3 1 5 の両方に直接に接続される。ユニット 3 1 4 および 3 1 5 の出力に提供される I 信号および Q 信号は、1 : 2 でオーバーサンプリングされ、循環否定され、そして 2 : 1 多重化されて、1 つの 1 6 ビット出力信号となる。この 1 6 ビット出力信号は、1 つのシストリックシグマデルタ帯域通過変調器 3 1 8 に印加される。この 1 つのシストリックシグマデルタ帯域通過変調器 3 1 8 は、同時係属中の米国仮出願 (代理人整理番号 : 9 0 5 6 1 U S) および英国特許出願第 G B 0 6 1 1 0 9 6 . 9 . 号 (共に 2 0 0 6 年 6 月 2 日出願) に記載される。次いで、この 1 つのシストリックシグマデルタ帯域通過変調器 3 1 8 の 2 ビット出力信号は、P D A C 2 3 4 に印加される。

30

40

【0 1 1 3】

本実施形態において、受信 D D C 3 5 0 は、図 6 a を参照して説明したものと同一であってもよい。

【0 1 1 4】

図 7 a は、1 : 2 オーバーサンプリング前段 3 2 0 0 と組み合わせられた一般のデジタル直交変調器 3 4 1 0 を備えるユニット 3 4 0 0 を示す。オーバーサンプリング前段 3 2 0 0 は、2 つのタップの等しい F I R 低域通過フィルタ 3 3 6 0 および 3 3 7 0、ならびに入力信号 I_{SD} および Q_{SD} が与えられる 2 つの補間ブロック 3 2 6 0 および 3 2 7 0 からなる。直交変調器の前にオーバーサンプリング 1 : 2 が必要となる。なぜなら、信号 I_{SD} および Q_{SD} は、著しい帯域外量子化ノイズを生成するシグマデルタ低域通過変調

50

器によって出力されるからである。オーバーサンプリング前段 3200 がなければ、帯域外量子化雑音が直交変調処理によってシフトされて、変調器出力において帯域通過信号 I_{DL} の通過帯域に入り込む。図 7b は、対応する信号の具体例を示す。

【0115】

後述の第 1 のステップにおいて、図 7a および図 7b を参照してユニット 3400 の機能を説明する。第 2 のステップにおいて、実施形態に関連する特殊な場合について、ユニット 3400 の機能が図 5 の DTRX 300 の DUC 310 の多重化および循環否定による直交変調ブロック 340 の機能と同等であることを示す。しかし、多重化および循環否定による直交変調ブロック 340 は、ユニット 3400 よりもずっと簡単に実現される。

【0116】

図 5 に示すようなシストリックシグマデルタ低域通過変調器 316 からの 2 ビット I 信号 I_{SD} は、オーバーサンプリング前段 3200 の補間ブロック 3260 に印加されると仮定する。並行して、シストリックシグマデルタ低域通過変調器 317 からの 2 ビット Q 信号 Q_{SD} は、オーバーサンプリング前段 3200 の補間ブロック 3270 に印加されると仮定する。入力信号 I_{DS} および Q_{DS} のシーケンスの例を図 8 (a) および図 8 (b) にそれぞれ示す。

【0117】

補間ブロック 3260 および 3270 において、 I_{SD} および Q_{SD} は、それぞれ 1 : 2 オーバーサンプリングされる。まず、クロックレートは、倍にされ、かつゼロサンプルが信号 I_{SD} および Q_{SD} に挿入され、信号 $I_{SD \uparrow 2z}$ および $Q_{SD \uparrow 2z}$ を得る。信号 Q_{SD} および $Q_{SD \uparrow 2z}$ についての例を図 7b に示す。次いで、信号 $I_{SD \uparrow 2z}$ および $Q_{SD \uparrow 2z}$ は、低域通過フィルタ 3360 および 3370 にそれぞれ印加される。低域通過フィルタ 3360 および 3370 において、信号 $I_{SD \uparrow 2z}$ および $Q_{SD \uparrow 2z}$ は、それぞれ 2 つのラインに分割される。一方のラインは、加算器 3340 および 3350 にそれぞれ印加され、他方のラインは、レジスタ 3320 および 3330 にそれぞれ通される。レジスタ 3320 および 3330 において、信号は、1 クロックサイクルだけ遅延され、次いで加算器 3340 および 3350 にそれぞれ印加される。その結果、複製された隣接サンプルを示す信号 $I_{DS \uparrow 2}$ および $Q_{DS \uparrow 2}$ が得られる。これらの例を図 7b、図 8 (d) および図 8 (e) に示す。

【0118】

なお、タップの等しい FIR 低域通過フィルタリングによる補間の結果としての隣接サンプルの複製は、サンプルホールド段を使用することによっても行われ得ることに留意すべきである。オーバーサンプリング比がより高い場合、サンプルホールド段を使用することは、タップの等しい FIR 低域通過フィルタよりもずっと経済的である。したがって、サンプルホールド段は、図 5、図 6a および図 6b で示すようにオーバーサンプリングブロック 314 および 315 内で利用される。

【0119】

信号 $I_{DS \uparrow 2}$ および $Q_{DS \uparrow 2}$ は、さらに直交変調器 3410 に印加される。一般のデジタル直交変調器 3410 において、オーバーサンプリングされた入力信号 $I_{SD \uparrow 2}$ および $Q_{SD \uparrow 2}$ は、それぞれ乗算器 3460 および 3470 において、複素キャリア信号 (I は、それぞれの同相成分を示し、および Q は、それぞれの直交成分を示す) の 2 つの成分 I_0 および Q_0 とペアごとに乗算される。信号 I_0 および Q_0 の例を図 8 (c) および図 8 (f) にそれぞれ示す。得られた信号積 $I_0 \cdot I_{DS \uparrow 2}$ (図 8 (g) に示す) および $Q_0 \cdot Q_{DS \uparrow 2}$ (図 8 (i) に否定されて示す) をコンパレータ段 3480 に与えると、直交変調器 3410 の出力において、ダウンリンクチャネルに対する複素デジタル帯域通過信号の同相成分 I_{DL} が生成される。その結果得られる信号 I_{DL} の例を図 8 (h) に示す。

【0120】

キャリア周波数の 4 倍のサンプリング周波数を選択した好適な例を図 8 の信号図に示す。この特定の場合において、直交変調器 3410 およびオーバーサンプリング前段 320

10

20

30

40

50

0はともに、入力信号 I_{SD} および Q_{SD} の両方をインタレースし、他方入力信号 I_{SD} および Q_{SD} 信号は、循環否定され、図8 (h) に図示するような出力信号 I_{DL} を生成する。

【0121】

したがって、図7aのオーバーサンプリング前段3200をともなう一般のデジタル直交変調器3410は、2ビット入力信号 I_{SD} および Q_{SD} が2の補数表現で生成される場合、図9に示すずっとより簡単な、入力信号 I_{SD} および Q_{SD} をインタレースするためのマルチプレクサ348、および周期的に制御されるインバータだけを備える回路340によって置き換えられ得る。このように、循環否定は、非ゼロの場合だけ3レベル信号 (+1、0、-1) の符号を表す上位ビットを反転し、他方ゼロを表す下位ビットをい

10

【0122】

図9は、2:1多重化および周期的反転によって4:3モードで直交変調を行うユニット340を示す。2ビット入力信号 I_{SD} および Q_{SD} は、まずレジスタ341に読み込まれ、クロックドライバ342によってクロックされる循環否定ブロック343へ転送される。循環否定ブロック343において、 I および Q 信号は、非ゼロの場合だけ上位ビットを反転することによって循環的に否定される。その後、循環否定された I および Q 信号は、レジスタ344中へ転送され、その後2:1マルチプレクサ348によってインタレースされる。2:1マルチプレクサ348による I および Q のインタレースは、別のクロックドライバ347により開始される。このように、複製されたクロックサイクルにおいて、 I および Q 信号の両方は、多重化によってインタレースされながら1:2オーバーサンプリングされて、1つの2ビット信号となる。この2ビット信号は、レジスタ349に転送され、そこから I_{DL} 信号としてPDAC234へ向けて出力される。

20

【0123】

図9に係る2:1多重化および循環否定による直交変調は、数GHzでクロックされる高速アプリケーションにおいても低コストCMOS技術のみを使用するパイプライン化論理として実現され得る。

【0124】

一般のデジタル直交復調器3600ならびにその後段の2つの低域通過デシメータ356および357を図10に図示する。入力受信信号 R_S は、乗算器3660および3670によって共役複素キャリア信号の2つの成分 I_0 および Q_0 をそれぞれ乗算される。ここで、 I_0 は、同相成分を表し、および Q_0 は、直交成分を表す。直交復調器3600の各出力信号 I_{DM} および Q_{DM} は、低域通過デシメータ356および357を通る。低域通過デシメータ356および357は、低域通過フィルタおよびその後段のサブサンブラを備え、低域通過デシメータ356および357の出力において複素ベース帯域信号の2つの成分 I_{BB} および Q_{BB} を得る。

30

【0125】

キャリア周波数の4倍のサンプリング周波数を選択した好適な例を図11の信号図に示す。この特定の場合において、図11 (b) において例として示す信号 R_S のサンプルは、復調処理によって循環否定されつつ、図11 (d) および図11 (e) においてそれぞれ例として示す復調器出力 I_{DM} および Q_{DM} に交互に渡される。したがって、2つの乗算器3660および3670は、2ビット入力信号 R_S が2の補数表現で与えられる場合、簡単なデマルチプレクサおよび周期的に制御されたインバータによって経済的に置き換えられ得る。このように、循環否定は、非ゼロの場合だけ3レベル信号 R_S (+1、0、-1) の符号を表す上位ビットを反転し、他方ゼロを表す下位ビットをいずれの場合も変更しないままにすることによって行われる。

40

【0126】

本発明の好適な実施形態として、図10に係る一般のデジタル直交復調器3600の機能は、図5のDTRX300のDDC350の低域通過デシメータ356および357が後段に続く逆多重化および循環否定による直交復調ブロック360として実装される。ブ

50

ロック 360 は、数 GHz でクロックされる高速アプリケーションにおいても低コスト CMOS 技術のみを使用する簡単なパイプライン化論理として実現され得る。

【0127】

さらに、低域通過デシメータ 356 および 357 は、サンプリングされた受信信号 R_S のサンプリング周波数の半分で動作され得る。なぜなら、デシメータ入力信号 I_{DM} および Q_{DM} の両方のサンプルは、1 つおきに交互に値がゼロになるからである。

【0128】

図 12 は、デジタルダウンコンバージョンのために利用されるシストリック FIR デシメータのブロック図を示す。図示の例は、1.5 ビット信号のデジタル間引き (decimation) のために採用される。シストリック FIR デシメータは、 $N:1$ サブサンプリングと組み合わせられた $N \times M$ 個の係数を有する FIR フィルタを備え、かつ図 5 の DDC 350 内でサブサンプリング部 356 および 357 としてそれぞれ適用され得る。

10

【0129】

間引き処理実行 FIR フィルタリング+サブサンプリングは、複数の M シストリック DDC ブロック 3701、3702~3706 を使用して実現される。複数の M 個の DDC ブロック 3701、3702~3706 は、並列に配置および動作してもよい。 M 個の DDC ブロック 3701、3702~3706 のそれぞれ 1 つは、双シリアル入力信号と 1 サブセットの N 個のフィルタ係数との畳み込み+サブサンプリングを行う。このように、 M 個の DDC ブロック 3701、3702~3706 のすべては、長さ N の連続ウィンドウにおいて同時に動作し、共同で畳み込みを実施する。

20

【0130】

1.5 ビット信号 (3 レベル (+1、0、-1) を表す双シリアル入力信号) は、DDC ブロック 3701、3702~3706 に、入力 3721、3722~3726 において、並列セットのゼロビット信号および符号ビット信号として印加される。

【0131】

連続ウィンドウのそれぞれ 1 つは、ワード長さ L の N 個のフィルタ係数および入力信号の N 個のサンプルを含み、DDC ブロック 3701、3702~3706 のそれぞれの信号入力 3721、3722~3726 間に配置されるシフトレジスタ 3712~3716 によって時間的に整列される。

【0132】

畳み込み+サブサンプリングは、 N フィルタ係数のそれぞれ 1 つを入力信号の N 個のサンプルのうちの対応する 1 つと乗算し、そして得られる積を長さ N のウィンドウ内に蓄積することによって実行される。

30

【0133】

最後に、 M 個の DDC ブロック 3701、3702~3706 のすべての並列出力信号は、並列加算器段のパイプライン化カスケード 390 によって加算されなければならない。 M および N についての値は、任意の整数であるが、DDC ブロックの出力ワード長さは、 N を越えないのがよい。

【0134】

図 13 は、 $N=6$ についての図 12 の DDC ブロック 3701、3702~3706 の実施形態となり得る DDC ブロック 370 をシストリックに実現したものを示す。シストリック DDC ブロック 370 は、2 の補数演算を利用して 1 サンプル当たり 2 ビットで符号化された 3 レベル (+1、0、-1) を表す 1.5 ビット信号の 6:1 間引きを実現する。この文脈において、シストリック実現は、係数ビットのフロー方向 (すなわち、「水平パイプライン化」) およびキャリービットのフロー方向 (すなわち、「垂直パイプライン化」) における 2 次元パイプライン化を示す。定義によると、「シストリックアレイ」は、図 13 および図 14 に示すように、AND ゲート、EXOR ゲートおよびマルチプレクサのような 2 値論理要素、ならびに 1 ビットフル加算器、フリップフロップおよび配線のみを備える。

40

【0135】

50

本発明のいずれの実施形態においても常に利用される2の補数演算において、MSBは、値Aの符号を表す最上位ビットを示す。Aは、MSBが設定された(HIGH状態)場合に負となり、MSBがクリアされた(LOW状態)場合に正となる。LSBは、nビットのコードワードにおいて、LSBが設定された(HIGH状態)場合の 2^{-n} の値を表す最下位ビットを示す。

【0136】

さらに、代表表記ビット(Representative Notation Bit (RNB))がLSBの後に含まれる。RNBは、常に設定され(HIGH状態)、 $2^{-(n+1)}$ の一定値を表す。RNBを導入することによって得られるこの代表レベル表記は、DDCブロック370のシストリック実現を可能にするために使用される。なぜなら、これにより、いわゆる「キャリー波及効果(carry ripple through effect)」が抑制されるからである。当該技術分野において公知のように、この効果は、通常、2の補数演算においてコードワードが否定された場合に生じる。RNBの導入による代表レベル表記が提供される場合、Aに対して与えられるコードワードは、RNBを変更しないまま、MSBからLSBのすべてのビットを反転することによって簡単に否定され得る。

10

【0137】

図13に示すように、シストリックDDCブロック370は、複数のLビットスライス381、382、383~386から構成される畳み込み+サブサンプリング部、およびその後段の並列出力を有する出力格納レジスタ380を備える。通常、 $L < N$ ビットスライスが並列に配置されるが、本発明は、 $L < N$ ビットスライスの数に限定されない。図13に示すすべてのフリップフロップFFおよび出力格納レジスタ380は、3レベル(+1、0、-1)を表す双シリアル入力信号3720のサンプリングレートでクロックされる。

20

【0138】

ビットスライス381、382、383~386は、共同で、双シリアル入力信号3720にサンプルごとにワード長さLのFIRフィルタ係数(RNBを含む)を乗算し、そして得られた積をN個のサンプリングクロックパルスにわたって蓄積することによって畳み込み+サブサンプリング処理を行う。ビットスライス382、383~386のそれぞれについてのFIRフィルタ係数は、ビットごとにフィードバックを有するシフトレジスタ(「FIR係数リボルバ(revolver)」と呼ばれる)にロードされる。FIR係数リボルバにおいて、係数ビットが回転される。しかし、RNBスライス381内では、FIR係数リボルバおよびその後段のEXORゲートは、固定HIGH信号3812に置き換えられる。なぜなら、RNBは、上記のように常に設定されるからである。

30

【0139】

畳み込み+サブサンプリング処理は、ビットスライス381、382、383~386のすべてにおいて同時に実行するが、RNBからLSBを介してMSBへの方にフリップフロップFFによる垂直パイプライン化によって手動で遅延させる。したがって、1サブサンプリングサイクル当たりの畳み込み結果の第1の部分は、RNBスライス381において得られ、他方1サブサンプリングサイクル当たりの畳み込み結果の最後の部分は、MSBスライス386において $L-1$ クロックパルス後に得られる。このように、1ビットスライス当たりの畳み込み+サブサンプリングサイクルの結果は、マルチプレクサを介してフィードバックを備えるサンプルホールドフリップフロップにおいて中間的に格納される。これにより、次のビットスライスが終了するまで待つ必要がなく、ビットスライス381、382、383~386のいずれの1つにおいても恒久的に実行する畳み込み+サブサンプリング処理が可能にされる。

40

【0140】

$N=6$ について図13に示すように、サブサンプリングパルス3781がLOWになった場合にNクロックパルス後に1ビットスライス当たり1畳み込み+サブサンプリングサイクルが実行される。最後に、ビットスライス381、382、383~386のすべて

50

による遅延を用いて計算された全畳み込み+サブサンプリングサイクルの中間的にビットスライス毎に格納される結果は、MSBスライス386がその畳み込みおよびサブサンプリング処理サイクルを終了した後に出力格納レジスタ380によって並列に引き継がれる。

【0141】

ビットスライス381、382、383～386のすべては、同じ構成要素を有して、畳み込みおよびサブサンプリング処理のそれぞれの部分を実施する。しかし、RNBスライス381内において、FIR係数リボルバおよびその後段のEXORゲートは、固定HIGH信号3812に置き換えられる。なぜなら、RNBは、上記のように常に設定されるからである。

10

【0142】

図14は、シストリックDDCブロック370内の畳み込み+サブサンプリング部の1つのビットスライス382、383～386の例をより詳細に示す。1つのビットレベルおよび $N=6$ に対して図示するように、畳み込み+サブサンプリング部の1つのビットスライスは、4つの連続した機能サブユニットを備える。フィードバックを備えるシフトレジスタ（「FIR係数リボルバ」と呼ばれる）3730には、N係数のビットがロードされ、これらのビットは、FIR係数リボルバ3730内で回転される。

【0143】

N係数のビットは、 1×1.5 ビット乗算器部3740において、3レベル（+1、0、-1）を表す双シリアル入力信号3720のサンプルと連続して乗算される。ここで、「符号ビット」は、入力サンプルが負の場合に設定され（HIGH状態）、他方「ゼロビット」は、入力サンプルが非ゼロの場合に設定される。乗算は、EXORゲート3742およびANDゲート3744を使用して係数ビットを通過、抑制または反転することによって簡単に実行される。FIRフィルタ係数は、通常、RNBを含む2の補数代表レベル表記で与えられる（上記参照）。このように、与えられたFIRフィルタ係数のビットのすべて（LSBからMSB）を反転することによってそれぞれの係数の否定が行われる。

20

【0144】

これらの連続した 1×1.5 ビット乗算の結果は、サブサンプリングパルス3781がLOWになるまで、同期してクリアされるアキュムレータ3760に蓄積される。図4aに示すように、サブサンプリングパルス3781は、パルス3781を受信クロック信号から導出する同期カウンタを利用して受信クロック発振器部237内で生成される。この方法は、当該技術分野において周知である。

30

【0145】

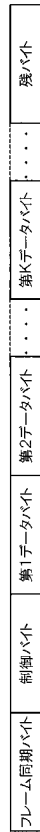
サブサンプリングパルス3781は、LOW状態において、N個（ここに示す例では、 $N=6$ ）の連続サンプリング間隔のうち1つだけである。このため、次のクロックパルスの立ち上がりエッジにおいて、アキュムレータ3760の内容がその後段のサブサンプルホールド段3780によって引き継がれ、他方アキュムレータ3760は、同期してクリアされ、そして畳み込み+サブサンプリング処理の次のサイクルが直ちに開始される。この構成において、余分なクリアまたは読み出しサイクルが必要にならない。したがって、畳み込み+サブサンプリングおよび読み出し処理は、容易さおよび正確な同期が維持される。

40

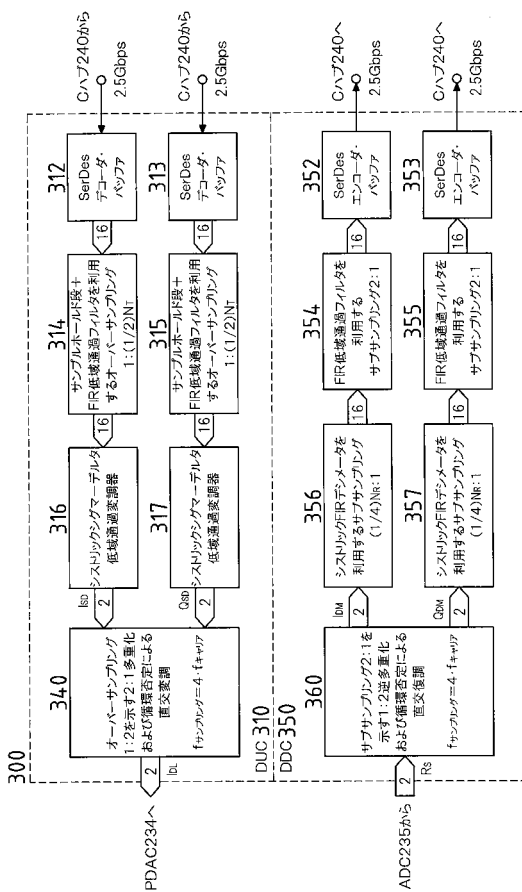
【0146】

なお、係数のRNBが常に設定されることもまた畳み込み+サブサンプリング処理に含まれることに留意すべきである。これは、係数リボルバおよびその後段のEXORゲートが固定HIGH信号3812によって置き換えられる、特殊なRNBスライス381によって行われる。

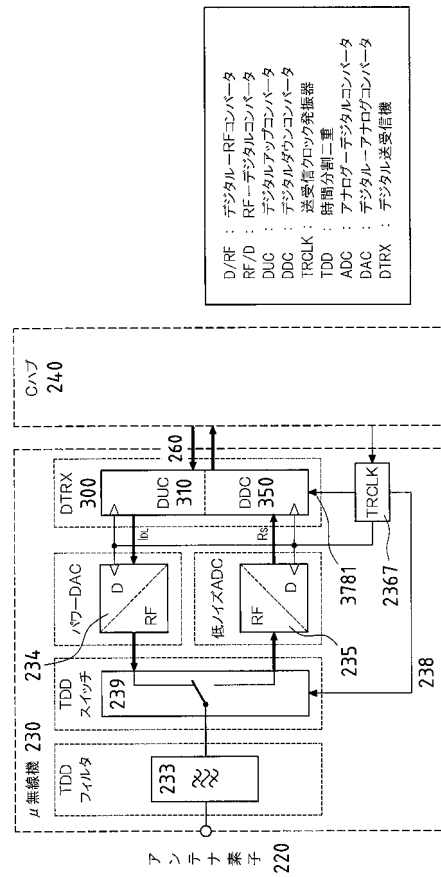
【図 4 b】



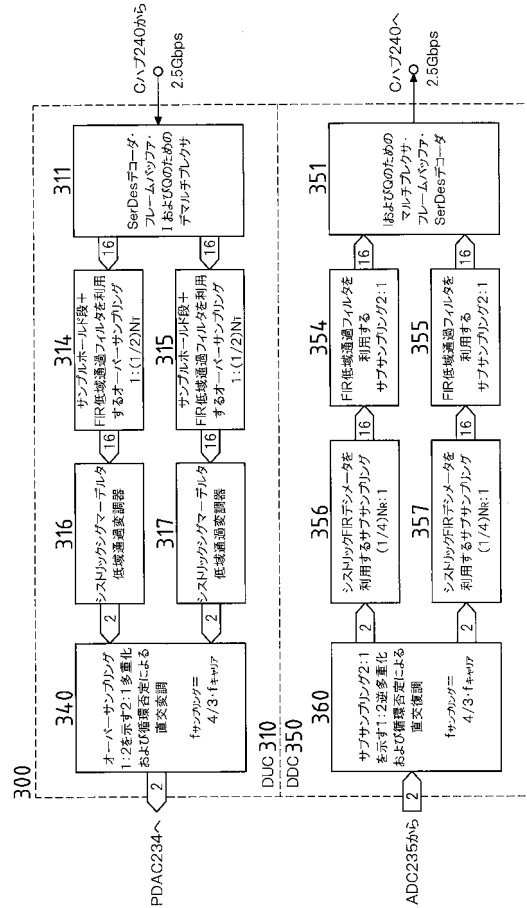
【図 5】



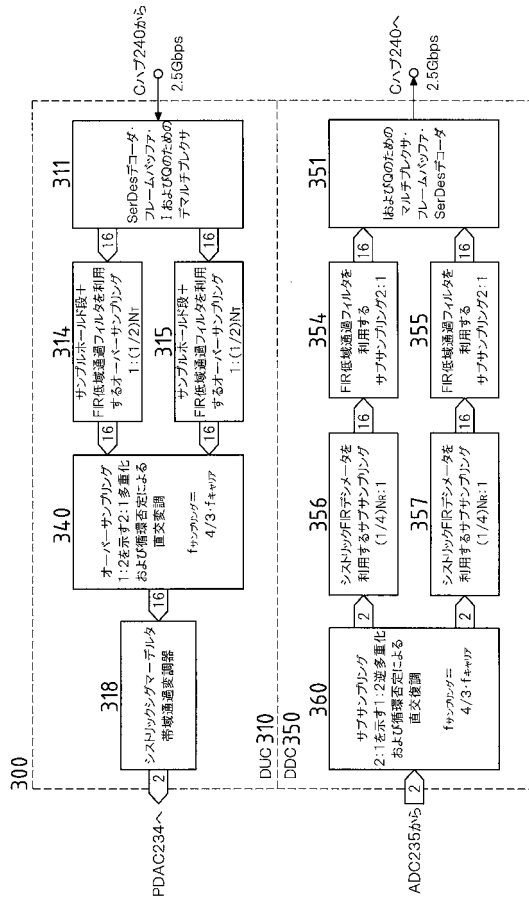
【図 4 c】



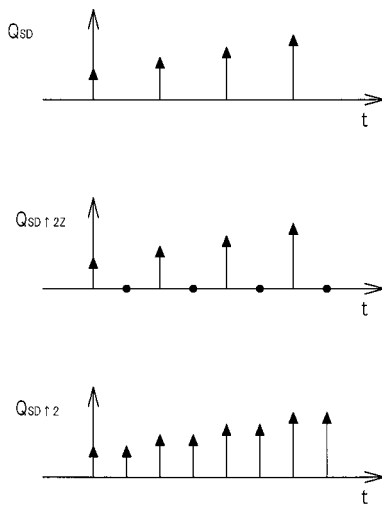
【図 6 a】



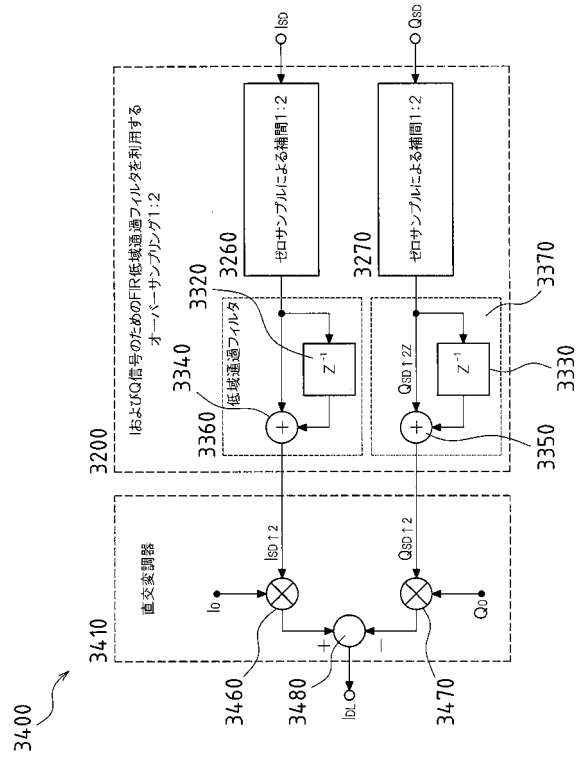
【図 6 b】



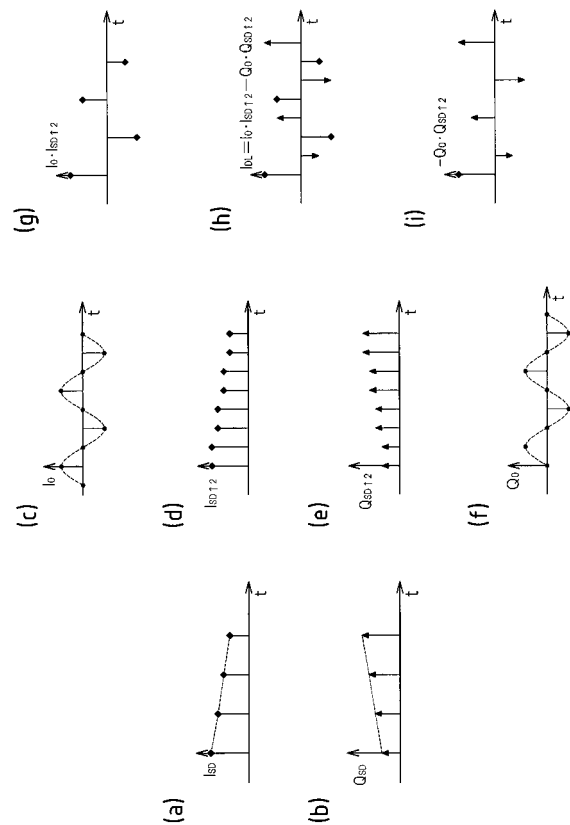
【図 7 b】



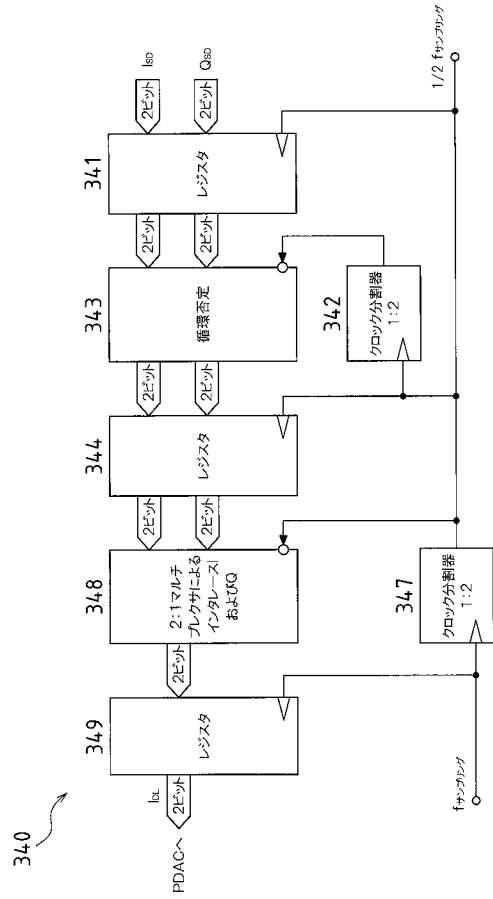
【図 7 a】



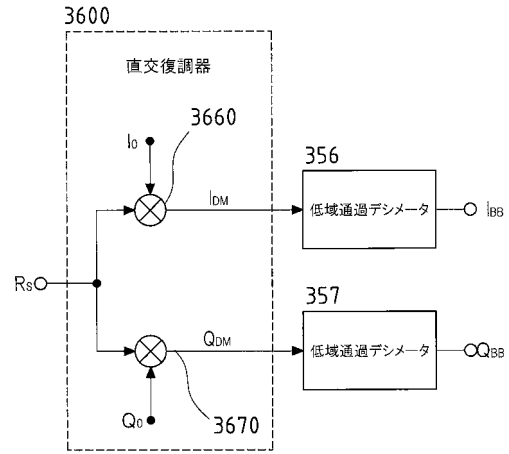
【图 8】



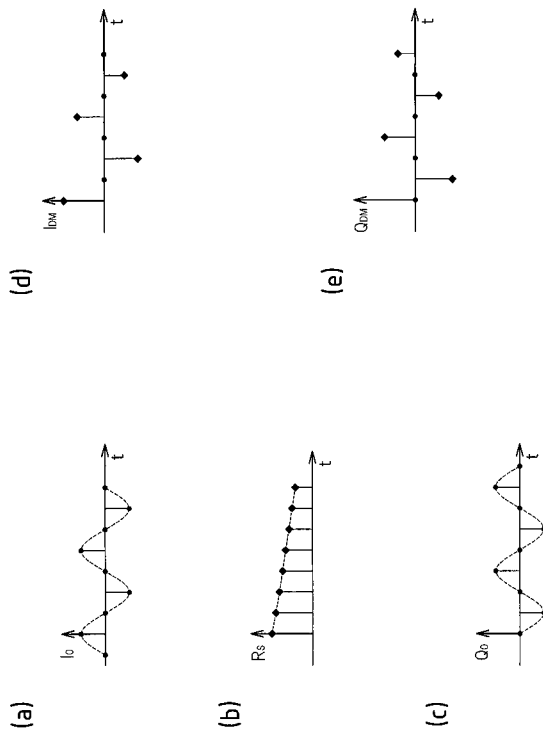
【図 9】



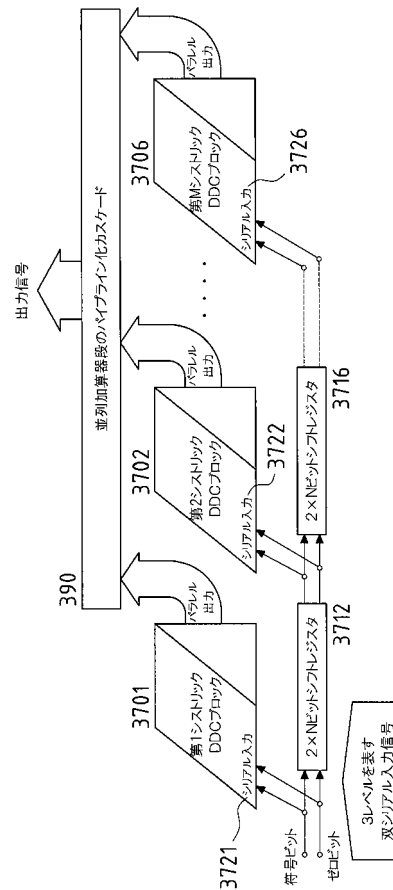
【図 10】



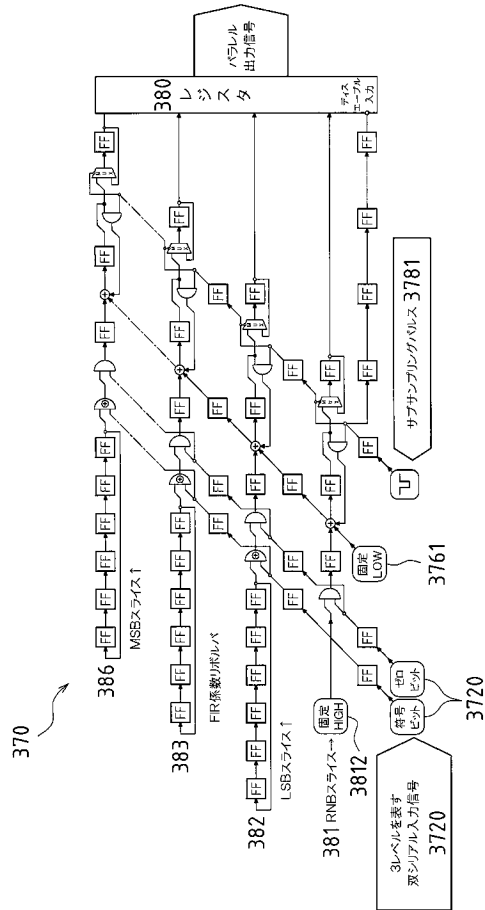
【図 11】



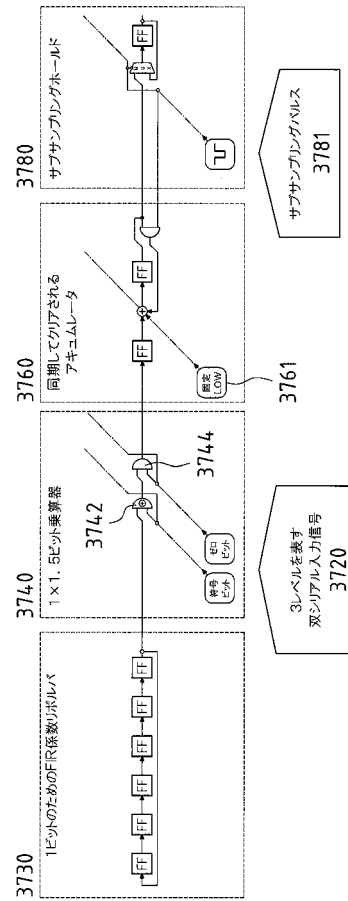
【図 12】



【図 1 3】



【図 14】



フロントページの続き

(72)発明者 コルテ・ヴェーナー

ドイツ連邦共和国、89075 ウルム、バイム アルテン フリッツ 6

(72)発明者 レインフェルダー・クレメンス

ドイツ連邦共和国、89134 ブラウシュテイン、タネンヴェグ 24

審査官 藤江 大望

(56)参考文献 国際公開第2005/120001 (WO, A1)

特開2000-068839 (JP, A)

特表2002-501319 (JP, A)

特表平10-502513 (JP, A)

特表2002-521954 (JP, A)

特開平09-191253 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04J 1/00