



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0105202
(43) 공개일자 2020년09월07일

(51) 국제특허분류(Int. Cl.)
H02M 3/156 (2006.01) H02M 1/08 (2006.01)
(52) CPC특허분류
H02M 3/156 (2013.01)
H02M 1/08 (2013.01)
(21) 출원번호 10-2019-0024039
(22) 출원일자 2019년02월28일
심사청구일자 없음

(71) 출원인
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
윤광섭
인천광역시 연수구 동곡제로117번길 22(동춘동, 연수3차대우아파트)
소진우
인천광역시 미추홀구 경원대로 884, 127동 402호 (주안동, 주안더월드스테이트)
(74) 대리인
이은철, 이수찬

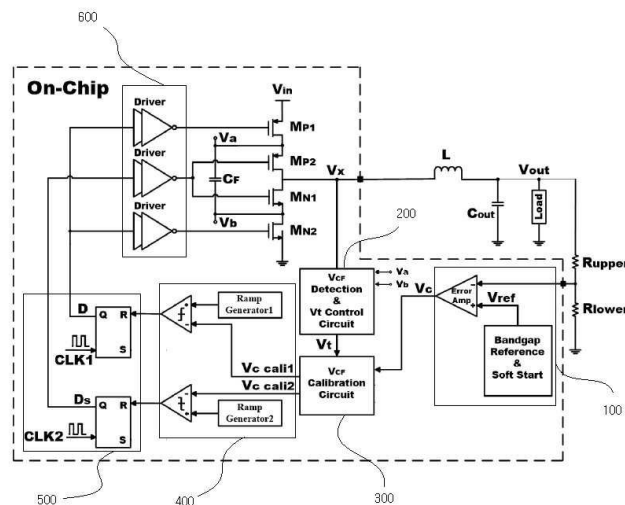
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 벽 컨버터의 플라이 캐패시터의 전압 제어장치

(57) 요약

본 기술은 벽 컨버터의 플라이 캐패시터의 전압 제어장치가 개시되어 있다. 본 기술의 구체적인 구현 예에 따르면, 부하 전류가 변동될 때 파워 스위칭소자의 기생 성분의 변동으로 인한 파워 스위칭소자의 출력신호의 오차를 제거하기 위해 공급전원을 조절하고 조절된 공급전원에 의거 플라이 캐패시터의 양단의 전위차를 조절함에 따라 파워 스위칭소자의 출력신호의 오차가 제거되어 벽 컨버터의 동작을 안정화할 수 있다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	1345278163
부처명	교육부
과제관리(전문)기관명	한국연구재단
연구사업명	중점연구소지원(정보전자_교비대응)
연구과제명	[Ezbaro] (교비)그린 생체모방형 임플란티블 전자칩 및 U-생체정보처리 플랫폼 융합
기술개발(정보전자공동연구소)	
기 여 율	1/1
과제수행기관명	인하대학교
연구기간	2018.03.01 ~ 2019.02.28

명세서

청구범위

청구항 1

플라잉 캐패시터에 의한 캐패시터 클램프 방식으로 직렬 연결된 다수의 파워 스위칭소자를 정격전압 내에서 동작하여 다수의 파워 스위칭소자의 출력신호를 인덕터 및 캐패시터를 경유하여 부하로 전달하는 벡 컨버터에 있어서,

상기 부하전압과 기 정해진 기준전압과의 오차신호를 도출하는 에러 증폭부;

상기 플라잉 캐패시터의 양단의 출력신호 V_a , V_b 및 외부로부터 공급되는 직류전원 V_g 및 공급전원 V_t 에 의거 상기 파워 스위칭소자의 출력신호의 오차 V_x 를 제거하기 위해 조절된 공급전원 V_t 를 제어신호로 출력하는 플라잉 캐패시터 제어부;

상기 오차신호에 따라 상기 제어신호로 상기 플라잉 캐패시터 양단간의 전압차 V_{cf} 를 조절하기 위한 보상신호 $V_{c_{cali1}}$, $V_{c_{cali2}}$ 를 출력하는 플라잉 캐패시터 보상부;

기 정해진 크기의 음의 캐리어 및 양의 캐리어를 토대로 생성된 삼각파와 상기 보상신호를 비교하여 펄스 형태의 구동신호를 도출하는 비교부;

외부로부터 공급되는 클럭신호에 의거 상기 비교부의 구동신호를 1비트 데이터로 출력하는 저장부; 및

상기 저장부의 1비트 데이터에 의거 동작되어 상기 다수의 파워 스위칭소자를 제어하기 위한 게이트신호를 생성한 다음 생성된 게이트신호를 각 파워 스위칭소자로 제공하는 구동부를 포함하는 것을 특징으로 하는 벡 컨버터의 플라잉 캐패시터의 전압 제어장치.

청구항 2

제1항에 있어서, 상기 플라잉 캐패시터 제어부는

부하 전류가 증가되면 다수의 파워 스위칭 소자의 기생 성분이 증가되어 발생된 인덕터 전류를 오차를 제거하기 위해 상기 플라잉 캐패시터 양단의 전압차를 보상하기 위해 조절된 공급전원을 제어신호로 생성하도록 구비되는 것을 특징으로 하는 벡 컨버터의 플라잉 캐패시터의 전압 제어장치.

청구항 3

제1항에 있어서, 상기 플라잉 캐패시터 제어부는,

상기 플라잉 캐패시터 양단의 출력신호 V_a , V_b 및 외부로부터 공급되는 직류전원 V_g 및 공급전원 V_t 의 입력단에 직렬로 다수의 분배 저항 ($12R$, R)이 각각 접속되어 상기 플라잉 캐패시터 양단의 출력신호 V_a , V_b 와 직류전원 V_g 및 공급전원 V_t 각각을 분배하여 다수의 증폭신호를 생성하는 레지스터 어레이부;

상기 레지스터 어레이부의 각 증폭신호에 의거 동작하는 다수의 증폭소자로 구비되어 상기 증폭신호에 의거 각 증폭신호를 차동 증폭하는 차동 증폭기와, 상기 차동 증폭기의 출력 신호를 전달받아 상기 차동 증폭기의 동작점의 밸런스를 유지하기 위한 공통모드 피드백 신호를 생성하여 상기 차동 증폭기로 전달하는 FF단으로 구비되는 연산 증폭부; 및

상기 연산 증폭부의 출력단에 직렬로 접속되어 연산 증폭부의 증폭 게인을 결정하는 저항 및 캐패시터를 구비하고 상기 연산 증폭부의 출력단에 접속되는 스위칭소자로 구비되며 상기 스위칭소자의 출력단에 직렬로 접속되는 분배저항으로 구비됨에 따라, 상기 분배저항의 저항배열에 의거 상기 공급전원 V_t 를 조절하여 조절된 공급전원 V_t 를 제어신호로 상기 플라잉 캐패시터 보상부로 전달하는 출력부를 포함하는 것을 특징으로 하는 벡 컨버터의 플라잉 캐패시터의 전압 제어장치.

청구항 4

제3항에 있어서, 상기 출력부는,

상기 스위칭소자의 출력단에 접속되어 스위칭소자의 온 동작 시 상기 공급전압 V_t 를 분배저항에 의거 분배한 다음 분배된 공급전압 V_t 를 제어신호로 상기 플라이잉 캐패시터 제어부로 전달함에 따라, 플라이잉 캐패시터 양단의 전위차의 조절로 상기 다수의 파워 스위칭소자의 출력신호 V_x 의 오차를 제거하도록 구비되는 것을 특징으로 하는 벡 컨버터의 플라이잉 캐패시터의 전압 제어장치.

청구항 5

제3항에 있어서, 상기 출력부는,

상기 스위칭소자의 출력단에 접속되어 스위칭소자의 오프 동작 시 상기 공급전압 V_t 를 상기 플라이잉 캐패시터 제어부로 전달하도록 구비되는 것을 특징으로 하는 벡 컨버터의 플라이잉 캐패시터의 전압 제어장치.

청구항 6

제3항에 있어서, 상기 플라이잉 캐패시터 제어부는,

멀티 비트인 경우 상기 레지스터 어레이를 시분할 기법을 이용하여 순차 생성된 증폭신호를 순차적으로 상기 연산 증폭부로 전달하도록 구비되고,

상기 제어신호는 부하 전류의 크기에 따라 조절되며, 임의의 M 비트인 경우 다음 관계식을 만족하는 것을 특징으로 하는 벡 컨버터의 플라이잉 캐패시터의 전압 제어장치.

[관계식]

$$(1/2)V_g < V_t < 25V_g/(2^M + 49)$$

여기서, V_g 는 직류전원이다.

발명의 설명

기술 분야

[0001] 본 발명은 벡 컨버터의 플라이잉 캐패시터의 전압 제어장치에 관한 것으로서, 더욱 상세하게는 3 레벨 벡 컨버터에 있어 플라이잉 캐패시터의 전압 제어를 수행함에 따라 부하 전류에 따라 플라이잉 캐패시터의 전압을 최적화하여 벡 컨버터의 동작을 안정화할 수 있도록 한 기술에 관한 것이다.

배경 기술

- [0003] 현재 전자 및 통신기술이 발달하면서 스마트폰과 같은 휴대기기와 IoT가 보편화되었다. □
- [0004] 이에 따라 AP와 CPU의 수요가 증가하고 있으며 AP와 CPU의 전력소모를 최소화하기 위해 동적 스케일링이 가능하며 배터리 전력을 효과적으로 제어할 수 있는 전력관리회로가 요구된다. □ □ □ ◐ □ □ □
- [0005] 3-레벨 벡 변환기는 일반적인 벡 변환기보다 작은 출력전압 리플을 가지며 스위칭 손실이 적어 전력변환 효율이 높다. 하지만 기존의 3-레벨 벡변환기는 회로 내 딜레이, 파워 스위치와 플라이잉 캐패시터의 기생성분에 의해 플라이잉 캐패시터 전압의 변동이 발생하여 3-레벨 벡 변환기의 동작이 불안정하다.
- [0006] 플라이잉 캐패시터를 자동으로 제어하는 자기 제어 방식은 고정 온타임 방식에만 적용되는 한계점이 있다. 또한 부하전류가 증가할 경우 파워 스위치의 기생 저항, 플라이잉 캐패시터 전압의 변동에 의해 인덕터 전압에 오차가 증가하는 문제점이 있다.
- [0007] 따라서 PWM 방식에 적용할 수 있으며 부하전류에 따라 플라이잉 캐패시터 전압을 제어하는 회로가 필요하다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 대한민국 공개특허 제 10-2018-0093729호(2018년 08월 22일 공개)

발명의 내용

해결하려는 과제

[0010] 본 발명은 변동하는 공급전원의 조절에 따라 플라이 캐패시터의 전압 제어를 수행함에 따라 부하전류의 변동에 따라 발생된 파워 스위칭소자의 출력신호의 오차를 제거하여 벅 컨버터의 동작을 안정화시킬 수 있는 벅 컨버터의 플라이 캐패시터의 전압 제어장치를 제공하고자 함에 그 목적이 있다.

과제의 해결 수단

[0011] 일 실시 예에 따른 벅 컨버터의 플라이 캐패시터의 전압 제어장치는

[0012] 플라이 캐패시터에 의한 캐패시터 클램프 방식으로 직렬 연결된 다수의 파워 스위칭소자를 정격전압 내에서 동작하여 다수의 파워 스위칭소자의 출력신호를 인덕터 및 캐패시터를 경유하여 부하로 전달하는 벅 컨버터에 있어서, 상기 부하전압과 기 정해진 기준전압과의 오차신호를 도출하는 에러 증폭부; 상기 플라이 캐패시터의 양단의 출력신호 V_a , V_b 및 외부로부터 공급되는 직류전원 V_g 및 공급전원 V_t 에 의거 상기 파워 스위칭소자의 출력신호의 오차 V_x 를 제거하기 위해 조절된 공급전원 V_t 를 제어신호로 출력하는 플라이 캐패시터 제어부; 상기 오차신호에 따라 상기 제어신호로 상기 플라이 캐패시터 양단간의 전압차 V_{CF} 를 조절하기 위한 보상신호 V_{c_cali1} , V_{c_cali2} 를 출력하는 플라이 캐패시터 보상부; 기 정해진 크기의 음의 캐리어 및 양의 캐리어를 토대로 생성된 삼각파와 상기 보상신호를 비교하여 펄스 형태의 구동신호를 도출하는 비교부; 외부로부터 공급되는 클럭신호에 의거 상기 비교부의 구동신호를 1비트 데이터로 출력하는 저장부; 및 상기 저장부의 1비트 데이터에 의거 동작되어 상기 다수의 파워 스위칭소자를 제어하기 위한 게이트신호를 생성한 다음 생성된 게이트신호를 각 파워 스위칭소자로 제공하는 구동부를 포함할 수 있다.

[0013] 상기 플라이 캐패시터 제어부는

[0014] 부하 전류가 증가되면 다수의 파워 스위칭 소자의 기생 성분이 증가되어 발생된 인덕터 전류를 오차를 제거하기 위해 상기 플라이 캐패시터 양단의 전압차를 보상하기 위해 조절된 공급전원을 제어신호로 생성하도록 구비될 수 있다.

[0015] 상기 플라이 캐패시터 제어부는,

[0016] 상기 플라이 캐패시터 양단의 출력신호 V_a , V_b 및 외부로부터 공급되는 직류전원 V_g 및 공급전원 V_t 의 입력단에 직렬로 다수의 분배 저항 ($12R$, R)이 각각 접속되어 상기 플라이 캐패시터 양단의 출력신호 V_a , V_b 와 직류전원 V_g 및 공급전원 V_t 각각을 분배하여 다수의 증폭신호를 생성하는 레지스터 어레이부;

[0017] 상기 레지스터 어레이부의 각 증폭신호에 의거 동작하는 다수의 증폭소자로 구비되어 상기 증폭신호에 의거 각 증폭신호를 차동 증폭하는 차동 증폭기와, 상기 차동 증폭기의 출력 신호를 전달받아 상기 차동 증폭기의 동작점의 밸런스를 유지하기 위한 공통모드 피드백 신호를 생성하여 상기 차동 증폭기로 전달하는 FF단으로 구비되는 연산 증폭부; 및

[0018] 상기 연산 증폭부의 출력단에 직렬로 접속되어 연산 증폭부의 증폭 게인을 결정하는 저항 및 캐패시터를 구비하고 상기 연산 증폭부의 출력단에 접속되는 스위칭소자로 구비되며 상기 스위칭소자의 출력단에 직렬로 접속되는 분배저항으로 구비됨에 따라, 상기 분배저항의 저항배열에 의거 상기 공급전원 V_t 을 조절하여 조절된 공급전원 V_t 를 제어신호로 상기 플라이 캐패시터 보상부로 전달하는 출력부로 구비될 수 있고,

[0019] 상기 출력부는, 상기 스위칭소자의 출력단에 접속되어 스위칭소자의 온 동작 시 상기 공급전압 V_t 를 분배저항에 의거 분배한 다음 분배된 공급전압 V_t 를 제어신호로 상기 플라이 캐패시터 제어부로 전달함에 따라, 플라이 캐패시터 양단의 전위차의 조절로 상기 다수의 파워 스위칭소자의 출력신호 V_x 의 오차를 제거하도록 구비될 수 있다.

[0020] 상기 출력부는, 상기 스위칭소자의 출력단에 접속되어 스위칭소자의 오프 동작 시 상기 공급전압 V_t 를 상기 플

라인 캐패시터 제어부로 전달하도록 구비될 수 있다.

[0021] 상기 플라이 캐패시터 제어부는,

[0022] 멀티 비트인 경우 상기 레지스터 어레이를 시분할 기법을 이용하여 순차 생성된 증폭신호를 순차적으로 상기 연산 증폭부로 전달하도록 구비될 수 있다.

[0023] 상기 제어신호는 부하 전류의 크기에 따라 조절되며,

[0024] 임의의 M 비트인 경우 다음 관계식을 만족할 수 있다.

[0025] [관계식]

[0026] $(1/2)V_g < V_t < 25V_g/(2^M+49)$

[0027] 여기서, V_g 는 직류전원이다.

발명의 효과

[0029] 일 실시 예에 따르면, 부하 전류가 변동될 때 파워 스위칭소자의 기생 성분의 변동으로 인한 파워 스위칭소자의 출력신호의 오차를 제거하기 위해 공급전원을 조절하고 조절된 공급전원에 의거 플라이 캐패시터의 양단의 전위차를 조절함에 따라 파워 스위칭소자의 출력신호의 오차가 제거되어 벡 컨버터의 동작을 안정화할 수 있다.

도면의 간단한 설명

[0031] 도 1은 일 실시 예가 적용되는 3 레벨 벡 컨버터의 구성을 보인 도이다.

도 2는 일 실시 예의 플라이 캐패시터 제어부의 상세 구성도이다.

도 3은 일 실시 예의 연산 증폭기의 세부 구성도이다

도 4는 일 실시 예의 플라이 캐패시터 제어부의 입출력 파형도이다.

도 5는 일 실시 예의 비교부의 상세 구성도이다.

도 6은 일 실시 예의 벡 컨버터의 입출력 파형도이다.

발명을 실시하기 위한 구체적인 내용

[0032] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시 예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면부호를 붙였다.

[0033] 명세서 전체에서, 어떤 부분이 어떤 구성요소 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서에 기재된 "...부", "...기", "...모듈" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 또는 소프트웨어 또는 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.

[0034] 일 실시 예는 부하전류가 변동될 때 플라이 캐패시터의 충전 전하량이 변동되어 파워 스위칭소자의 출력신호의 오차가 발생되고 이로 인해 인덕터로 인가되는 전압에 오차가 발생된다.

[0035] 이에 일 실시 예는 파워 스위칭소자의 출력신호의 전위차 V_x 와 플라이 캐패시터 양단 출력신호 V_a , V_b , 외부로부터 공급되는 직류전원 V_g 및 공급전원 V_t 를 토대로 V_x 를 토대로 플라이 캐패시터 양단 전압 변동을 제어하기 위해 조절된 공급전원 V_t 를 제어신호로 도출하고, 도출된 제어신호를 부하로부터 제공받은 오차신호 V_c 에 따라 캐패시터 양단의 전위를 조절하여 파워 스위칭소자의 출력신호의 오차를 제거함에 따라 부하에 공급되는 전압을 안정화시킬 수 있다.

- [0036] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다.
- [0037] 도 1은 일 실시 예가 적용되는 3 레벨 벅 컨버터의 구성을 보인 도면이고, 도 2은 도 1에 도시된 플라이잉 캐패시터 제어부를 상세하게 도시된 도면이며, 도 3은 도 2에 도시된 연산 증폭부의 세부 구성도이고, 도 4는 도 2에 도시된 플라이잉 캐패시터 제어부의 입출력 파형도이고, 도 5는 도 1에 도시된 비교부의 세부 구성도이며, 도 6은 도 1에 도시된 3 레벨 벅 컨버터의 입출력 파형도를 보인 도면이다.
- [0038] 도 1 내지 도 6을 참조하면, 일 실시 예가 적용되는 3 레벨 벅 컨버터는, 플라이잉 캐패시터 C_F , 다수의 파워 스위칭소자(M_{P1})(M_{P2})(M_{N1})(M_{N2}), 인덕터(L) 및 캐패시터(C_{out})로 구비될 수 있다.
- [0039] 즉, 3레벨 벅 컨버터(S)는 게이트신호에 의거 동작하는 파워 스위칭소자(M_{P1})(M_{P2})(M_{N1})(M_{N2})와 파워 스위칭소자(M_{P1})의 출력단과 파워 스위칭소자(M_{N1})의 출력단 사이에 연결된 플라이잉 캐패시터 C_F 를 포함할 수 있다. 그리고, 3레벨 벅 컨버터(S)는 파워 스위칭소자(M_{P2})의 출력단과 파워 스위칭소자(M_{N1})의 입력단 사이에 병렬로 인덕터 L 및 캐패시터 C_{out} 를 연결하고 인덕터 L의 출력단에 부하(Load)가 연결되는 구성을 갖는다.
- [0040] 이에 게이트신호에 의거 동작되는 파워 스위칭소자(M_{P1})(M_{P2})(M_{N1})(M_{N2})의 스위칭 상태에 따라 플라이잉 캐패시터 C_F 또는 외부로부터 공급되는 직류전원 V_g 를 인덕터(L) 및 캐패시터(C_{out})을 경유하여 부하(Load)로 전달한다.
- [0041] 또한 3 레벨 벅 컨버터(S)는, 예러 증폭부(100), 플라이잉 캐패시터 제어부(200), 플라이잉 캐패시터 보상부(300), 비교부(400), 저장부(500), 및 구동부(600)를 더 포함할 수 있다.
- [0042] 예러 증폭부(100)는 부하(Load)의 출력단에 접속되어 부하 전압 V_{out} 과 기 정해진 기준전압 V_{ref} 의 오차신호 V_c 를 도출하고 도출된 오차신호 V_c 는 플라이잉 캐패시터 보상부(300)로 전달된다.
- [0043] 그리고 플라이잉 캐패시터 제어부(200)는 파워 스위칭소자 (M_{P1})(M_{P2})(M_{N1})(M_{N2})의 출력신호의 오차 V_x 를 도출하고 상기 플라이잉 캐패시터 양단의 출력신호 V_a , V_b 와 외부로부터 공급되는 직류전원 V_g 및 공급전원 V_t 을 토대로 플라이잉 캐패시터 양단 전위를 조절하기 위해 공급전원 V_t 를 조절하고 조절된 공급전원 V_t 를 제어신호로 도출하도록 구비될 수 있다.
- [0044] 즉, 도 2 및 도 3을 참조하면, 플라이잉 캐패시터 제어부(200)는 레지스터 어레이(210), 연산 증폭부(220), 및 출력부(230)를 포함할 수 있다.
- [0045] 레지스터 어레이(210)는 플라이잉 캐패시터 C_F 양단의 출력신호 V_a , V_b 와 공급전원 V_t 및 외부로부터 공급되는 직류전원 V_g 의 입력측에 직렬로 저항($12R$)(R)이 각각 접속된다.
- [0046] 이에 레지스터 어레이(210)는 상기 플라이잉 캐패시터 C_F 양단의 출력신호 V_a , V_b 와 공급전원 V_t 및 외부로부터 공급되는 직류전원 V_g 를 저항($12R$)(R)에 의거 각각 분배하여 다수의 증폭신호 V_{pn} , V_{pp} , V_{nn} , V_{np} 를 생성한다.
- [0047] 그리고, 각 증폭신호 V_{pn} , V_{pp} , V_{nn} , V_{np} 는 연산 증폭부(220)에 전달되며, 연산 증폭부(220)는 다수의 증폭소자로 구비되고 각 증폭소자는 각 증폭신호 V_{pn} , V_{pp} , V_{nn} , V_{np} 에 의거 차동 증폭하여 차동 증폭신호 V_{o+} , V_{o-} 를 출력하는 차동 증폭기(221)와 차동 증폭신호 V_{o+} , V_{o-} 를 전달받아 상기 차동 증폭기(221)의 동작점의 밸런스를 유지하기 위한 공통모드 피드백 신호 V_{cmfb} 를 생성하여 상기 차동 증폭기(221)로 전달하는 FF단(225)로 구비될 수 있다.
- [0048] 이에 차동 증폭기(221)의 증폭소자는 각 증폭신호 V_{pn} , V_{pp} , V_{nn} , V_{np} 에 의거 동작되어 차동 증폭되어 차동 증폭신호 V_{o+} , V_{o-} 를 출력하고, 출력된 차동 증폭신호 V_{o+} , V_{o-} 는 FF단(225)에 전달되며, FF단(225)은 차동 증폭신호 V_{o+} , V_{o-} 에 의거 동작되어 공통모드 피드백 신호 V_{cmfb} 를 생성한다. 그리고 생성된 공통모드 피드백 신호 V_{cmfb} 는 차동 증폭소자에 전달되며, 이에 차동 증폭소자는 제공받은 공통모드 피드백 신호 V_{cmfb} 에 의거 동작점의 밸런스가 유지된다.
- [0049] 또한 연산 증폭부(220)의 차동 증폭신호 V_{o+} , V_{o-} 는 연산 증폭부(220)의 출력단에 직렬로 접속되는 출력부(230)의 캐패시터 C_1 및 저항 R_1 를 경유하여 연산 증폭부(220)로 반환된다. 이에 캐패시터 C_1 및 저항 R_1 에 의거 연산 증폭부(220)의 증폭 게인이 결정된다.
- [0050] 한편, 출력부(230)는 연산 증폭부(220)의 출력단에 접속되는 스위칭소자(M1)와, 스위칭소자(M1)의 출력단에 직렬로 연결된 분배저항($12R$, R)으로 구비된다. 이에 플라이잉 캐패시터 양단 노드의 출력신호 V_a , V_b , 직류전원

V_g , 및 공급전원 V_t 는 출력부(230)의 저항($12R$, R)의 저항 비율 X 에 의거 동일한 비율로 변동되고 이에 차동 증폭기(221)의 차동 증폭소자는 포화영역에서 동작된다.

[0051] 이에 차동 증폭소자가 포화 영역에서 동작됨에 따라 상기 플라이잉 캐패시터 C_F 양단 간의 전압 오차를 조절하는 공급전원 V_t 가 조절되며, 조절된 공급전원 V_t 는 제어신호로 플라이잉 캐패시터 보상부(300)에 전달되며, 이에 부하 전류 범위까지의 플라이잉 캐패시터 C_F 의 양단간의 전압 오차가 보상되고 이에 인덕터 L 에 인가되는 파워 스위칭소자의 출력신호 V_x 의 오차는 제거된다. 따라서, 3 레벨 벡 컨버터의 동작이 안정화된다.

[0052] 즉, 연산 증폭부(220)의 차동 증폭신호 V_{o+} , V_{o-} 는 출력부(230)의 스위칭소자 $M1$ 으로 전달되고, 스위칭소자 $M1$ 은 차동 증폭신호 V_{o+} , V_{o-} 에 의거 스위칭되어 외부로부터 공급되는 직류전원 V_g 는 분배저항 ($12R$, R)로 전달되며, 저항($12R$, R)의 저항비율로 공급전원 V_t 이 조절된다.

[0053] 연산 증폭부(220)에서 증폭 게인을 가지는 부채환될 때 각각의 증폭신호 V_{pn} , V_{pp} , V_{nn} , V_{np} 는 다음 관계식 1을 만족한다.

[0054] [식 1]

[0055]
$$V_{pp}-V_{pn}=V_{np}-V_{nn}$$

[0056] 여기서, 플라이잉 캐패시터 양단간 출력신호 V_a , V_b 와 직류전원 V_g , 공급전원 V_t 가 증폭신호 V_{pn} , V_{pp} , V_{nn} , V_{np} 에 적용되는 경우 다음 관계식 2를 만족한다.

[0057] [식 2]

[0058]
$$V_a-V_b=V_g-V_t$$

[0059] 이때 공급전원 V_t 가 직류전원 V_g 의 50%일 때 플라이잉 캐패시터 C_F 양단 간의 출력신호 V_a , V_b 가 직류전원 V_g 의 50%로 유지되므로 3 레벨 벡 컨버터는 안정적으로 동작된다.

[0060] 그러나, 직류전원 V_g 가 1V 이상일 때 차동 증폭소자의 증폭신호 V_{pn} , V_{pp} , V_{nn} , V_{np} 의 차가 증가되면, 다수의 스위칭소자 (M_{P1})(M_{P2})(M_{N1})(M_{N2})는 포화되지 아니한다. 따라서, 플라이잉 캐패시터 양단 노드의 출력신호 V_a , V_b 와 직류전원 V_g , 공급전원 V_t 는 레지스터 어레이(210)의 저항 비율을 이용하여 동일한 비율로 감소되어 차동 증폭기(221)의 차동 증폭소자는 포화영역에서 동작된다.

[0061] 즉, $(V_a-V_b)/X = (V_g-V_t)/X$ (X 는 저항 비율)

[0062] 예를 들어, $V_g=3.3V$ 이고 차동 증폭부(221)의 차동 증폭신호의 차가 150 mV 이하일 때 차동 증폭소자는 포화된다. 따라서 저항 비율 X 는 $12R$ 및 R 의 비로 설계하면 차동 증폭부(221)의 차동 증폭신호의 차가 137.5 mV 로 제한된다. 이때 공정 오차는 커먼 센트로이드 기법을 통해 최소화된다.

[0063] 여기서 플라이잉 캐패시터 C_F 는 부하 전류가 증가될 때 충전전되는 전하량이 증가되어 플라이잉 캐패시터의 전압이 변동된다. 이에 인덕터 L 에 인가되는 전압에 오차가 발생되어 인덕터 L 에 흐르는 전류의 균형이 무너진다.

[0064] 이에 플라이잉 캐패시터 제어부(220)는 부하 전류의 크기에 따라 파워 스위칭소자의 출력신호의 오차를 제거하기 위해 플라이잉 캐패시터의 양단 출력신호의 전위차를 조절할 필요가 있으며, 이는 공급전원 V_t 의 조절로 이루어진다.

[0065] 즉, 임의의 M 비트 플라이잉 캐패시터 제어부인 경우 공급전원 V_t 는 최소 $25V_g/(2^M + 49)$ 최대 $1/2(V_g)$ 로 제어된다. 예를 들어, 부하 전류가 500 mA일 때 플라이잉 캐패시터 전압 오차(V_a-V_b)가 200 mV로 나타나고, 따라서, 직류전원 V_g 가 3.3 V 일 때 저항($12R$, R)의 저항비율 X 에 의거 공급전원 V_t 는 최소 1.45V 최대 1.65V 까지 조절 가능하며, 식 2에 의거 플라이잉 캐패시터의 전압이 최소 1.65V 내지 최대 1.85V 까지 조절된다.

[0066] 따라서 500 mV 의 부하 전류 범위까지의 플라이잉 캐패시터 C_F 의 전압오차 V_{CF} 가 보상되어 인덕터 L 에 인가되는 파워 스위칭소자의 출력신호 V_x 의 오차가 제거됨에 따라 3 레벨 벡 컨버터의 동작은 안정될 수 있다.

[0067] 즉, 도 4를 참조하면, 플라이잉 캐패시터 양단 간의 전위차 V_{CF} 는 플라이잉 캐패시터 양단 노드의 출력신호 V_a , V_b 의 차로 도출되며, 이에 파워 스위칭소자의 출력신호 V_x 의 오차는 직류전원 V_g 및 플라이잉 캐패시터 양단 간의 전위차 V_{CF} 로 도출됨을 알 수 있다. 조절된 공급전원 V_t 는 제어신호로 플라이잉 캐패시터 보상부(300)로

전달된다.

[0068] 따라서 플라이잉 캐패시터 보상부(300)는 부하 전류 크기의 변동에 따른 도출된 에러 증폭부(100)의 오차신호 V_c 에 따라 조절된 공급전원 V_t 에 의거 파워 스위칭소자의 출력신호 V_x 의 오차를 제거하기 위한 보상신호 V_{c_cali1} , V_{c_cali2} 각각을 생성한다.

[0069] 한편, 비교부(400)는 기 정해진 크기의 음의 캐리어 및 양의 캐리어를 토대로 생성된 삼각파에 대해 전력 소모 및 칩 면적을 최적화하기 위해 슈미트 트리거 기법을 적용하여 클럭에 동기화된 구동신호를 각각 생성한다.

[0070] 도 5를 참조하면 비교부(400)는 캐패시터 C_1 이 방전될 때 출력단 node1 은 0V가 되어 스위칭소자 M_{N2} 가 차단되며, 이에 캐패시터 C_1 이 충전된다.

[0071] 그리고 캐패시터 C_1 이 충전되면, 삼각파(Ramp)의 전압은 I_{cons}/C_1 기울기로 증가되며, 이에 스위칭 소자 M_{N2} 가 도통되고 캐패시터 C_1 이 방전된다. 이때 캐패시터 C_1 이 급격하기 방전되는 과정에서 삼각파의 전압이 $1/2(V_g)-V_{TH}$, M_{P2} 보다 작아질 경우 출력단 node1이 전압을 0V로 전화되어 스위칭소자 M_{N2} 는 차단되고 캐패시터 C_1 은 충전되므로, 삼각파의 전압은 다시 증가한다. 따라서, 슈미트 트리거 기법을 이용하여 클럭에 동기된 구동신호가 생성된다. 이때 구동신호의 V_L , V_H 는 하기 식 4 및 5로 나타낸다.

[0072] [식 4]

$$V_L = \frac{1}{2} V_g - V_{TH,MP2}$$

[0073]

[0074] [식 5]

$$V_H = V_L + \frac{I_{cons} T_S}{C_1} \quad (T_S = \text{주기})$$

[0075]

[0076] 구동신호는 저장부(500)에 의거 1비트 데이터 D, D_s 로 변환한 다음 구동부(600)로 전달되고, 3 레벨 벡 컨버터의 경우 구동부(600)는 3개의 게이트 드라이버로 구비되어 구동신호 D, D_s 를 전달받아 게이트신호를 생성하고 생성된 게이트신호를 다수의 스위칭소자 (M_{P1})(M_{P2})(M_{N1})(M_{N2})로 전달하여 벡 컨버터의 출력신호를 생성한다. 그리고, 생성된 벡 컨버터의 출력신호는 인덕터 L 및 캐패시터 C_{out} 를 경유하여 부하(Load)로 전달된다.

[0077] 여기서, 에러 증폭부(100), 플라이잉 캐패시터 제어부(200), 플라이잉 캐패시터 보상부(300), 비교부(400), 저장부(500), 구동부(600), 플라이잉 캐패시터 C_F , 및 파워 스위칭소자(M_{P1})(M_{P2})(M_{N1})(M_{N2})는 하나의 원칩의 벡 컨버터로 구비될 수 있다.

[0078] 도 6을 참조하면, 인덕터 L에 흐르는 전류 I_L 이 변동될 때 파워 스위칭소자의 출력신호 V_x 는 변동됨을 알 수 있다

[0079] 이러한 플라이잉 캐패시터 C_F 양단 간의 전위차 V_x 와 에러 증폭부(100)의 오차신호 V_c 는 플라이잉 캐패시터 보상부(300)에 의해 보상신호 V_{c_cali1} , V_{c_cali2} 로 변형된다. 그리고, 보상신호 V_{c_cali1} , V_{c_cali2} 는 서로 위상이 180도 다른 클럭신호(CLK1)(CLK2)에 동기화된 삼각파(Ramp)와 각각 비교하여 구동신호를 생성한다.

[0080] 그리고, 구동신호는 저장부(500)의 D 플립플롭에 의거 펄스 형태의 구동신호 D_s , D 로 출력된다.

[0081] 이러한 구동신호는 파워 스위칭소자(M_{P1})(M_{P2})(M_{N1})(M_{N2})를 동작하기 위한 상기 게이트신호로 구동부(600)에 제공되며, 이에 구동부(600)의 게이트신호에 의거 파워 스위칭소자(M_{P1})(M_{P2})(M_{N1})(M_{N2})가 동작됨에 따라 3 레벨 벡 컨버터의 출력이 생성된다.

[0082] 이에 일 실시 예는 부하전류가 변동될 때 플라이잉 캐패시터의 충방전 전하량이 변동되어 플라이잉 캐패시터의 양단 전압이 변동되고, 이에 인덕터로 인가되는 전압에 오차가 발생되며, 부하 전류의 변동에 따라 플라이잉 캐패시터의 양단 전압을 제어함에 따라 인덕터의 전압 오차가 제거되어 벡 컨버터의 동작을 안정화할 수 있다.

[0083] 이상으로 본 발명에 관한 바람직한 실시예를 설명하였으나, 본 발명은 상기 실시예에 한정되지 아니하며, 본 발명의 실시예로부터 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의한 용이하게 변경되어 균등하

다고 인정되는 범위의 모든 변경을 포함한다.

부호의 설명

[0084]

100 : 에러 증폭부

200 : 플라잉 캐패시터 제어부

210 : 레지스터 어레이

220 : 연산 증폭부

230 : 출력부

300 : 플라잉 캐패시터 보상부

400 : 비교부

500 : 저장부

600 : 구동부

 $M_{P1}, M_{P2}, M_{N1}, M_{N2}$: 파워 스위칭소자

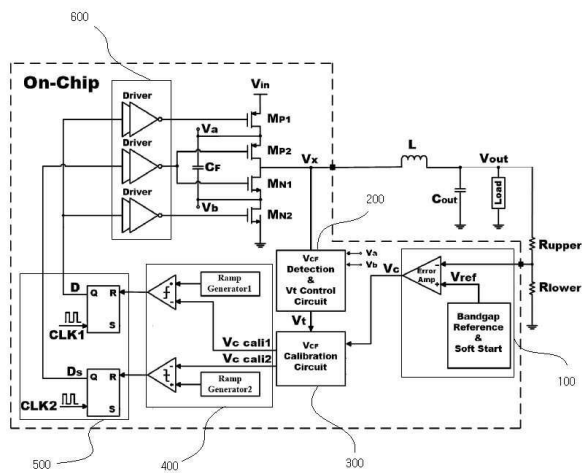
L : 인덕터

Cout : 캐패시터

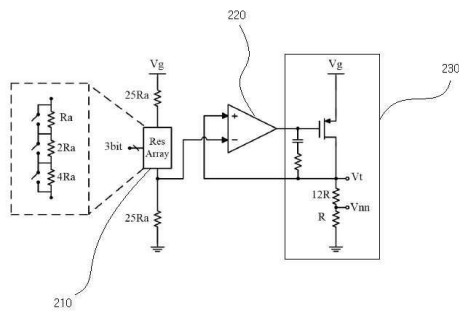
Load : 부하

도면

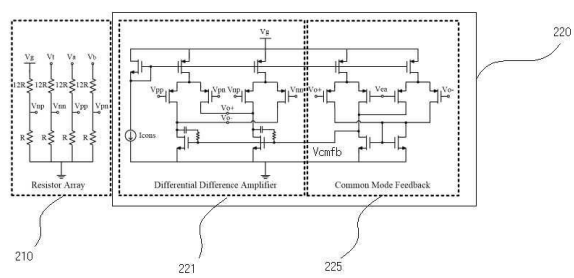
도면1



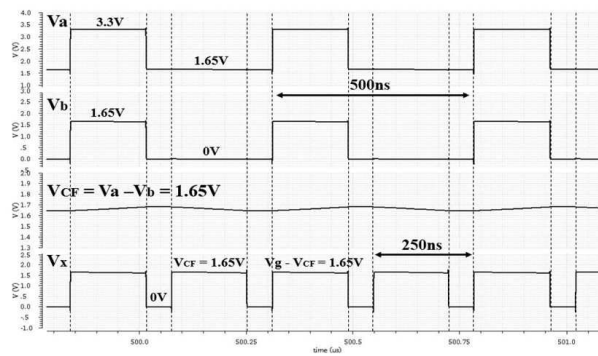
도면2



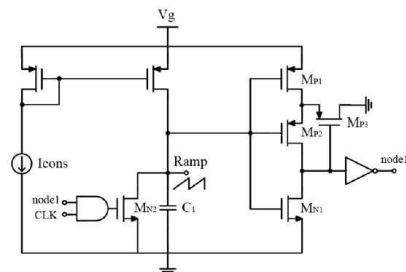
도면3



도면4



도면5



도면6

