

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2006 年 3 月 2 日 (02.03.2006)

PCT

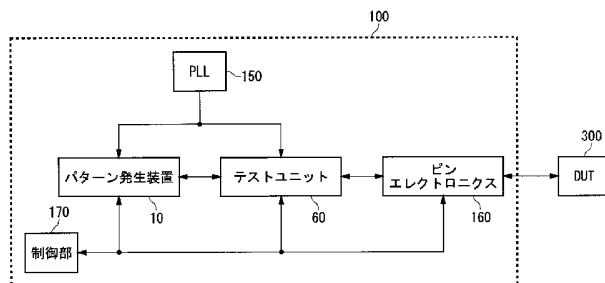
(10) 国際公開番号
WO 2006/022108 A1

- (51) 国際特許分類:
G01R 31/3183 (2006.01)
- (21) 国際出願番号: PCT/JP2005/013643
- (22) 国際出願日: 2005 年 7 月 26 日 (26.07.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-245883 2004 年 8 月 25 日 (25.08.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンテスト (ADVANTEST CORPORATION)
[JP/JP]; 〒1790071 東京都練馬区旭町 1 丁目 3 2 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 土井 優 (DOI, Masaru) [JP/JP]; 〒1790071 東京都練馬区旭町 1 丁目 3 2 番 1 号 株式会社アドバンテスト内 Tokyo (JP).
- (74) 代理人: 龍華 明裕 (RYUKA, Akihiro); 〒1600022 東京都新宿区新宿 1 丁目 2 4 番 1 2 号 東信ビル 6 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU,

/ 続葉有 /

(54) Title: TEST DEVICE AND TEST METHOD

(54) 発明の名称: 試験装置、及び試験方法



170 CONTROL PART
10 PATTERN GENERATING DEVICE
60 TEST UNIT
160 PIN ELECTRONICS

(57) Abstract: A test device is provided for testing a semiconductor device. The test device is provided with a pattern generating part for sequentially reading and outputting waveform information for testing the semiconductor device; a waveform generating part for forming a waveform based on the waveform information sequentially outputted from the pattern generating part; a match detecting part, which detects whether the output signal outputted from the semiconductor device matches with an expected value pattern, corresponding to a match detection request cycle outputted from the pattern generating part; and an interrupting part, which ends the match detection request cycle when the outputted signal matches with the expected value pattern, and makes the pattern generating part generate subsequent waveform information.

(57) 要約: 半導体デバイスを試験する試験装置であって、半導体デバイスを試験するための波形情報を順次読み出して出力するパターン発生部と、パターン発生部が順次出力する波形情報から波形を成形する波形発生部と、パターン発生部が出力するマッチ検出要求サイクルに応じて、半導体デバイスが出力する出力信号と、期待値パターンとが一致するか否かを検出するマッチ検出部と、出力信号と期待値パターンとが一致した場合に、マッチ検出要求サイクルを終了させ、パターン発生部に次の波形

/ 続葉有 /



SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

試験装置、及び試験方法

技術分野

- [0001] 本発明は、半導体デバイスを試験する試験装置及び試験方法に関する。特に本発明は、パイプライン処理によって信号を出力する試験装置に関する。また、本発明は下記の日本国特許出願に関連する。文献の参照による組み込みが認められる指定国については、下記の出願に記載された内容を参照により本出願に組み込み、本出願の記載の一部とする。

特願2004-245883 出願日 平成16年8月25日

背景技術

- [0002] フラッシュメモリ等のデバイスを試験する際は、被測定デバイスの機能や性能について複数の項目について試験が行われる。複数の試験項目の中でデータの消去や書き込みが繰り返し行われるが、その都度、データの消去や書き込みが正常に行われたかどうかを試験装置で判定し、判定結果に応じた試験項目を分岐して行う。従来の試験装置における判定は、マッチ検出と呼ばれる機能により実現されていた。マッチ検出は、データの消去や書き込みに応じて被測定デバイスから出力される信号が、期待値と一致するかを判定するものである。
- [0003] 被測定デバイスの所定のアドレスに、任意のデータを書き込む場合、書き込みを行うためのコマンドやデータ等が試験装置から入力される。フラッシュメモリ等においては、フローティングゲートへの電荷の注入特性がデバイス毎にばらついているため、データが入力されてからメモリセルに書き込まれるまでの時間がデバイス毎に異なる。このため、フラッシュメモリはポーリングと呼ばれる自動書き込みシーケンスをデバイス内部で実行している。上述した理由により、ポーリングによる書き込み時間はデバイス毎に異なっており、書き込みが正常に終了した場合に、所定のデータを出力する。被測定デバイスにおいてポーリングが実行中である場合、次のアドレスにデータを書き込むことができないため、試験装置は、デバイスが出力するデータが期待値と一致するまでマッチ検出を繰り返しつつ待機しなければならない。マッチが検出されると

試験装置は、試験パターンを分岐して次のアドレスにデータを書き込むシーケンスに進むことができる。

- [0004] マッチ検出を行う場合、試験装置は、所定の長さのマッチ検出サイクルに一度、デバイスの出力データと期待値とを比較する。そして、当該マッチ検出サイクルを繰り返すことにより、ポーリングの終了を検出する。また、ポーリングの終了を検出したマッチ検出サイクルの終了をまって、次の試験項目を実行する。
- [0005] 関連する特許文献等は、現在認識していないためその記載を省略する。

発明の開示

発明が解決しようとする課題

- [0006] しかし、従来の試験装置は、上述したようにマッチ検出サイクルに一度だけマッチ検出を行うため、ロスタイムが生じ、マッチ検出の効率が悪かった。マッチ検出サイクルのサイクル時間を十分に小さくし、マッチ検出サイクルの繰り返し回数を十分に多くすることにより、マッチ検出の効率を向上させることができるが、試験装置におけるマッチ検出サイクル時間には最小設定制限があるため、十分に小さいサイクル時間でマッチ検出を行うことができず、マッチ検出の効率を向上させることは困難である。
- [0007] マッチ検出の結果に応じて、次に行うべき試験項目が分岐するため、例えばパイプライン処理により信号を出力する試験装置においては、マッチ検出を要求する信号が、縦続接続されたフリップフロップを介してマッチ検出回路に伝送され、マッチが検出されなかったことを示す信号が、縦続接続されたフリップフロップを介して戻ってくるまで、マッチ検出の効率を向上させることが困難である。
- [0008] このため本発明は、上述した課題を解決することのできる試験装置及び試験方法を提供することを目的とする。この目的は、請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

課題を解決するための手段

- [0009] 上記課題を解決するために、本発明の第1の形態においては、半導体デバイスを試験する試験装置であって、半導体デバイスを試験するための波形情報を順次読み出して出力するパターン発生部と、パターン発生部が順次出力する波形情報から、

波形を成形する波形発生部と、パターン発生部が出力するマッチ検出要求サイクルに応じて、半導体デバイスが出力する出力信号と、パターン発生部が出力する期待値パターンとが一致するか否かを検出するマッチ検出部と、出力信号と期待値パターンとが一致した場合に、マッチ検出要求サイクルを終了し、パターン発生部に次の波形情報の発生を行わせる割込部とを備える試験装置を提供する。

- [0010] パターン発生部は、予め設定されたピリオド(周期)信号を発生させるピリオド生成部と、波形情報を順次格納し、順次格納した波形情報をパターン発生部で発生したピリオド信号に同期して波形発生部に出力する縦続接続された複数のフリップフロップとを有する。また割込部は、半導体デバイスの出力信号と期待値パターンとが一致したときに、マッチ検出要求サイクルが終了する前に、ピリオド生成部に次のピリオド信号を発生させてよい。フリップフロップは、マッチ検出部が出力信号と期待値パターンとの一致を検出した場合、以降に発生する波形情報をフリップフロップの段数に応じて予め格納してよい。
- [0011] 割込部は、マッチ検出要求サイクル内に、出力信号と期待値パターンとが一致しない場合、複数のフリップフロップの段数に応じた数のピリオド信号を、サイクル時間の経過前にピリオド生成部に出力させるアンマッチ制御部と、アンマッチ制御部が、ピリオド生成部に複数のフリップフロップの段数に応じた数のピリオド信号を出力させる間、フリップフロップから波形発生部への波形情報の出力を停止させるピリオドホールド部とを有してよい。
- [0012] 割込部は、出力信号と期待値パターンとが一致したときに、ピリオド信号と略同一のパルス幅のマッチ信号を出力するマッチ制御部を更に有し、ピリオド生成部は、それぞれの波形情報毎に予め定められたサイクル時間毎に生成するピリオド信号に、マッチ信号を論理加算した信号をピリオド信号として出力してよい。
- [0013] ピリオド生成部は、イネーブル信号が与えられる毎にそれぞれの波形情報のサイクル時間を示すピリオドデータを取り込み、与えられる基準クロックをカウントすることにより時間を計測し、計測した時間がピリオドデータと一致した場合にピリオド信号を出力するピリオドカウンタと、ピリオドカウンタが出力するピリオド信号に、マッチ信号を論理加算した信号をピリオド信号として出力し、当該ピリオド信号をイネーブル信号とし

てピリオドカウンタに入力する論理和回路とを有してよい。

- [0014] アンマッチ制御部は、マッチ検出要求サイクル内に、出力信号と期待値パターンとが一致しない場合に、ピリオドホールド部にアンマッチ信号を出力し、ピリオドホールド部は、アンマッチ信号を受け取った場合に、ピリオド生成部が複数のフリップフロップの段数に応じた数のピリオド信号を出力する間、ピリオドカウンタのカウントを禁止し、ピリオド生成部が複数のフリップフロップの段数に応じた数のピリオド信号を出力した後に、論理和回路にピリオド信号を出力してよい。
- [0015] 波形発生部は、マッチ検出要求サイクル内で、位相の異なる複数のストロブ信号を生成するストロブ生成部と、複数のストロブ信号のタイミングで出力信号の値を検出するタイミング比較器とを有し、マッチ検出部は、タイミング比較器が検出した出力信号の値と、与えられる期待値パターンとが一致するかを検出してよい。
- [0016] ストロブ生成部は、マッチ検出要求サイクル内の予め定められた終期以降は、ストロブ信号を生成しないことが好ましい。ストロブ生成部は、マッチ検出要求サイクル内の予め定められた始期以前は、ストロブ信号を生成しないことが好ましい。
- [0017] 本発明の第2の形態においては、半導体デバイスを試験する試験方法であって、半導体デバイスを試験するための波形情報を順次読み出して出力するパターン発生段階と、パターン発生段階において順次出力する波形情報から、波形を成形する波形発生段階と、パターン発生段階において出力するマッチ検出要求サイクルに応じて、半導体デバイスが出力する出力信号と、パターン発生段階において出力する期待値パターンとが一致するか否かを検出するマッチ検出段階と、出力信号と期待値パターンとが一致した場合に、マッチ検出要求サイクルを終了し、パターン発生段階において次の波形情報の発生を行わせる割込段階とを備える試験装置を提供する。
- [0018] なお上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションも又発明となりうる。

発明の効果

- [0019] 本発明によれば、半導体デバイスの試験の効率を向上させることができる。

図面の簡単な説明

[0020] [図1]本発明の実施形態に係る試験装置100の構成の一例を示す図である。

[図2]パターン発生装置10の構成の一例を示す図である。

[図3]テストユニット60及びピンエレクトロニクス160の構成の一例を示す図である。

[図4]マッチ検出要求サイクル内においてマッチが検出されたときの、論理積回路110及びアンマッチ制御部48が出力する信号の一例を示すタイミングチャートである。

[図5]マッチ検出要求サイクル内においてマッチが検出されなかったときの、論理積回路110及びアンマッチ制御部48が出力する信号の一例を示すタイミングチャートである。

[図6]本発明の実施形態に係る試験方法の一例を示すフローチャートである。

符号の説明

[0021] 10・・・パターン発生装置、12・・・パターン発生部、14、22、24、30、32、34、44、62、70、72、78、84、88、90、116、118、122、124・・・フリップフロップ、16・・・イニシャルピリオド発生器、18、38、56、76、80、102、110・・・論理和回路、20・・・パターン発生器、26・・・ピリオドデータメモリ、28・・・ピリオドカウンタ、36・・・ピリオド生成部、40・・・割込部、42・・・マッチ制御部、46、50、52、96、98、120・・・論理積回路、48・・・アンマッチ制御部、54・・・ピリオドホールド部、60・・・テストユニット、64・・・パターン制御部、68・・・ストロブ制御部、74・・・ストロブ生成部、82・・・選択部、94・・・マッチ検出部、100・・・試験装置、160・・・ピンエレクトロニクス、162・・・ドライバ、164、166・・・コンパレータ、170・・・制御部、300・・・半導体デバイス

発明を実施するための最良の形態

[0022] 以下、発明の実施形態を通じて本発明を説明するが、以下の実施形態は請求の範囲に係る発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0023] 図1は、本発明の実施形態に係る試験装置100の構成の一例を示す図である。試験装置100は、フラッシュメモリ等の半導体デバイス300を試験する試験装置であって、パターン発生装置10、テストユニット60、PLL150、ピンエレクトロニクス160、及び制御部170を備える。

[0024] 制御部170は、パターン発生装置10、テストユニット60、及びピンエレクトロニクス1

60を制御して、半導体デバイス300を試験させる。例えば制御部170は、半導体デバイス300を試験するための試験プログラムを予めパターン発生装置10に供給して、パターン発生装置10に当該試験プログラムに応じた試験パターン等を生成させる。

[0025] PLL150は、所定の周期の基準クロックを生成し、パターン発生装置10及びテストユニット60に供給する。パターン発生装置10は、基準クロックに応じて動作し、半導体デバイス300を試験するためのパターン等の波形情報を順次読み出してテストユニット60に出力する。

[0026] テストユニット60は本発明に係る波形発生部、マッチ検出部の一例であって、基準クロックに応じて動作し、パターン発生装置10から与えられるピリオド信号、波形情報を受け取り、ピンエレクトロニクス160を介して半導体デバイス300に任意の波形を入力する。またテストユニット60は、パターン発生装置10から与えられるマッチ検出要求サイクル信号に応じて、半導体デバイス300が出力する出力信号が、パターン発生装置10から与えられる期待値パターンと一致するかを検出する。

[0027] ピンエレクトロニクス160は、テストユニット60と半導体デバイス300との間で信号の授受を行う回路であって、例えば半導体デバイス300のピン毎に設けられたドライバ及びコンパレータを有する。

[0028] また、パターン発生装置10は、半導体デバイス300の出力信号と期待値パターンとが一致した場合に、マッチ検出要求サイクルを終了させ、テストユニット60に次の波形情報の発生を行わせる。このような制御により、マッチ検出によるタイムロスを低減し、効率よく半導体デバイスの試験を行うことができる。

[0029] 図2は、パターン発生装置10の構成の一例を示す図である。パターン発生装置10は、パターン発生部12及び割込部40を有する。パターン発生部12は、半導体デバイス300を試験するための波形情報を順次読み出して出力する回路であり、ピリオド生成部36、複数のフリップフロップ(14、22、24、30、32、34)、及びパターン発生器20を有する。図2及び図3においては、それぞれのフリップフロップを1段のみ示しているが、それぞれのフリップフロップは、縦続接続された複数のフリップフロップにより構成されてよい。特にフリップフロップ22、24はピリオド信号mにより1段ずつデータ

が詰められていくパイプラインを構成してよい。

- [0030] フリップフロップ14には、制御部170から動作を開始するためのスタート信号が与えられる。またフリップフロップ14は、スタート信号を基準クロックに同期化して出力するために、縦続接続された複数のフリップフロップにより構成される。スタート信号は、ピリオド生成部36のイニシャルピリオド発生器16、パターン発生器20、及びフリップフロップ22に与えられ、イニシャルピリオド発生器16及びパターン発生器20を動作させる。
- [0031] パターン発生器20は、制御部170から予め与えられる試験プログラムに基づいて、半導体デバイス300に与える試験パターン(PAT)、テストユニット60にマッチ検出を要求するマッチ検出要求信号(FLAGCY)、及びそれぞれの波形情報のサイクル時間やタイミングクロックを定めるタイミングセット信号(TS)を生成し、順次出力する。マッチ検出要求信号FLAGCYは、マッチ検出サイクルを示す信号であり、例えばマッチ検出サイクルでH論理を示す信号である。また、パターン発生器20が出力した信号は、フリップフロップ24に順次格納される。
- [0032] ピリオド生成部36は、ピリオドデータメモリ26、ピリオドカウンタ28、論理和回路38、イニシャルピリオド発生器16、及び論理和回路18を有し、パターン発生器20が生成したタイミングセット信号に基づいて、当該タイミングセット信号に対応する波形情報のサイクル時間の始期を定めるピリオド信号0を生成する。つまり、ピリオド生成部36は、予め定められた試験周期設定に従って、試験サイクルを示すピリオド信号0を出力する。またピリオド生成部36は、テストユニット60におけるマッチ検出の結果に応じて、フリップフロップ24に格納された信号を詰め直すためのピリオド信号mを出力する。
- [0033] ピリオドデータメモリ26は、ピリオドデータ(PRD)をタイミングセット信号と対応付けて格納し、パターン発生器20が出力するタイミングセット信号に対応するピリオドデータを出力する。
- [0034] ピリオドカウンタ28は、イネーブル信号が与えられる毎に、ピリオドデータメモリ26が出力するピリオドデータを取り込み、与えられる基準クロック(図示せず)をカウントすることにより時間を計測し、計測した時間がピリオドデータと一致した場合にピリオド信

号0を出力する。図中のFDは、基準クロック分解能以下のピリオドデータを示す。また、ピリオド信号0は、ピリオドカウンタ28、フリップフロップ30、及びフリップフロップ32のイネーブル信号として入力される。それぞれのフリップフロップ30、32は、PAT、TS、FLAGCY、FDをピリオド信号0に同期してテストユニット60に出力する。

[0035] このような動作により、パターン発生部12は、試験パターンを、当該試験サイクルの始期毎にテストユニット60に出力する。また、ピリオド信号0は、フリップフロップ34を介して、テストユニット60のイネーブル信号(PGFTPRD)として入力される。このような動作により、テストユニット60を、当該試験サイクルに応じて動作させる。

[0036] また、マッチ検出要求サイクルの後に実行すべき試験サイクルは、マッチ検出の結果によって異なるが、パターン発生器20は、マッチ検出ができた場合に順次実行すべき試験サイクルに応じた波形情報を、予めフリップフロップ24に順次格納する。イニシャルピリオド発生器16は、マッチ検出ができなかった旨のアンマッチ信号を割込部40から受け取った場合、フリップフロップ24の段数に応じた発数のピリオド信号を出力する。論理和回路18は、当該ピリオド信号とピリオド信号0との論理和を、ピリオド信号mとして出力する。

[0037] ピリオド信号mは、フリップフロップ22、フリップフロップ24、フリップフロップ26、及びパターン発生器20のイネーブル信号として入力される。パターン発生器20は、当該ピリオド信号mに応じて、マッチ検出ができなかった場合に順次実行されるべきパターンを順次生成し、フリップフロップ24に順次格納する。従来の試験装置においては、マッチ検出ができなかった場合に順次発生させるパターンが、フリップフロップ24に予め格納されている。このため、マッチ検出がされた場合にはフリップフロップ24に新たなパターンを詰め直す必要がある。これに対し、本例における試験装置100によれば、マッチ検出がされた場合には、既にフリップフロップ24に格納されているパターンを実行すればよく、マッチ検出がされない場合には、当該半導体デバイス300が不良品であるとして処理すればよい。ため、試験時間を短縮することができる。

[0038] また、フリップフロップ22は、フリップフロップ24と同数のフリップフロップを有しており、スタート信号と、フリップフロップ24が出力する信号とを同期させる。フリップフロップ22が出力するスタート信号は、論理和回路38及びテストユニット60に入力され、ピ

リオド生成部36及びテストユニット60を動作させる。

- [0039] 割込部40は、テストユニット60において、半導体デバイス300の出力信号と期待値パターンとが一致した場合、即ちマッチ検出をした場合に、マッチ検出要求サイクルを終了させ、テストユニット60に次のパターンを実行させる。割込部40は、マッチ制御部42、アンマッチ制御部48、ピリオドホールド部54、及び論理和回路56を有する。
- [0040] マッチ制御部42は、テストユニット60においてマッチ検出ができた場合に、マッチ信号を受け取り、マッチ信号を基準クロックに同期して出力する。マッチ制御部42は、フリップフロップ44、及び論理積回路46を有する。図2においてフリップフロップ44は2段のフリップフロップとして示しているが、図2における初段のフリップフロップ44は、基準クロックとの同期化のため、複数の縦続接続されたフリップフロップを有する。論理積回路46は、図2に示した初段のフリップフロップ44が出力するマッチ信号と、次段のフリップフロップ44が出力するマッチ信号の反転信号との論理積を出力する。このような動作により、マッチ制御部42は、ピリオド信号と略同一のパルス幅を有するマッチ信号を出力する。
- [0041] マッチ制御部42が出力するマッチ信号は、論理和回路56を介して論理和回路38に入力される。論理和回路38は、ピリオドカウンタ28が出力するピリオド信号0と、マッチ信号との論理和を、ピリオド信号0として出力する。即ち、割込部40は、ピリオド信号0にマッチ信号を割り込ませることにより、マッチ検出要求サイクルが終了する前に、マッチ信号に応じてピリオド生成部36にピリオド信号0を出力させ、新たな試験サイクルを開始させる。
- [0042] このとき、論理和回路38は、ピリオド信号0をフリップフロップ30及びフリップフロップ32のイネーブル信号として入力し、新たなパターン等をテストユニット60に入力する。また、論理和回路38は、ピリオド信号0をピリオドカウンタ28のイネーブル信号として入力する。ピリオドカウンタ28は、ピリオド信号0に応じて新たな試験サイクルのピリオドデータを読み込み、当該試験サイクルを制御する。このような動作により、マッチ検出をした場合に、マッチ検出要求サイクルの終了を待たずに、新たな試験サイクルを発生することができるため、試験の効率を向上させることができる。

- [0043] アンマッチ制御部48は、マッチ検出要求サイクル内に、半導体デバイス300の出力信号と期待値パターンとが一致しない場合に、基準クロックに同期してアンマッチ信号を出力する。アンマッチ制御部48は、マッチ制御部42の構成に加え、論理積回路50を更に有する。アンマッチ制御部48の動作は、図3において後述する。
- [0044] アンマッチ制御部48が出力するアンマッチ信号は、上述したようにイニシャルピリオド発生器16に入力され、新たなパターンをフリップフロップ24に格納するためのピリオド信号mを生成させる。つまり、アンマッチ制御部48は、テストユニット60においてマッチ検出要求サイクル内にマッチ検出ができない場合に、複数のフリップフロップ24の段数に応じた数のピリオド信号を、サイクル時間の経過前にイニシャルピリオド発生器16に出力させる。
- [0045] また、ピリオドホールド部54は、アンマッチ信号を受け取った場合に、イニシャルピリオド発生器16が所定の発数のピリオド信号を出力する間、ピリオドカウンタ28のカウント動作を禁止させる。そして、イニシャルピリオド発生器16が、所定の発数のピリオド信号を出力した後、論理和回路56を介して、論理和回路38にマッチ信号を出力する。このような動作により、マッチ検出ができない場合に発生するべきパターンを詰め直す間、フリップフロップ24から出力されるパターンを停止し、誤動作を防ぐことができる。
- [0046] 図3は、テストユニット60及びピンエレクトロニクス160の構成の一例を示す図である。テストユニット60は、パターン制御部64、ストロブ制御部68、ストロブ生成部74、マッチ検出部94、選択部(82-1、82-2、以下82と総称する)、フリップフロップ(62、70、72、84、88、90、116、118、124)、及び論理積回路(110、120)を有する。またピンエレクトロニクス160は、ドライバ162及びコンパレータ(164、166)を有する。
- [0047] テストユニット60のそれぞれのフリップフロップのリセット端子には、パターン発生部12が出力するスタート信号(TGSTART)が入力される。また、パターン制御部64ストロブ制御部68、フリップフロップ62、及びフリップフロップ70には、パターン発生部12が出力するピリオド信号0が、イネーブル信号(PGFTPRD)として入力され、ピリオド信号0に同期して動作する。

- [0048] パターン制御部64は、フリップフロップ62を介してタイミングセット信号(TS)、高精度ピリオドデータ(FD)、及び試験パターン(PAT)を受け取る。そして、これらの信号に基づいて半導体デバイス300に入力する試験信号を出力する。例えば、試験パターンは1及び0の配列から成るデジタルパターンであり、パターン制御部64は、試験パターンに応じた電圧値をタイミングセット信号に応じた周期で示す試験信号を生成し、当該試験信号をタイミング信号に応じたタイミングで、ドライバ162に入力する。
- [0049] ストローブ制御部68は、フリップフロップ62を介してタイミングセット信号、及びタイミング信号を受け取り、また例えば制御部170からH論理の信号を受け取る。そして、マッチ検出要求サイクル内における所定のタイミングで1本の基準ストローブ信号(IS T)を出力する。また、フリップフロップ70は、パターン制御部64、及びストローブ制御部68と同期して、試験パターン及びマッチ検出要求サイクルを出力する。
- [0050] コンパレータ164は、予め定められたハイレベルの電圧値VHと、半導体デバイス300が出力する出力信号の電圧値とを比較するレベル比較器であって、当該比較結果に応じた信号を出力する。本例においてコンパレータ164は、出力信号が電圧値VH以上である場合に1を示し、出力信号が電圧値VH以下である場合に0を示すHレベル比較信号を出力する。またコンパレータ166は、予め定められたローレベルの電圧値VLと、半導体デバイス300が出力する出力信号の電圧値とを比較するレベル比較器であり、当該比較結果に応じたLレベル比較信号を出力する。
- [0051] ストローブ生成部74は、マッチ検出要求サイクル内で、位相の異なる複数のストローブ信号を生成する。例えば、ストローブ生成部74は、PLL150が出力する基準クロックを、当該マッチ検出要求サイクルの間、ストローブ信号として出力する。
- [0052] ストローブ生成部74は、論理和回路(76-1、76-2、以下76と総称する)、フリップフロップ(78-1、78-2、以下78と総称する)、及び論理積回路(80-1、80-2、以下80と総称する)を有する。また、ストローブ生成部74には、フリップフロップ72を介して、マッチ検出要求サイクルを示す信号(FLAGCY)が入力される。
- [0053] 論理和回路76は、ストローブ制御部68が出力する基準ストローブ信号と、フリップフロップ78が出力する信号の論理和を、フリップフロップ78に入力する。フリップフロップ78の反転出力は、ストローブ制御部68が基準ストローブ信号を出力してから、フ

リップフロップ78がリセットされるまで、L論理に固定される。

[0054] また、フリップフロップ78のリセット端子には、マッチ検出要求サイクルを示す信号(FLAGCY)が入力され、当該信号(FLAGCY)がL論理になったときにリセットされる。このような動作により、マッチ検出要求サイクル毎に、フリップフロップ78の値をリセットすることができる。

[0055] また、論理積回路80は、基準クロックと、フリップフロップ78の反転出力と、マッチ検出要求サイクルを示す信号(FLAGCY)との論理積を出力する。つまり、ストローブ制御部68が出力する基準ストローブ信号は、ストローブ生成部74が複数のストローブ信号を出力する期間の終期を規定し、論理積回路80は、信号(FLAGCY)によって規定されるマッチ検出要求サイクルの開始時から、ストローブ制御部68が基準ストローブ信号を出力するまで、基準クロックをストローブ信号として出力する。マッチ検出部94は、当該ストローブ信号に応じた複数のタイミングにおいて、コンパレータ164及びコンパレータ166が出力するレベル比較信号と、期待値とが一致するかを検出する。

[0056] また、ストローブ制御部68は、Hレベル比較信号に対するストローブ信号を生成する期間の終期を規定するHレベル基準ストローブ信号と、Lレベル比較信号に対するストローブ信号を生成する期間の終期を規定するLレベル基準ストローブ信号とを生成してもよい。Hレベル基準ストローブ信号は、論理和回路76-1に入力され、論理積回路80-1は、Hレベル比較信号に対するストローブ信号を出力する。またLレベル基準ストローブ信号は、論理和回路76-2に入力され、論理積回路80-2は、Lレベル比較信号に対するストローブ信号を出力する。このように、本例における試験装置100によれば、マッチ検出サイクルにおいて、マッチ検出を行うタイミングの始期や終期を任意に設定することができる。つまり、ストローブ制御部68が生成する基準ストローブ信号のタイミングを設定することにより、容易に当該始期及び終期を設定することができる。このため、例えば、半導体デバイスの用途に応じて求められるスペックが異なる場合であっても、当該スペックに応じたマッチ検出期間を容易に設定することができる。

[0057] また、ストローブ制御部68は、ストローブ生成部74がマッチ検出要求サイクル内に

において、複数のストロブ信号を出力する期間の始期を規定する基準ストロブ信号を更に出力してもよい。この場合、ストロブ生成部74は、マッチ検出要求サイクル内において、基準ストロブ信号で定められる終期以降、及びマッチ検出要求サイクル内において、基準ストロブ信号で定められる始期以前は、ストロブ信号を生成しない。

- [0058] 選択部82-1は、FLAGCYがLレベルでは、ストロブ制御部68が出力するストロブ信号を選択し、FLAGCYがHレベルでは、論理積回路80-1が出力するストロブ信号を選択する。これにより、マッチ検出要求サイクルでは前述の複数のストロブによりマッチが検出され、マッチ検出要求サイクル以外では、ストロブ制御部68が出力する通常のストロブによってタイミング比較が行われる。
- [0059] また、選択部82-2も同様に、FLAGCYがLレベルではストロブ制御部68が出力するストロブ信号が選択され、FLAGCYがHレベルでは論理積回路80-2が出力するストロブ信号が選択される。
- [0060] フリップフロップ84は、本発明に係るタイミング比較器の一例である。フリップフロップ84-1は、論理積回路80-1が出力する複数のストロブ信号のタイミングで、Hレベル比較信号の値を検出する。また、フリップフロップ84-2は、論理積回路80-2が出力する複数のストロブ信号のタイミングで、Lレベル比較信号の値を検出する。
- [0061] マッチ検出部94は、フリップフロップ84が検出した値と、与えられる期待値とが一致するかを検出する。マッチ検出部94には、フリップフロップ(70、72、122、124)を介して伝送された試験パターンが、期待値パターンとして与えられる。フリップフロップ122は、フリップフロップ84と同期して動作し、フリップフロップ124は、フリップフロップ90と同期して動作する。
- [0062] マッチ検出部94は、論理積回路(96、98)、及び論理和回路102を有する。論理積回路96は、フリップフロップ84-1が複数のタイミングで順次検出した値と、期待値パターンとの論理積を出力する。つまり、Hレベル比較信号及び期待値パターンが共にH論理になったときに、H論理の信号を出力する。論理積回路98は、フリップフロップ84-2が複数のタイミングで順次検出した値と、期待値パターンの反転信号と

の論理積を出力する。つまり、Lレベル比較信号がH論理を示し、期待値パターンがL論理を示したときに、H論理の信号を出力する。論理和回路102は、論理積回路96及び論理積回路98が出力する信号の論理和を出力する。つまり、論理和回路102は、論理積回路96と論理積回路98の出力のいずれかがH論理となった場合に、マッチ信号を出力する。

[0063] 論理積回路110は、半導体デバイス300のそれぞれのピンに対するマッチ信号の論理積を出力する。つまり、試験すべき半導体デバイス300の全てのピンに対してマッチが検出された場合に、マッチ信号を出力する。また、論理積回路110は、複数の半導体デバイス300に対するマッチ信号の論理積を出力してもよい。

[0064] フリップフロップ88は、フリップフロップ84と同期して、基準ストローブ信号を出力する。フリップフロップ90、116は、フリップフロップ88から受け取った基準ストローブ信号を、所定のタイミングで出力する。また、フリップフロップ(122、124、118)は、基準ストローブ信号をイネーブル信号として受け取り、フリップフロップ118は、フリップフロップ116と同期してマッチ検出要求信号(FLAGCY)を出力する。

[0065] 論理積回路120は、フリップフロップ116とフリップフロップ118が出力する信号の論理積を出力する。つまり、マッチ検出要求サイクル内において、ストローブ制御部68が生成した基準ストローブ信号を出力する。論理積回路120が出力した信号は、アンマッチ制御部48に入力される。つまり、論理積回路120は、マッチ検出要求サイクル内においてマッチが検出できたか否かに関わらず、基準ストローブ信号を出力する。

[0066] アンマッチ制御部48の論理積回路52は、マッチ制御部42の論理積回路46と同様に、基準ストローブ信号に基づいて、ピリオド信号と略同一のパルス幅の信号を生成する。そして、論理積回路50は、マッチ信号の反転信号と、論理積回路52の出力との論理積を出力する。つまり、論理積回路50は、マッチ検出要求サイクル内において、基準ストローブ信号のタイミングまでにマッチが検出できない場合に、上述したパルス幅の信号をアンマッチ信号として出力する。

[0067] 以上説明したように、本例における試験装置100は、マッチ検出要求サイクル内において、基準クロックをストローブ信号として用いることにより、複数のタイミングでマッチ検出を行うことができる。そして、マッチ検出ができた場合に、マッチ検出要求サイ

クルを打ち切って、次の試験サイクルを発生させる。このため、試験の効率を向上させることができる。

[0068] また、従来の試験装置では、マッチ検出要求サイクルを繰り返し発生させることでマッチ検出を行っていた。このためフリップフロップ24等にはマッチが検出されなかった場合のパターンが格納されており、マッチが検出された場合はフリップフロップ24等に格納されているパターンを詰め直す必要があった。これに対し、本例の試験装置100では、マッチ検出要求サイクルに十分長い時間を設定し、当該サイクル内の複数のタイミングでマッチ検出を行うことにより、マッチ検出要求サイクルを繰り返す必要がない。このため、フリップフロップ24等に、マッチが検出された場合のパターンを予め格納することができ、マッチ検出部のパターンの詰め直しを行う必要がなく、効率よく試験を行うことができる。

[0069] 図4は、マッチ検出要求サイクル内においてマッチが検出されたときの、論理積回路110及びアンマッチ制御部48が出力する信号の一例を示すタイミングチャートである。本例においては、半導体デバイス300の出力ピン(0～7)が出力する信号に対して、マッチ検出を行う。

[0070] 図4に示すように、マッチ検出部94は、マッチ検出要求サイクルの開始から、所定の終期までの間における基準クロックを用いて、それぞれの出力信号に対してマッチ検出を行う。そして、全ての出力信号に対してマッチが検出された場合に、論理積回路110は、H論理を示す信号を出力する。また、アンマッチ制御部48は、全ての出力信号に対してマッチが検出された場合、L論理の信号を出力する。

[0071] 図5は、マッチ検出要求サイクル内においてマッチが検出されなかったときの、論理積回路110及びアンマッチ制御部48が出力する信号の一例を示すタイミングチャートである。本例においては、半導体デバイス300の出力ピン(0～7)が出力する信号に対して、マッチ検出を行う。

[0072] 本例においては、マッチが検出されない出力信号があるため、論理積回路110はL論理の信号を出力する。そして、当該サイクル内における基準ストロブ信号のタイミングに応じて、アンマッチ制御部48は、アンマッチ信号を出力する。

[0073] 図6は、本発明の実施形態に係る試験方法の一例を示すフローチャートである。当

該試験方法は、図1から図5において説明した試験装置100と同様の方法で、半導体デバイスの試験を行う。

[0074] まず、パターン発生段階S200において、半導体デバイスを試験するための波形情報を順次読み出して出力する。そして、波形発生段階S202において、波形情報に基づいて波形を生成し、半導体デバイスに入力する。

[0075] 次に、マッチ検出段階S204で、マッチ検出要求サイクルに応じて、半導体デバイスの出力信号と期待値パターンとがマッチするかを検出する。マッチ検出段階S204では、図1から図5において説明したように、マッチ検出要求サイクルに十分長い時間を設定し、当該サイクル内において複数のタイミングでマッチを検出する。

[0076] そして、マッチが検出された場合には、割込段階S208において、当該マッチ検出要求サイクルの終了前に、当該マッチ検出要求サイクルを終了する。そして、全ての試験項目が終了したかを判定し(S210)、全ての試験項目が終了した場合には、半導体デバイスの試験を終了する。全ての試験項目が終了していない場合、S200以降の処理を繰り返す。

[0077] また、S204において、マッチ検出要求サイクル内でマッチが検出されない場合、アンマッチ信号を出力し、図2において説明したように、アンマッチ信号に応じた処理を行う(S212)。

[0078] そして、全ての試験項目が終了したかを判定し(S214)、終了している場合には、半導体デバイスの試験を終了し、終了していない場合には、フリップフロップ24に格納した波形情報を詰め替えて(S216)、S200以降の処理を繰り返す。

[0079] 以上、実施形態を用いて本発明を説明したが、本発明の技術的範囲は上記実施形態に記載の範囲には限定されない。上記実施形態に、多様な変更又は改良を加えることができる。そのような変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

産業上の利用可能性

[0080] 以上から明らかなように、本発明によれば、半導体デバイスの試験の効率を向上させることができる。

請求の範囲

- [1] 半導体デバイスを試験する試験装置であつて、
前記半導体デバイスを試験するための波形情報を順次読み出して出力するパターン発生部と、
前記パターン発生部が順次出力する前記波形情報から波形を成形する波形発生部と、
前記パターン発生部が出力するマッチ検出要求サイクルに応じて、前記半導体デバイスが出力する出力信号と、前記パターン発生部が出力する期待値パターンとが一致するか否かを検出するマッチ検出部と、
前記出力信号と前記期待値パターンとが一致した場合に、前記マッチ検出要求サイクルを終了させ、前記パターン発生部に次の波形情報を出力させる割込部とを備える試験装置。
- [2] 前記パターン発生部は、
予め設定された周期のピリオド信号を出力するピリオド生成部と、
前記波形発生部に順次出力するべき前記波形情報を順次格納し、順次格納した前記波形情報を前記ピリオド信号に同期して前記波形発生部に出力する、縦続接続された複数のフリップフロップと
を有し、
前記割込部は、前記出力信号と前記期待値パターンとが一致したときに、前記マッチ検出要求サイクルが終了する前に、前記ピリオド生成部に次の前記ピリオド信号を出力させる
請求項1に記載の試験装置。
- [3] 前記フリップフロップは、前記マッチ検出部が前記出力信号と前記期待値パターンとの一致を検出した場合に前記波形発生部に出力するべき前記波形情報を、前記フリップフロップの段数に応じて予め順次格納する
請求項2に記載の試験装置。
- [4] 前記割込部は、
前記マッチ検出要求サイクル内に前記出力信号と前記期待値パターンとが一致し

ない場合、前記複数のフリップフロップの段数に応じた数の前記ピリオド信号を、前記マッチ検出要求サイクルが終了する前に、前記ピリオド生成部に出力させるアンマッチ制御部と、

前記アンマッチ制御部が、前記ピリオド生成部に前記複数のフリップフロップの段数に応じた数の前記ピリオド信号を出力させる間、前記フリップフロップから前記波形発生部への前記波形情報の出力を停止させるピリオドホールド部とを有する請求項3に記載の試験装置。

- [5] 前記割込部は、前記出力信号と前記期待値パターンとが一致したときに、前記ピリオド信号と略同一のパルス幅のマッチ信号を出力するマッチ制御部を更に有し、
前記ピリオド生成部は、予め設定された周期の前記ピリオド信号に、前記マッチ信号を論理加算した信号を前記ピリオド信号として出力する
請求項4に記載の試験装置。

- [6] 前記ピリオド生成部は、
イネーブル信号が与えられる毎にそれぞれの前記波形情報のサイクル時間を示すピリオドデータを取り込み、与えられる基準クロックをカウントすることにより時間を計測し、計測した時間が前記ピリオドデータと一致した場合に前記ピリオド信号を出力するピリオドカウンタと、
前記ピリオドカウンタが出力する前記ピリオド信号に、前記マッチ信号を論理加算した信号を前記ピリオド信号として出力し、当該ピリオド信号を前記イネーブル信号として前記ピリオドカウンタに入力する論理和回路とを有する請求項5に記載の試験装置。

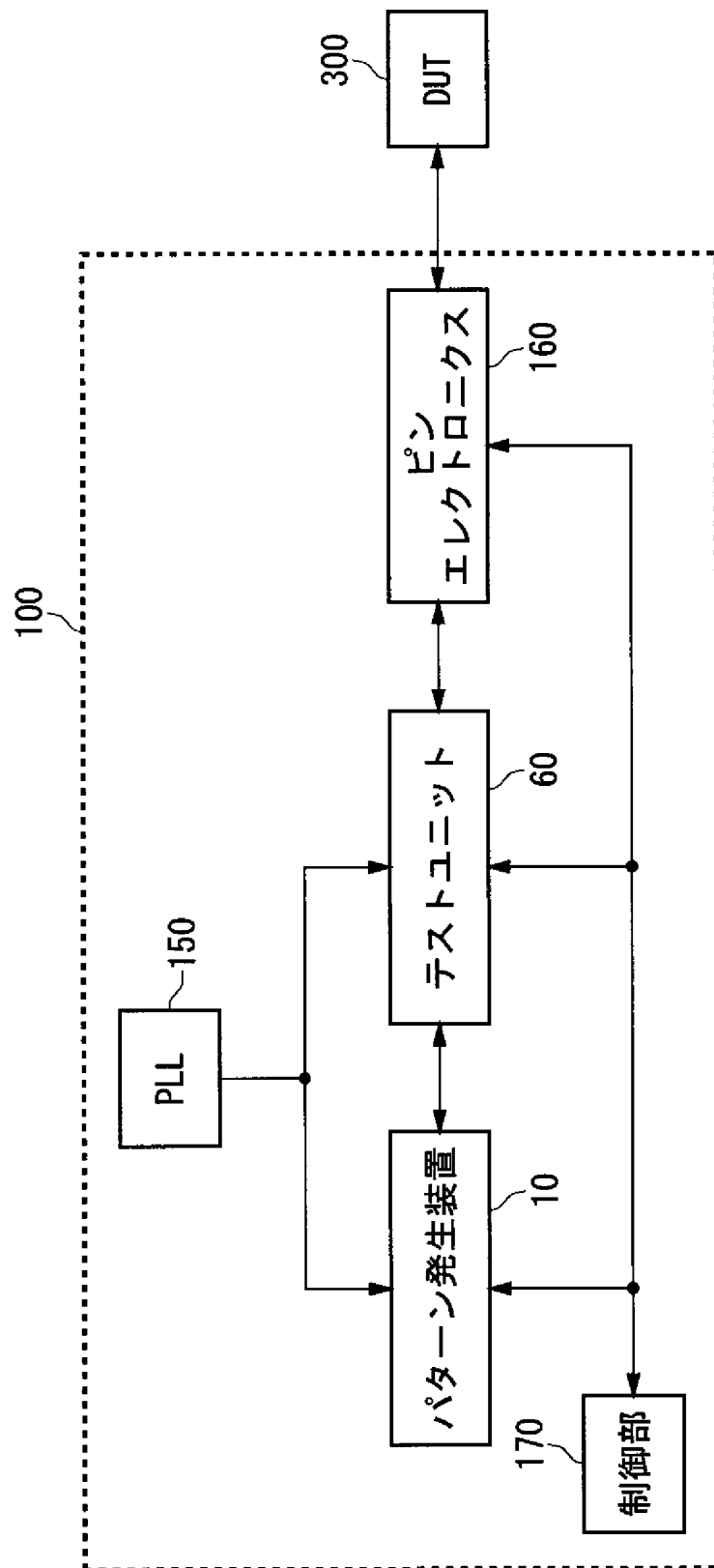
- [7] 前記アンマッチ制御部は、前記マッチ検出要求サイクル内に、前記出力信号と前記期待値パターンとが一致しない場合に、前記ピリオドホールド部にアンマッチ信号を出力し、
前記ピリオドホールド部は、前記アンマッチ信号を受け取った場合に、前記ピリオド生成部が前記複数のフリップフロップの段数に応じた数の前記ピリオド信号を出力する間、前記ピリオドカウンタのカウントを禁止し、前記ピリオド生成部が前記複数のフリップフロップの段数に応じた数の前記ピリオド信号を出力した後に、前記論理和回路

に前記マッチ信号を出力する
請求項6に記載の試験装置。

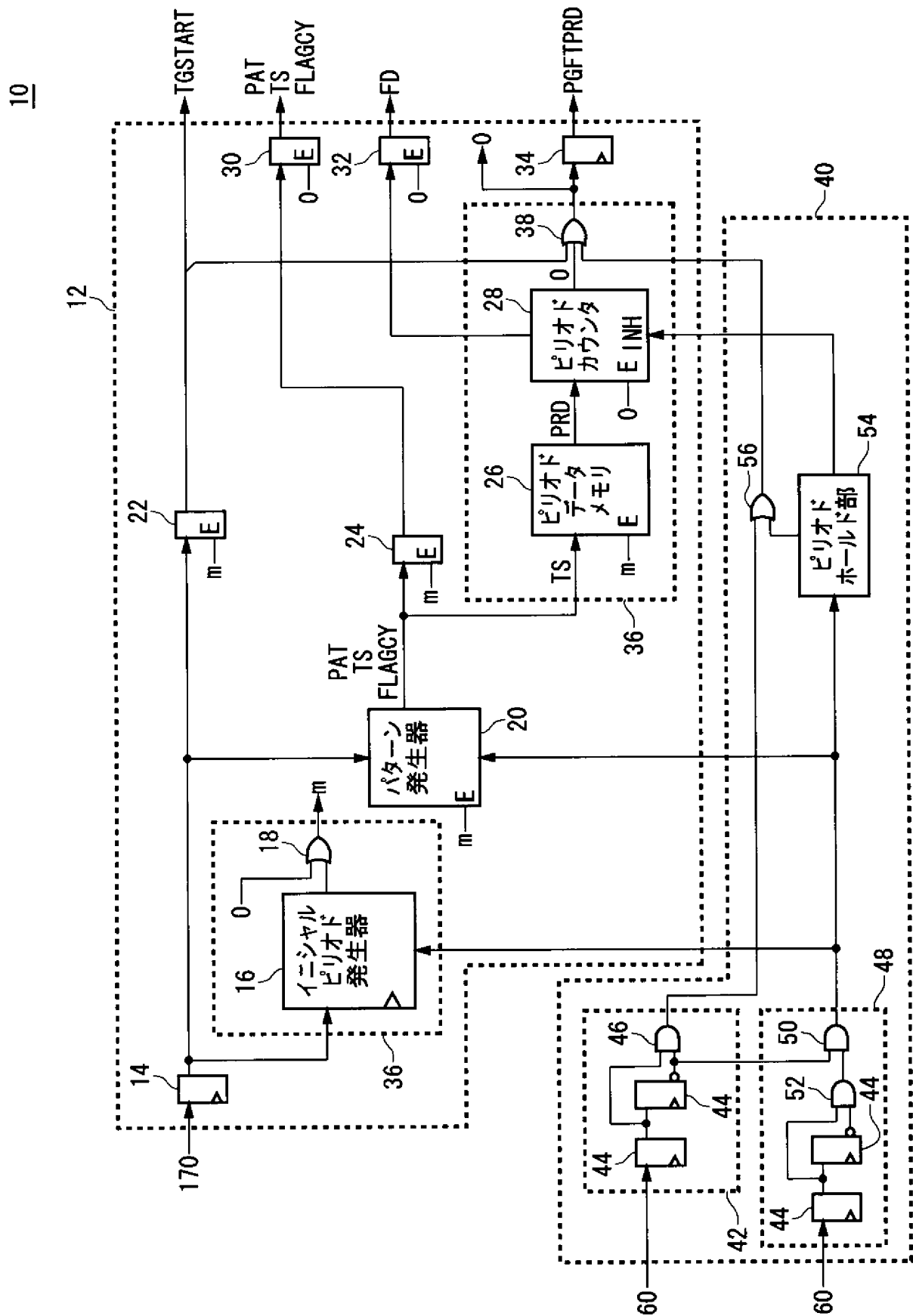
- [8] 前記波形発生部は、
前記マッチ検出要求サイクル内で、位相の異なる複数のストローブ信号を生成する
ストローブ生成部と、
前記複数のストローブ信号のタイミングで前記出力信号の値を検出するタイミング
比較器と
を有し、
前記マッチ検出部は、前記タイミング比較器が検出した前記出力信号の値と、与え
られる期待値パターンとが一致するかを検出する
請求項1に記載の試験装置。
- [9] 前記ストローブ生成部は、前記マッチ検出要求サイクル内の予め定められた終期
以降は、前記ストローブ信号を生成しない
請求項8に記載の試験装置。
- [10] 前記ストローブ生成部は、前記マッチ検出要求サイクル内の予め定められた始期
以前は、前記ストローブ信号を生成しない
請求項9に記載の試験装置。
- [11] 半導体デバイスを試験する試験方法であって、
前記半導体デバイスを試験するための波形情報を順次読み出して出力するパター
ン発生段階と、
前記パターン発生段階において順次出力する前記波形情報から波形を成形する
波形発生段階と、
前記パターン発生段階において出力するマッチ検出要求サイクルに応じて、前記
半導体デバイスが出力する出力信号と、期待値パターンとが一致するか否かを検出
するマッチ検出段階と、
前記出力信号と前記期待値パターンとが一致した場合に、前記マッチ検出要求サ
イクルを終了させ、前記パターン発生段階において次の波形情報を出力させる割込
段階と

を備える試験方法。

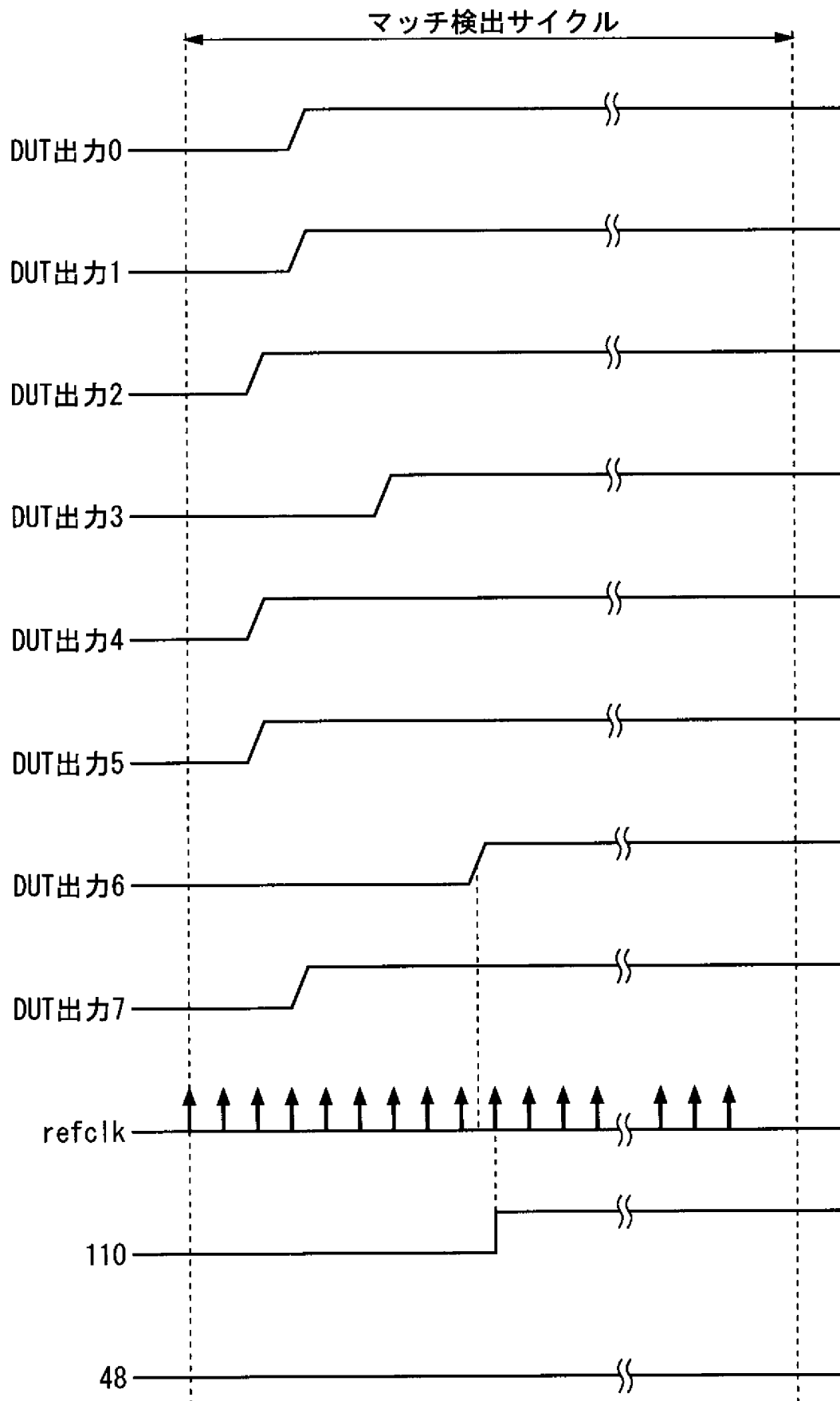
[図1]



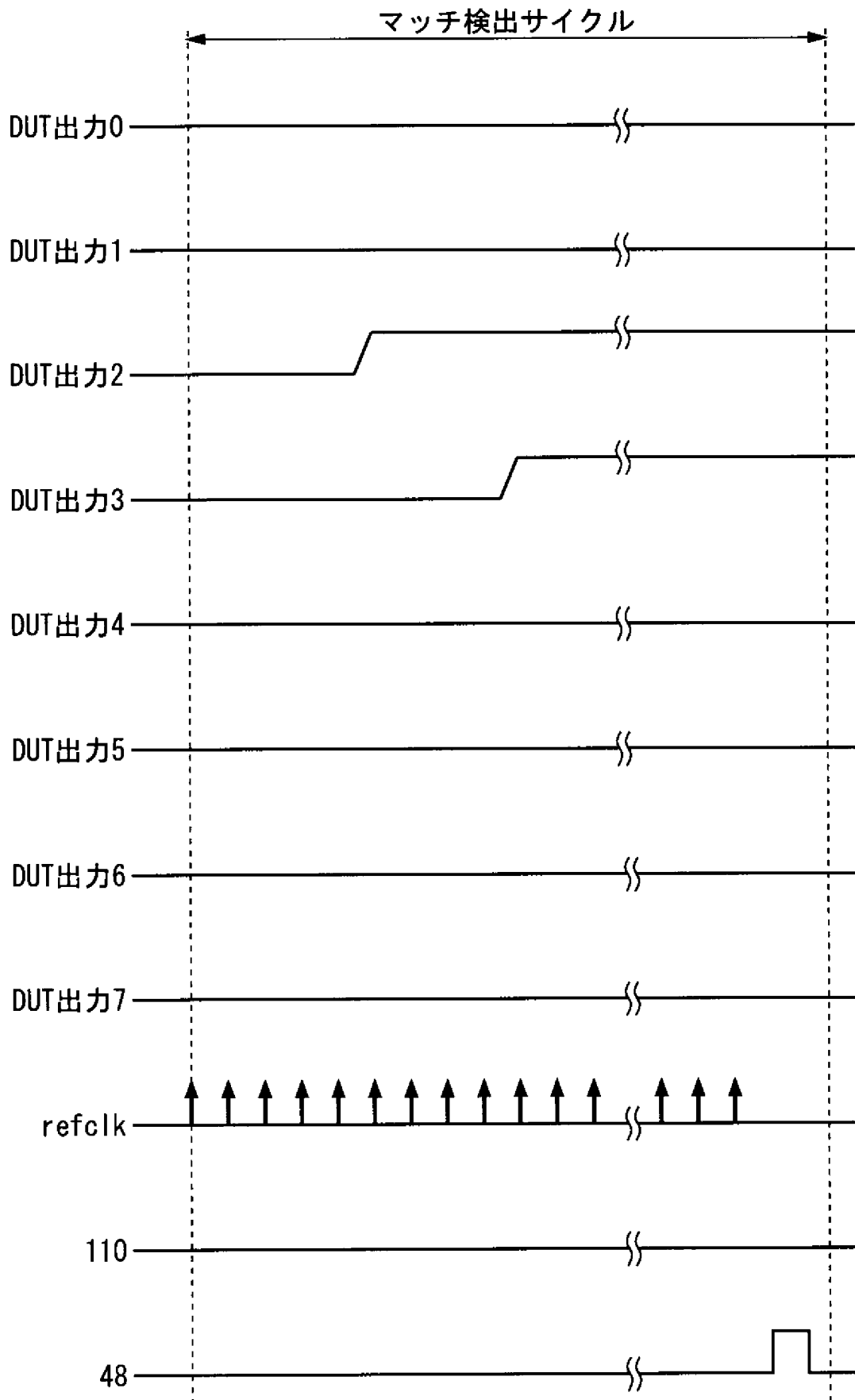
[図2]



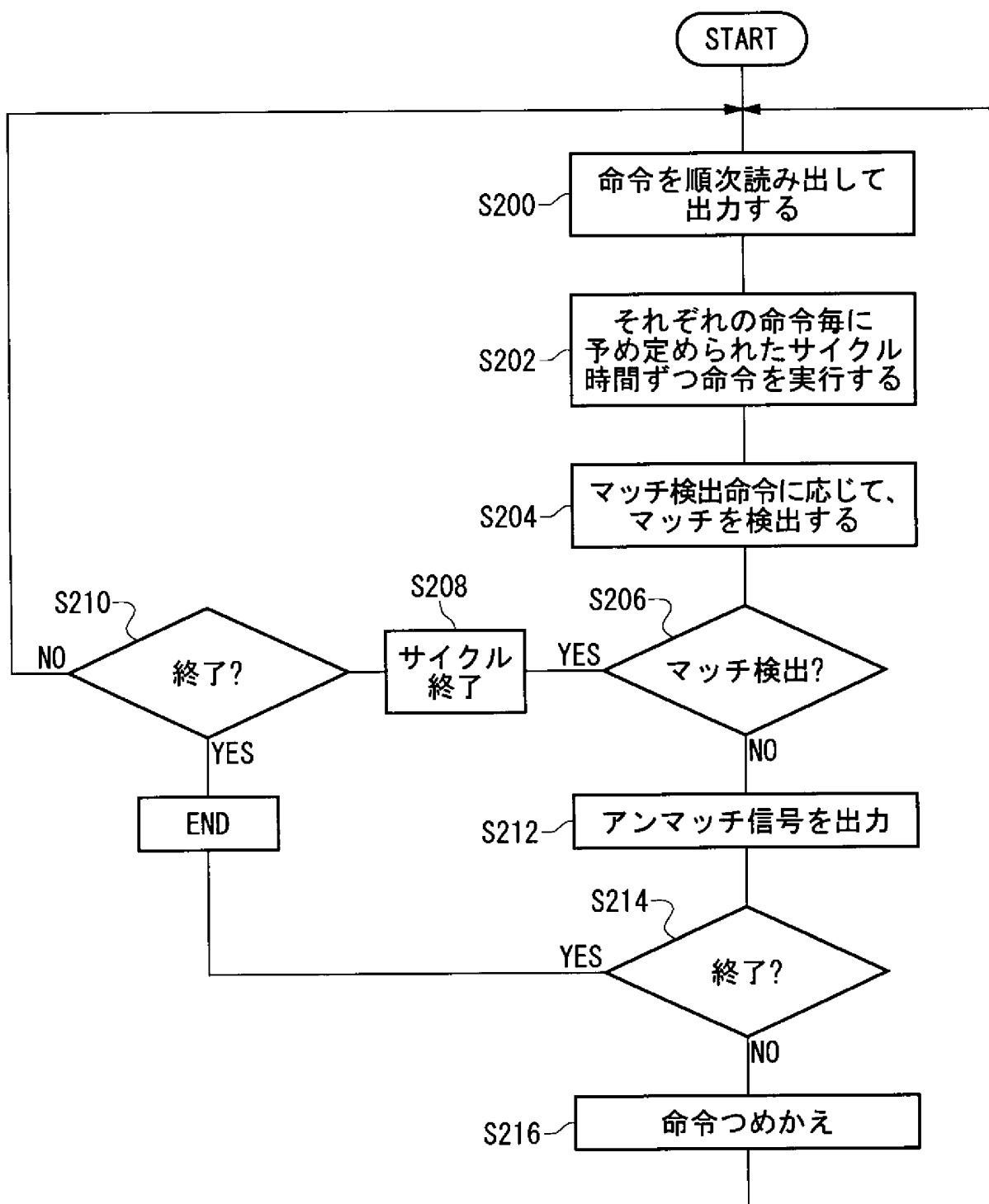
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/013643

A. CLASSIFICATION OF SUBJECT MATTER

G01R31/3183 (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R31/3183 (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-311766 A (Advantest Corp.), 09 November, 2001 (09.11.01), Full text; all drawings & DE 10123154 B4 & TW 538252 B & US 6604058 B2 & KR 411528 B	1-11

☐

Further documents are listed in the continuation of Box C.

☐

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 October, 2005 (25.10.05)

Date of mailing of the international search report
08 November, 2005 (08.11.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. ⁷ G01R31/3183 (2006.01)			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. ⁷ G01R31/3183 (2006.01)			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2005年 日本国実用新案登録公報 1996-2005年 日本国登録実用新案公報 1994-2005年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
A	JP 2001-311766 A (株式会社アドバンテスト) 2001.11.09, 全文, 全図 & DE 10123154 B4 & TW 538252 B & US 6604058 B2 & KR 411528 B	1-11	
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 25.10.2005		国際調査報告の発送日 08.11.2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 武田 知晋 電話番号 03-3581-1101 内線 3258	2S 9805