

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和3年5月6日(2021.5.6)

【公表番号】特表2021-509536(P2021-509536A)

【公表日】令和3年3月25日(2021.3.25)

【年通号数】公開・登録公報2021-015

【出願番号】特願2020-534980(P2020-534980)

【国際特許分類】

H 01 L	21/336	(2006.01)
H 01 L	29/78	(2006.01)
H 01 L	21/8234	(2006.01)
H 01 L	27/088	(2006.01)
H 01 L	21/8238	(2006.01)
H 01 L	27/092	(2006.01)
H 01 L	29/417	(2006.01)
H 01 L	29/41	(2006.01)
H 01 L	29/423	(2006.01)
H 01 L	29/49	(2006.01)

【F I】

H 01 L	29/78	3 0 1 G
H 01 L	29/78	3 0 1 X
H 01 L	27/088	E
H 01 L	27/092	G
H 01 L	29/50	M
H 01 L	29/44	S
H 01 L	29/58	G

【手続補正書】

【提出日】令和3年2月19日(2021.2.19)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体構造を形成する方法であって、

基板の上面に配置された複数のフィンを形成することと、

置換金属ゲート(RMG)・プロセスを使用して前記複数のフィンから1つまたは複数の縦型輸送電界効果トランジスタ(VTFET)を形成することとを含み、

前記VTFETのうちの所与の1つの少なくとも1つのフィンを囲むゲートが、ゲート・コンタクト金属層に配置されたゲート自己整合コンタクト(SAC)・キャッピング層を含み、前記ゲート・コンタクト金属層が、前記少なくとも1つのフィンの端部に隣接して配置される方法。

【請求項2】

前記1つまたは複数のVTFETを形成することが、

前記複数のフィンを囲む前記基板の前記上面に配置された下部ソース/ドレイン領域を形成することと、

前記下部ソース/ドレイン領域に配置された下部スペーサを形成することとを含む、請

求項 1 に記載の方法。

【請求項 3】

前記 1 つまたは複数の V T F E T を形成することが、
前記下部スペーサおよび前記複数のフィンの側壁に配置された酸化物層を形成することと、
前記酸化物層に配置されたダミー・ゲートを形成することと、
前記複数のフィンの上面より下方で前記ダミー・ゲートに凹部形成することと、
前記酸化物層の露出部分を除去することと、
前記ダミー・ゲートおよび前記複数のフィンに配置された上部スペーサを形成することとをさらに含む、請求項 2 に記載の方法。

【請求項 4】

前記 1 つまたは複数の V T F E T を形成することが、
前記複数のフィンの上部に上部接合部を形成することと、
前記上部スペーサに配置された酸化物層を形成することと、
前記酸化物層に配置されたライナを形成することと、
前記ライナに配置された層間誘電体層を形成することとをさらに含む、請求項 3 に記載の方法。

【請求項 5】

前記 1 つまたは複数の V T F E T を形成することが、
前記複数のフィンの各々の前記上部接合部の上面を露出させるように前記層間誘電体層に上部ソース / ドレイン開口部を形成することと、
前記上部接合部に配置された上部ソース / ドレイン領域を形成することと、
前記上部ソース / ドレイン領域に配置された上部ソース / ドレイン・コンタクト金属層を形成することと、
前記層間誘電体の上面より下方で前記上部ソース / ドレイン・コンタクト金属層に凹部形成することと、
前記凹部形成された上部ソース / ドレイン・コンタクト金属層に配置された上部ソース / ドレイン S A C キャッピング層を形成することとを含む、請求項 4 に記載の方法。

【請求項 6】

前記 1 つまたは複数の V T F E T を形成することが、
前記ダミー・ゲートに配置された前記上部スペーサの一部を露出させるように前記層間誘電体層にゲート開口部を形成することと、
前記層間誘電体層の前記開口部の側壁にライナを堆積させることと、
前記ダミー・ゲートの一部を露出させるように前記上部スペーサの前記露出部分をエッチングすることと、
前記ダミー・ゲートを除去することと、
前記 1 つまたは複数のフィンを囲むゲート誘電体を形成し、かつ前記ゲート誘電体を囲む金属ゲート導体を形成するように前記置換金属ゲート・プロセスを行うことと、
前記層間誘電体層の前記ゲート開口部の残りの部分に前記ゲート・コンタクト金属層を充填することと、
前記層間誘電体層の前記上面より下方で前記ゲート・コンタクト金属層に凹部形成することと、
前記凹部形成されたゲート・コンタクト金属層に配置された前記ゲート S A C キャッピング層を形成することとをさらに含む、請求項 5 に記載の方法。

【請求項 7】

前記 1 つまたは複数の V T F E T を形成することが、
前記下部ソース / ドレイン領域の前記上面の一部を露出させるように前記層間誘電体層に下部ソース / ドレイン開口部を形成することと、
前記下部ソース / ドレイン領域の前記上面の前記露出部分に配置された前記下部ソース / ドレイン開口部に下部ソース / ドレイン・コンタクト金属層を充填することと、

前記層間誘電体層の上面より下方で前記下部ソース／ドレイン・コンタクト金属層に凹部形成することと、

前記凹部形成された下部ソース／ドレイン・コンタクト層に配置された下部ソース／ドレインSACキャッピング層を形成することとをさらに含む、請求項6に記載の方法。

【請求項8】

前記1つまたは複数のVTFETを形成することが、

前記層間誘電体、前記上部ソース／ドレインSACキャッピング層、前記ゲートSACキャッピング層、および前記下部ソース／ドレインSACキャッピング層に配置された追加のライナを形成することと、

前記追加のライナに配置された追加の層間誘電体を形成することと、

前記上部ソース／ドレイン・コンタクト金属層、前記ゲート・コンタクト金属層、および前記下部ソース／ドレイン・コンタクト金属層の前記上面の一部を露出させるように、前記追加のライナ、前記追加の層間誘電体、前記上部ソース／ドレインSACキャッピング層、前記ゲートSACキャッピング層、および前記下部ソース／ドレインSACキャッピング層にビアを形成することと、

前記ビアに上部ソース／ドレイン・コンタクト、ゲート・コンタクト、および下部ソース／ドレイン・コンタクトを形成することとをさらに含む、請求項7に記載の方法。

【請求項9】

前記1つまたは複数のVTFETを形成することが、

少なくとも1つのシャロー・トレーンチ絶縁領域を、前記複数のフィンの第1のサブセットと前記複数のフィンの少なくとも第2のサブセットとの間で前記基板および前記下部ソース／ドレイン領域に形成することとをさらに含み、

前記ダミー・ゲートに凹部形成することが、

前記複数のフィンの前記第1のサブセットを囲む前記ダミー・ゲートの第1の部分に第1の深さまで凹部形成することと、

前記複数のフィンの前記第2のサブセットを囲む前記ダミー・ゲートの第2の部分に前記第1の深さより大きい第2の深さまで凹部形成することとを含み、

前記複数のフィンの前記第1のサブセットが、第1のチャネル長さを有するVTFETを形成し、

前記複数のフィンの前記第2のサブセットが、前記第1のチャネル長さより短い第2のチャネル長さを有するVTFETを形成する、請求項3に記載の方法。

【請求項10】

半導体構造であって、

基板と、

前記基板の上面に配置された複数のフィンとを含み、前記複数のフィンが、置換金属ゲート（RMG）・プロセスを使用して形成された1つまたは複数の縦型輸送電界効果トランジスタ（VTFET）のチャネルを含み、

前記VTFETのうちの所与の1つが、前記複数のフィンのうちの少なくとも1つを囲むゲートを含み、前記所与のVTFETの前記ゲートが、ゲート・コンタクト金属層に配置されたゲート自己整合コンタクト（SAC）・キャッピング層を含み、前記ゲート・コンタクト金属層が、前記少なくとも1つのフィンの端部に隣接して配置される半導体構造。

【請求項11】

前記複数のフィンを囲む前記基板の前記上面に配置された下部ソース／ドレイン領域と、

前記下部ソース／ドレイン領域に配置された下部スペーサと、

前記複数のフィンを囲む前記ゲートと、

前記ゲートに配置された上部スペーサと、

前記複数のフィンの各々に配置された前記上部スペーサの一部に配置された上部ソース／ドレイン領域と、

前記上部ソース／ドレイン領域に配置された上部ソース／ドレイン・コンタクト金属層と、

前記上部ソース／ドレイン金属コンタクト層に配置された上部ソース／ドレイン S A C キャッピング層と、

前記下部ソース／ドレイン領域の一部に配置された下部ソース／ドレイン・コンタクト金属層と、

前記下部ソース／ドレイン金属コンタクト層に配置された下部ソース／ドレイン S A C キャッピング層とをさらに含む、請求項 1 0 に記載の半導体構造。

【請求項 1 2】

前記所与の V T F E T の前記ゲートが、前記複数のフィンの対を囲む共有ゲートを含み、前記複数のフィンの各対が、

所与の相補型金属酸化膜半導体 (C M O S) デバイスの p 型電界効果トランジスタ (P F E T) および前記所与の C M O S デバイスの n 型電界効果トランジスタ (N F E T) の一方のチャネルを形成する第 1 のフィンと、

前記所与の C M O S デバイスの前記 P F E T および前記 N F E T の他方のチャネルを形成する第 2 のフィンとを含む、請求項 1 1 に記載の半導体構造。

【請求項 1 3】

前記共有ゲートが、前記第 1 のフィンを囲む第 1 のゲート導体と、前記第 2 のフィンを囲む第 2 のゲート導体とを含み、前記ゲート・コンタクト金属層が前記第 1 のゲート導体および前記第 2 のゲート導体に接触する、請求項 1 2 に記載の半導体構造。

【請求項 1 4】

請求項 1 0 ないし 1 3 のいずれか 1 項に記載の半導体構造を含む集積回路。