



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

パワーモジュール (100) は、第 1 導電層 (14D) を備える第 1 絶縁基板 (10) と、第 1 導電層 (14D) の上に配置され、主電極の一方が第 1 導電層 (14D) と接続された第 1 半導体デバイス (Q4) と、第 1 絶縁基板 (10) 上に第 1 半導体デバイス (Q4) と対向して配置され、表面および裏面に第 2 導電層 (6U) および第 3 導電層 (14U) を備える第 2 絶縁基板 (20) と、第 1 導電層 (14D) と第 2 導電層 (6U) とを接続する第 1 柱状電極 (16) と、第 1 半導体デバイス (Q4) の主電極の他方と第 3 導電層 (14U) とを接続する第 2 柱状電極 (17) とを備える。ここで、第 2 導電層 (6U) は、第 1 半導体デバイス (Q4) に電源を供給する正極パターン若しくは負極パターンのいずれか一方に接続され、第 3 導電層 (14U) は、他方に接続される。小型化可能で、信頼性の高いパワーモジュールおよびその製造方法を提供する。

明 細 書

発明の名称：パワーモジュールおよびその製造方法

技術分野

[0001] 本実施の形態は、パワーモジュールおよびその製造方法に関する。

背景技術

[0002] 現在多くの研究機関において、シリコンカーバイド（SiC：Silicon Carbide）デバイスの研究開発が行われている。SiCパワーデバイスは、Siパワーデバイスよりも優れた低オン抵抗、高速スイッチングおよび高温動作特性を有する。

[0003] SiCパワーモジュールでは、SiCデバイスのロスが相対的に小さいため、大電流を導通可能であり、かつ高温動作が容易となったが、それを許容するためのパワーモジュールの設計は必須である。

[0004] SiCパワーデバイスは、トランスファーモールドによって樹脂封止されてパワーモジュールを構成する。パワーモジュールは高温で動作するため、高い信頼性が要求される。

[0005] 樹脂封止されたパワーモジュールの信頼性を向上する目的で、封止樹脂の密着性を保持する例も開示されている。

[0006] また、従来において、パワーモジュールの変形を防止する例も開示されている。

[0007] さらにまた、高温になった場合でも、パワーモジュールの反り変形を防いで熱疲労寿命を改善した例も開示されている。

[0008] また、従来において、パワーモジュールの熱を両面から放熱する例も開示されている。

先行技術文献

特許文献

[0009] 特許文献1：国際公開第WO2013/136895号

特許文献2：特開2007-311441号公報

特許文献3：特開2008-41752号公報

発明の概要

発明が解決しようとする課題

[0010] 本実施の形態は、小型化が可能で信頼性の高いパワーモジュールおよびその製造方法を提供する。

[0011] また、本実施の形態は、極薄型でかつ小型化が可能で信頼性の高いパワーモジュールおよびその製造方法を提供する。

課題を解決するための手段

[0012] 本実施の形態の一態様によれば、第1導電層を備える第1絶縁基板と、前記第1導電層の上に配置され、主電極の一方が前記第1導電層と接続された第1半導体デバイスと、前記第1絶縁基板上に前記第1半導体デバイスと対向して配置され、表面および裏面に第2導電層および第3導電層を備える第2絶縁基板と、前記第1導電層と前記第2導電層とを接続する第1柱状電極と、前記第1半導体デバイスの主電極の他方と前記第3導電層とを接続する第2柱状電極とを備え、前記第2導電層は、前記第1半導体デバイスに電源を供給する正極パターン若しくは負極パターンのいずれか一方に接続され、前記第3導電層は、他方に接続されるパワーモジュールが提供される。

[0013] 本実施の形態の他の態様によれば、第1絶縁基板の表面の導電層の上に半導体デバイスを実装する工程と、前記半導体デバイスの主電極と前記導電層の表面のそれぞれに、少なくとも1個の柱状電極を形成する工程と、前記柱状電極のいずれか一方の先端を、前記第1絶縁基板と対向して配置される第2絶縁基板の一方の面の導電層に接続し、他方の前記柱状電極の先端を、前記第2絶縁基板の他方の面の導電層に接続する工程とを有するパワーモジュールの製造方法が提供される。

[0014] 本実施の形態の他の態様によれば、第1絶縁基板と、前記第1絶縁基板の上方に配置された第2絶縁基板と、前記第1絶縁基板上に配置され、表面に第1主電極と第1制御電極とを有する第1半導体デバイスとを備え、前記第1主電極は、前記第1絶縁基板と前記第2絶縁基板との重畳部に配置され、

前記第1制御電極は、前記第1絶縁基板と前記第2絶縁基板との非重畳部に配置されるパワーモジュールが提供される。

[0015] 本実施の形態の他の態様によれば、第1導電層を備える第1絶縁基板と、前記第1絶縁基板に少なくとも一部が対向して配置され、かつ前記第1導電層に対して対向した第2導電層を備える第2絶縁基板と、第1主電極が前記第1導電層と接続される第1半導体デバイスと、第1主電極が前記第2導電層と接続される第2半導体デバイスと、平面視において、前記第1導電層と前記第2導電層のどちらか一方のみを備えた非重畳部と、平面視において、前記第1導電層と前記第2導電層の双方を備えた重畳部とを備え、平面視において、前記第1半導体デバイスの第2主電極と前記第2導電層、および前記第2半導体デバイスの第2主電極と前記第1導電層は、前記重畳部に配置され、平面視において、前記第1半導体デバイスの第1制御電極と前記第2半導体デバイスの第2制御電極は、前記非重畳部に配置されるパワーモジュールが提供される。

[0016] 本実施の形態の他の態様によれば、第1絶縁基板の上側表面の第1導電層に、第1半導体デバイスの第1主電極を接続する工程と、第2絶縁基板の下側表面の第2導電層に、第2半導体デバイスの第1主電極を接続する工程と、前記第1半導体デバイスの第2主電極と前記第2導電層、および前記第2半導体デバイスの第2主電極と前記第1導電層とがそれぞれ重畳し、かつ前記第1半導体デバイスの第1制御電極と前記第2導電層、および前記第2半導体デバイスの第2制御電極と前記第1導電層とがそれぞれ非重畳となる配置で前記第1絶縁基板と前記第2絶縁基板とを接続する工程とを有するパワーモジュールの製造方法が提供される。

[0017] 本実施の形態の他の態様によれば、第1導電層を備える第1絶縁基板の少なくとも一面に対向して配置され、かつ前記第1導電層に対して対向した第2導電層を備える第2絶縁基板との平面視において、前記第1導電層と前記第2導電層のどちらか一方のみを備えた非重畳部と前記第1導電層と前記第2導電層の双方を備えた重畳部とを、パターン形成する工程と、第1半導体

デバイスの第1主電極を、前記第1半導体デバイスの第1制御電極が前記非重畳部に配置される位置で、前記第1導電層の前記重畳部に接続する工程と、第2半導体デバイスの第1主電極を、前記第2半導体デバイスの第2制御電極が前記非重畳部に配置される位置で、前記第2導電層の前記重畳部に接続する工程と、前記第1半導体デバイスの第2主電極を前記第2導電層に、前記第2半導体デバイスの第2主電極を前記第1導電層に、それぞれ接続する工程とを有するパワーモジュールの製造方法が提供される。

発明の効果

[0018] 本実施の形態によれば、小型化が可能で信頼性の高いパワーモジュールおよびその製造方法を提供することができる。

[0019] また、本実施の形態によれば、極薄型でかつ小型化が可能で信頼性の高いパワーモジュールおよびその製造方法を提供することができる。

図面の簡単な説明

[0020] [図1]比較例1に係るツインワンモジュールの主要部を示す模式的平面図。

[図2]半導体デバイスとしてSiC 絶縁ゲート電界効果トランジスタ (MOSFET: Metal Oxide Semiconductor Field Effect Transistor) を適用した比較例1に係るツインワンモジュールの回路構成図。

[図3]図1のI-I線に沿う模式的断面構造図。

[図4]比較例2に係るシックスインワンモジュールの主要部を示す模式的平面図。

[図5]半導体デバイスとしてSiC MOSFETを適用した比較例2に係るシックスインワンモジュールの回路構成図。

[図6]第1～3の実施の形態に係るパワーモジュールの基本構成を示す模式的断面構造図。

[図7] (a) 第1～6の実施の形態に係るパワーモジュールの第2絶縁基板の模式的断面図、(b) 第1～6の実施の形態に係るパワーモジュールの第1絶縁基板の模式的断面図。

[図8] (a) 第1の実施の形態に係るパワーモジュールの模式的平面図、(b)

）第 1 の実施の形態に係るパワーモジュールの第 1 絶縁基板の実装面の模式的平面図。

[図9]図 8（b）のII-II線に沿う模式的断面構造図。

[図10]（a）第 2 の実施の形態に係るパワーモジュールの模式的平面図、（b）第 2 の実施の形態に係るパワーモジュールの第 1 絶縁基板の実装後の構成を示す模式的平面図。

[図11]（a）第 2 の実施の形態に係るパワーモジュールの第 2 絶縁基板の半導体デバイスと対向する表面を示す模式的平面図、（b）（a）と反対側の表面の模式的平面図。

[図12]図 1 1（b）のIII-III線に沿う模式的断面構造図。

[図13]半導体デバイスとして SiC MOSFET を適用し、電流の方向を付記したシックスインワンモジュールの回路構成図。

[図14]（a）第 2 の実施の形態の変形例に係るパワーモジュールの第 2 絶縁基板の半導体デバイスと対向する表面の模式的平面図、（b）（a）と反対側の表面の模式的平面図。

[図15]図 1 4（a）のIV-IV線に沿う模式的断面構造図。

[図16]第 3 の実施の形態に係るパワーモジュールの第 1 絶縁基板の実装後の構成を示す模式的平面図。

[図17]第 3 の実施の形態に係るパワーモジュールの第 2 絶縁基板の半導体デバイスと対向する表面を示す模式的平面図。

[図18]図 1 7 に示す第 2 絶縁基板の表面と反対側の表面を示す模式的平面図。

[図19]第 3 の実施の形態に係るパワーモジュールの第 2 絶縁基板を出力端子側から見た模式的側面図。

[図20]図 1 9 に示す第 2 絶縁基板を図 1 7 の矢印 A 方向から見た模式的鳥瞰構成図。

[図21]第 3 の実施の形態に係るパワーモジュールの第 1 絶縁基板の模式的平面図。

[図22]半導体デバイスを実装し、柱状電極を接続した後の第1絶縁基板を図21の矢印B方向から見た模式的鳥瞰構成図。

[図23]半導体デバイスを実装し、柱状電極を接続した後の第1絶縁基板を図21の矢印C方向から見た模式的鳥瞰構成図。

[図24]第3の実施の形態に係るパワーモジュールの第1絶縁基板を、第2絶縁基板に接合する直前の様子を図21の矢印C方向から見た模式的鳥瞰構成図。

[図25]第3の実施の形態に係るパワーモジュールの第1絶縁基板と第2絶縁基板を接合した後の模式的平面図。

[図26]樹脂モールドした第3の実施の形態に係るパワーモジュールの外観を示す模式的平面図。

[図27]樹脂モールドした第3の実施の形態に係るパワーモジュールの外観を示す模式的鳥瞰構成図。

[図28]実施の形態に係るパワーモジュールであって、(a)ワンインワンモジュール(1 in 1Module)のSiC MOSFETの模式的回路表現図、(b)ワンインワンモジュールのIGBTの模式的回路表現図。

[図29]実施の形態に係るパワーモジュールであって、ワンインワンモジュールのSiC MOSFETの詳細回路表現図。

[図30]実施の形態に係るパワーモジュールであって、(a)ツーインワンモジュールのSiC MOSFETの模式的回路表現図、(b)ツーインワンモジュールのIGBTの模式的回路表現図。

[図31]実施の形態に係るパワーモジュールに適用する半導体デバイスの例であって、(a)SiC MOSFETの模式的断面構造図、(b)IGBTの模式的断面構造図。

[図32]実施の形態に係るパワーモジュールに適用する半導体デバイスの例であって、ソースパッド電極SP、ゲートパッド電極GPを含むSiC MOSFETの模式的断面構造図。

[図33]実施の形態に係るパワーモジュールに適用する半導体デバイスの例で

あって、エミッタパッド電極EP、ゲートパッド電極GPを含むIGBTの模式的断面構造図。

[図34]実施の形態に係るパワーモジュールに適用可能な半導体デバイスの例であって、SiC DI (Double Implanted) MOSFETの模式的断面構造図。

[図35]実施の形態に係るパワーモジュールに適用可能な半導体デバイスの例であって、SiC トレンチ (T : Trench) MOSFETの模式的断面構造図。

[図36]実施の形態に係るパワーモジュールを用いて構成した3相交流インバータの模式的回路構成において、(a)半導体デバイスとしてSiC MOSFETを適用し、電源端子PL、接地端子NL間にスナバコンデンサを接続した回路構成例、(b)半導体デバイスとしてIGBTを適用し、電源端子PL、接地端子NL間にスナバコンデンサを接続した回路構成例。

[図37]半導体デバイスとしてSiC MOSFETを適用した実施の形態に係るパワーモジュールを用いて構成した3相交流インバータの模式的回路構成図。

[図38]半導体デバイスとしてIGBTを適用した実施の形態に係るパワーモジュールを用いて構成した3相交流インバータの模式的回路構成図。

[図39]第1～3の実施の形態に係るパワーモジュールであって、冷却器を備えたパワーモジュールの模式的断面構造図。

[図40]第4～6の実施の形態の基本技術に係るツーインワンモジュールの主要部を示す模式的平面図。

[図41]図40のIA-IA線に沿う模式的断面構造図。

[図42]第4の実施の形態に係るパワーモジュールの主要部を示す模式的平面図。

[図43]図42のIIA-IIA線に沿う模式的断面構造図。

[図44]パワーモジュールの実装後の第1絶縁基板の側面と第2絶縁基板の側面を示す模式的側面図。

[図45] (a) 第1絶縁基板と第2絶縁基板との平面の位置関係の例を示す模式的平面図、(b) 第1絶縁基板と第2絶縁基板との平面の位置関係の例を示す別の模式的平面図、(c) 第1絶縁基板と第2絶縁基板との平面の位置関係の例を示す更に別の模式的平面図。

[図46] 第4の実施の形態に係るパワーモジュールの変形例の主要部を示す模式的平面図。

[図47] 図46のⅠⅠⅠA-ⅠⅠⅠA線に沿う模式的断面構造図。

[図48] (a) 第5の実施の形態に係るパワーモジュールの実装後の第1絶縁基板の平面を示す模式的平面図、(b) 第5の実施の形態に係るパワーモジュールの実装後の第2絶縁基板の平面を示す模式的平面図。

[図49] 図48(a) および図48(b) のⅠⅤA-ⅠⅤA線に沿う模式的断面構造図。

[図50] 図48(a) および図48(b) のⅤA-ⅤA線に沿う模式的断面構造図。

[図51] 図48(a) および図48(b) のⅤⅠA-ⅤⅠA線に沿う模式的断面構造図。

[図52] 変形例に係る図48(a) および図48(b) のⅤⅠA-ⅤⅠA線に沿う模式的断面構造図。

[図53] 変形例に係る図48(a) および図48(b) のⅤA-ⅤA線に沿う模式的断面構造図。

[図54] 第6の実施の形態に係るパワーモジュールの第2絶縁基板の平面を示す模式的平面図。

[図55] 第6の実施の形態に係るパワーモジュールの第2絶縁基板の実装後の平面を示す模式的平面図。

[図56] 第6の実施の形態に係るパワーモジュールの第1絶縁基板の実装後の平面を示す模式的平面図。

[図57] 半導体デバイスとしてSiC MOSFETを適用した第6の実施の形態に係るシックスインワンモジュールの回路構成図。

[図58]図54、図55、図56に示すV I I A－V I I A線に沿う模式的断面構造図。

[図59]第6の実施の形態に係るパワーモジュールの第2絶縁基板の外観を示す模式的平面図。

[図60]図55に示す第2絶縁基板の裏面のパターンを示す模式的平面図。

[図61]第6の実施の形態に係るパワーモジュールの第1絶縁基板の外観を示す模式的平面図。

[図62]第6の実施の形態に係るパワーモジュールの第1絶縁基板を、第2絶縁基板に接合する直前の様子を図59の矢印A方向から見た模式的鳥瞰構成図

[図63]第6の実施の形態に係るパワーモジュールの第1絶縁基板と第2絶縁基板を接合した後の模式的平面図。

[図64]樹脂モールドした第6の実施の形態に係るパワーモジュールの外観を示す模式的平面図。

[図65]樹脂モールドした第6の実施の形態に係るパワーモジュールの外観を図64の矢印A方向から見た模式的鳥瞰構成図。

[図66]第4～6の実施の形態に係るパワーモジュールであって、冷却器を備えたパワーモジュールの模式的断面構造図。

発明を実施するための形態

[0021] 次に、図面を参照して、実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

[0022] 又、以下に示す実施の形態は、技術的思想を具体化するための装置や方法を例示するものであって、この実施の形態は、構成部品の材質、形状、構造

、配置等を下記のものに特定するものでない。この実施の形態は、特許請求の範囲において、種々の変更を加えることができる。

[0023] 〔第１～３の実施の形態の比較例〕

ー比較例１ー

比較例１に係るパワーモジュール１００Ａの主要部の模式的平面図は、図１に示すように表され、半導体デバイス（チップ）として例えばＳｉＣ ＭＯＳＦＥＴを適用した図１に対応したツインワンモジュールの回路構成は、図２に示すように表される。また、図１のⅠ－Ⅰ線に沿う模式的断面構造は、図３に示すように表される。

[0024] パワーモジュール１００Ａは、絶縁基板８と、絶縁基板８上に配置されたソース電極パターン１・出力電極パターン２・ドレイン電極パターン３と、ドレイン電極パターン３上に配置される半導体デバイスＱ１と、半導体デバイスＱ１と出力電極パターン２間に接続されたリード部材５と、出力電極パターン２上に配置される半導体デバイスＱ４と、半導体デバイスＱ４とソース電極パターン１間に接続されたリード部材４と、ソース電極パターン１を外部的に取り出す負側電力端子Ｎと、ドレイン電極パターン３を外部的に取り出す正側電力端子Ｐと、出力電極パターン２を外部的に取り出す出力端子Ｏと、を備える。

[0025] 比較例１の半導体デバイスＱ１とＱ４は、例えばＳｉＣ ＭＯＳＦＥＴである。図１において、半導体デバイスＱ１とＱ４は、それぞれ５チップ並列に配置されている例が示されている。なお、半導体デバイスＱ１とＱ４の制御端子であるゲート信号電極パターン等の表記は省略している。

[0026] パワーモジュール１００Ａの主要部は、モールド樹脂１５によって封止される。絶縁基板８は、例えば両面に導電層を有する基板であって、半導体デバイスＱ１、Ｑ４が実装される面と反対側の導電層６が、例えば外部に露出する（図３参照）。

[0027] 正側電力端子Ｐとドレイン電極パターン３とは、半田付けなどによって接続される。ドレイン電極パターン３上に配置される半導体デバイスＱ１のソ

ース電極パッドと出力電極パターン2とは、リード部材5で接続される。

[0028] 出力電極パターン2上に配置される半導体デバイスQ4のソース電極パッドと、ソース電極パターン1とはリード部材4で接続される。ソース電極パターン1と負側電力端子Nとは、半田付けなどによって接続される。

[0029] パワーモジュール100Aの負側電力端子N・正側電力端子P・出力端子Oは、同一平面上から導出される。そのため、各々の端子を一辺から導出するとパワーモジュール100Aの一辺のサイズが大きくなり、小型化するのが難しい。

[0030] ー比較例2ー

比較例2に係るパワーモジュール200Aの主要部の模式的平面図は、図4に示すように表され、半導体デバイス（チップ）として例えばSiCMOSFETを適用した図4に対応したシックスインワンモジュールの回路構成は、図5に示すように表される。

[0031] 以降に示す参照符号は、パワーモジュール内の位置を明確にしたい場合は添え字付きで表記し、その必要が無い場合は添え字を省略して表記する。

[0032] パワーモジュール200Aは、パワーモジュール100Aを3個並べた3相（U, V, W）出力のパワーモジュールである。パワーモジュール200Aは、絶縁基板8上にソース電極パターン1・出力電極パターン2・ドレイン電極パターン3の組を3組と、半導体デバイスQ4, Q1, Q5, Q2, Q6, Q3と、リード部材4, 5と、各相の出力端子U, V, Wと、各相の負側電力端子NU, NV, NWと、各相の正側電力端子PU, PV, PWとを備える。

[0033] それぞれの電極パターンは、平面形状が長方形の絶縁基板8の長辺方向に、ソース電極パターン1₁・出力電極パターン2₁・ドレイン電極パターン3₁、ソース電極パターン1₂・出力電極パターン2₂・ドレイン電極パターン3₂、ソース電極パターン1₃・出力電極パターン2₃・ドレイン電極パターン3₃の順に配置される。

[0034] 出力電極パターン2₁上に半導体デバイスQ4、ドレイン電極パターン3₁上に半導体デバイスQ1、出力電極パターン2₂上に半導体デバイスQ5、ド

レイン電極パターン 3_2 上に半導体デバイス Q_2 、出力電極パターン 2_3 上に半導体デバイス Q_6 、ドレイン電極パターン 3_3 上に半導体デバイス Q_3 、がそれぞれ配置される。半導体デバイス $Q_4, Q_1, Q_5, Q_2, Q_6, Q_3$ は、パワーモジュール100Aと同様に、それぞれ5チップ並列に配置されている。

[0035] U相正側電力端子PUは、ドレイン電極パターン 3_1 と接続され、半導体デバイス Q_1 と反対側に導出される。U相負側電力端子NUは、ソース電極パターン 1_1 と接続され、U相正側電力端子PUと同方向に導出される。ドレイン電極パターン 3_1 と出力電極パターン 2_1 及び出力電極パターン 2_1 とソース電極パターン 1_1 とは、パワーモジュール100Aと同様にリード部材 $5_1, 4_1$ で接続される。

[0036] このU相正側電力端子PUとU相負側電力端子NUの接続関係は、他のV相とW相についても同じである。よって、各相の電力端子は、U相負側電力端子NU、U相正側電力端子PU、V相負側電力端子NV、V相正側電力端子PV、W相負側電力端子NW、W相正側電力端子PW、の順で絶縁基板8の一方の長辺から外側に向けて導出される。

[0037] 各相の出力端子U, V, Wは、各相の出力電極パターン $2_1, 2_2, 2_3$ にそれぞれ接続され、各電力端子NU~PWと反対側に導出される。

[0038] シックスインワンモジュールは、ツーインワンモジュールを3個並列に接続して構成される。よって、U相正側電力端子PUとV相正側電力端子PVとW相正側電力端子PWとは、バスバーBPで接続される。また、U相負側電力端子NUとV相負側電力端子NVとW相負側電力端子NWとは、バスバーBNで接続される。

[0039] このバスバーBP, BNは、極性が異なるため、お互いを絶縁する必要がある。したがって、比較例2のバスバーBP, BNは、パワーモジュールの平面サイズを大きくする。

[0040] また、大電流をスイッチングするパワーモジュールにおいては、インダクタンス成分が小さいほど好ましい。しかし、バスバーBP, BNは、電流経路

を長くするのでインダクタンス成分を大きくする。また、パワーモジュールの形状が、一方向に長くなるので反りが大きくなる。反りは、例えば、長さの二乗に比例する。

[0041] [第1～3の実施の形態の基本構成]

第1～3の実施の形態に係るパワーモジュール90の基本構成の模式的断面構造図は、図6に示すように表される。また、パワーモジュール90を構成する第1絶縁基板10および第2絶縁基板20の模式的断面構造図は、図7(a)および図7(b)に示すように表される。

[0042] 図6には、図5に示したW相を構成する半導体デバイスQ3・Q6の配置について示されているが、U相を構成する半導体デバイスQ1・Q4、V相を構成する半導体デバイスQ2・Q5についても同様に配置可能である。なお、平面図は、図示を省略する。

[0043] パワーモジュール90は、図6に示すように、導電層14D₃・14D₂を備える第1絶縁基板10と、導電層14D₃・14D₂上に配置された半導体デバイスQ3・Q6と、半導体デバイスQ3・Q6と対向して配置され、導電層14U・6Uを備える第2絶縁基板20と、導電層14D₃及び半導体デバイスQ6のソース電極と、導電層14U・6Uとをそれぞれ接続する柱状電極17・16とを備える。

[0044] ここで、図6において、第2絶縁基板20側をU側、第1絶縁基板10側をD側と定義する。この定義は、以降に示す全ての図面に適用する。

[0045] 第1絶縁基板10及び第2絶縁基板20としては、例えばAMB(Active Metal Brazed, Active Metal Bond)基板などを適用可能である。第1絶縁基板10は、絶縁基板8Dの上(U:UP)側に導電層14D、下(D:DOW)側に導電層6Dを備える(図7(b))。第2絶縁基板20は、絶縁基板8UのU側に導電層14U、D側に導電層6Uを備える(図7(a))。第1絶縁基板10上側および下側、第2絶縁基板20の上側および下側の表現についても以下同様に記載する。また、以下の実施の形態において、導電層14D、導電層6D、導電層14U、及び導電層6Uの表記は固定とす

る。

- [0046] 第2絶縁基板20のU側の導電層14Uは、例えばバスバーBPである。正極パターンである導電層14Uは、柱状電極17を介して半導体デバイスQ3が配置された第1絶縁基板10のU側の導電層14D₃と接続される。
- [0047] 基本的に半導体デバイスQ3は、U側がソース電極、D側がドレイン電極となるように配置される。他の半導体デバイスQ1・Q2・Q4・Q5・Q6についても同様である。なお、各半導体デバイスの配置は、第1絶縁基板10上にフリップチップに配置されていても良い。その場合には、電力端子やバスバーBP、BNとの接続構成も逆になる。
- [0048] 柱状電極17は、図5のバスバーBPと半導体デバイスQ3のドレイン電極(14D₃)間を接続する。柱状電極16は、図5のバスバーBNと半導体デバイスQ6のソース電極間を接続する。導電層14D₃は、図4のドレイン電極パターン3₃に相当する。
- [0049] 柱状電極17が、第2絶縁基板20の絶縁基板8Uを貫通するためには、ビアホール(VIA)が用いられる。ビアホールの具体例については後述する。
- [0050] 半導体デバイスQ3のソース電極パッド(Q3のU側表面)は、半導体デバイスQ3が配置された導電層14D₃と離隔して配置された導電層14D₂と、ボンディングワイヤやリード部材5などで接続される。この部分の構成は、図5の半導体デバイスQ3のソース電極S3と半導体デバイスQ6のドレイン電極(D6)間の接続に(W相出力)相当する。導電層14D₂は、図4の出力電極パターン2₃に相当する。
- [0051] 半導体デバイスQ6のソース電極パッド(Q6のU側表面)は、柱状電極16を介して第2絶縁基板20のD側の導電層6Uに接続される。導電層6Uは、例えばバスバーBNである。この部分の構成は、図5の半導体デバイスQ6のソース電極S6とバスバーBN間の接続に相当する。
- [0052] 以上説明したW相と同様に、半導体デバイスQ2とQ5から成るV相、及び、半導体デバイスQ1とQ4から成るU相を第1絶縁基板10上に構成す

れば、第2絶縁基板20でバスバーBPとBNの両方を構成することができる。つまり、半導体デバイスQ1, Q2, Q3（上アーム）のドレイン電極D1, D2, D3は、第2絶縁基板20のU側の導電層14Uによって共通に接続される。また、半導体デバイスQ4, Q5, Q6（下アーム）のソース電極S4, S5, S6は、第2絶縁基板20のD側の導電層6Uによって共通に接続される。

[0053] このように、第2絶縁基板20の導電層14U・6Uは、半導体デバイスQ1～Q6に電源を供給する正極パターンと負極パターンとに対応する。したがって、パワーモジュール90によれば、バスバーBP・BNは、第2絶縁基板20上に配置され、第1絶縁基板10は出力端子Oを備え、第2絶縁基板20は電源端子を備える。よって、パワーモジュールの平面形状を小型化できる。

[0054] また、第2絶縁基板20は、基板表面・裏面に正極パターン・負極パターンを備えるので、電流が逆方向に流れ、電流によって生じる磁束が相殺される。その結果、インダクタンス成分が減少することができる。また、正極パターンと負極パターンの面積を、実質的に同じにすることで、更にインダクタンス成分を減少させることができる。実質的に同じとは、厳密に同じ面積でなくても同様の作用効果が得られることを意味する。また、正極パターンと負極パターンの形状は、異なっても良い。

[0055] また、第1絶縁基板10と第2絶縁基板20を対向させてパワーモジュールを構成するので、1つの絶縁基板8で構成するパワーモジュール（比較例1, 2）よりも第1・第2絶縁基板10・20による反りを相互にキャンセルさせることができ、反りを低減することができる。なお、第1絶縁基板10と第2絶縁基板20の材質を同一にすることで、反りをより効果的に低減することが可能である。また、それぞれの基板の厚さを実質的に同じにすることで、更に反りを低減することができる。

[0056] 反りを低減することで、モールド樹脂15の剥離、クラックの発生、絶縁不良などが発生する危険性を低下させ、パワーモジュールの信頼性を向上さ

せることができる。

[0057] なお、第2絶縁基板20のU側の導電層14Uと接続するためのビア（VIA）ホールを必ずしも備えなくても良い。導電層14Uと導通した導電パターンを、D側の導電層6Uに選択的に配置（パターン形成）することで、第1絶縁基板10の導電層14Dと第2絶縁基板20の導電層14Uとを導通させることが可能である。つまり、ビアホールは必須の構成ではない。

[0058] また、第1絶縁基板10、第2絶縁基板20は、窒化ケイ素、窒化アルミニウム、アルミナなどのセラミックス、若しくは、樹脂を含有する絶縁シートである。また、窒化ケイ素、窒化アルミニウム、若しくはアルミナなどのセラミックスの厚さは、例えば、約200 μm ～400 μm 、また、絶縁シートの厚さは、例えば、約50 μm ～300 μm である。

[0059] また、上記の例では、第2絶縁基板20のU側の導電層14Uを正極パターン、D側の導電層6Uを負極パターンとして説明したが、正極パターンと負極パターンとは逆になっても構わない。逆の構成については、以降に示す実施の形態で説明する。

[0060] [第1の実施の形態]

第1の実施の形態に係るパワーモジュール100の模式的平面図は、図8（a）に示すように表され、パワーモジュール100を構成する第1絶縁基板10の実装後の模式的平面図は、図8（b）に示すように表される。また、図8（b）のII-II線に沿う模式的断面構造は、図9に示すように表される。

[0061] 第1の実施の形態に係るパワーモジュール100は、図8および図9に示すように、第1導電層14Dを備える第1絶縁基板10と、第1導電層14Dの上に配置され、主電極の一方が第1導電層14Dと接続された第1半導体デバイスQ4と、第1絶縁基板10上に第1半導体デバイスQ4と対向して配置され、表面および裏面に第2導電層6Uおよび第3導電層14Uを備える第2絶縁基板20と、第1導電層14Dと第2導電層6Uとを接続する第1柱状電極16と、第1半導体デバイスQ4の主電極の他方と第3導電層

14Uとを接続する第2柱状電極17とを備える。ここで、第2導電層6Uは、第1半導体デバイスQ4に電源を供給する正極パターン若しくは負極パターンのいずれか一方に接続され、第3導電層14Uは、他方に接続される。

[0062] パワーモジュール100は、ツーンワンモジュールを、第1絶縁基板10と第2絶縁基板20とを積層する構成で実現したものである。パワーモジュール100は、第1絶縁基板10、第2絶縁基板20、半導体デバイスQ1、Q4、柱状電極16、17、リード部材7、正側電力端子P、負側電力端子N、出力端子Oを備える。

[0063] U側に第2絶縁基板20、D側に第1絶縁基板10が配置される。第1絶縁基板10と第2絶縁基板20とは、柱状電極16、17で接続される。

[0064] 第1絶縁基板10のU側の導電層14Dに、第1ドレイン電極パターン14₁と第2ドレイン電極パターン14₂が形成される。第1ドレイン電極パターン14₁の形状は、例えば一方向に凸形状のパターンであり、第2ドレイン電極パターン14₂の形状は第1ドレイン電極パターン14₁の凸形状のパターンを囲むように凹形状であり、両者は絶縁されている。

[0065] 第1ドレイン電極パターン14₁には、出力端子Oが接続される。出力端子Oは、第1ドレイン電極パターン14₁からモールド樹脂15の外側に向けて導出される。

[0066] 第2絶縁基板20のU側の導電層14Uには、負側電力端子Nが接続され、D側の導電層6Uには正側電力端子Pが接続される。よって、導電層14Uは負極パターンを構成し、導電層6Uは正極パターンを構成する。正側電力端子Pと負側電力端子Nは、出力端子Oと反対側の方向に導出される。

[0067] 負極パターンに給電される負電源は、ビアホール18と柱状電極17を介して半導体デバイスQ4のU側の表面の主電極に接続される。この例の半導体デバイスQ4のU側の表面の主電極は、ソース電極である。

[0068] 図8(a)に、破線で示す四角形17は、柱状電極17のU側の先端が、ビアホール18のD側の端面に接続する部分である。四角形17の外枠の破

線で示す四角は、導電層 6 U の縁部であり、負電源が供給される柱状電極 1 7 と導電層 6 U（正極パターン）とは絶縁されている。

[0069] 半導体デバイス Q 4 が配置された第 1 ドレイン電極パターン 1 4₁ は、リード部材 7 を介して、第 2 ドレイン電極パターン 1 4₂ の上に配置された半導体デバイス Q 1 の U 側のソース電極に接続される。半導体デバイス Q 1 の D 側のドレイン電極は、柱状電極 1 6₁、1 6₂ を介して第 2 絶縁基板 2 0 の D 側の導電層 6 U に接続される。

[0070] 図 8（b）においては、2 本の柱状電極 1 6₁、1 6₂ で半導体デバイス Q 4 に正電源を供給する例を示したが、柱状電極 1 6 の数は 1 個でも良いし 2 個以上の複数であっても良い。柱状電極 1 7 についても同様である。

[0071] なお、図 9 において、本来、II-II 線に沿う断面では見えない柱状電極 1 6₂ を、分かり易くする目的で表記している。また、ビアホール 1 8 の部分の断面構造は簡略に表記している。

[0072] パワーモジュール 1 0 0 は、半導体デバイス Q 1、Q 4 を配置した第 1 絶縁基板 1 0 に、第 2 絶縁基板 2 0 から電源を供給する構造である。よって、正側電力端子 P と負側電力端子 N の組と、出力端子 O とを異なる高さで導出できるので、パワーモジュールの平面形状を小型化できる。

[0073] [第 2 の実施の形態]

第 2 の実施の形態に係るパワーモジュール 2 0 0 を構成する第 1 絶縁基板 2 0 の模式的平面図は、図 1 0（a）に示すように表され、パワーモジュール 2 0 0 を構成する第 1 絶縁基板 1 0 の実装後の模式的平面図は、図 1 0（b）に示すように表される。また、パワーモジュール 2 0 0 の第 2 絶縁基板 2 0 の D 側の表面は、図 1 1（a）に示すように表され、U 側の表面は図 1 1（b）に示すように表される。

[0074] また、図 1 1（b）の III-III 線に沿う模式的断面構造は、図 1 2 に示すように表される。なお、図 1 1（b）において正側電力端子 P と負側電力端子 N の表記は省略している。また、電流経路を矢印で付記したパワーモジュール 2 0 0 の模式的回路構成は、図 1 3 に示すように表される。

- [0075] 図10(b)に示すように、第1絶縁基板10の第1導電層14Dは、複数の第1半導体デバイスQ4・Q5・Q6の同一種別の主電極に接続される第1共通電極パターン14₁・14₃・14₅を備える。また、第1共通電極パターン14₁・14₃・14₅と異なる第2共通電極パターン14₂・14₃・14₆と、第2共通電極パターン14₂・14₃・14₆上に配置された2半導体デバイスQ1・Q2・Q3とを備える。
- [0076] パワーモジュール200は、パワーモジュール100を3個並べてシックスインワンモジュールを構成したものである。
- [0077] パワーモジュール200は、第1絶縁基板10、第2絶縁基板20、半導体デバイスQ4、Q1、Q5、Q2、Q6、Q3、柱状電極16、17、リード部材7、正側電力端子P、負側電力端子N、出力端子U、V、Wを備える。
- [0078] U側に第2絶縁基板20、D側に第1絶縁基板10が配置されるのは、パワーモジュール100と同じである。また、第1絶縁基板10と第2絶縁基板20とは、柱状電極16、17で接続されるのも同じである。
- [0079] パワーモジュール200は、3個並べられたパワーモジュール100が、それぞれU相、V相、W相を構成し、出力端子Uと出力端子Vと出力端子Wを備える。なお、各々の半導体デバイスQ1～Q6は、それぞれ例えば5チップ並列に配置される。
- [0080] 第1絶縁基板10の平面形状は、例えば、長方形である。長方形の場合、第1絶縁基板10の短辺方向に配置される半導体デバイスの数（5個）より、第1絶縁基板10の長辺方向に配置される半導体デバイスの数（6個）が多い。
- [0081] 第1絶縁基板10のU側の導電層14Dに、第1ドレイン電極パターン14₁・第2ドレイン電極パターン14₂・第3ドレイン電極パターン14₃・第4ドレイン電極パターン14₄・第5ドレイン電極パターン14₅・第6ドレイン電極パターン14₆が、それぞれ離隔して配置される。第1ドレイン電極パターン14₁と第2ドレイン電極パターン14₂とが隣接する部分のパター

ン形状は、例えば、櫛歯状であり、櫛歯はお互いに噛み合う関係である。第3ドレイン電極パターン14₃と第4ドレイン電極パターン14₄、第5ドレイン電極パターン14₅と第6ドレイン電極パターン14₆とが隣接する部分のパターン形状も、例えば、櫛歯状である。

[0082] 第1ドレイン電極パターン14₁～第6ドレイン電極パターン14₆が配置される方向と直交する方向に、5個の半導体デバイスが配置される。第1ドレイン電極パターン14₁上に半導体デバイスQ4₁、Q4₂、Q4₃、Q4₄、Q4₅が配置され、第2ドレイン電極パターン14₂上に半導体デバイスQ1₁、Q1₂、Q1₃、Q1₄、Q1₅が配置され、第3ドレイン電極パターン14₃上に半導体デバイスQ5₁、Q5₂、Q5₃、Q5₄、Q5₅が配置される。更に、第4ドレイン電極パターン14₄上に半導体デバイスQ2₁、Q2₂、Q2₃、Q2₄、Q2₅が配置され、第5ドレイン電極パターン14₅上に半導体デバイスQ6₁、Q6₂、Q6₃、Q6₄、Q6₅が配置され、第6ドレイン電極パターン14₆上に半導体デバイスQ3₁、Q3₂、Q3₃、Q3₄、Q3₅が配置される。

[0083] このように第1絶縁基板10の導電層14Dは、複数の半導体デバイス、例えばQ4₁、Q4₂、Q4₃、Q4₄、Q4₅の同一種別の主電極に接続される共通電極パターン（第1ドレイン電極パターン14₁）を備える。この例の同一種別の主電極は、ドレイン電極である。なお、同一種別の主電極は、フリップチップ構成の場合には、ソース電極であっても良い。

[0084] 第1ドレイン電極パターン14₁には出力端子U、第3ドレイン電極パターン14₃には出力端子V、第5ドレイン電極パターン14₅には出力端子Wがそれぞれ接続される。各々の出力端子U、V、Wは、半導体デバイスQ1～Q6と反対側に導出される。

[0085] パワーモジュール100と同様に、第2絶縁基板20のU側の導電層14Uに負側電力端子N、D側の導電層6Uに正側電力端子Pが接続され、導電層14Uは負極パターンを構成し、導電層6Uは正極パターンを構成する。正側電力端子Pと負側電力端子Nは、出力端子U、V、Wと反対側に導出さ

れる。

[0086] (U相)

負極パターンに給電される負電源は、ビアホール 18₁₁と柱状電極 17₁₁を通して半導体デバイス Q4 の U 側の表面の主電極に接続される。この例の半導体デバイス Q4 の U 側の表面の主電極は、ソース電極である。

[0087] なお、図 10 (a) において、ビアホール 18 の表記は省略し、柱状電極 17 の U 側の先端が、第 2 絶縁基板 20 の D 側の導電層 6 U に接続される部分を破線の四角形 17 で表記している。

[0088] 図 10 (a) で省略したビアホール 18 は、図 11 (a) に四角形 18 で表記している。例えば、柱状電極 17₁₁は、ビアホール 18₁₁を介して第 2 絶縁基板 20 の U 側の導電層 14 U と接続される。

[0089] 図 11 (a) において、柱状電極 17₁₁の U 側の先端が第 2 絶縁基板 20 の D 側の導電層 6 U に接続される四角形 17₁₁の外側の枠 19₁₁は、導電層 6 U が無い領域を表している。枠 19₁₁によって柱状電極 17₁₁と導電層 6 U とは絶縁される (図 12)。

[0090] 図 12 において、半導体デバイス Q4₁, Q1₁の両外側のパターンは、ソース信号電極パターンまたはゲート信号パターンである。これらについては後述する。

[0091] 半導体デバイス Q1₁の D 側の主電極であるドレイン電極は、第 1 ドレイン電極パターン 14₁とリード部材 7₁₁を介して、第 2 ドレイン電極パターン 14₂の上に配置された半導体デバイス Q1₁のソース電極に接続される。リード部材 7 は、複数の共通電極パターンの一つ (例えば第 1 ドレイン電極パターン 14₁) と、異なる共通電極パターン (例えば第 2 ドレイン電極パターン 14₂) の上に配置された半導体デバイス (例えば半導体デバイス Q1₁) の主電極とを接続する。

[0092] 半導体デバイス Q1₁の D 側のドレイン電極は、第 2 ドレイン電極パターン 14₂と柱状電極 16₁₁を介して第 2 絶縁基板 20 の D 側の導電層 6 U に接続される。

[0093] 図11(a)において、導電層6Uに柱状電極16₁₁が接続される部分を、四角形16₁₁で表記している。なお、図12において、本来、III-III線に沿う断面では見えない柱状電極16₁₁を、分かり易くする目的で表記している。

[0094] このように半導体デバイスの主電極と共通電極パターン（例えば第1ドレイン電極パターン14₁）のいずれか一方は、第2絶縁基板20の半導体デバイスと対向する表面の導電層6Uと柱状電極（例えば柱状電極16₁₁）で接続され、他方は、表面と異なる面の導電層14Uと、ビアホール（例えば18₁₁）と柱状電極（例えば17₁₁）とを介して接続される。

[0095] 以上説明した構成によって、第2絶縁基板20から半導体デバイスQ1₁とQ4₁に正電源と負電源が供給される。この構成は、並列接続される半導体デバイスQ1₁～Q1₅及びQ4₁～Q4₅についても同じである。また、他のV相とW相についても同じである。よって、他のV相とW相については簡単に説明する。

[0096] (V相)

V相の下アームを構成する半導体デバイスQ5₁のソース電極（Q5₁のU側の表面）には、第2絶縁基板20の導電層14Uから、ビアホール18₂₁と柱状電極17₂₁とを介して負電源が供給される。

[0097] 半導体デバイスQ5₁のドレイン電極（Q5₁のD側の表面）は、第3ドレイン電極パターン14₃とリード部材7₂₁とを介して半導体デバイスQ2₁のソース電極に接続される。

[0098] 半導体デバイスQ2₁のドレイン電極（Q2₁のD側の表面）は、第4ドレイン電極パターン14₄と柱状電極16₂₁を介して第2絶縁基板20のD側の導電層6U（正極パターン）に接続される。柱状電極16₂₁が、導電層6Uに接続される部分を、図10(a)の四角形16₂₁で表記している。

[0099] 以上のV層の構成は、並列接続される半導体デバイスQ2₁～Q2₅及びQ5₁～Q5₅について同じである。

[0100] (W相)

W相の下アームを構成する半導体デバイスQ 6₁のソース電極（Q 6₁のU側の表面）には、第2絶縁基板20の導電層14Uから、ビアホール18₃₁と柱状電極17₃₁とを介して負電源が供給される。

[0101] 半導体デバイスQ 6₁のドレイン電極（Q 6₁のD側の表面）は、第5ドレイン電極パターン14₅とリード部材7₃₁とを介して半導体デバイスQ 3₁のソース電極に接続される。

[0102] 半導体デバイスQ 3₁のドレイン電極（Q 3₁のD側の表面）は、第6ドレイン電極パターン14₆と柱状電極16₃₁を介して第2絶縁基板20のD側の導電層6U（正極パターン）に接続される。柱状電極16₃₁が、導電層6Uに接続される部分を、図10（a）の四角形13₃₁で表記している。

[0103] 以上のW層の構成は、並列接続される半導体デバイスQ 3₁～Q 3₅及びQ 6₁～Q 6₅について同じである。

[0104] パワーモジュール200は、U層、V層、W層の各層に、第2絶縁基板20から電源を供給する構造である。つまり、比較例2で説明したバスバーBP、BNを、第2絶縁基板20で構成する。したがって、平面方向に配置するバスバーBP、BNが不要であり、シックスインワンモジュールの平面形状を、従来比で大幅に縮小することができる。

[0105] また、各相U、V、Wのソース電極パターンに流れる電流の向きが、導電層14Uと導電層6Uと間で反対になるので（図13参照）、電流によって生じる磁束が相殺されインダクタンスが減少する。また、反り低減の効果も、基本構成で説明したのと同様に得られる。

[0106] （変形例）

パワーモジュール200を変形したパワーモジュール210の第2絶縁基板20のD側の表面は、図14（a）に示すように表され、U側の表面は図14（b）に示すように表される。また、図14（a）のIV-IV線に沿う模式的断面構造は、図15に示すように表される。

[0107] パワーモジュール210は、第2絶縁基板20の導電層14U、6Uの電極パターンの構成を変形した第2絶縁基板20を備える点で、パワーモジュ

ール200と異なる。この変形例は、第2絶縁基板20の導電層14U・6Uのそれぞれが、1個の正極パターン及び1個の負極パターンで無くても良いこと示すものである。よって、第2絶縁基板20と組み合わせて用いる第1絶縁基板10の平面形状の図示は省略して説明する。

[0108] 第2絶縁基板20のD側の導電層6Uは、例えば一方向に長く、延長方向と直交する方向に隣接して配置される複数の導電パターン $6U_1 \sim 6U_6$ と、ビアホール28とを備える。それぞれの導電パターン $6U_1 \sim 6U_6$ は、間隔を開けて配置され、お互いに絶縁されている。また、隣接する導電パターンの形状は、櫛歯状であり、櫛歯はお互いに噛み合う関係である。そして、櫛歯部分にビアホール28が列を構成するように配置される。

[0109] 第2絶縁基板20のU側の導電層14Uは、D側の導電パターン $6U_1 \sim 6U_6$ とビアホール28を介して接続する複数の導電パターン $14U_1 \sim 14U_6$ を備える。隣接する部分の導電パターン $14U_1 \sim 14U_6$ の形状は、D側と同じ櫛歯状である。

[0110] 導電パターン $14U_1$ は、ビアホール 28_{12} を介してD側の導電パターン $6U_1$ と接続される。導電パターン $6U_1$ は、柱状電極 27_{11} を介して第1絶縁基板10のU側の導電層14Dに形成された第1ドレイン電極パターン 14_1 に接続される。導電パターン $6U_1$ 内に示す四角形 27_{11} は、柱状電極 27_{11} の先端が接続される部分を表している。

[0111] 第1ドレイン電極パターン 14_1 上に配置された半導体デバイス $Q4_1$ のU側の主電極は、リード部材 26_{11} を介して隣接する第2ドレイン電極 14_2 に接続される。

[0112] 第2ドレイン電極 14_2 に上に配置された半導体デバイス $Q1_1$ のU側の主電極と、第2絶縁基板20のD側の導電パターン $6U_2$ とは、柱状電極 29_{11} を介して接続される。この場合、U相の出力端子Uは、第2ドレイン電極 14_2 の一方から外部に導出される。

[0113] この例の場合、導電パターン $14U_1$ は負極であり、導電パターン $14U_2$ は正極である。また、導電パターン $14U_3$ と導電パターン $14U_5$ とが負極

であり、導電パターン 1 4 U₄と導電パターン 1 4 U₆とが正極である。

[0114] D側の導電パターン 6 U₁～6 U₆も同様に、導電パターン 6 U₁が負極、導電パターン 6 U₂が正極、導電パターン 6 U₃が負極、導電パターン 6 U₄が正極、6 U₅が負極、導電パターン 6 U₆が正極である。

[0115] このように、第2絶縁基板 2 0の導電層 1 4 U, 6 Uは、複数の電極パターンを備え、正極パターンと負極パターンとが、第2絶縁基板 2 0の両面のそれぞれに交互に配置されていても良い。

[0116] また、ビアホール 2 8は、第2絶縁基板 2 0に列状に配置され、柱状電極 2 7は、ビアホール 2 8の列に並行して配置される。また、ビアホール 2 8の列は、正極のビアホール（例えば参照符号 2 8₁₂）と負極のビアホール（例えば参照符号 2 8₁₁）とが交互に配置されていても良い。

[0117] 正極のビアホールと負極のビアホールを交互に配置することで、導電パターン 6 U・1 4 Uの配列方向の第2絶縁基板 2 0の長さを短縮することができる。つまり、図 1 4に長方形状で示す第2絶縁基板 2 0の長辺方向の長さを短くすることができる。

[0118] [第3の実施の形態]

第3の実施の形態に係るパワーモジュール 3 0 0を構成する第1絶縁基板 1 0の実装後の模式的平面図は、図 1 6に示すように表される。また、パワーモジュール 3 0 0の第2絶縁基板 2 0のD側の表面は、図 1 7に示すように表される。また、パワーモジュール 3 0 0の第2絶縁基板 2 0のU側の表面は、図 1 8に示すように表される。

[0119] パワーモジュール 3 0 0は、パワーモジュール 2 0 0と同じシックスインワンモジュールである。パワーモジュール 3 0 0は、第2絶縁基板 2 0のU側の表面に正側電力端子 P、D側の表面に負側電力端子 Nが接続される点で、第1・第2の実施の形態と異なる。

[0120] 図 1 6においては、上記の実施の形態では表記を省略していたゲート信号電極パターン 4 0とソースセンス信号電極 4 1及び、それぞれの信号電極に接続するゲート端子 G T 1～G T 6とソースセンス端子 S S T 1～S S T 6

を表記している。これらを表記している点と、第2絶縁基板20のU側の表面が正極パターン、D側の表面が負極パターンである点とがパワーモジュール200と異なる。

[0121] それ以外の構成は、パワーモジュール200と同じである。半導体デバイスQ1、Q4でU相、半導体デバイスQ2、Q5でV相、半導体デバイスQ3、Q6でW相を構成する点及び、各半導体デバイスQ1～Q6がそれぞれ5チップ並列に配置される点も同じである。

[0122] 但し、第2絶縁基板20のU側の導電層14Uから、柱状電極37₁₁を介して第1絶縁基板10の導電層14Dに正電源が供給される関係から、半導体デバイスQ1～Q6の配列順が変わる。パワーモジュール200の半導体デバイスの配列順Q4、Q1、Q5、Q2、Q6、Q3の並びに対して、パワーモジュール300ではQ1、Q4、Q2、Q5、Q3、Q6の順に半導体デバイスが配列される。

[0123] 第1絶縁基板10のU側の導電層14Dは、U相用に、ゲート信号電極パターン40₁とソースセンス信号電極パターン41₁と第1ドレイン電極パターン43₁と第2ドレイン電極パターン43₂とソースセンス信号電極パターン41₄とゲート信号電極パターン40₄とを備える。

[0124] V相用に、ゲート信号電極パターン40₂とソースセンス信号電極パターン41₂と第3ドレイン電極パターン43₃と第4ドレイン電極パターン43₄とソースセンス信号電極パターン40₅とゲート信号電極パターン40₅とを備える。

[0125] W相用に、ゲート信号電極パターン40₃とソースセンス信号電極パターン41₃と第5ドレイン電極パターン43₅と第6ドレイン電極パターン43₆とソースセンス信号電極パターン41₆とゲート信号電極パターン40₆とを備える。

[0126] ゲート信号電極パターン40₁と半導体デバイスQ1のU側の表面のゲート信号電極パッド（図示省略）とが、ボンディングワイヤで接続される。また、ソースセンス信号電極パターン41₁と半導体デバイスQ1のU側の表面の

ソース信号電極パッド（図示省略）とが、ボンディングワイヤで接続される。ボンディングワイヤは、太い実線で示し参照符号は省略する。

[0127] ゲート信号電極パターン40₁とソースセンス信号電極パターン41₁には、外部取り出し用のゲート端子GT1およびソースセンス端子SST1が半田付けなどによって接続される。他のV相とW相についても同じである。

[0128] パワーモジュール300における電流の経路は、正側電力端子P、第2絶縁基板20のU側の正極パターン（6U）、半導体デバイスQ1₁が配置された第1ドレイン電極パターン43₁と正極パターンとを接続する柱状電極37₁₁、半導体デバイスQ1₁のソース電極と半導体デバイスQ4₁が配置された第2ドレイン電極パターン43₂を接続する平板状のリード部材46₁₁、半導体デバイスQ4₁のU側の主電極と第1絶縁基板24のD側の導電層6Uを接続する柱状電極33₁₁、負極パターン（14U）、負側電力端子N、の順である。

[0129] 柱状電極37₁₁のU側の先端は、第2絶縁基板20のD側の表面に四角形37₁₁で示す部分に接続される。柱状電極33₁₁のU側の先端は、第2絶縁基板20のD側の表面のいずれかの箇所に接続すれば良い。よって、図17において、その部分の表記は省略する。

[0130] この電流経路は、並列に接続される他の4チップについても、半導体デバイスQ1、Q4及び柱状電極33、37の添え字の番号が変わるだけで同じである。

[0131] V相、W相の電流経路についての説明は、図16と図17に参照符号を表記することで省略する。

[0132] 以上説明したように、第2絶縁基板20のU側の導電層14Uを正極パターン、D側の導電層6Uを負極パターンにしても第2の実施の形態と同じ作用効果が得られる。

[0133] （製造方法）

第3の実施の形態のパワーモジュール300の製造方法について説明する。

[0134] パワーモジュール300の第2絶縁基板24を正側電力端子P及び負側電力端子N側から見た側面図は、図19に示すように表される。また、同第2絶縁基板20のD側を図17の矢印A方向から見た模式的鳥瞰構成図は、図20に示すように表される。

[0135] また、パワーモジュール300の第1絶縁基板10の実装前の模式的平面図は、図21に示すように表される。同第1絶縁基板10に半導体デバイスQ1～Q6と柱状電極33, 37を実装後の図21の矢印B方向から見た模式的鳥瞰構成図は、図22に示すように表される。また、図21の矢印C方向から見た模式的鳥瞰構成図は、図23に示すように表される。

[0136] また、パワーモジュール300の第1絶縁基板10を、第2絶縁基板20に接合する直前の様子を図21の矢印C方向から見た模式的鳥瞰構成図は、図24に示すように表される。また、同第1絶縁基板10を第2絶縁基板20に接合した後の模式的平面図は、図25に示すように表される。また、樹脂封止後のパワーモジュール300の模式的平面図は、図26に示すように表される。また、樹脂封止後の外観を、矢印C方向から見た模式的鳥瞰構成図は、図27に示すように表される。

(a) まず、図20に示すように、第2絶縁基板20のD側の導電層6Uを、ビアホールと短絡しないようにパターニングする。第2絶縁基板20と第1絶縁基板10としては、例えばAMB基板、DBC (Direct Bonding Copper) 基板、DBA (Direct Brazed Aluminum) 基板なども適用可能である。パターニング後、正側電力端子Pと負側電力端子Nが半田付けなどによって接続される。なお、図19において、ビアホールの表記は省略し、柱状電極37₁₁～37₃₄が接続する部分を四角形37₁₁～37₃₄で表記している。

(b) 次に、第1絶縁基板10のU側の導電層14Dをパターニングする。パターニング工程の結果として、ゲート信号電極パターン40₁～40₆、ソースセンス信号電極パターン41₁～41₆、第1ドレイン電極パターン43₁、第2ドレイン電極パターン43₂、第3ドレイン電極パターン43₃、第4ドレイン電極パターン43₄、第5ドレイン電極パターン43₅、第6ドレイ

ン電極パターン43₆が形成される。パターニング後、出力端子U、V、W、ゲート信号端子GT1～GT4、ソースセンス信号端子SST1～6が半田付けなどによって接続される。

(c) 次に、第1絶縁基板10の電極パターン上に、半導体デバイスQ1～Q6を実装する。そして、第1ドレイン電極パターン43₁と第3ドレイン電極パターン43₃と第5ドレイン電極パターン43₅のU側の表面に、それぞれ柱状電極37₁、37₂、37₃を形成し、半導体デバイスQ4、Q5、Q6のU側の主電極（この場合、ソース電極）に、それぞれ柱状電極33₁、33₂、33₃を形成する。つまり、半導体デバイスの主電極と導電層の表面のそれぞれに、少なくとも1個の柱状電極を形成する（図22と23参照）。

(d) 次に、柱状電極37₁、37₂、37₃のそれぞれのU側の先端と第2絶縁基板20のD側の導電層6Uに四角形37₁₁～37₃₄で示す部分とを接続し、同時に柱状電極33₁、33₂、33₃のそれぞれのU側の先端と第2絶縁基板D側の導電層6Uとを接続する。つまり、柱状電極33、37のいずれか一方の先端を、第1絶縁基板10と対向して配置される第2絶縁基板20の一方の面の導電層に接続し、他方の柱状電極33、37の先端を、第2絶縁基板20の他方の面の導電層に接続する。

(e) 次に、第1絶縁基板10と第2絶縁基板20を、モールド樹脂15で封止する。更に、半導体デバイスQ1～Q6が配置された第1絶縁基板10の下側の裏面及び第2絶縁基板20の上側の表面のいずれか一方若しくは両方に冷却器を搭載しても良い。

[0137] (パワーモジュールの具体例)

第1～3の実施の形態に係るパワーモジュール50であって、ワンインワンモジュールのSiCMOSFETの模式的回路表現は、図28(a)に示すように表され、ワンインワンモジュールのIGBTの模式的回路表現は、図28(b)に示すように表される。

[0138] 図28(a)には、MOSFETQに逆並列接続されるダイオードDIが示されている。MOSFETQの主電極は、ドレイン端子DTおよびソース

端子STで表される。同様に、図28(b)には、IGBTQに逆並列接続されるダイオードDIが示されている。IGBTQの主電極は、コレクタ端子CTおよびエミッタ端子ETで表される。

[0139] また、実施の形態に係るパワーモジュール50であって、ワンインワンモジュールのSiCMOSFETの詳細回路表現は、図29に示すように表される。

[0140] 第1～3の実施の形態に係るパワーモジュール50は、例えば、ワンインワンモジュールの構成を備える。すなわち、1個のMOSFETQが1つのモジュールに内蔵されている。一例として5チップ(MOSFET×5)搭載可能であり、それぞれのMOSFETQは、5個まで並列接続可能である。尚、5チップの内、一部をダイオードDI用として搭載することも可能である。

[0141] さらに詳細には、図29に示すように、MOSFETQに並列にセンス用MOSFETQsが接続される。センス用MOSFETQsは、MOSFETQと同一チップ内に、微細トランジスタとして形成されている。図29において、SSは、ソースセンス端子、CSは、電流センス端子であり、Gは、ゲート信号端子である。尚、実施の形態においても半導体デバイスQには、センス用MOSFETQsが同一チップ内に、微細トランジスタとして形成されている。

[0142] また、実施の形態に係るパワーモジュール50Tであって、ツーインワンモジュールのSiCMOSFETの模式的回路表現は、図30(a)に示すように表される。

[0143] 図30(a)に示すように、2個のMOSFETQ1・Q4と、MOSFETQ1・Q4に逆並列接続されるダイオードD1・D4が1つのモジュールに内蔵されている。G1は、MOSFETQ1のゲート信号端子であり、S1は、MOSFETQ1のソース端子である。G4は、MOSFETQ4のゲート信号端子であり、S4は、MOSFETQ4のソース端子である。Pは、正側電源入力端子であり、Nは、負側電源入力端子であり、Oは、出

力端子である。

[0144] また、実施の形態に係るパワーモジュール50Tであって、ツーインワンモジュールのIGBTの模式的回路表現は、図30(b)に示すように表される。図30(b)に示すように、2個のIGBTQ1・Q4と、IGBTQ1・Q4に逆並列接続されるダイオードD1・D4が1つのモジュールに内蔵されている。G1は、IGBTQ1のゲート信号端子であり、E1は、IGBTQ1のエミッタ端子である。G4は、IGBTQ4のゲート信号端子であり、E4は、IGBTQ4のエミッタ端子である。Pは、正側電源入力端子であり、Nは、負側電源入力端子であり、Oは、出力端子である。

[0145] (半導体デバイスの構成例)

第1～3の実施の形態に適用可能な半導体デバイスの例であって、SiCMOSFETの模式的断面構造は、図31(a)に示すように表され、IGBTの模式的断面構造は、図31(b)に示すように表される。

[0146] 第1～3の実施の形態に適用可能な半導体デバイス110(Q)の例として、SiCMOSFETの模式的断面構造は、図31(a)に示すように、n-高抵抗層からなる半導体基板126と、半導体基板126の表面側に形成されたpボディ領域128と、pボディ領域128の表面に形成されたソース領域130と、pボディ領域128間の半導体基板126の表面上に配置されたゲート絶縁膜132と、ゲート絶縁膜132上に配置されたゲート電極138と、ソース領域130およびpボディ領域128に接続されたソース電極134と、半導体基板126の表面と反対側の裏面に配置されたn⁺ドレイン領域124と、n⁺ドレイン領域124に接続されたドレイン電極136とを備える。

[0147] 図31(a)では、半導体デバイス110は、プレーナゲート型nチャネル縦型SiCMOSFETで構成されているが、後述する図35に示すように、nチャネル縦型SiCTMOSFETなどで構成されていても良い。

[0148] また、第1～3の実施の形態に適用可能な半導体デバイス110(Q)に

は、SiC MOSFETの代わりに、GaN系FETなどを採用することもできる。

[0149] 第1～3の実施の形態に適用可能な半導体デバイス110には、SiC系、GaN系のいずれかのパワーデバイスを採用可能である。

[0150] さらに、実施の形態に適用可能な半導体デバイス110には、バンドギャップエネルギーが、例えば、1.1 eV～8 eVの半導体を用いることができる。

[0151] 同様に、第1～3の実施の形態に適用可能な半導体デバイス110A (Q) の例として、IGBTは、図31 (b) に示すように、n-高抵抗層からなる半導体基板126と、半導体基板126の表面側に形成されたpボディ領域128と、pボディ領域128の表面に形成されたエミッタ領域130Eと、pボディ領域128間の半導体基板126の表面上に配置されたゲート絶縁膜132と、ゲート絶縁膜132上に配置されたゲート電極138と、エミッタ領域130Eおよびpボディ領域128に接続されたエミッタ電極134Eと、半導体基板126の表面と反対側の裏面に配置されたp⁺コレクタ領域124Pと、p⁺コレクタ領域124Pに接続されたコレクタ電極136Cとを備える。

[0152] 図31 (b) では、半導体デバイス110Aは、プレーナゲート型のnチャネル縦型IGBTで構成されているが、トレンチゲート型nチャネル縦型IGBTなどで構成されていても良い。

[0153] 第1～3の実施の形態に適用可能な半導体デバイス110の例であって、ソースパッド電極SP、ゲートパッド電極GPを含むSiC MOSFETの模式的断面構造は、図32に示すように表される。ゲートパッド電極GPは、ゲート絶縁膜132上に配置されたゲート電極138に接続され、ソースパッド電極SPは、ソース領域130およびpボディ領域128に接続されたソース電極134に接続される。

[0154] また、ゲートパッド電極GPおよびソースパッド電極SPは、図32に示すように、半導体デバイス110の表面を覆うパッシベーション用の層間絶

縁膜 144 上に配置される。尚、ゲートパッド電極 GP およびソースパッド電極 SP の下方の半導体基板 126 内には、図 31 (a) 或いは、図 32 の中央部と同様に、微細構造のトランジスタ構造が形成されていても良い。

[0155] さらに、図 32 に示すように、中央部のトランジスタ構造においても、パッシベーション用の層間絶縁膜 144 上にソースパッド電極 SP が延在して配置されていても良い。

[0156] 第 1 ～ 3 の実施の形態に適用する半導体デバイス 110A の例であって、ソースパッド電極 SP、ゲートパッド電極 GP を含む IGBT の模式的断面構造は、図 33 に示すように表される。ゲートパッド電極 GP は、ゲート絶縁膜 132 上に配置されたゲート電極 138 に接続され、エミッタパッド電極 EP は、エミッタ領域 130E および p ボディ領域 128 に接続されたエミッタ電極 134E に接続される。

[0157] また、ゲートパッド電極 GP およびエミッタパッド電極 EP は、図 33 に示すように、半導体デバイス 110A の表面を覆うパッシベーション用の層間絶縁膜 144 上に配置される。尚、ゲートパッド電極 GP およびエミッタパッド電極 EP の下方の半導体基板 126 内には、図 31 (b) 或いは、図 33 の中央部と同様に、微細構造の IGBT 構造が形成されていても良い。

[0158] さらに、図 33 に示すように、中央部の IGBT 構造においても、パッシベーション用の層間絶縁膜 144 上にエミッタパッド電極 EP が延在して配置されていても良い。

[0159] — SiC DIMOSFET —

第 1 ～ 3 の実施の形態に適用可能な半導体デバイス 110 の例であって、SiC DIMOSFET の模式的断面構造は、図 34 に示すように表される。

[0160] SiC DIMOSFET は、図 34 に示すように、n-高抵抗層からなる半導体基板 126 と、半導体基板 126 の表面側に形成された p ボディ領域 128 と、p ボディ領域 128 の表面に形成された n⁺ソース領域 130 と、p ボディ領域 128 間の半導体基板 126 の表面上に配置されたゲート絶縁

膜 1 3 2 と、ゲート絶縁膜 1 3 2 上に配置されたゲート電極 1 3 8 と、ソース領域 1 3 0 および p ボディ領域 1 2 8 に接続されたソース電極 1 3 4 と、半導体基板 1 2 6 の表面と反対側の裏面に配置された n⁺ドレイン領域 1 2 4 と、n⁺ドレイン領域 1 2 4 に接続されたドレイン電極 1 3 6 とを備える。

[0161] 図 3 4 では、半導体デバイス 1 1 0 は、p ボディ領域 1 2 8 と、p ボディ領域 1 2 8 の表面に形成された n⁺ソース領域 1 3 0 が、ダブルイオン注入 (D I) で形成され、ソースパッド電極 S P は、ソース領域 1 3 0 および p ボディ領域 1 2 8 に接続されたソース電極 1 3 4 に接続される。ゲートパッド電極 G P (図示省略) は、ゲート絶縁膜 1 3 2 上に配置されたゲート電極 1 3 8 に接続される。また、ソースパッド電極 S P およびゲートパッド電極 G P (図示省略) は、図 3 4 に示すように、半導体デバイス 1 1 0 の表面を覆うパッシベーション用の層間絶縁膜 1 4 4 上に配置される。

[0162] S i C D I M O S F E T は、図 3 4 に示すように、p ボディ領域 1 2 8 に挟まれた n-高抵抗層からなる半導体基板 1 2 6 内に、破線で示されるような空乏層が形成されるため、接合型 F E T (J F E T) 効果に伴うチャネル抵抗 R_{JFET} が形成される。また、p ボディ領域 1 2 8 / 半導体基板 1 2 6 間には、図 3 4 に示すように、ボディダイオード B D が形成される。

[0163] — S i C T M O S F E T —

第 1 ~ 3 の実施の形態に適用可能な半導体デバイス 1 1 0 の例であって、S i C T M O S F E T の模式的断面構造は、図 3 5 に示すように表される。

[0164] S i C T M O S F E T は、図 3 5 に示すように、n 層からなる半導体基板 1 2 6 N と、半導体基板 1 2 6 N の表面側に形成された p ボディ領域 1 2 8 と、p ボディ領域 1 2 8 の表面に形成された n⁺ソース領域 1 3 0 と、p ボディ領域 1 2 8 を貫通し、半導体基板 1 2 6 N まで形成されたトレンチの内にゲート絶縁層 1 3 2 および層間絶縁膜 1 4 4 U ・ 1 4 4 B を介して形成されたトレンチゲート電極 1 3 8 T G と、ソース領域 1 3 0 および p ボディ領域 1 2 8 に接続されたソース電極 1 3 4 と、半導体基板 1 2 6 N の表面と反

対側の裏面に配置された n^+ ドレイン領域124と、 n^+ ドレイン領域124に接続されたドレイン電極136とを備える。

[0165] 図35では、半導体デバイス110は、 p ボディ領域128を貫通し、半導体基板126Nまで形成されたトレンチ内にゲート絶縁層132および層間絶縁膜144U・144Bを介して形成されたトレンチゲート電極138TGが形成され、ソースパッド電極SPは、ソース領域130および p ボディ領域128に接続されたソース電極134に接続される。ゲートパッド電極GP（図示省略）は、ゲート絶縁膜132上に配置されたゲート電極138に接続される。また、ソースパッド電極SPおよびゲートパッド電極GP（図示省略）は、図35に示すように、半導体デバイス110の表面を覆うパッシベーション用の層間絶縁膜144U上に配置される。

[0166] SiC TMOSFETでは、SiC DIMOSFETのような接合型FET（JFET）効果に伴うチャネル抵抗 R_{JFET} は形成されない。また、 p ボディ領域128／半導体基板126N間には、ボディダイオードBDが形成される。

[0167] 3相交流インバータ140の模式的回路構成において、半導体デバイスとしてSiC MOSFETを適用し、電源端子PL、接地端子NL間にスナバコンデンサCを接続した回路構成例は、図36（a）に示すように表される。同様に、3相交流インバータ140Aの模式的回路構成において、半導体デバイスとしてIGBTを適用し、電源端子PL、接地端子NL間にスナバコンデンサCを接続した回路構成例は、図36（b）に示すように表される。

[0168] SiC MOSFETやIGBTを電源Eと接続する際、接続ラインの有するインダクタンスLによって、SiC MOSFETやIGBTのスイッチング速度が速いため、大きなサージ電圧 $L di/dt$ を生ずる。例えば、電流変化 $di = 300\text{ A}$ 、スイッチングに伴う時間変化 $dt = 100\text{ nsec}$ とすると、 $di/dt = 3 \times 10^9 (\text{A/s})$ となる。インダクタンスLの値により、サージ電圧 $L di/dt$ の値は変化するが、電源Vにこのサージ電

圧 $L di/dt$ が重畳される。電源端子 PL と接地端子 NL 間に接続されるスナバコンデンサ C によって、このサージ電圧 $L di/dt$ を吸収することができる。

[0169] (パワーモジュールを適用した応用例)

次に、図 37 を参照して、半導体デバイスとして SiC MOSFET を適用した第 1 ～ 3 の実施の形態に係るパワーモジュールを用いて構成した 3 相交流インバータ 140 について説明する。

[0170] 図 37 に示すように、3 相交流インバータ 140 は、ゲートドライブ部 150 と、ゲートドライブ部 150 に接続された半導体装置部 152 と、3 相交流モータ部 154 とを備える。半導体装置部 152 は、3 相交流モータ部 154 の U 相、V 相、W 相に対応して、U 相、V 相、W 相のインバータが接続されている。ここで、ゲートドライブ部 150 は、 SiC MOSFET $Q1 \cdot Q4$ 、 SiC MOSFET $Q2 \cdot Q5$ 、および SiC MOSFET $Q3 \cdot Q6$ に接続されている。

[0171] 半導体装置部 152 は、蓄電池 (E) 146 が接続されたコンバータ 148 のプラス端子 (+) とマイナス端子 (-) 間に接続され、インバータ構成の SiC MOSFET $Q1 \cdot Q4$ 、 $Q2 \cdot Q5$ 、および $Q3 \cdot Q6$ を備える。また、 SiC MOSFET $Q1 \sim Q6$ のソース・ドレイン間には、フリーホイールダイオード $D1 \sim D6$ がそれぞれ逆並列に接続されている。

[0172] 次に、図 38 を参照して、半導体デバイスとして IGBT を適用した第 1 ～ 3 の実施の形態に係るパワーモジュール 20T を用いて構成した 3 相交流インバータ 140A について説明する。

[0173] 図 38 に示すように、3 相交流インバータ 140A は、ゲートドライブ部 150A と、ゲートドライブ部 150A に接続された半導体装置部 152A と、3 相交流モータ部 154A とを備える。半導体装置部 152A は、3 相交流モータ部 154A の U 相、V 相、W 相に対応して、U 相、V 相、W 相のインバータが接続されている。ここで、ゲートドライブ部 150A は、IGBT $Q1 \cdot Q4$ 、IGBT $Q2 \cdot Q5$ 、および IGBT $Q3 \cdot Q6$ に接続さ

れている。

[0174] 半導体装置部 152A は、蓄電池 (E) 146A が接続されたコンバータ 148A のプラス端子 (+) とマイナス端子 (-) 間に接続され、インバータ構成の IGBTQ1・Q4、Q2・Q5、および Q3・Q6 を備える。さらに、IGBTQ1～Q6 のエミッタ・コレクタ間には、フリーホイールダイオード D1～D6 がそれぞれ逆並列に接続されている。

[0175] 第 1～3 の本実施の形態に係るパワーモジュールは、ワンインワン、ツーインワン、フォーインワン、シックスインワンのいずれかに構成可能である。

[0176] (冷却器を備えるパワーモジュールの構成例)

冷却器 72 を備えた第 1～3 の実施の形態に係るパワーモジュール 190 の模式的構造断面図は、図 39 に示すように表される。パワーモジュール 190 は、第 1～3 の実施の形態の基本構成を説明したパワーモジュール 90 に、冷却器 72 を装着したものである。

[0177] パワーモジュール 190 は、パワーモジュール 90、絶縁板 70、伝熱板 71、冷却器 72、とを備える。

[0178] 絶縁板 70 は、パワーモジュール 90 を構成する第 2 絶縁基板 20 の U 側の面と接触するように配置される。絶縁板 70 は、この例ではバスバー BP である第 2 絶縁基板 20 の U 側の導電層 14U と、冷却器 72 を絶縁するためのものである。

[0179] 絶縁板 70 の U 側の面には、伝熱板 71 が配置され、更に U 側に冷却器 72 が配置される。冷却器 72 は、この例では空冷方式のフィンである。なお、水冷方式の冷却器を適用しても良い。また、必ずしも伝熱板 71 を備えなくても良い。パワーモジュール 190 によれば、第 2 絶縁基板 20 から熱を効率よく放熱することができる。

[0180] また、冷却器 72 は、パワーモジュール 90 を構成する第 1 絶縁基板 10 の D 側の面と接触させるようにしても良い。つまり、冷却器 72 は、半導体デバイス Q1、Q4 が配置された面と異なる面 (第 1 絶縁基板の下面側の裏

面) 若しくは第2絶縁基板20の第1絶縁基板10と対向しない面(第2絶縁基板の上面側の表面)のいずれか一方若しくは両方に配置されていても良い。

[0181] 以上説明したように、第1～3の実施の形態によれば、同一平面上にバスバーBP、BNを配置する必要がなくなるので、パワーモジュールの平面サイズを小型化できる。また、各U相、V相、W相のソース電極パターンに流れる電流の向きを反対にするので、電流によって生じる磁束を相殺し、インダクタンスを減少させることができる。また、パワーモジュールの反りを低減するので、その信頼性を向上させることができる。

[0182] [第4～6の実施の形態の基本技術]

第4～6の実施の形態の基本技術に係るパワーモジュール100Aの主要部の模式的平面図は、図40に示すように表され、半導体デバイス(チップ)として例えばSiC MOSFETを適用した図40に対応したツインワンモジュールの回路構成は、図2に示すように表される。また、図40のI-A-I A線に沿う模式的断面構造は、図41に示すように表される。

[0183] パワーモジュール100Aは、絶縁基板8と、絶縁基板8上に配置された電流センスパターン21・ソースセンスパターン22・ソース電極パターン1・出力電極パターン2・ドレイン電極パターン3・ゲート電極パターン9・ソースセンスパターン11と、出力電極パターン2上に配置される複数の半導体デバイスQ4と、夫々の半導体デバイスQ4のソース電極とソース電極パターン1間に夫々接続されたリード部材12と、ドレイン電極パターン3上に配置される複数の半導体デバイスQ1と、夫々の半導体デバイスQ1のソース電極(S1)と出力電極パターン2間に夫々接続されたリード部材13と、ソース電極パターン1を外部に取り出す負側電力端子Nと、ドレイン電極パターン3を外部に取り出す正側電力端子Pと、出力電極パターン2を外部に取り出す出力端子Oと、を備える。また、端子T24～CS4と端子CS1～SS1は、各半導体デバイスQ1・Q4の動作を制御する制御端子である。図40、図2において、その詳細な表記は省略している。

[0184] 基本技術の半導体デバイスQ1とQ4は、例えばSiC MOSFETである。図40において、半導体デバイスQ1とQ4は、それぞれ5チップ並列に配置されている例が示されている。

[0185] パワーモジュール100Aの主要部は、モールド樹脂15によって封止される。絶縁基板8は、例えば両面に導電層を有する基板であって、半導体デバイスQ1・Q4が実装される面と反対側の導電層6が、例えば外部に露出する（図41参照）。

[0186] 正側電力端子Pとドレイン電極パターン3、負側電力端子Nとソース電極パターン1、および出力端子Oと出力電極パターン2とは、例えば半田付けなどによって接続される。同様に、ソース電極パターン1と半導体デバイスQ4のソース電極（S4）と、出力電極パターン2と半導体デバイスQ1のソース電極（S1）とは、それぞれリード部材12・13で接続される。半田付けには実装スペースが必要なため、特にリード部材12・13による接続は、パワーモジュール100Aの平面形状を大型化する。

[0187] この例では、リード部材12・13によって複数の半導体デバイスQ1・Q4の配列方向と夫々直交する方向の平面形状が大きくなり、小型化が難しい。

[0188] [第4の実施の形態]

第4の実施の形態に係るパワーモジュール100の主要部を示す模式的平面図は、図42に示すように表される。また、パワーモジュール100を構成する第1絶縁基板10と第2絶縁基板20の模式的断面構造図は、図7（a）および図7（b）と同様に表される。また、図42に示すI-I'線に沿う模式的断面構造図は、図43に示すように表される。半導体デバイス（チップ）として例えばSiC MOSFETを適用したパワーモジュール100の回路構成は、第1～3の実施の形態の基本技術（図2）と同じである。

[0189] パワーモジュール100は、第1絶縁基板10と、第1絶縁基板10の上方に配置された第2絶縁基板20と、第1絶縁基板10の上に配置され、表

面に第1主電極と第1制御電極とを有する第1半導体デバイス $Q_{41} \cdot Q_{42}$ とを備え、第1主電極は、第1絶縁基板10と第2絶縁基板20との重畳部 $SP1 \cdot SP2$ に配置され、第1半導体デバイス $Q_{41} \cdot Q_{42}$ の第1制御電極は、第1絶縁基板10と第2絶縁基板20との非重畳部 $NSP1$ に配置される。

[0190] パワーモジュール100は、ツーインワンモジュールを、第1絶縁基板10と第2絶縁基板20とを積層する構成で実現したものであり、第2絶縁基板20の少なくとも一部が第1絶縁基板10に重畳しており、第2絶縁基板20の残り部分が第1絶縁基板10に重畳していない（非重畳）。主電極とは、ソース電極・ドレイン電極のことである。制御電極は、ゲート電極のことである。

[0191] 図42に示すパワーモジュール100は、第1絶縁基板10・第1半導体デバイス Q_{41} 、 Q_{42} ・出力端子O・ゲート端子 $GT4$ ・第2絶縁基板20・第2半導体デバイス Q_{11} 、 Q_{12} ・正側電力端子P・負側電力端子N・ゲート端子 $GT1$ を備える。第1半導体デバイス $Q_{41} \cdot Q_{42}$ は、第1絶縁基板10に配置され、出力端子Oとゲート端子 $GT4$ は、第1絶縁基板10に接続される。第2半導体デバイス $Q_{11} \cdot Q_{12}$ は、第2絶縁基板20に配置され、正側電力端子Pと負側電力端子Nとゲート端子 $GT1$ は第2絶縁基板20に接続される。

[0192] 図42に示す第1絶縁基板10と第2絶縁基板20の形状は、例えば四角形を呈している。なお、基板の形状は、四角形に限定する必要はない。

[0193] ここで、図43において、第2絶縁基板20側をU側（上）、第1絶縁基板10側をD側（下）と定義する。この定義は、以降に示す全ての図面に適用する。

[0194] 第1絶縁基板10及び第2絶縁基板20としては、例えばAMB（Active Metal Brazed, Active Metal Bond）基板などを適用可能である。第1絶縁基板10は、絶縁基板8Dの上（U：UP）側に導電層14D、下（D：DOWN）側に導電層6Dを備える（図7（b））。第2絶縁基板20は、絶縁

基板 8 U の U 側に導電層 1 4 U、D 側に導電層 6 U を備える（図 7（a））。第 1 絶縁基板 1 0 上側および下側、第 2 絶縁基板 2 0 の上側および下側の表現についても以下同様に記載する。また、以下の実施の形態において、導電層 1 4 D、導電層 6 D、導電層 1 4 U、及び導電層 6 U の表記は固定とし、Cu や Al からなる配線パターンを有する。

[0195] 図 4 2 および図 4 3 に示す例では、導電層 1 4 D は、第 1 ゲート電極パターン 1 4 D₁・出力電極パターン 1 4 D₂ を備える。第 1 ゲート電極パターン 1 4 D₁ は、第 1 絶縁基板 1 0 の一辺に沿う細長い長方形で配置されている。出力電極パターン 1 4 D₂ は、第 1 ゲート電極パターン 1 4 D₁ と離隔して（絶縁して）ほぼ第 1 絶縁基板 1 0 の全面に配置されている。

[0196] また、第 1 絶縁基板 1 0 に対向して配置される第 2 絶縁基板 2 0 の D 側の導電層 6 U は、第 2 ゲート電極パターン 6 U₁・ドレイン電極パターン 6 U₂・負極パターン 6 U₃ を備え、それぞれが離隔して導電層 6 U 全体を構成している。第 2 ゲート電極パターン 6 U₁ は、パワーモジュール 1 0 0 の平面視において、第 1 ゲート電極パターン 1 4 D₁ と反対の一辺に沿う細長い長方形で配置され、ドレイン電極パターン 6 U₂ は、正側電力端子 P の幅よりも大きな幅で、第 2 ゲート電極パターン 6 U₁ と平行して配置され、さらに負極パターン 6 U₃ は、ドレイン電極パターン 6 U₂ に隣接して負側電力端子 N よりも少し太い幅で配置されている。

[0197] 第 1 絶縁基板 1 0 の第 1 ゲート電極パターン 1 4 D₁ には、第 1 半導体デバイス Q 4 のゲート電極を外部に導出するゲート端子 G T 4 が、半田付けなどによって接続されている。図 4 2 は、第 1 半導体デバイス Q 4 と第 2 半導体デバイス Q 1 とを、それぞれ 2 個用いる例を示している。

[0198] 出力電極パターン 1 4 D₂ の第 1 ゲート電極パターン 1 4 D₁ 側の縁部には、第 1 半導体デバイス Q 4₁・Q 4₂ がゲート電極をゲート信号パターン 1 4 D₁ 側に向けて配置されている。

[0199] 一方、第 1 絶縁基板 1 0 に対向して配置される第 2 絶縁基板 2 0 のドレイン電極パターン 6 U₂ 上には、第 2 半導体デバイス Q 1₁・Q 1₂ のゲート電極

が、第1半導体デバイス $Q_{41} \cdot Q_{42}$ のゲート電極と反対の向きに配置されている。

[0200] つまり、第1非重畳部 $NSP1$ と、第2非重畳部 $NSP3$ とを備え、平面視において第1制御電極は第1非重畳部 $NSP1$ に配置され、第2制御電極は第2非重畳部 $NSP3$ に配置される。以降、第1非重畳部 $NSP1 \cdot$ 第2非重畳部 $NSP3$ の第1・第2は省略する。具体的には、平面視において、第1半導体デバイス $Q_{41} \cdot Q_{42}$ のゲート電極が第2絶縁基板 20 と重ならない位置、および第2半導体デバイス $Q_{11} \cdot Q_{12}$ のゲート電極が第1絶縁基板 10 と重ならない位置で、第1絶縁基板 10 と第2絶縁基板 20 とが接続されている。非重畳部は、ゲート逃げ部と称しても良い部分である。

[0201] また、同時に、第1半導体デバイス $Q_{41} \cdot Q_{42}$ のU側の主電極であるソース電極は、第2絶縁基板 20 の負極電力パターン $6U_3$ と重なり、第2半導体デバイス $Q_{11} \cdot Q_{12}$ のD側の主電極であるソース電極は、第1絶縁基板 10 の出力電極パターン $14D_2$ と重なる配置で、第1絶縁基板 10 と第2絶縁基板 20 とが接続される。

[0202] 第1半導体デバイス $Q_{41} \cdot Q_{42}$ の主電極（ソース電極・ドレイン電極）は、第1導電層 $14D$ と第2導電層 $6U$ とが対向する重畳部 $SP1$ に、第2半導体デバイス $Q_{11} \cdot Q_{12}$ の主電極は、第1導電層 $14D$ と第2導電層 $6U$ とが対向する重畳部 $SP2$ に配置される。また、第1半導体デバイス $Q_{41} \cdot Q_{42}$ の制御電極は、第2導電層 $6U$ と対向しない非重畳部 $NSP1$ に、第2半導体デバイス $Q_{11} \cdot Q_{12}$ のゲート電極は、第1導電層 $14D$ と対向しない非重畳部 $NSP3$ に配置される。

[0203] 第1半導体デバイス $Q_{41} \cdot Q_{42}$ のゲート電極とゲート信号パターン $14D_1$ との間、および第2半導体デバイス $Q_{11} \cdot Q_{12}$ のゲート電極とゲート信号パターン $6U_1$ との間は、例えばボンディングワイヤで接続される。ボンディングワイヤは太い実線で示し参照符号は省略する。

[0204] パワーモジュール 100 は、第1絶縁基板 10 のU側の第1導電層 $14D$ をパターンニングして形成した出力パターン $14D_2$ と、第2絶縁基板 20 のD

側の第2導電層6Uをパターンニングにして形成した正極パターン6U₂および負極パターン6U₃とを備え、第1半導体デバイスQ4₁・Q4₂の第1主電極は、出力パターン14D₂に接続され、第1半導体デバイスQ4₁・Q4₂の第2主電極は、負極パターン6U₃に接続され、第2半導体デバイスQ1₁、Q1₂の第1主電極は、正極パターン6U₂に接続され、第2半導体デバイスQ1₁、Q1₂の第2主電極は、出力パターン14D₂に接続される。

[0205] 第1半導体デバイスQ4₁と第2半導体デバイスQ1₂とが配置された部分の断面図である図43を参照してその接続関係を説明する。なお、接続関係は、隣接して配置される第1半導体デバイスQ4₂と第2半導体デバイスQ1₁との間についても同じである。

[0206] 第1半導体デバイスQ4₁の主電極は重畳部SP1に配置され、第2半導体デバイスQ1₂の主電極は重畳部SP2に配置される。また、第1半導体デバイスQ4₁の制御電極は、非重畳部NSP1に、第2半導体デバイスQ1₂の制御電極は非重畳部NSP3に配置される。そして、第1半導体デバイスQ4₁と第2半導体デバイスQ1₂との間に、非重畳部NSP2が設けられる。非重畳部NSP2は、パターンニングによって形成される。

[0207] 第2半導体デバイスQ1₁のU側の主電極であるドレイン電極は、正側電力端子Pが接続されたドレイン電極パターン6U₂に接続される。また、第2半導体デバイスQ1₁のD側の主電極であるソース電極は、出力電極パターン14D₂に接続される。

[0208] 出力電極パターン14D₂にドレイン電極を接続する第1半導体デバイスQ4₁のU側のソース電極は、第2絶縁基板20の負極電力パターン6U₃に接続される。負極電力パターン6U₃は、負側電力端子Nを介して外部に導出される。

[0209] 第1半導体デバイスQ4₁と第2半導体デバイスQ1₁とが同時に導通したと仮定すると、電流は、正側電力端子P→ドレイン電極パターン6U₂→第2半導体デバイスQ1₁→出力電極パターン14D₂→第1半導体デバイスQ4₁→負極電力パターン6U₃→負側電力端子Nの順に流れる。

- [0210] 図44に、第1半導体デバイス $Q_{41} \cdot Q_{42}$ を実装した後の第1絶縁基板10と、第2半導体デバイス $Q_{11} \cdot Q_{12}$ を実装した後の第2絶縁基板20の図42のGT1端子方向から見た模式的側面図を示す。なお、図44において、重畳部 $SP1 \cdot SP2$ 、および非重畳部 $NSP1 \cdot NSP2$ の位置関係の表記は省略している。
- [0211] 図41～図43に示すように、重畳部 $SP1 \cdot SP2$ および非重畳部 $NSP1 \cdot NSP3$ は、平面視において、第1絶縁基板10に対する第2絶縁基板20の位置をずらして配置される。
- [0212] 図45に示すように、第1絶縁基板10に対する第2絶縁基板20のずらし方には、いろいろな形が考えられる。図45(a)は、ほぼ同じ大きさの第1絶縁基板10と第2絶縁基板20を、比較的広い範囲で重ねた例を示す。図45(b)は、ほぼ同じ大きさの第1絶縁基板10と第2絶縁基板20を、一部分だけ重ねた例を示す。図45(c)は、大きさの異なる第1絶縁基板10と第2絶縁基板20を、一部分だけ重ねた例を示す。なお、第1絶縁基板10と第2絶縁基板20の形状は、四角形に限られない。よって、基板形状を考慮すると、第1・第2絶縁基板10・20の重ね方は多様である。
- [0213] 以上説明したパワーモジュール100は、リード部材12・13等の配線用の部品を用いていない。リード部材12・13を用いるのではなく、ボンディングワイヤを用いることにより、第1半導体デバイス $Q_{41} \cdot Q_{42}$ と第2半導体デバイス $Q_{11} \cdot Q_{12}$ との間の距離を短くすることができる。つまり、第4の実施の形態の構成によれば、パワーモジュールの平面形状を小型化することができる。また、第1絶縁基板10と第2絶縁基板20は、半導体デバイスのチップの厚さ分を共有するように対向配置されているので、パワーモジュールをチップの厚み分極薄型化できるとともに、重畳部 SP の分小型化することができる。また、部品点数を削減することでパワーモジュールの信頼性も向上させることができる。更には、樹脂モールドから露出する端子を重ねないように配置できるので、端子の厚みをできるだけ厚くして

インダクタンスを低減することができる。

[0214] なお、非重畳部を2個備える例で説明したが、非重畳部は1個でも構わない。次に、1個の非重畳部を備える変形例のパワーモジュール100Bについて説明する。

(変形例)

変形例のパワーモジュール100Bの模式的平面図は、図46に示すように表される。また、図46のIII A-III A線に沿う模式的断面構造は、図47に示すように表される。

[0215] パワーモジュール100Bは、第2半導体デバイス Q_{12} がフェイスダウンで配置される点と柱状電極17を備え、非重畳部NSP1が1個である点でパワーモジュール100と異なる。パワーモジュール100Bは、半導体デバイス($Q_{41} \cdot Q_{12}$)が2個の例で説明する。

[0216] パワーモジュール100Bは、第2絶縁基板20の上に配置された第2半導体デバイス Q_{12} とを備え、第2半導体デバイス Q_{12} の第2制御電極は、非重畳部NSP1に配置される。

[0217] 第2半導体デバイス Q_{12} は、フェイスダウンで第1絶縁基板10のD側の導電層6Uに配置される。つまり、第2半導体デバイス Q_{12} のソース電極は、第2絶縁基板20のD側の導電層6Uに形成されたソース電極パターン6U₄に接続される。

[0218] 第2半導体デバイス Q_{12} のドレイン電極は、第1絶縁基板10のU側の導電層14Dに形成されたドレイン電極パターン14D₃に接続される。ドレイン電極パターン14D₃は、正側電力端子Pによって外部に導出される。

[0219] 第2半導体デバイス Q_{12} のソース電極は、ソース電極パターン6U₄と柱状電極17を介して第1絶縁基板10のU側の導電層14Dに形成された出力電極パターン14D₂に接続される。出力電極パターン14D₂は、出力端子Oによって外部に導出される。

[0220] 出力電極パターン14D₂にソース電極を接続する第1半導体デバイス Q_{41} のドレイン電極は、第2絶縁基板20のD側に形成された負極電力パターン

6 U₃に接続される。負極電力パターン6 U₃は、負極電力端子Nによって外部に導出される。

[0221] このように、非重畳部は1個でもパワーモジュールを構成することが可能である。

[0222] [第5の実施の形態]

第5の実施の形態に係るパワーモジュール200を構成する第1絶縁基板10の実装後の模式的平面図は、図48(a)に示すように表される。また、パワーモジュール200の第2絶縁基板20の実装後の模式的平面図は、図48(b)に示すように表される。また、図48に示す第1絶縁基板10と第2絶縁基板20とを、各絶縁基板の一端部が対向する絶縁基板に搭載された半導体デバイスと一部重なるように重ね合わせた時のIV A-IV A線に沿う模式的断面構造は、図49に示すように表される。

[0223] パワーモジュール200は、第1半導体デバイスQ4と第2半導体デバイスQ1とを、それぞれ5個並列で構成したツインワンモジュールである。パワーモジュール200は、ツインワンモジュールを、第1絶縁基板10と第2絶縁基板20とを積層する構成で実現した点でパワーモジュール100と同じである。

[0224] パワーモジュール200は、第1絶縁基板10・第1半導体デバイスQ4₁～Q4₅・出力端子O・ゲート端子GT4・ソースセンス端子SS4・第2絶縁基板20・第2半導体デバイスQ1₁～Q1₅・正側電力端子P・負側電力端子N・ゲート端子GT1・ソースセンス端子SS1を備える。

[0225] 第1導電層14Dは、複数の第1半導体デバイスQ4₁～Q4₅の同一種別の主電極（ドレイン電極）に接続される第1共通電極パターン14D₂を備え、第2導電層6Uは、複数の第2半導体デバイスQ1₁～Q1₅の同一種別の主電極（ドレイン電極）に接続される第2共通電極パターン6U₂を備える。

[0226] また、第1共通電極パターン14D₂と第2共通電極パターン6U₂とは、第2半導体デバイスQ1₁～Q1₅を介して接続される。

[0227] 第5の実施の形態において、第1絶縁基板10の形状は、長方形の例で示

す。第1絶縁基板10のU側の導電層14Dに、第1ゲート電極パターン14D₁・出力電極パターン14D₂・ソースセンスパターン14D₃が、それぞれ離隔して配置される。

[0228] 出力電極パターン14D₂は、例えば、第1絶縁基板10の長辺に沿って長く、一方の短辺に沿って屈曲した形状である。出力端子Oは、出力電極パターン14D₂の屈曲部14D_{2A}から第1絶縁基板10の長辺方向の外側に導出される。

[0229] 第1半導体デバイスQ4₁ーQ4₅は、出力パターン14D₂の長辺の縁側に、ゲート電極を屈曲部14D_{2A}側に向けた向きで一行に配置される。

[0230] 第1ゲート電極パターン14D₁は、第1半導体デバイスQ4₁ーQ4₅のゲート電極の並びに平行するように細長い形状で配置される。ソースセンスパターン14D₃は、第1ゲート電極パターン14D₁と同じ形状であり、第1ゲート電極パターン14D₁と平行して配置される。

[0231] ゲート端子GT4は、第1ゲート電極パターン14D₁の出力端子O側の端部から、第1半導体デバイスQ4₅と反対方向の外側に導出される。ソースセンス端子SS4は、ソースセンスパターン14D₃の出力端子O側の端部から、第1半導体デバイスQ4₅と反対方向の外側に導出される。

[0232] 第1半導体デバイスQ4₁ーQ4₅が一行に並ぶ一辺と反対側の辺の縁側に破線で示す四角Q1₁SーQ1₅Sは、第2絶縁基板20に配置される第2半導体デバイスQ1₁ーQ1₅のソース電極が接続される部分である。

[0233] 第5の実施の形態において、第2絶縁基板20の形状は、第1絶縁基板10とほぼ同じ大きさの長方形である。第2絶縁基板20のD側の導電層6Uに、第2ゲート電極パターン6U₁・正極パターン6U₂・負極パターン6U₃・ソースセンスパターン6U₄が、それぞれ離隔して配置される。

[0234] 第2絶縁基板20は、裏返しして第1絶縁基板10に接続される。負極パターン6U₃は、第1半導体デバイスQ4₁ーQ4₅のソース電極と接続するパターンである。負極パターン6U₃中に破線で示す四角Q4₁SーQ4₅Sは、第1絶縁基板10に配置される第1半導体デバイスQ4₁ーQ4₅のソース電

極が接続される部分である。

- [0235] よって、負極パターン6 U₃は、裏返しすると第1半導体デバイスQ 4₁ーQ 4₅側の一辺である長辺方向に長く、一方の短辺付近で短い長さ出力電極パターン1 4 D₂と逆方向に屈曲する屈曲部6 U_{3A}を備える形状である。負側電力端子Nは、負極パターン6 U₃の屈曲部6 U_{3A}から第2絶縁基板2 0の長辺方向の外側に導出される。
- [0236] 正極パターン6 U₂は、負極パターン6 U₃と隣接し、負極パターン6 U₃と噛み合う屈曲部6 U_{2A}を備える形状である。つまり、正極パターン6 U₂は、負側電力端子Nと反対側の短辺付近で負極パターン6 U₃と逆方向に屈曲し、そのパターン幅は負極パターン6 U₃よりもやや広い形状である。正側電力端子Pは、正極パターン6 U₂の屈曲部6 U_{2A}から負側電力端子Nと反対方向の外側に導出される。
- [0237] 第2半導体デバイスQ 1₁ーQ 1₅は、ゲート電極を負極パターン6 U₃と反対側に向けた向きでソース電極をD側にして一列に配置される。負極パターン6 U₃は、第1半導体デバイスQ 4₁ーQ 4₅の同一種別の主電極に接続される共通電極パターン（第2共通電極パターン）である。
- [0238] 第2ゲート電極パターン6 U₁は、第2半導体デバイスQ 1₁ーQ 1₅のゲート電極の並びに平行するように細長い形状で配置される。ソースセンスパターン6 U₄は、第2ゲート電極パターン6 U₁と同じ形状であり、第2ゲート電極パターン6 U₁と平行して配置される。
- [0239] ゲート端子G T 1は、第2ゲート電極パターン6 U₁の正側電力端子P側の端部から、第1半導体デバイスQ 1₁と反対方向の外側に導出される。ソースセンス端子S S 1は、ソースセンスパターン6 U₄の正側電力端子P側の端部から、第1半導体デバイスQ 1₁と反対方向の外側に導出される。
- [0240] パワーモジュール2 0 0を構成する第1半導体デバイスQ 4₁ーQ 4₅と第2半導体デバイスQ 1₁ーQ 1₅との接続関係は、半導体デバイスが5個並列に接続される点のみが、パワーモジュール1 0 0と異なる。各々の半導体デバイスに注目すると、例えば第1半導体デバイスQ 4₁と第2半導体デバイス

Q 1₁との接続関係は、パワーモジュール 100と同じであり、出力パターン 14D₂（第1共通電極パターン）と負極パターン6U₃（第2共通電極パターン）とは、第1半導体デバイスQ 4₁－Q 4₅を介して接続される。

[0241] 図49に、第1半導体デバイスQ 4₁と第2半導体デバイスQ 1₁との接続部分の模式的断面構造を示す。図49中に、重畳部SP 1・SP 2、非重畳部NP 1・NP 2・NP 3および各参照符号を表記することで、説明を省略する。

[0242] なお、出力電極パターン14D₂・負極パターン6U₃・正極パターン6U₂のそれぞれは、屈曲部14D_{2A}・屈曲部6U_{3A}・屈曲部6U_{2A}を備える例を示したが、各屈曲部は、主に隣接する他の端子間の間隔を調整するためのものであり、必ずしも備えなくても良い。また、正側電力端子P・負側電力端子N・ゲート端子GT 1・ソースセンス端子SS 1等の外部と接続するための端子を備える例を示したが、これらの端子も必ずしも備えなくても良い。次に、これらの端子を変形したパワーモジュール200Aについて説明する。

（各端子の変形例）

パワーモジュール200Aは、外部接続用の別部品を備えない点でパワーモジュール200と異なる。それ以外の構成は、パワーモジュール200と同じである。

[0243] パワーモジュール200AのVA－VA（図48）に沿う模式的断面構造は、図50に示すように表される。また、V1A－V1A線に沿う模式的断面構造は、図51に示すように表される。

[0244] 図50と図51に示すように、パワーモジュール200Aの出力パターン14D₂、正極パターン6U₂、および負極パターン6U₃は、平面視において、それぞれが形成された第1絶縁基板10および第2絶縁基板20の外部に延伸して配置される。

[0245] つまり、第1絶縁基板10のU側の導電層14Dと第2絶縁基板20のD側の導電層6Uを、そのまま延長して外部と接続するようにしても良い。ま

た、屈曲部 $14D_{2A}$ 等に替えて、延長した先で、適切な形状に成形するようにしても良い。

[0246] なお、この例では、正極パターン $6U_2$ と負極パターン $6U_3$ は同じ導電層 $6U$ から導出されるのに対して、出力パターン $14D_2$ は導電層 $14D$ から導出される。よって、出力パターン $14D_2$ の高さは、他の端子と異なることになる。

[0247] 出力パターンの高さを、他の端子と合わせたい場合は、図52に示すような構成が考えられる。図52は、パワーモジュール200Aの $VIA-VIA$ 線（図48）に沿う模式的断面構造である。

[0248] 第2絶縁基板20は、出力端子 $6U_0$ を備え、出力パターン $14D_2$ は、柱状電極16を介して出力端子 $6U_0$ に接続される。

[0249] このように構成することで、全ての端子の高さをそろえることができる。

[0250] また、他の変形例も考えられる。導電層 $14D$ と導電層 $6U$ とは、例えばAMB基板の表面に形成された銅箔である。よって、大電流を流すには面積を大きくする必要がある。ただし、大面積を確保できない場合も考えられる。

[0251] そこで、大面積を確保できない場合は、図53に示すような構成が考えられる。図53は、他の変形例の $VIA-VIA$ 線に沿う模式的断面構造である。図53は、図50に対して厚さの厚い正側電力端子Pと負側電力端子Nを備える点で異なる。なお、出力端子Oの部分についての図示は、正側電力端子Pと同じであるので省略する。

[0252] パワーモジュール200は、出力パターン $14D_2$ に接続される出力端子O、正極パターン $6U_2$ に接続される正極端子P、および負極パターン $6U_3$ に接続される負極端子Nを備え、出力端子Oと正極端子Pと負極端子Nのそれぞれの厚さは、出力パターン $14D_2$ 、正極パターン $6U_2$ 、および負極パターン $6U_3$ のそれぞれの厚さよりも厚い。

[0253] 導電材料は、例えば、銅、アルミニウム、ニッケル、鉄、銀、金、などの金属材料である。また、例えばAg、W、Mo、などの金属粒子を含んだ導

電性を有する樹脂を用いても良い。

[0254] このように構成することでパワーモジュールを極薄型でかつ小型化することができる。

[0255] [第6の実施の形態]

第6の実施の形態に係るパワーモジュール300を構成する第2絶縁基板20の模式的平面図は、図54に示すように表される。また、パワーモジュール300の第2絶縁基板20の実装後の実装面側（D側）の表面は、図55に示すように表される。また、パワーモジュール300の第1絶縁基板10の実装後の実装面側（U側）の表面は、図56に示すように表される。

[0256] パワーモジュール300は、パワーモジュール200を3個並べて構成したシックスインワンモジュールである。半導体デバイス（チップ）として例えばSiC MOSFETを適用した図54～図56に対応するシックスインワンモジュールの制御端子を含まない基本的な回路構成は、図57に示すように表される。

[0257] 図58に示されるパワーモジュール300は、第1導電層14Dを備える第1絶縁基板10と、第1絶縁基板10に対向して配置され、かつ第1導電層14Dに対して対向した第2導電層6Uを備える第2絶縁基板20と、第1主電極が第1導電層14Dと接続される第1半導体デバイスQ4と、第1主電極が第2導電層20と接続される第2半導体デバイスQ1と、平面視において、第1導電層14Dと第2導電層6Uのどちらか一方のみを備えた非重畳部NSPと、平面視において、第1導電層14Dと第2導電層6Uの双方を備えた重畳部SPとを備え、平面視において、第1半導体デバイスQ4の第2主電極と第2導電層6U、および第2半導体デバイスQ1の第2主電極と第1導電層14Dは、重畳部SP1に配置され、平面視において、第1半導体デバイスQ4の第1制御電極と第2半導体デバイスQ1の第2制御電極は、非重畳部NSPに配置される。

[0258] パワーモジュール300は、パワーモジュール200と同様に、第2絶縁基板20のD側の表面に正側電力端子PU～PW・負側電力端子NU～NW

を備え、第1絶縁基板10のU側の表面に出力端子U・V・Wを備える。U・V・Wは、3相の各相を表す。なお、図54においてゲート端子とソースセンス端子の表記は省略している。

[0259] なお、パワーモジュール300は、重畳部SP1・SP2と非重畳部NSP1～NSP3の全てをパターンニングによるパターン形成で形成した点で、パワーモジュール100・200と異なる。

[0260] 図54は、第2絶縁基板20の平面図であり、第2絶縁基板20のD側の表面のパターンが破線で表記されている。U相を構成する負極パターン6U₃は、パワーモジュール200の負極パターン6U₃と同じである。また、U相を構成する正極パターン6U₂は、パワーモジュール200の正極パターン6U₂と同じである。他のV相とW相についても同じである。

[0261] パターン形状が同じであることは、図55を参照することで明確である。図48に示した正極パターン6U₂と負極パターン6U₃と同じ形状の正極パターン6UU₂・6VU₂・6WU₂と負極パターン6UU₃・6VU₃・6WU₃が配置されている。

[0262] 図56に示すように、第1絶縁基板10についても同じである。パワーモジュール200の出力パターン14D₂と同じ形状の3個の出力パターン14UD₂・14VD₂・14WD₂が配置されている。

[0263] このように、パワーモジュール300は、パワーモジュール200を3個並列に並べたものである。図58に、パワーモジュール300のVⅠⅠA～VⅠⅠA線に沿う模式的断面構造を示し、図中に重畳部SP1～SP6、非重畳部NP1～NSP7および各参照符号を表記することで、詳しい接続関係の説明は省略する。

[0264] 図58から明らかなように、パワーモジュール300は、複数の重畳部SP1～SP6と、複数の非重畳部NSP1～NSP7とを備え、第1半導体デバイスQ4と第2半導体デバイスQ1の配列方向において、非重畳部NP1～NSP7と重畳部SP1～SP6とが交互に配置される。

[0265] パワーモジュール300の特徴は、重畳部SP1～SP6と非重畳部NP

1 ～ N S P 7 を、全てパターニングで形成した点である。したがって、図 5 8 から明らかなように第 1 絶縁基板 1 0 と第 2 絶縁基板 2 0 とは、それぞれの基板の端部を一致させて重ねられている。

[0266] なお、第 2 絶縁基板 2 0 の U 側に第 3 導電層 1 4 U を備え、第 3 導電層 1 4 U は、正極パターンまたは負極パターンを備えるようにしても良い。その場合、図 5 8 において、第 3 導電層 1 4 U と、第 2 導電層 6 U の例えば正極パターン $6 W U_2 \cdot 6 V U_2 \cdot 6 U U_2$ のそれぞれを、図示しないスルーホールで接続する。この構成によれば、第 3 導電層 1 4 U で、正極のバスバー（共通電極）を形成できる。

[0267] 第 3 導電層 1 4 U をバスバーとして用いることで、電流経路を短くすることができ、インダクタンス成分を減少させることができる。また、パワーモジュールの外側で電力端子同士を接続する必要が無いので、パワーモジュールを極薄型でかつ小型化することもできる。なお、第 3 導電層 1 4 U は、第 2 導電層 6 U の負極パターン $6 U U_3 \cdot 6 V U_3 \cdot 6 W U_3$ とスルーホールで接続することで、負極のバスバーとすることも容易である。

[0268] また、このように第 1 絶縁基板 1 0 と第 2 絶縁基板 2 0 を重ねて配置することで、第 1 ・第 2 絶縁基板 1 0 ・2 0 による反りを相互にキャンセルさせることができ、反りを低減することができる。また、第 1 絶縁基板 1 0 と第 2 絶縁基板 2 0 の面積は、実質的に同じにすることで、さらに反りを低減することができる。

[0269] また、第 1 絶縁基板 1 0 と第 2 絶縁基板 2 0 の材質を実施的に同じにすることで、反りをより効果的に低減することが可能である。また、それぞれの基板の厚さを実質的に同じにすることで、更に反りを低減することができる。実質的に同じとは、厳密に同じで無くても同様の作用効果が得られる範囲を意味する。

[0270] 反りを低減することで、モールド樹脂 1 5 の剥離、クラックの発生、絶縁不良などが発生する危険性を低下させ、パワーモジュールの信頼性を向上させることができる。なお、反りを低減する作用効果は、パワーモジュール 1

00・200でも得られる。

[0271] (製造方法)

第6の実施の形態のパワーモジュール300の製造方法について説明する。

[0272] パワーモジュール300の第2絶縁基板20の(D側と反対側の)模式的平面図は、図59に示すように表される。また、同様に第2絶縁基板20の実装前のD側の模式的平面図は、図60に示すように表される。また、パワーモジュール300の第1絶縁基板10の実装前のU側の模式的平面図は、図61に示すように表される。

[0273] また、パワーモジュール300の実装後の、第1絶縁基板10に、第2絶縁基板20を接合する直前の様子を図59の矢印A方向から見た模式的鳥瞰構成図は、図62に示すように表される。また、同第2絶縁基板20を第1絶縁基板10に接合した後の(D側と反対側の)模式的平面図は、図63に示すように表される。また、樹脂封止後のパワーモジュール300の模式的平面図は、図64に示すように表される。また、樹脂封止後の外観を、図64の矢印A方向から見た模式的鳥瞰構成図は、図65に示すように表される。

[0274] パワーモジュール300の製造方法は、第1導電層14Dを備える第1絶縁基板10に対向して配置され、かつ第1導電層14Dに対して対向した第2導電層6Uを備える第2絶縁基板20との平面視において、第1導電層14Dと第2導電層6Uのどちらか一方のみを備えた非重畳部NSPと第1導電層14Dと第2導電層6Uの双方を備えた重畳部SPとを、パターン形成する工程と、第1半導体デバイスQ4の第1主電極を、第1半導体デバイスQ4の第1制御電極が非重畳部NSPに配置される位置で、第1導電層14Dの重畳部SPに接続する工程と、第2半導体デバイスQ1の第1主電極を、第2半導体デバイスQ1の第2制御電極が非重畳部NSPに配置される位置で、第2導電層6Uの重畳部SPに接続する工程と、第1半導体デバイスQ4の第2主電極を第2導電層6Uに、第2半導体デバイスQ1の第2主電

極を第1導電層14Dに、それぞれ接続する工程とを有する。

(a) まず、第2半導体デバイスQ1の第2制御電極と対向する部分の第1絶縁基板10の表面の第1導電層14Dをパターニングする。パターニングは、導電層14Dをエッチングすることで各パターンを形成する(図61)。同様に、第1半導体デバイスQ4の制御信号端子と対向する部分の第2絶縁基板20の表面の第2導電層6Uをパターニングする(図60)。

(b) 次に、第1導電層14Dに第1半導体デバイスQ4の第1主電極を接続させ、第1絶縁基板10と対向して配置される第2絶縁基板20の下側表面の第2導電層6Uに第2半導体デバイスQ1の第1主電極を接続させる。

(c) 次に、第1半導体デバイスQ4の第1制御電極を、第1ゲート信号パターンにボンディングワイヤで14UD₁(GT4)接続し、第2半導体デバイスQ1の第2制御電極を、第2ゲート信号パターンにボンディングワイヤで6UD₁(GT1)に接続する。

(d) 次に、第1半導体デバイスQ4の第2主電極と第2導電層6U、および第2半導体デバイスQ1の第2主電極と第1導電層14Dとをそれぞれボンディングワイヤで接続させる。

(e) 次に、第1絶縁基板10と第2絶縁基板20の少なくとも各半導体デバイスの搭載面、各基板の対向部分および各基板の端面を、モールド樹脂15で封止する。更に、半導体デバイスQ1-Q6が配置された第1絶縁基板10の下側表面若しくは第2絶縁基板の上側表面のいずれか一方若しくは両方に冷却器を搭載しても良い。

[0275] また、パワーモジュール100・200の製造方法は、パワーモジュール300と同様の製造方法で製造することも可能であるが、他の方法も考えられる。

[0276] パワーモジュール100・200の製造方法は、第1絶縁基板10の上側表面の第1導電層14Dに、第1半導体デバイスQ4の第1主電極を接続する工程と、第2絶縁基板20の下側表面の第2導電層6Uに、第2半導体デバイスQ1の第1主電極を接続する工程と、第1半導体デバイスQ4の第2

主電極と第2導電層6U、および第2半導体デバイスQ1の第2主電極と第1導電層14Dとがそれぞれ重畳し、かつ第1半導体デバイスQ4の第1制御電極と第2導電層6U、および第2半導体デバイスQ1の第2制御電極と第1導電層14Dとがそれぞれ非重畳となる配置で第1絶縁基板10と第2絶縁基板20とを接続する工程とを有する方法としても良い。

[0277] つまり、パワーモジュール100・200は、実装後の第1絶縁基板10と第2絶縁基板との平面位置をずらして積層させ、非重畳部に半導体デバイスの制御電極が配置されるようにする。したがって、第1・第2絶縁基板10・20を接続した後でも、半導体デバイスの制御電極を、制御端子に接続することができる。

[0278] (パワーモジュールの具体例)

第4～6の実施の形態に係るパワーモジュールの具体例は、図28～図30と同様に表される。

[0279] (半導体デバイスの構成例)

第4～6の実施の形態に適用可能な半導体デバイスの構成例は、図31～図35と同様に表される。

[0280] 3相交流インバータ140の模式的回路構成において、半導体デバイスとしてSiCMOSFETを適用し、電源端子PL、接地端子NL間にスナバコンデンサCを接続した回路構成例は、図36(a)と同様に表される。同様に、3相交流インバータ140Aの模式的回路構成において、半導体デバイスとしてIGBTを適用し、電源端子PL、接地端子NL間にスナバコンデンサCを接続した回路構成例は、図36と同様に表される。

[0281] (パワーモジュールを適用した応用例)

半導体デバイスとしてSiCMOSFETを適用した第4～6の実施の形態に係るパワーモジュールを用いて構成した3相交流インバータ140は、図37と同様に表される。

[0282] 半導体デバイスとしてIGBTを適用した第4～6の実施の形態に係るパワーモジュール20Tを用いて構成した3相交流インバータ140Aは、図

38と同様に表される。

[0283] 第4～6の実施の形態に係るパワーモジュールも、ワンインワン、ツーインワン、フォーインワン、シックスインワンのいずれかに構成可能である。

[0284] (冷却器を備えるパワーモジュールの構成例)

冷却器72を備えた第4～6の実施の形態に係るパワーモジュール190の模式的構造断面図は、図66に示すように表される。パワーモジュール190は、第1絶縁基板10の下側表面若しくは第2絶縁基板の上側表面のいずれか一方若しくは両方に冷却器72を備える。

[0285] パワーモジュール190は、第4の実施の形態に係るパワーモジュール100に、冷却器72を装着または貼着したものである。さらに、絶縁板70、伝熱板71、冷却器72、とを備える。

[0286] 絶縁板70は、パワーモジュール100を構成する第2絶縁基板20のU側の面と接触するように配置される。絶縁板70は、第2絶縁基板20のU側の導電層14Uと、冷却器72を絶縁するためのものである。

[0287] 絶縁板70のU側の面には、伝熱板71が配置され、更にU側に冷却器72が配置される。冷却器72は、この例では空冷方式のフィンである。なお、水冷方式の冷却器を適用しても良い。また、必ずしも伝熱板71を備えなくても良い。

[0288] パワーモジュール190によれば、第1絶縁基板10と第2絶縁基板間の距離が近い(薄い)ので、第2絶縁基板20から熱を効率よく放熱することができる。特に、パワーモジュール90を構成する第1絶縁基板10のD側の面に冷却器72を備え両面を冷却するとさらに効率の良い放熱が行える。冷却器72は、第1絶縁基板10のD側の表面若しくは第2絶縁基板20の第1絶縁基板10と対向しない面(第2絶縁基板の上面側の表面)のいずれか一方若しくは両方に配置されていても良い。

[0289] 以上説明したように、第4～6の実施の形態によれば、リード部材12・13等の配線用の部品を必要としないので、第1半導体デバイスQ4と第2半導体デバイスQ1との間の距離を短くすることができる。つまり、第4～

6の実施の形態の構成によれば、パワーモジュールの平面サイズを小型化することができる。また、第1絶縁基板10と第2絶縁基板20は、半導体デバイスのチップの厚さ分厚みを共有するように対向配置可能であるため、パワーモジュールを極薄型でかつ小型化することができる。

[0290] また、第1・第2絶縁基板を対向して配置するので、パワーモジュールの反りを低減することができ、パワーモジュールの信頼性を向上させることができる。

[0291] [その他の実施の形態]

上記のように、第1～第6の実施の形態について記載したが、この開示の一部をなす論述および図面は例示的なものであり、限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例および運用技術が明らかとなろう。

[0292] このように、ここでは記載していない様々な実施の形態などを含む。

産業上の利用可能性

[0293] 本実施の形態は、IGBT、ダイオード、MOS（Si系、SiC系、GaN系、若しくはAlN系のいずれか）等のパワー回路素子を用いたパワーモジュールに適用することができ、HEV（Hybrid Electric Vehicle）／EV（Electric Vehicle）向けのインバータ、産業機器向けのインバータ、コンバータなど幅広い応用分野に利用可能である。

符号の説明

[0294] 1…ソース電極パターン
2…出力電極パターン
3…ドレイン電極パターン
4、5、7、12、13、26、46…リード部材
6U、6D、14U、14D…導電層
6Uo…出力端子
6U₁～6U₄…第2導電層（6U）の導電パターン
8…絶縁基板

1 0…第1絶縁基板
1 1、2 2…ソースセンスパターン
1 4₁、1 4₃、1 4₅…第1共通電極パターン
1 4₂、1 4₃、1 4₆…第2共通電極パターン
1 4 D₁～1 4 D₃…第1導電層（1 4 D）の導電パターン
1 5…モールド樹脂
1 6、1 7、2 7、2 9、3 3、3 7…柱状電極（四角形）
1 8、2 8…ビアホール
2 0…第2絶縁基板
2 1…電流センスパターン
4 0…ゲート信号電極パターン
4 1…ソースセンス信号電極パターン
4 3₁…第1ドレイン電極パターン
4 3₂…第2ドレイン電極パターン
4 3₃…第3ドレイン電極パターン
4 3₄…第4ドレイン電極パターン
4 3₅…第5ドレイン電極パターン
4 3₆…第6ドレイン電極パターン
5 0、5 0 T、9 0、1 0 0、1 0 0 A、2 0 0 A、2 0 0 B、1 9 0、2
0 0、2 1 0、3 0 0…パワーモジュール
7 0…絶縁板
7 1…伝熱板
7 2…冷却器
Q 1～Q 6、1 1 0、1 1 0 A…半導体デバイス（半導体チップ）
P、P U、P V、P W…正側電力端子
N、N U、N V、N W…負側電力端子
B P、B N…バスバー
S 1～S 6…ソース電極

D 1 ～ D 6 …ドレイン電極

G T 1 ～ G T 6 …ゲート電極端子

G 1 ～ G 6 …制御電極（ゲート電極）

S P 1、S P 2 …重畳部

N S P 1 ～ N S P 7 …非重畳部

請求の範囲

- [請求項1] 第1導電層を備える第1絶縁基板と、
 前記第1導電層の上に配置され、主電極の一方が前記第1導電層と
 接続された第1半導体デバイスと、
 前記第1絶縁基板上に前記第1半導体デバイスと対向して配置され、
 表面および裏面に第2導電層および第3導電層を備える第2絶縁基
 板と、
 前記第1導電層と前記第2導電層とを接続する第1柱状電極と、
 前記第1半導体デバイスの主電極の他方と前記第3導電層とを接続
 する第2柱状電極と
 を備え、
 前記第2導電層は、前記第1半導体デバイスに電源を供給する正極
 パターン若しくは負極パターンのいずれか一方に接続され、前記第3
 導電層は、他方に接続されることを特徴とするパワーモジュール。
- [請求項2] 前記正極パターンは、前記第2導電層および前記第3導電層のい
 ずれか一方に配置され、前記負極パターンは他方に配置されることを特
 徴とする請求項1に記載のパワーモジュール。
- [請求項3] 前記第1導電層は、複数の前記第1半導体デバイスの同一種別の主
 電極に接続される第1共通電極パターンを備えることを特徴とする請
 求項1または2に記載のパワーモジュール。
- [請求項4] 前記第1導電層の前記第1共通電極パターンと異なる第2共通電極
 パターンと、
 前記第2共通電極パターン上に配置された第2半導体デバイスと
 を備え、
 前記第1共通電極パターンと前記第2半導体デバイスの主電極の一
 方とを接続するリード部材と
 を備えることを特徴とする請求項3に記載のパワーモジュール。
- [請求項5] 前記半導体デバイスの主電極と、前記第1共通電極パターンと前記

第2 共通電極パターンのいずれか一方は、前記第2 絶縁基板の前記第3 導電層と前記第1 柱状電極で接続され、前記第1 共通電極パターンと前記第2 共通電極パターンの他方は、前記第2 柱状電極と前記第2 絶縁基板を貫通するビアホールとを介して前記第2 導電層と接続されることを特徴とする請求項4 に記載のパワーモジュール。

[請求項6] 前記第2 導電層は、複数の電極パターンを備え、前記正極パターンと前記負極パターンとが、前記第2 絶縁基板の両面のそれぞれに交互に配置されることを特徴とする請求項1 ～5 のいずれか1 項に記載のパワーモジュール。

[請求項7] 前記ビアホールは、前記第2 絶縁基板に列状に配置され、前記第2 柱状電極は、前記ビアホールの列に並行して配置されることを特徴とする請求項5 または6 に記載のパワーモジュール。

[請求項8] 前記ビアホールの列は、正極のビアホールと負極のビアホールとが交互に配置されることを特徴とする請求項7 に記載のパワーモジュール。

[請求項9] 前記第1 絶縁基板は出力端子を備え、
前記第2 絶縁基板は電源端子を備える
ことを特徴とする請求項1 ～8 のいずれか1 項に記載のパワーモジュール。

[請求項10] 第1 絶縁基板と、
前記第1 絶縁基板の上方に配置された第2 絶縁基板と、
前記第1 絶縁基板上に配置され、表面に第1 主電極と第1 制御電極とを有する第1 半導体デバイスと
を備え、
前記第1 主電極は、前記第1 絶縁基板と前記第2 絶縁基板との重畳部に配置され、
前記第1 制御電極は、前記第1 絶縁基板と前記第2 絶縁基板との非重畳部に配置されることを特徴とするパワーモジュール。

- [請求項11] 前記第2絶縁基板上に配置され、表面に第2主電極と第2制御電極とを有する第2半導体デバイスを備え、
前記第2制御電極は、前記非重畳部に配置されることを特徴とする請求項10に記載のパワーモジュール。
- [請求項12] 前記重畳部および前記非重畳部は、平面視において、前記第1主電極および前記第2主電極が対向する基板と重畳するとともに、前記第1制御電極および前記第2制御電極が夫々対向する基板とは重畳しないように位置をずらして配置されることを特徴とする請求項11に記載のパワーモジュール。
- [請求項13] 第1非重畳部と、
第2非重畳部と
を備え、平面視において、前記第1制御電極は前記第1非重畳部に配置され、前記第2制御電極は前記第2非重畳部に配置されることを特徴とする請求項11または12に記載のパワーモジュール。
- [請求項14] 第1導電層を備える第1絶縁基板と、
前記第1絶縁基板に少なくとも一部が対向して配置され、かつ前記第1導電層に対して対向した第2導電層を備える第2絶縁基板と、
第1主電極が前記第1導電層と接続される第1半導体デバイスと、
第1主電極が前記第2導電層と接続される第2半導体デバイスと、
平面視において、前記第1導電層と前記第2導電層のどちらか一方のみを備えた非重畳部と、
平面視において、前記第1導電層と前記第2導電層の双方を備えた重畳部と
を備え、
平面視において、前記第1半導体デバイスの第2主電極と前記第2導電層、および前記第2半導体デバイスの第2主電極と前記第1導電層は、前記重畳部に配置され、
平面視において、前記第1半導体デバイスの第1制御電極と前記第

2 半導体デバイスの第2制御電極は、前記非重畳部に配置されることを特徴とするパワーモジュール。

[請求項15]

複数の前記重畳部と、
複数の前記非重畳部と
を備え、

前記第1半導体デバイスおよび前記第2半導体デバイスは、夫々複数の素子が列状に並んだ配列をしており、

前記第1半導体デバイスと前記第2半導体デバイスの配列方向において、前記非重畳部と前記重畳部とが交互に配置されることを特徴とする請求項14に記載のパワーモジュール。

[請求項16]

前記第1絶縁基板の上側表面の第1導電層をパターンニングして形成した出力パターンと、

前記第2絶縁基板の下側表面の第2導電層をパターンニングして形成した正極パターンおよび負極パターンと

を備え、

前記第1半導体デバイスの主電極の一方は、前記出力パターンに接続され、

前記第1半導体デバイスの主電極の他方は、前記負極パターンに接続され、

前記第2半導体デバイスの主電極の一方は、前記正極パターンに接続され、

前記第2半導体デバイスの主電極の他方は、前記出力パターンに接続されることを特徴とする請求項11～15のいずれか1項に記載のパワーモジュール。

[請求項17]

前記出力パターン、前記正極パターン、および前記負極パターンは、平面視において、それぞれが形成された前記第1絶縁基板および前記第2絶縁基板の外部に延伸して配置されることを特徴とする請求項16に記載のパワーモジュール。

- [請求項18] 前記第1導電層は、複数の前記第1半導体デバイスの同一種別の主電極に接続される第1共通電極パターンを備え、
- 前記第2導電層は、複数の前記第2半導体デバイスの同一種別の主電極に接続される第2共通電極パターンを備えることを特徴とする請求項16または17に記載のパワーモジュール。
- [請求項19] 前記第2絶縁基板の上側表面に第3導電層を備え、
- 前記第3導電層は、前記正極パターンまたは前記負極パターンを備えることを特徴とする請求項16～18のいずれか1項に記載のパワーモジュール。
- [請求項20] 第1絶縁基板の表面の導電層の上に半導体デバイスを実装する工程と、
- 前記半導体デバイスの主電極と前記導電層の表面のそれぞれに、少なくとも1個の柱状電極を形成する工程と、
- 前記柱状電極のいずれか一方の先端を、前記第1絶縁基板と対向して配置される第2絶縁基板の一方の面の導電層に接続し、他方の前記柱状電極の先端を、前記第2絶縁基板の他方の面の導電層に接続する工程と
- を有することを特徴とするパワーモジュールの製造方法。
- [請求項21] 第1絶縁基板の上側表面の第1導電層に、第1半導体デバイスの第1主電極を接続する工程と、
- 第2絶縁基板の下側表面の第2導電層に、第2半導体デバイスの第1主電極を接続する工程と、
- 前記第1半導体デバイスの第2主電極と前記第2導電層、および前記第2半導体デバイスの第2主電極と前記第1導電層とがそれぞれ重畳し、かつ前記第1半導体デバイスの第1制御電極と前記第2導電層、および前記第2半導体デバイスの第2制御電極と前記第1導電層とがそれぞれ非重畳となる配置で前記第1絶縁基板と前記第2絶縁基板とを接続する工程とを有することを特徴とするパワーモジュールの製

造方法。

[請求項22]

第1導電層を備える第1絶縁基板の少なくとも一面に対向して配置され、かつ前記第1導電層に対して対向した第2導電層を備える第2絶縁基板との平面視において、前記第1導電層と前記第2導電層のどちらか一方のみを備えた非重畳部と前記第1導電層と前記第2導電層の双方を備えた重畳部とを、パターン形成する工程と、

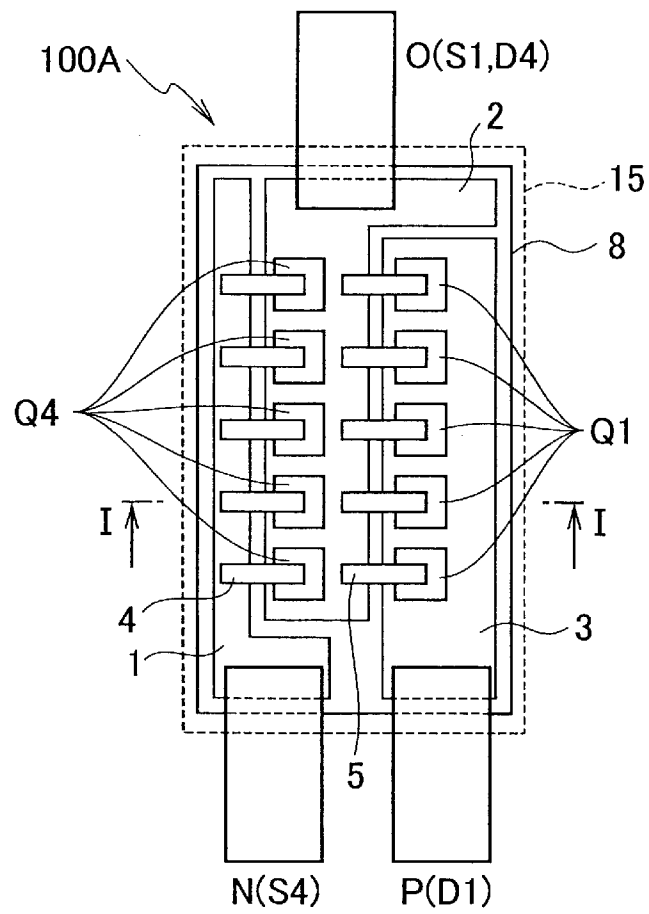
第1半導体デバイスの第1主電極を、前記第1半導体デバイスの第1制御電極が前記非重畳部に配置される位置で、前記第1導電層の前記重畳部に接続する工程と、

第2半導体デバイスの第1主電極を、前記第2半導体デバイスの第2制御電極が前記非重畳部に配置される位置で、前記第2導電層の前記重畳部に接続する工程と、

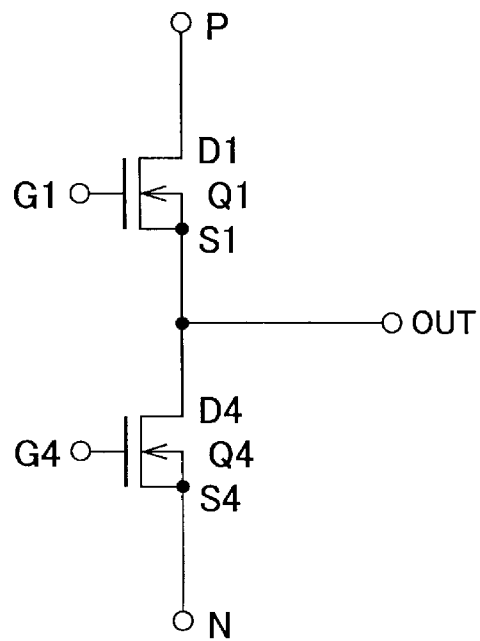
前記第1半導体デバイスの第2主電極を前記第2導電層に、前記第2半導体デバイスの第2主電極を前記第1導電層に、それぞれ接続する工程と

を有することを特徴とするパワーモジュールの製造方法。

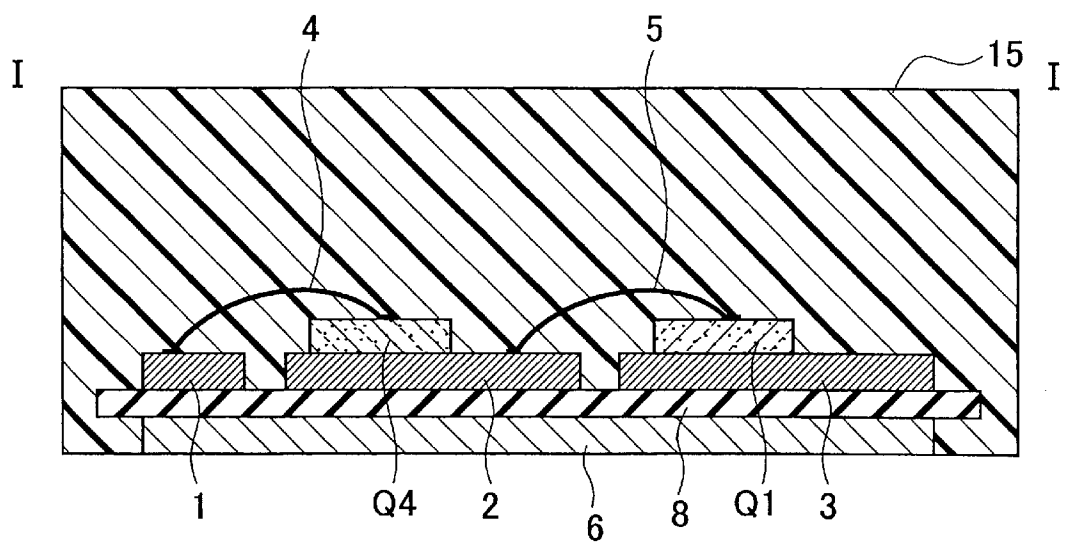
[図1]



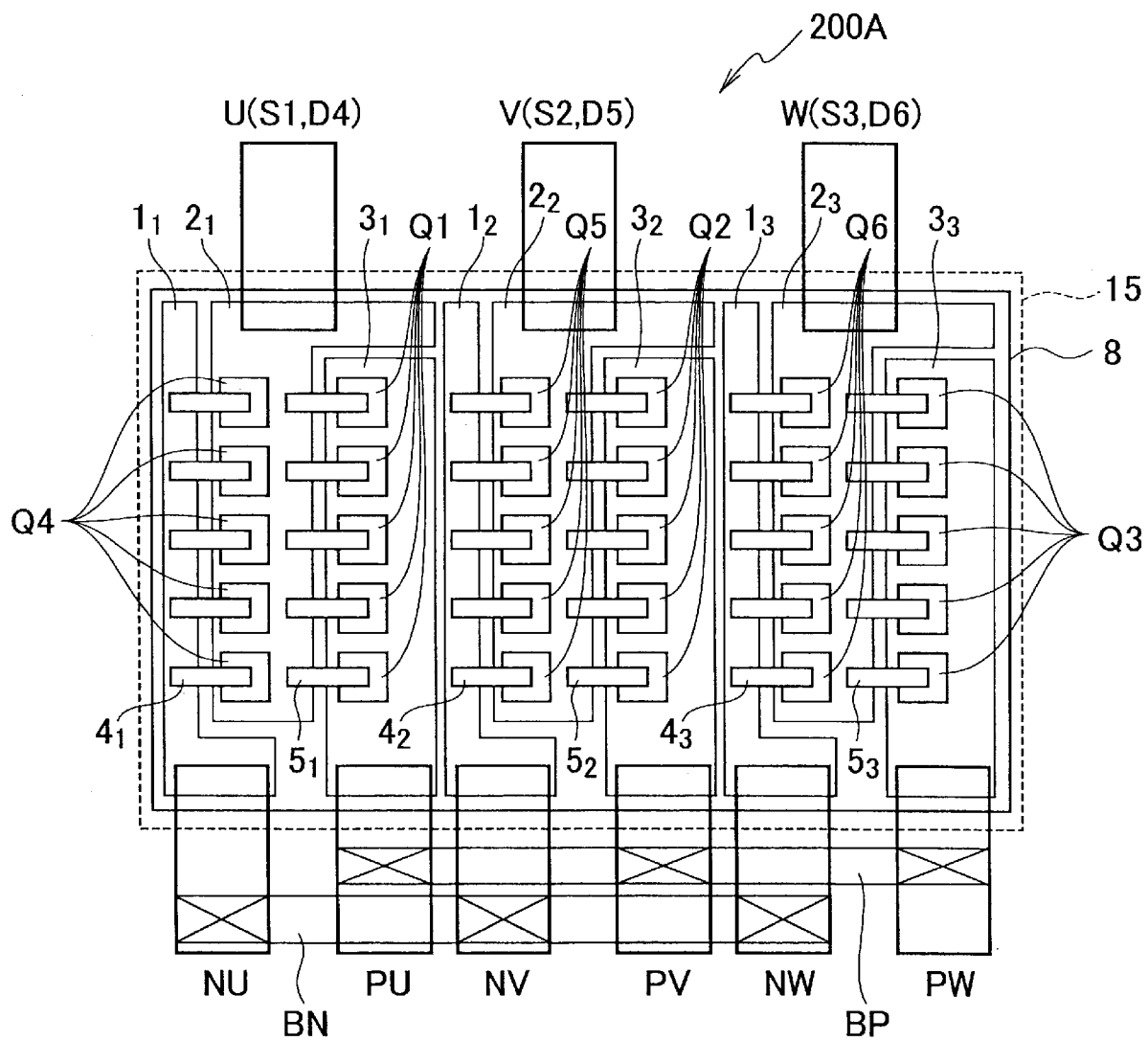
[図2]



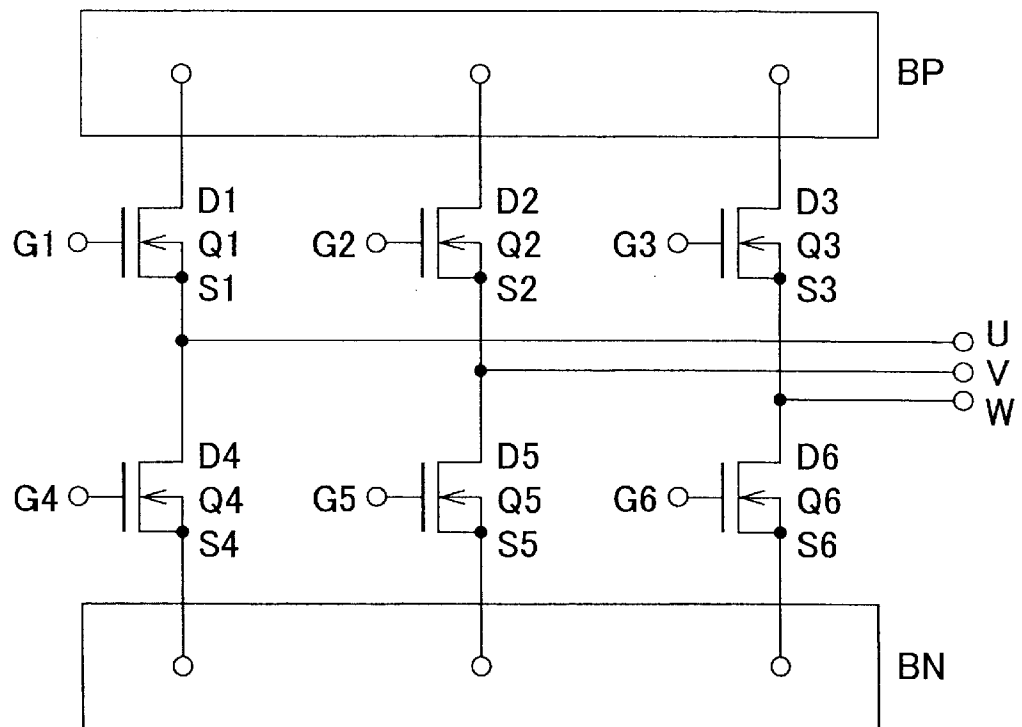
[図3]



[図4]

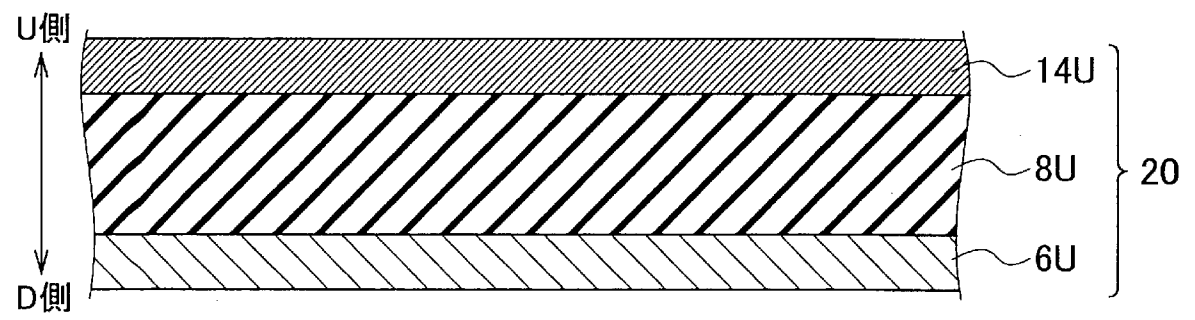


[図5]

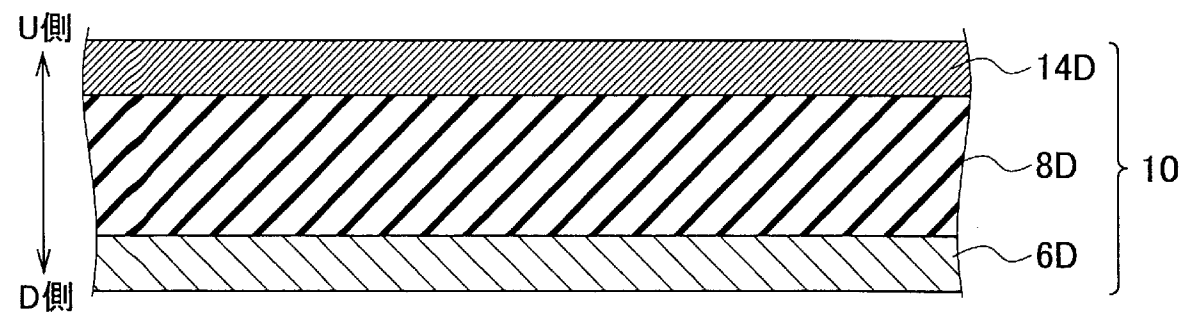


[図7]

(a)

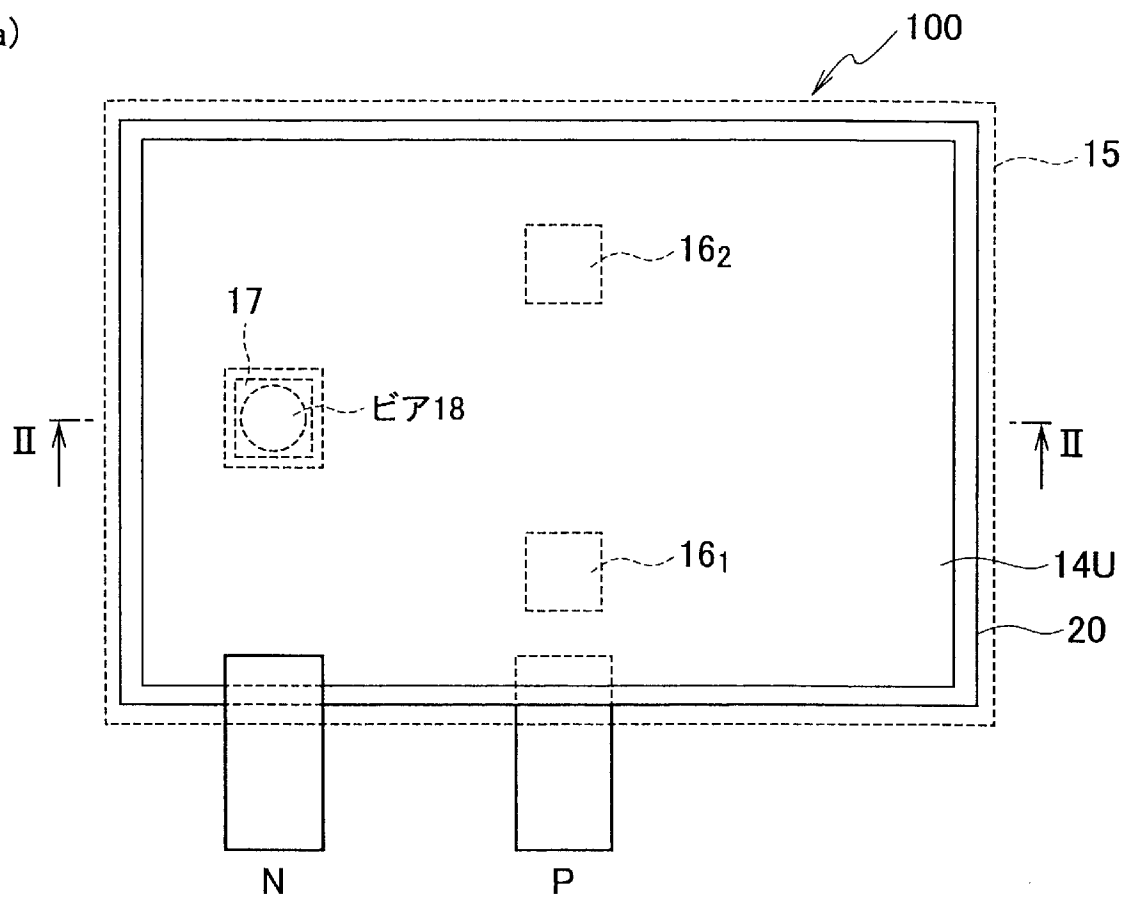


(b)

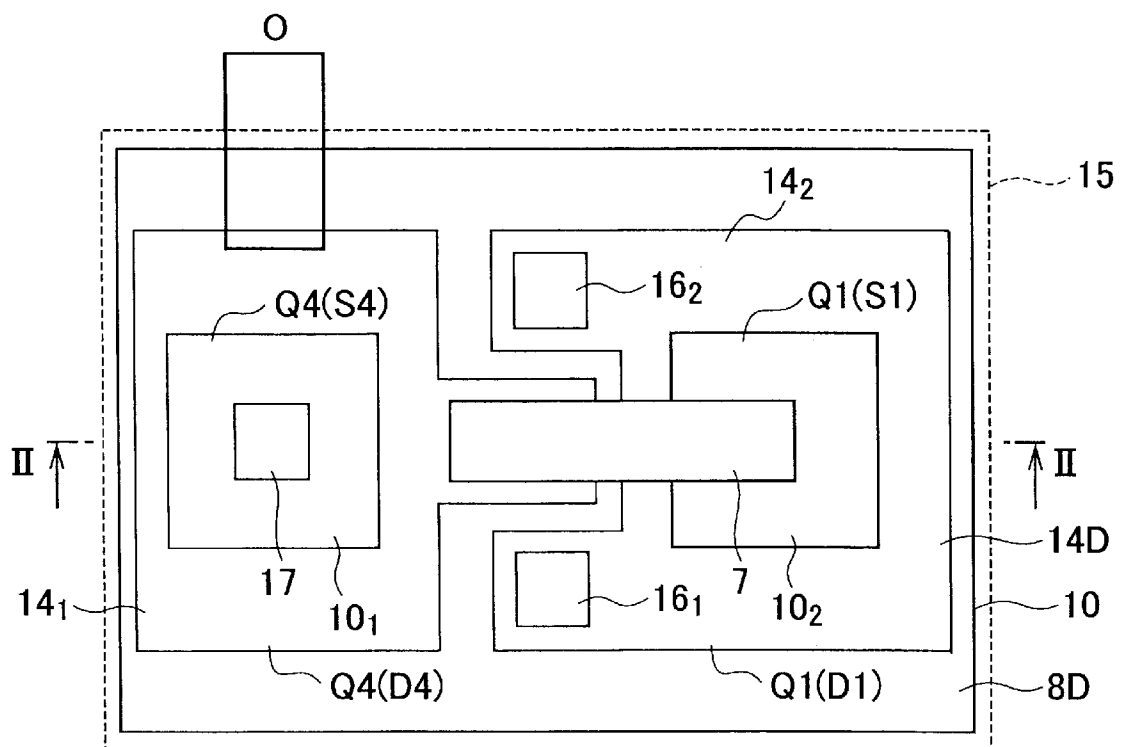


[図8]

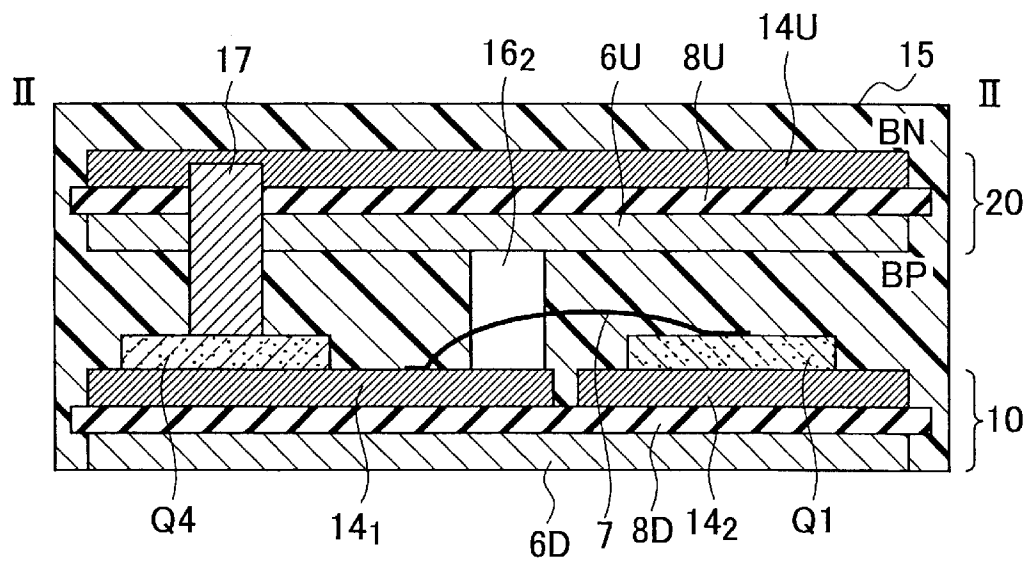
(a)



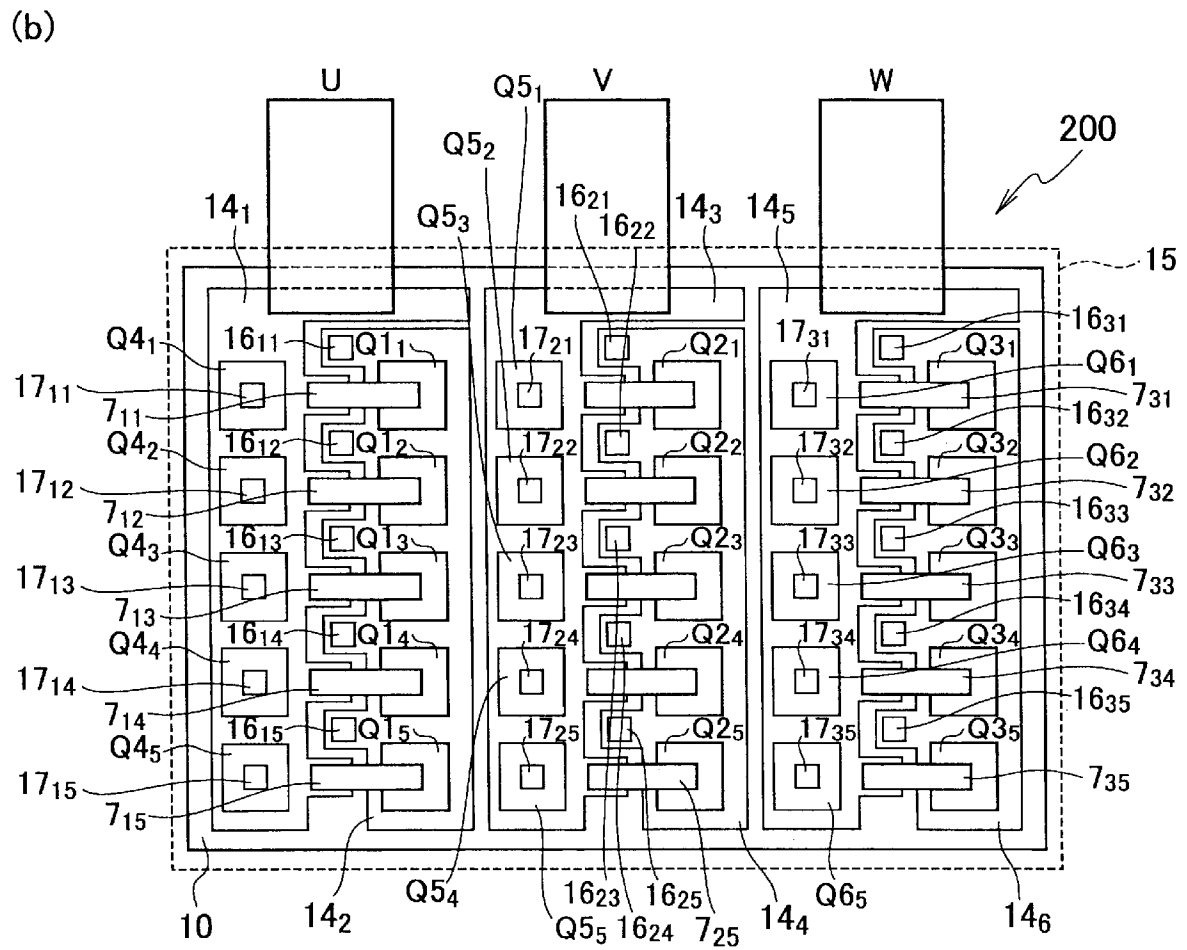
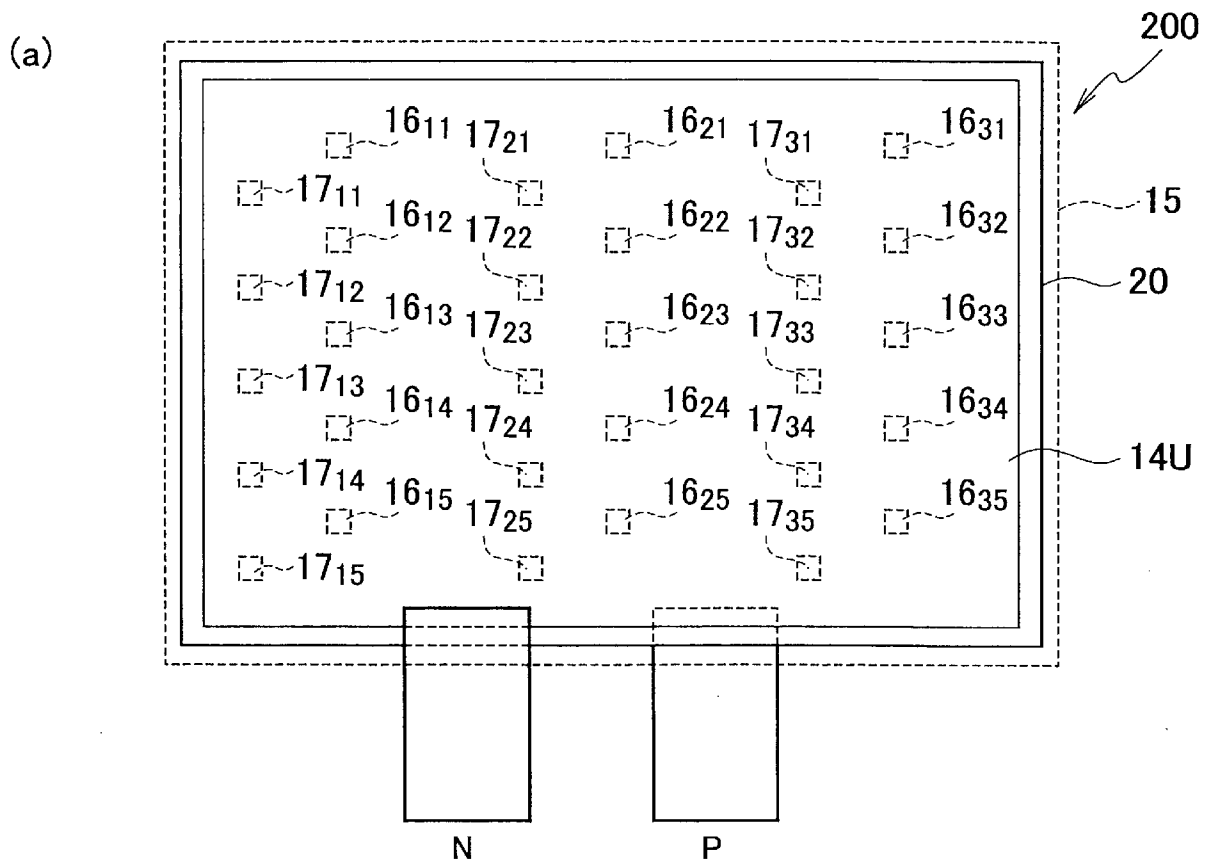
(b)



[図9]

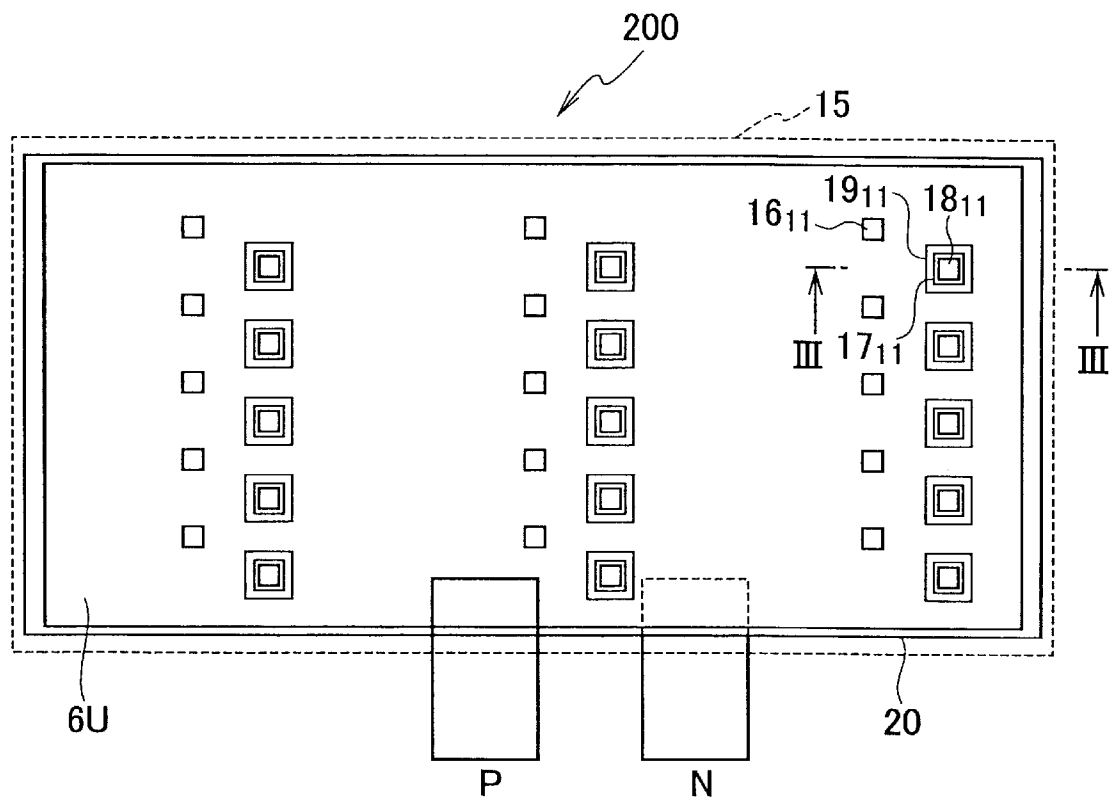


[図10]

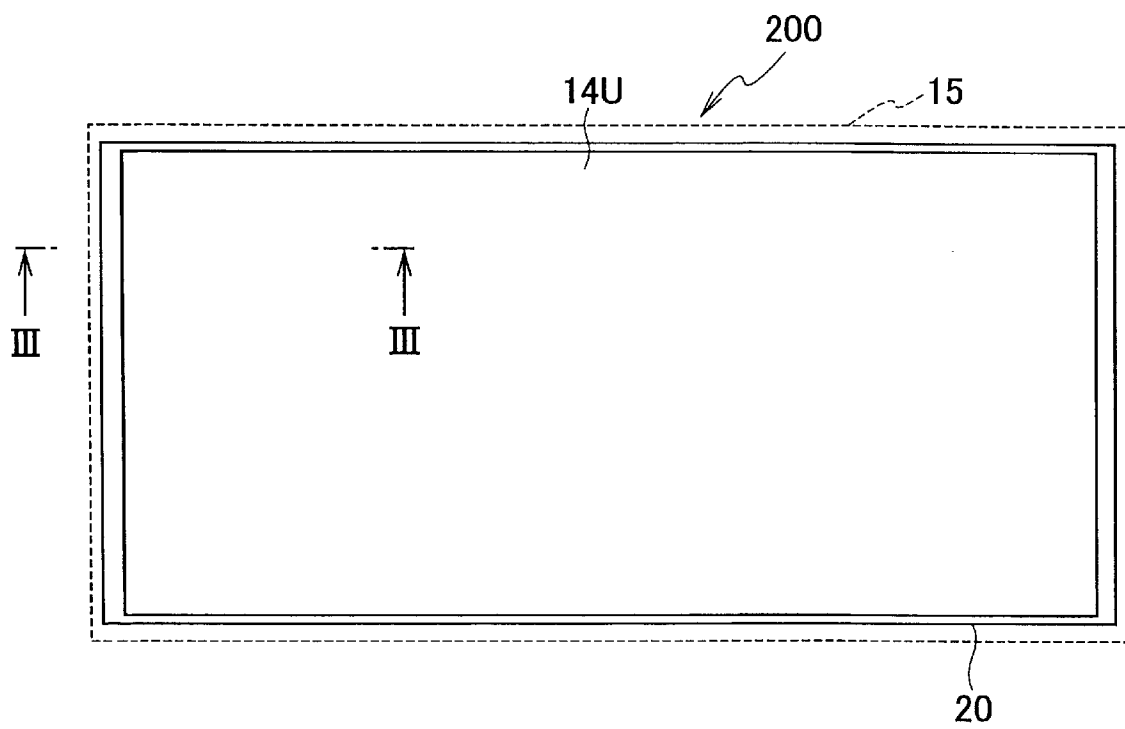


[図11]

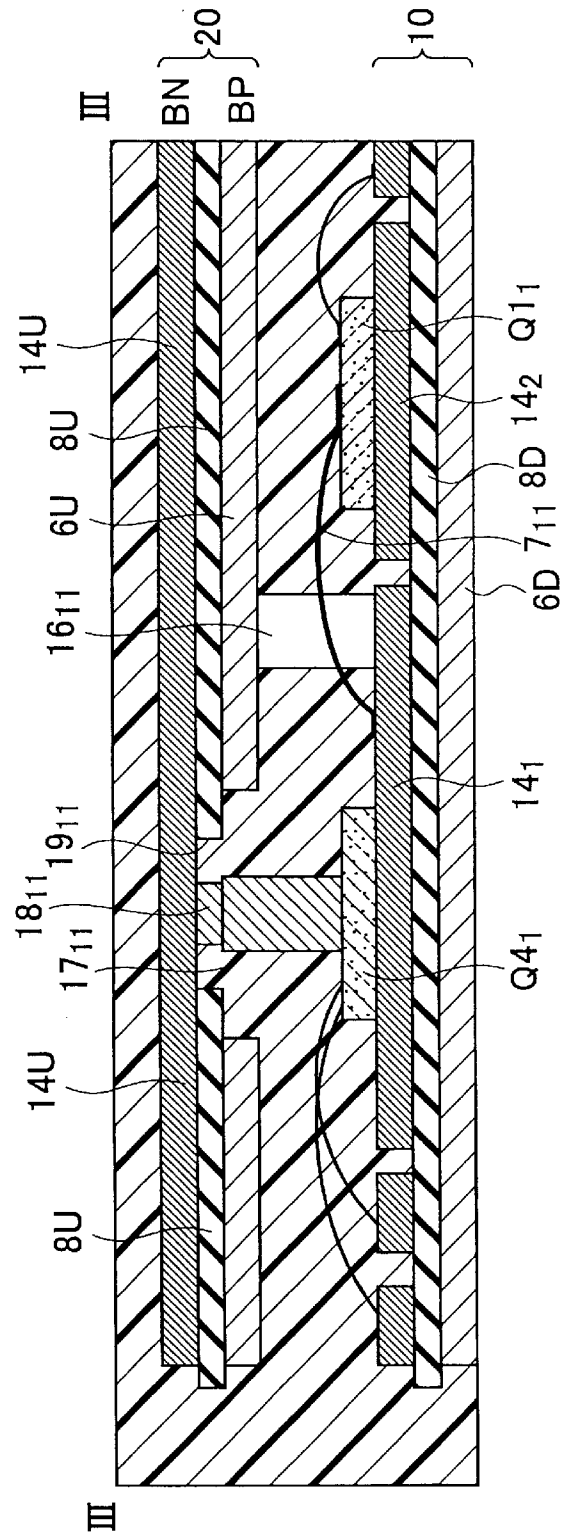
(a)



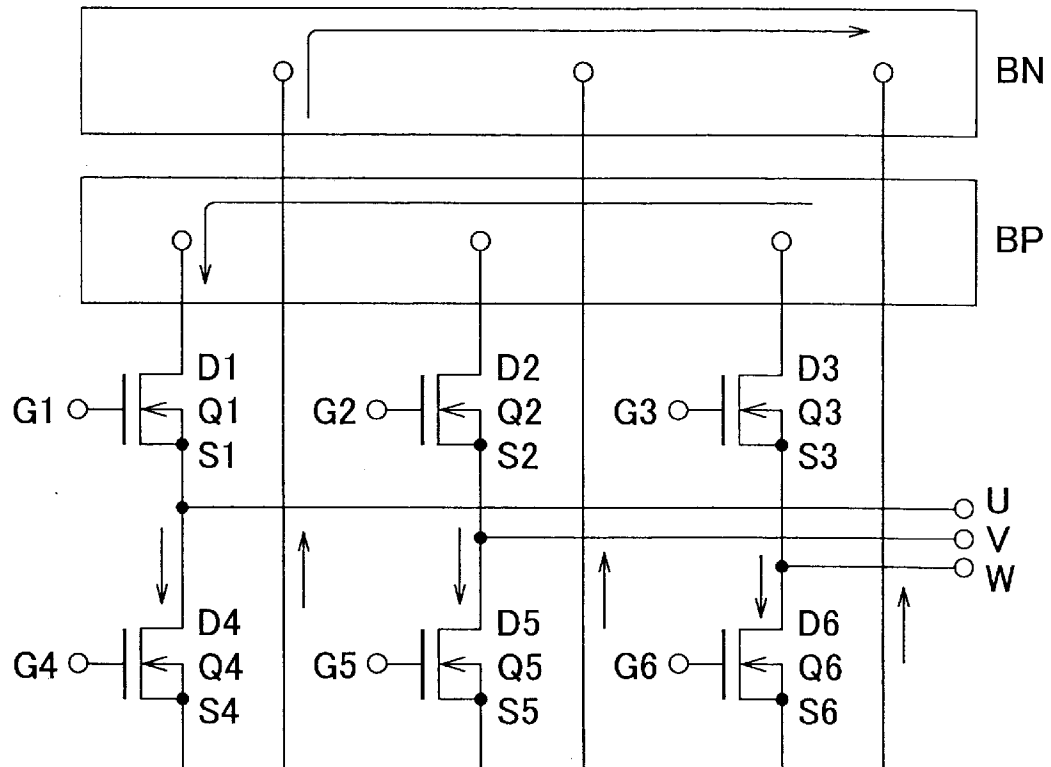
(b)



[図12]

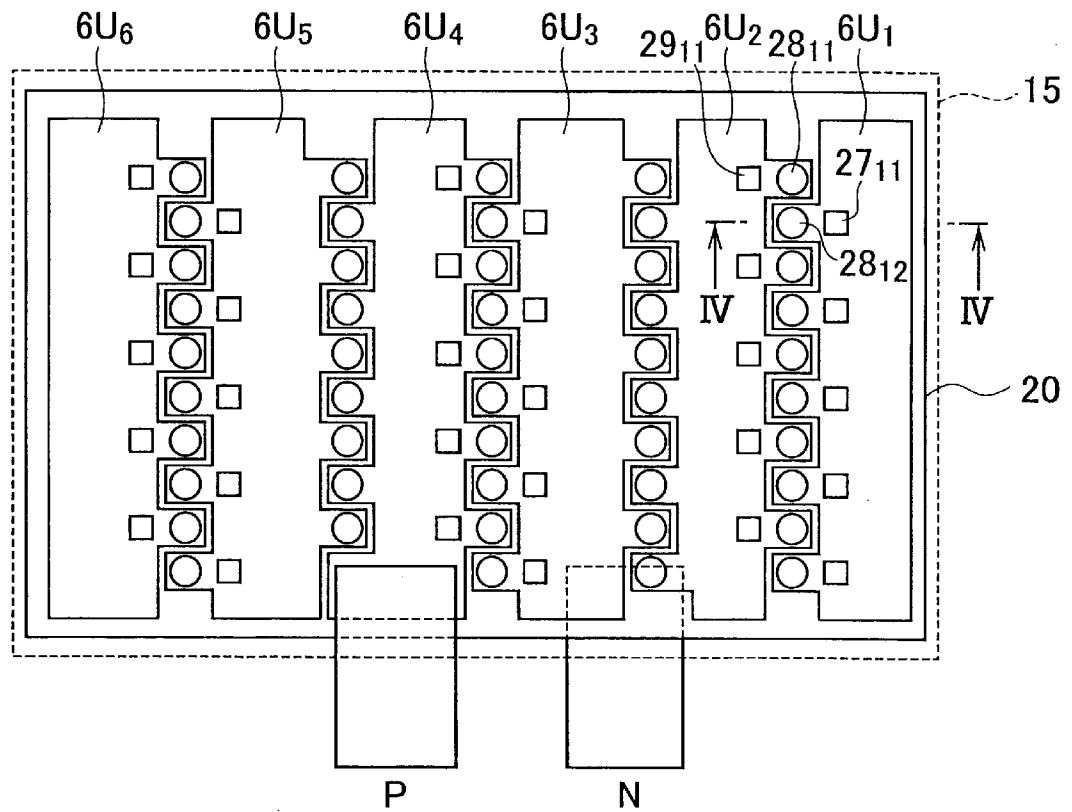


[図13]

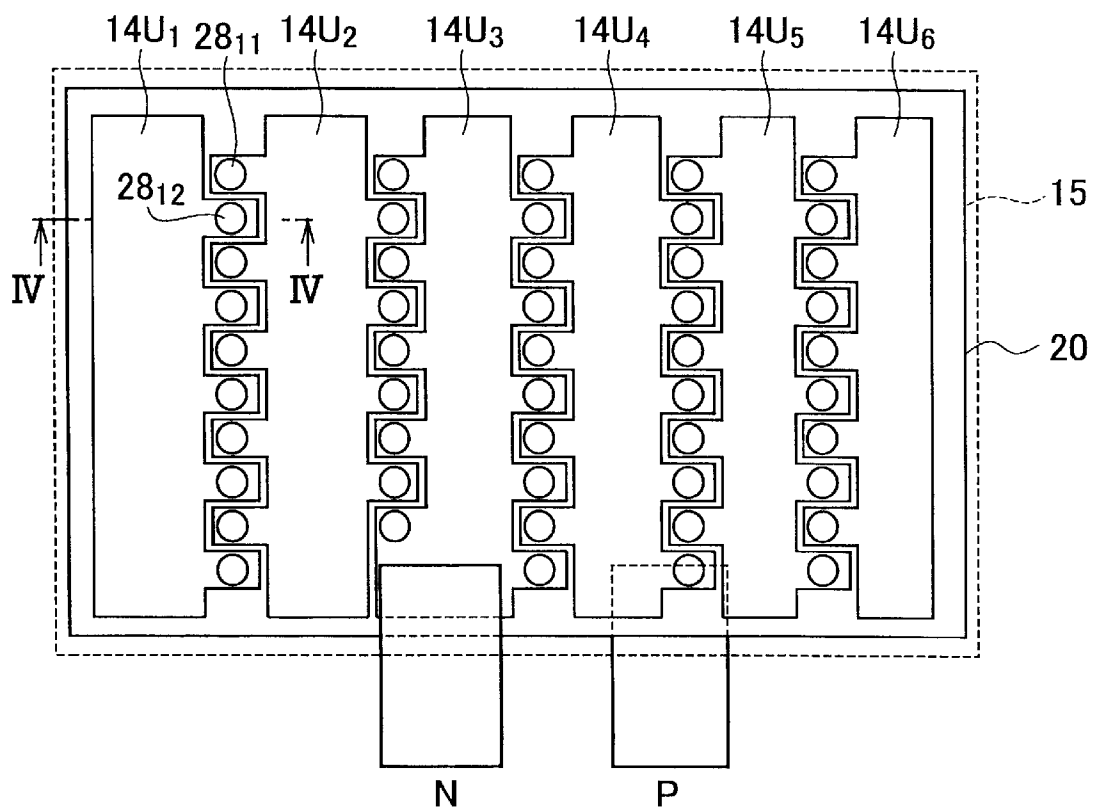


[図14]

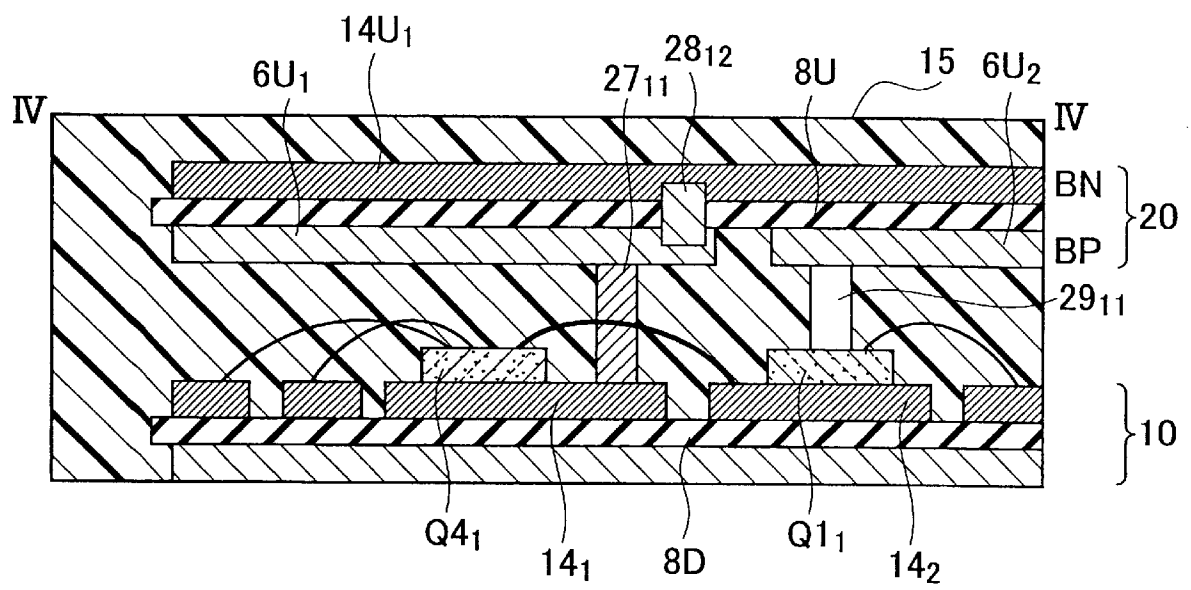
(a)



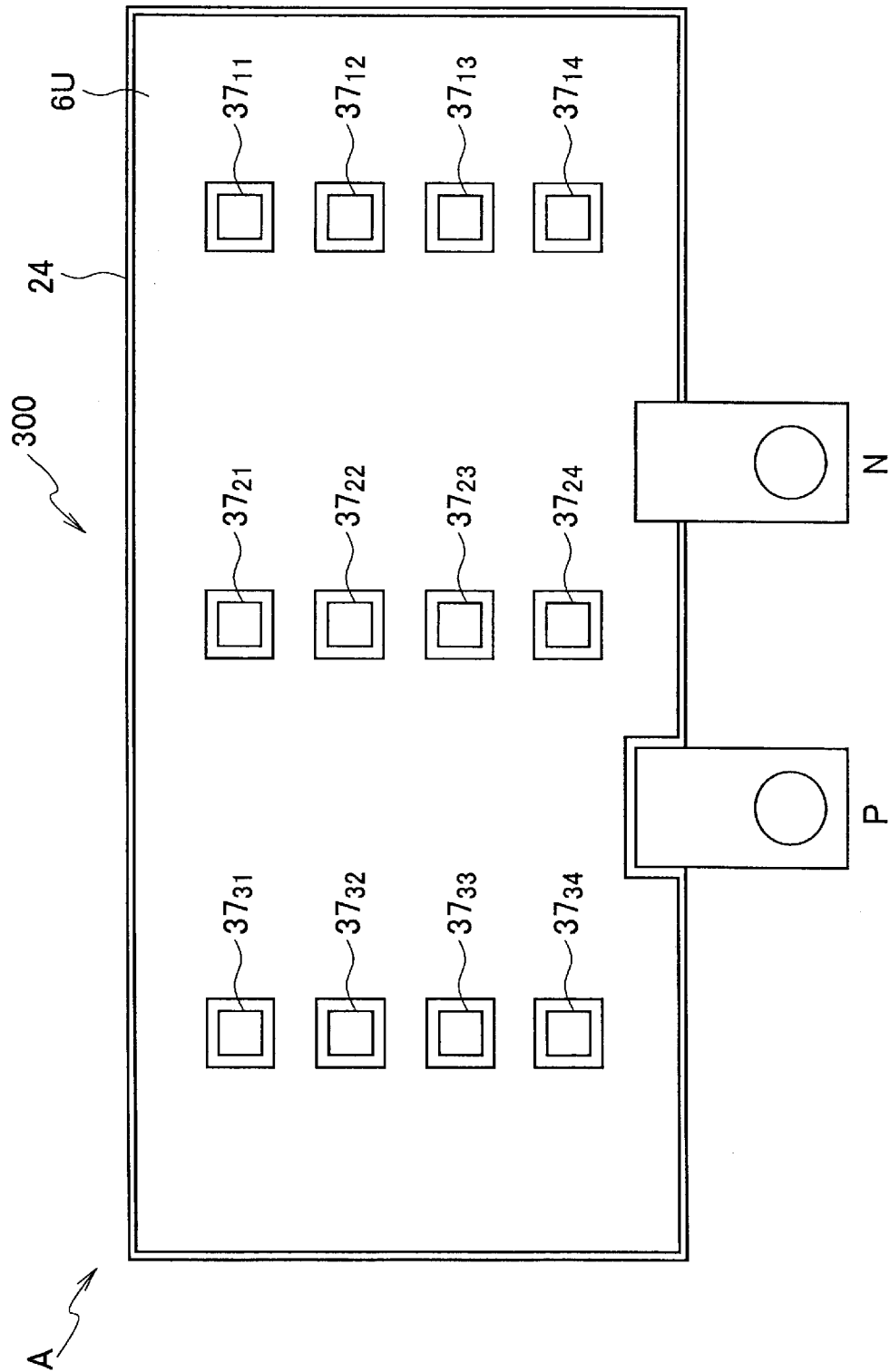
(b)



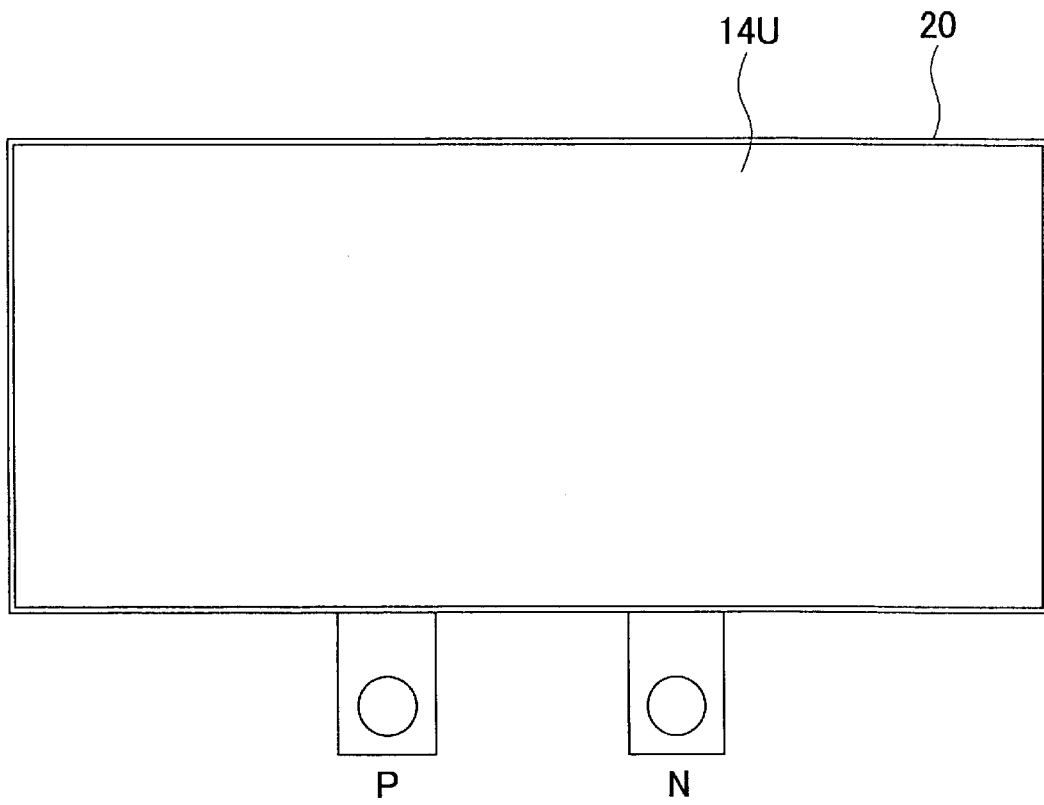
[図15]



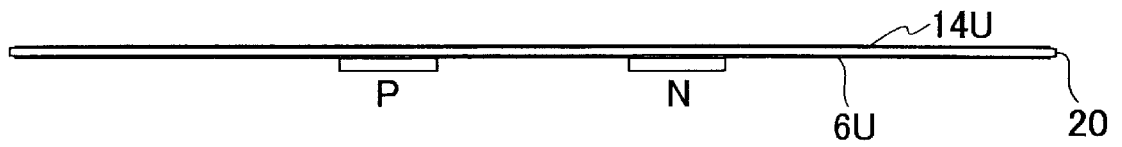
[図17]



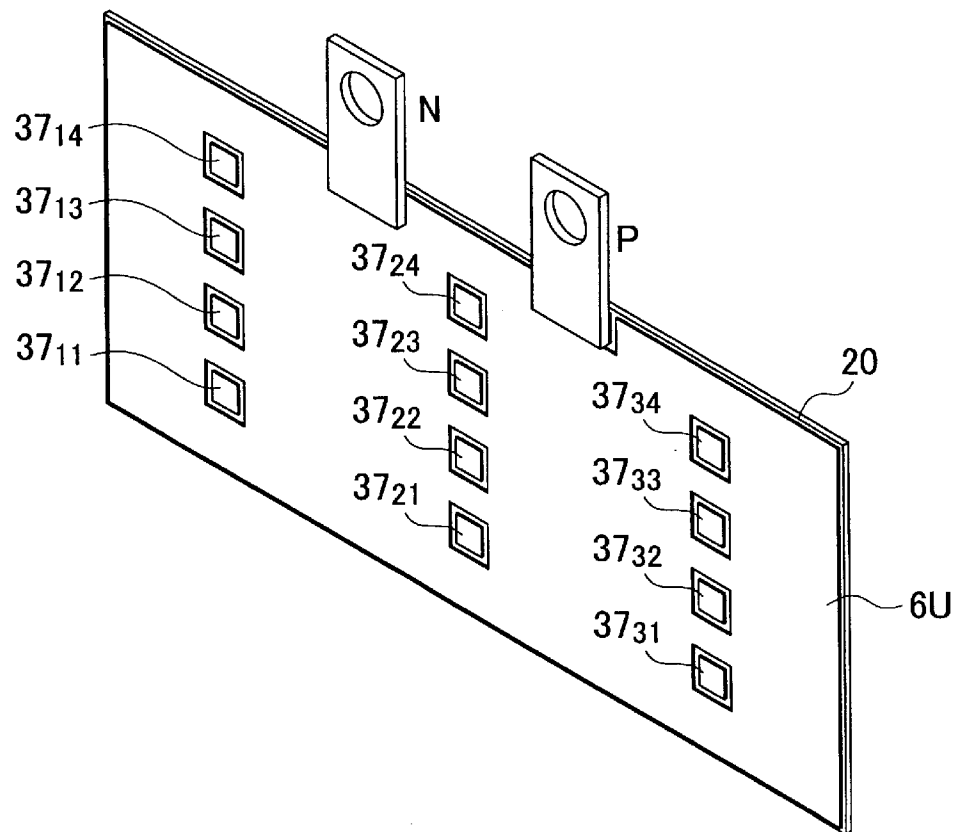
[図18]



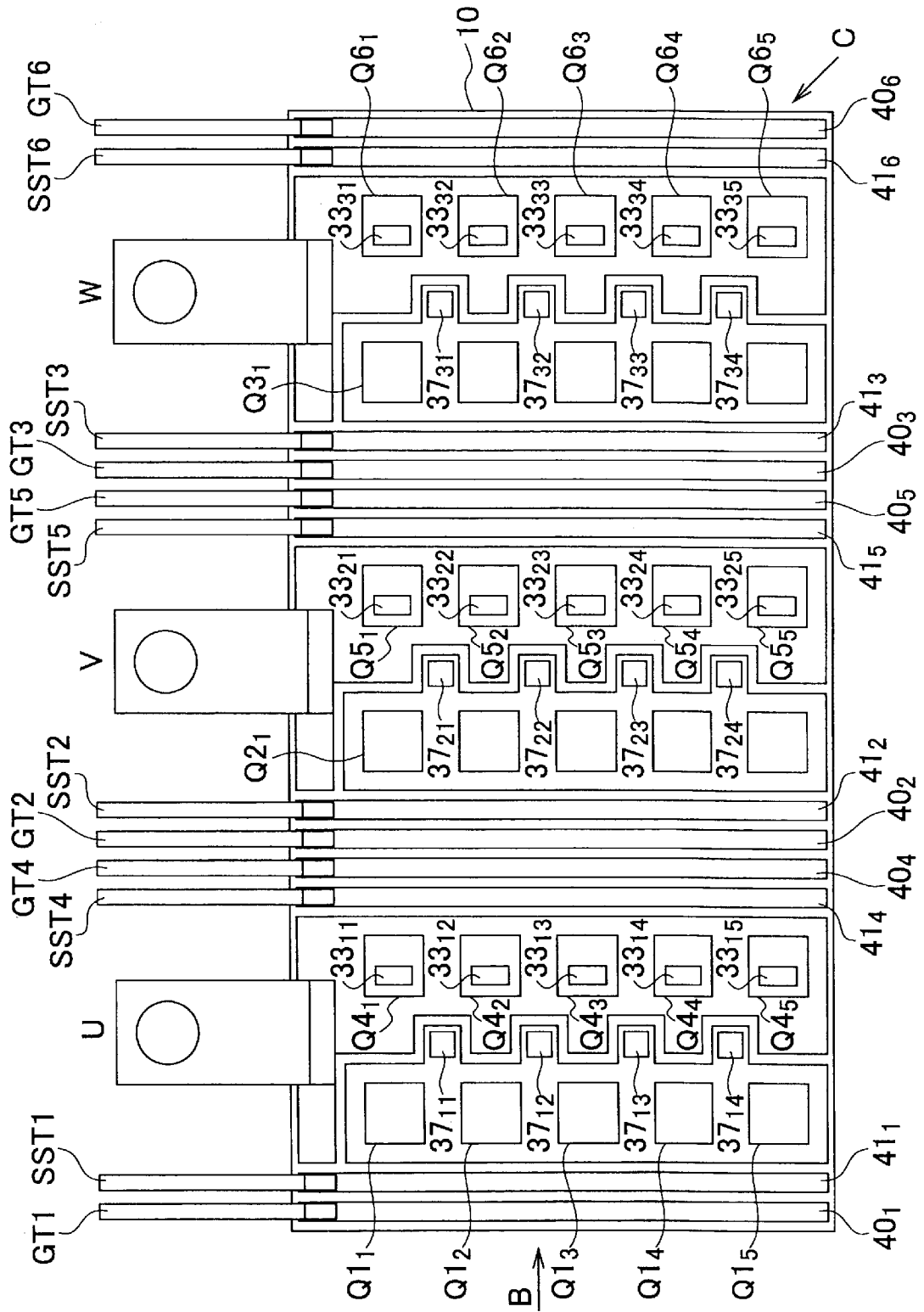
[図19]



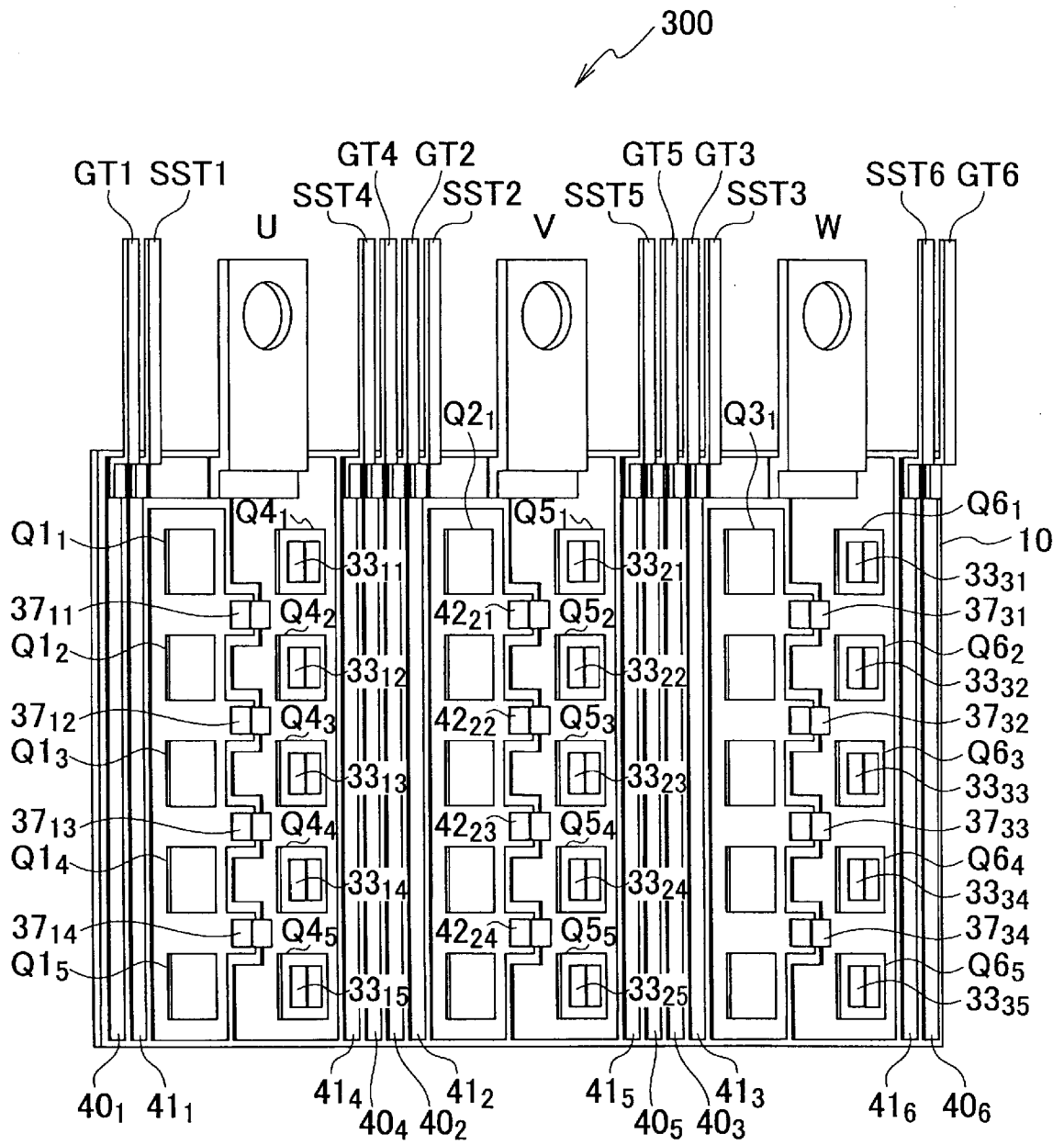
[図20]



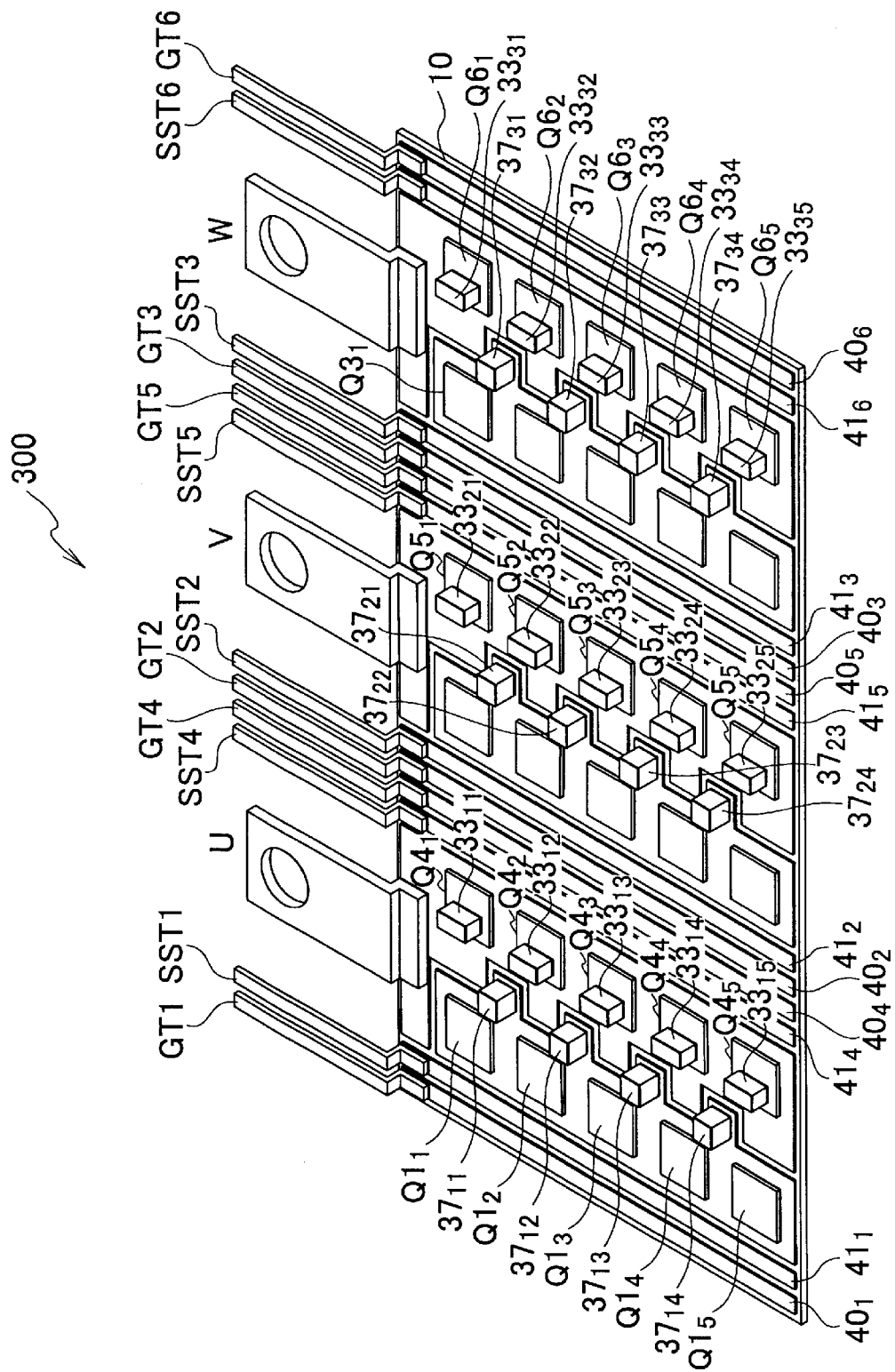
[図21]



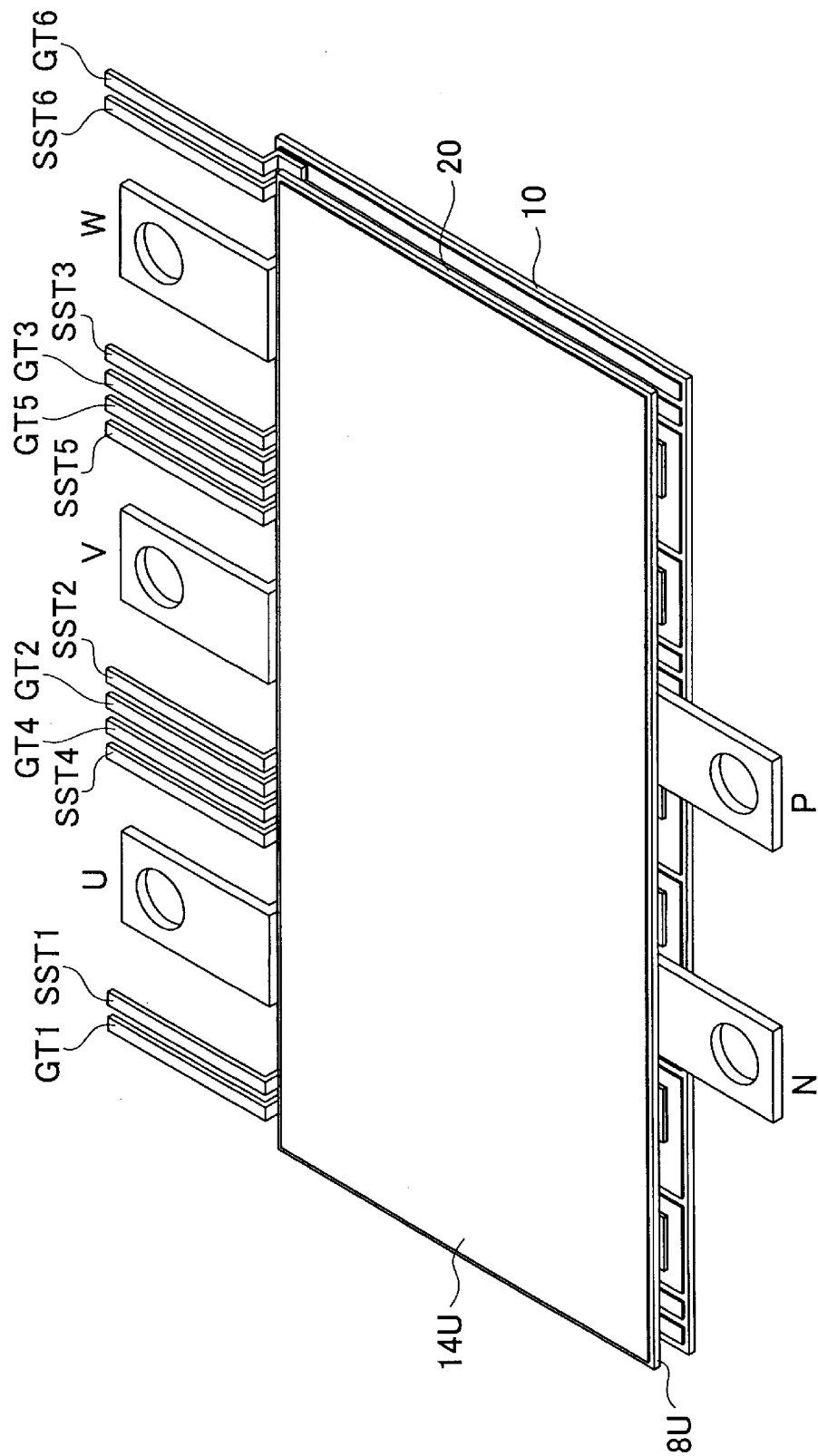
[図22]



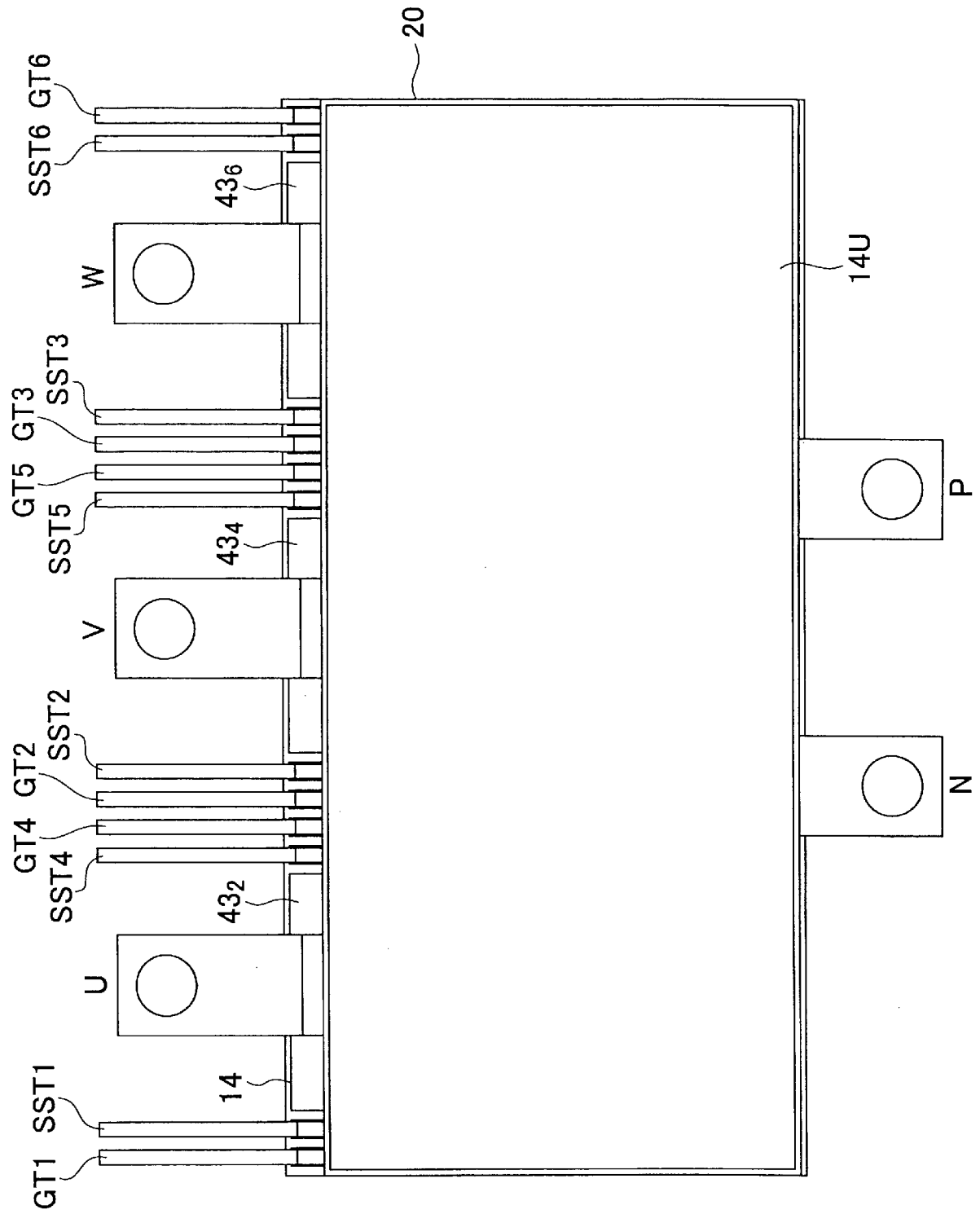
[図23]



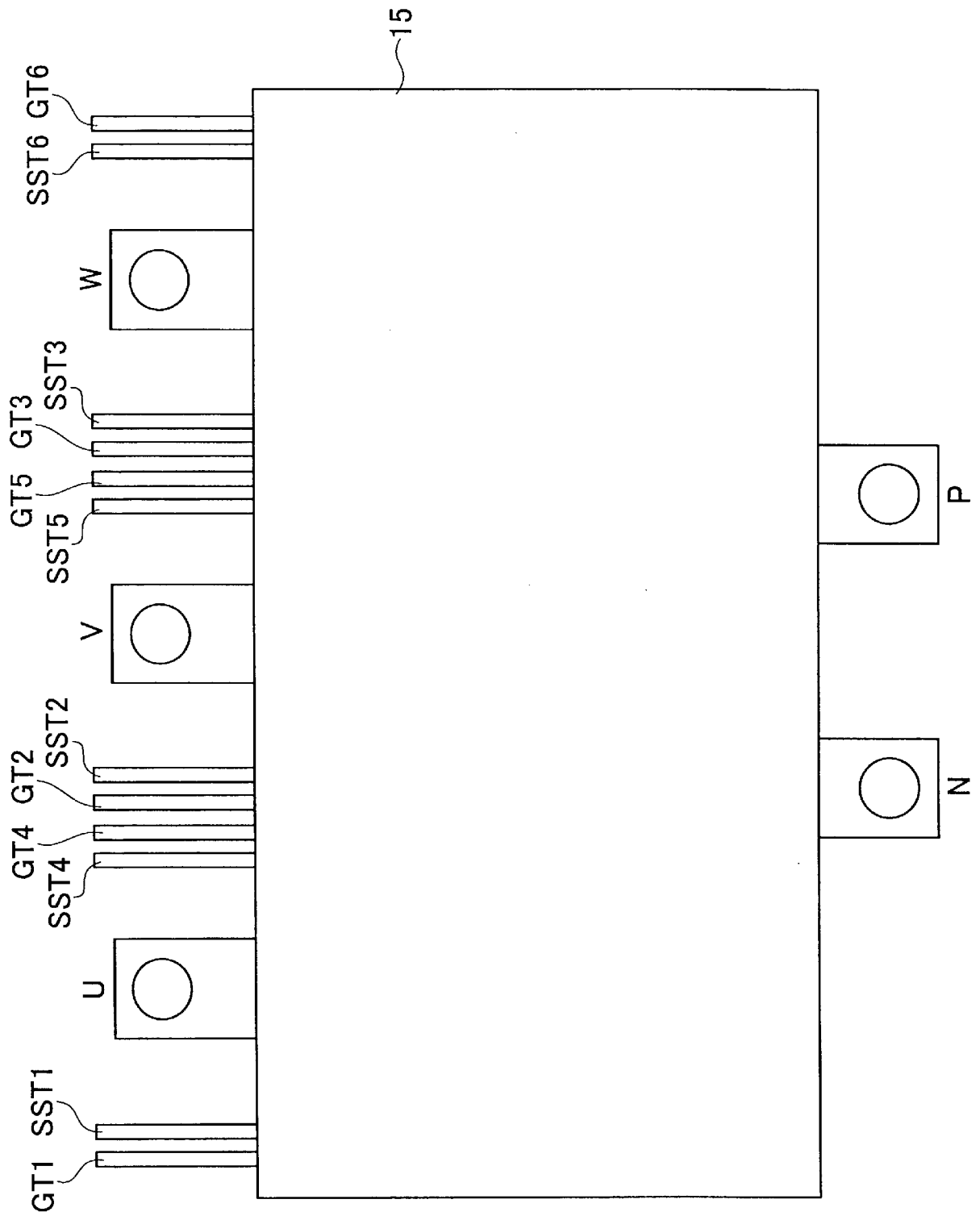
[図24]



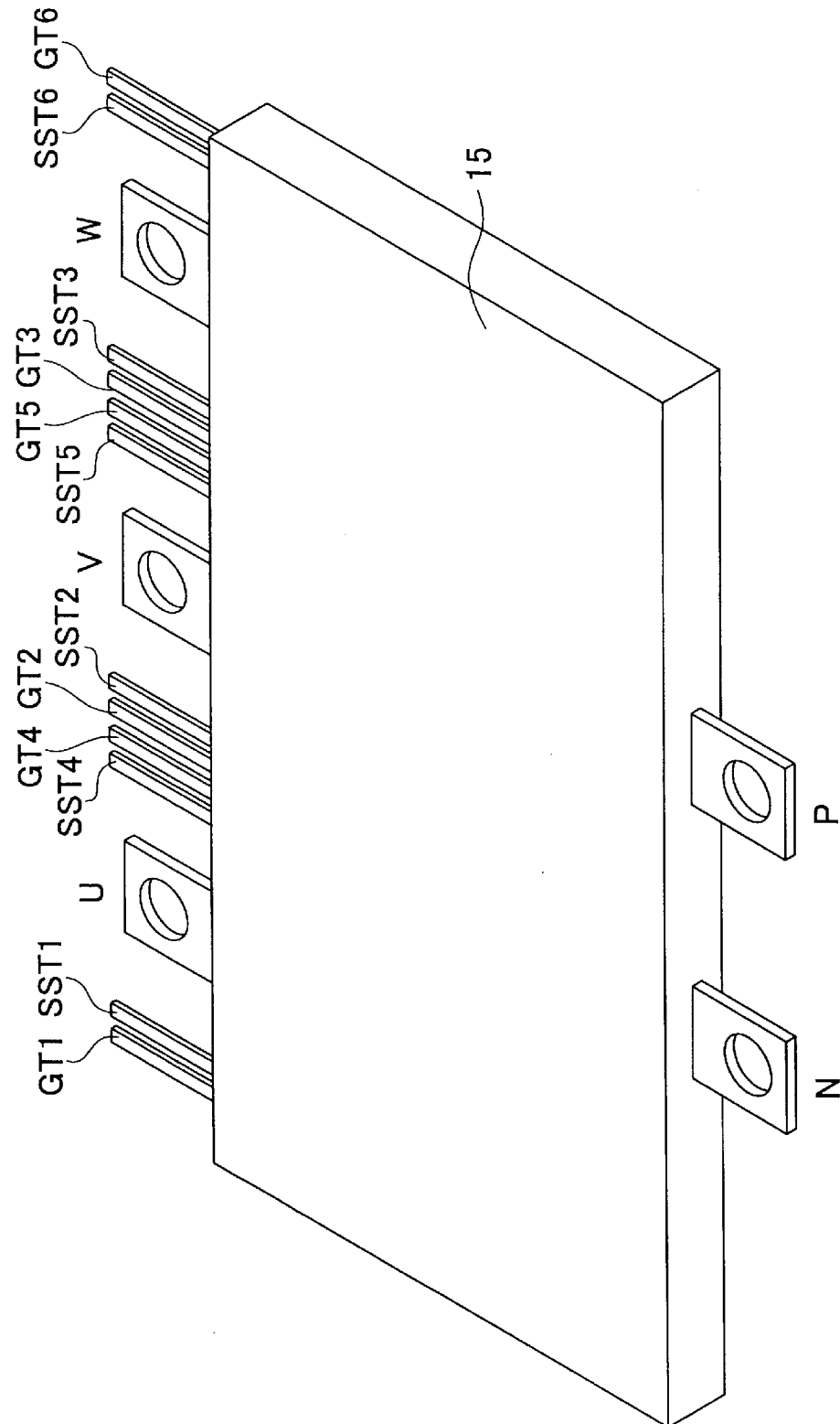
[図25]



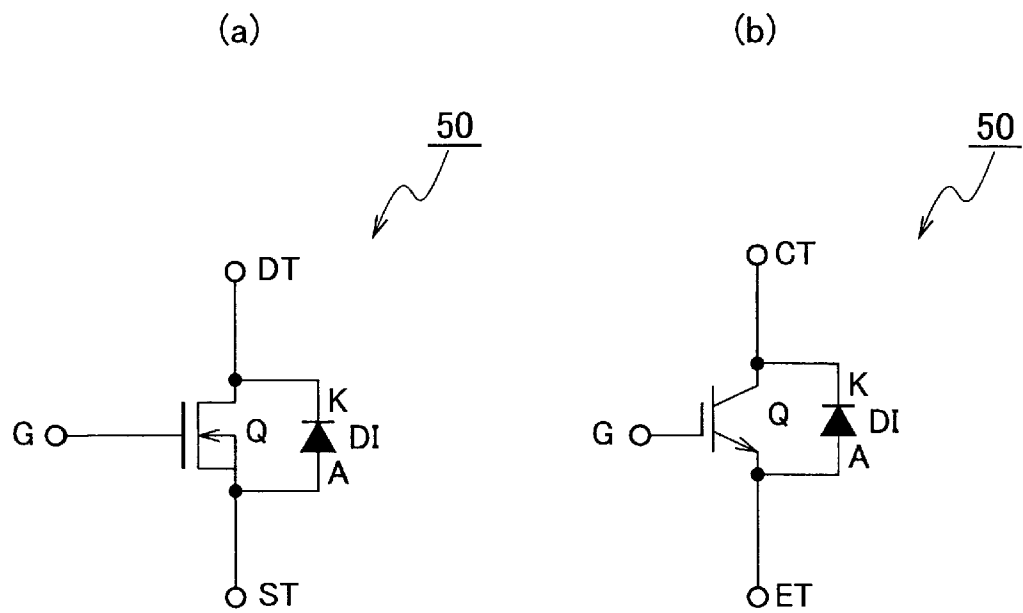
[図26]



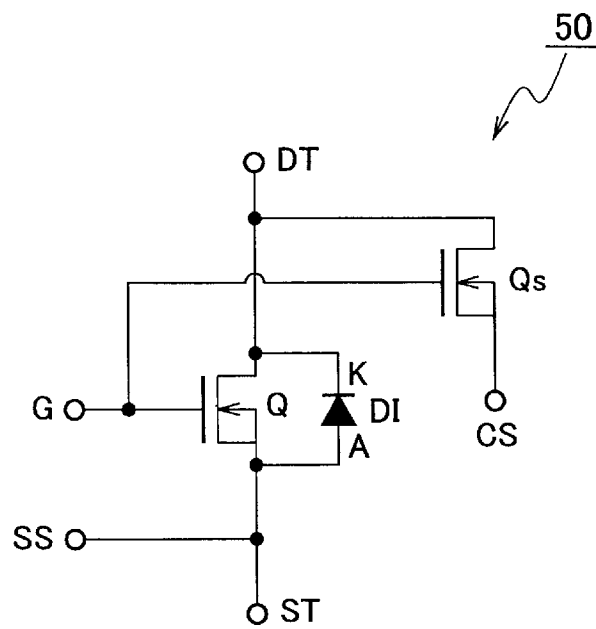
[図27]



[図28]

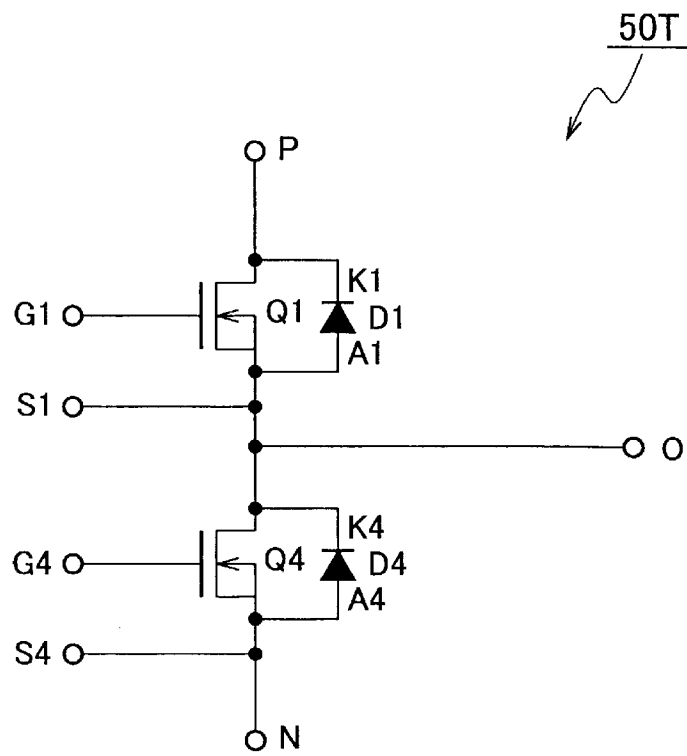


[図29]

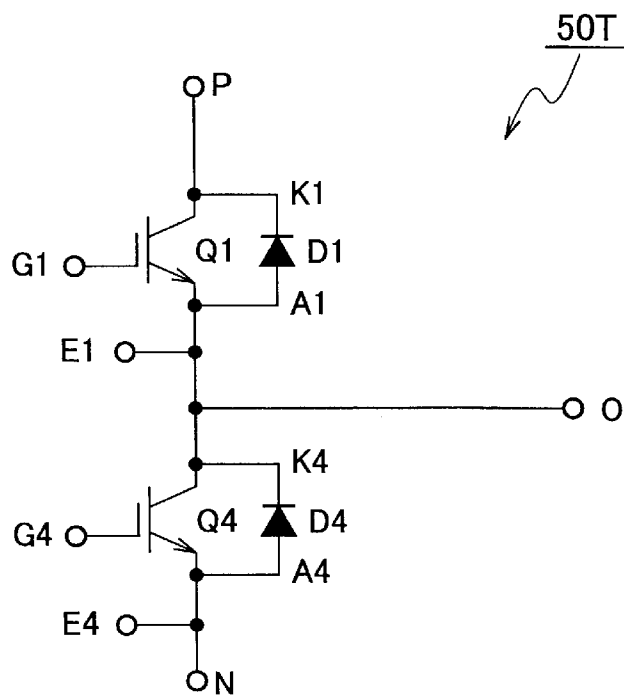


[図30]

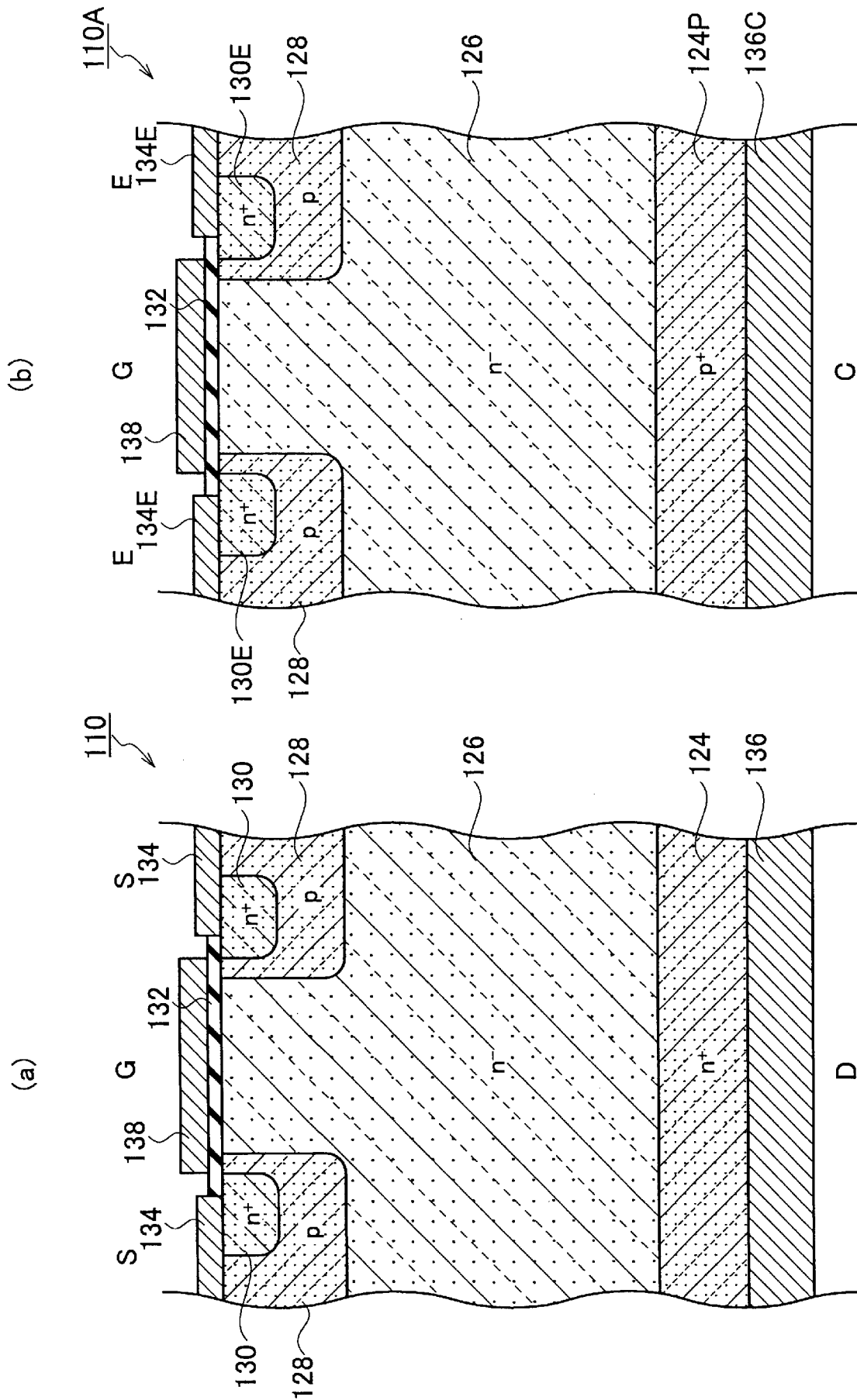
(a)



(b)



[図31]



[図32]

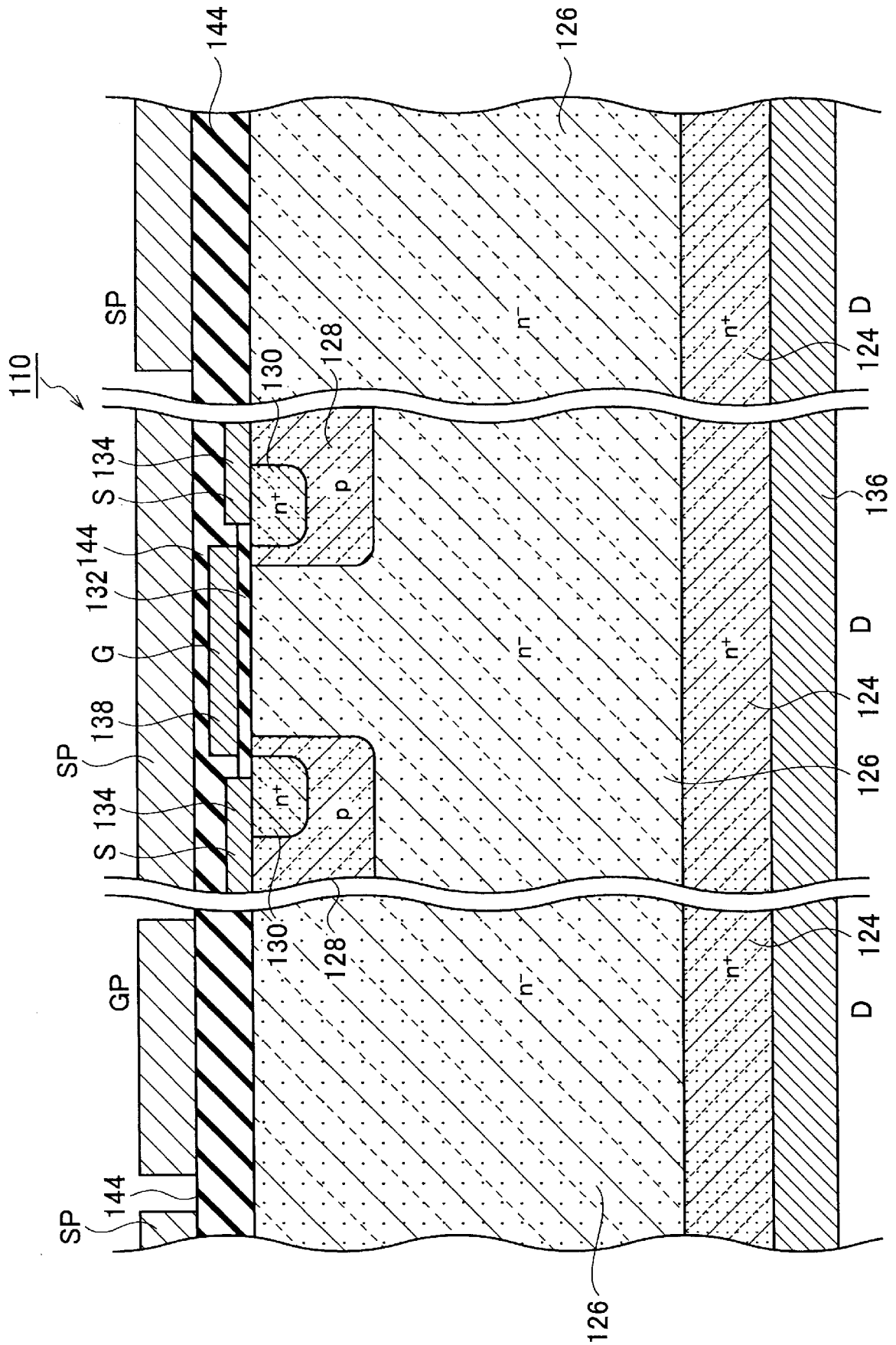
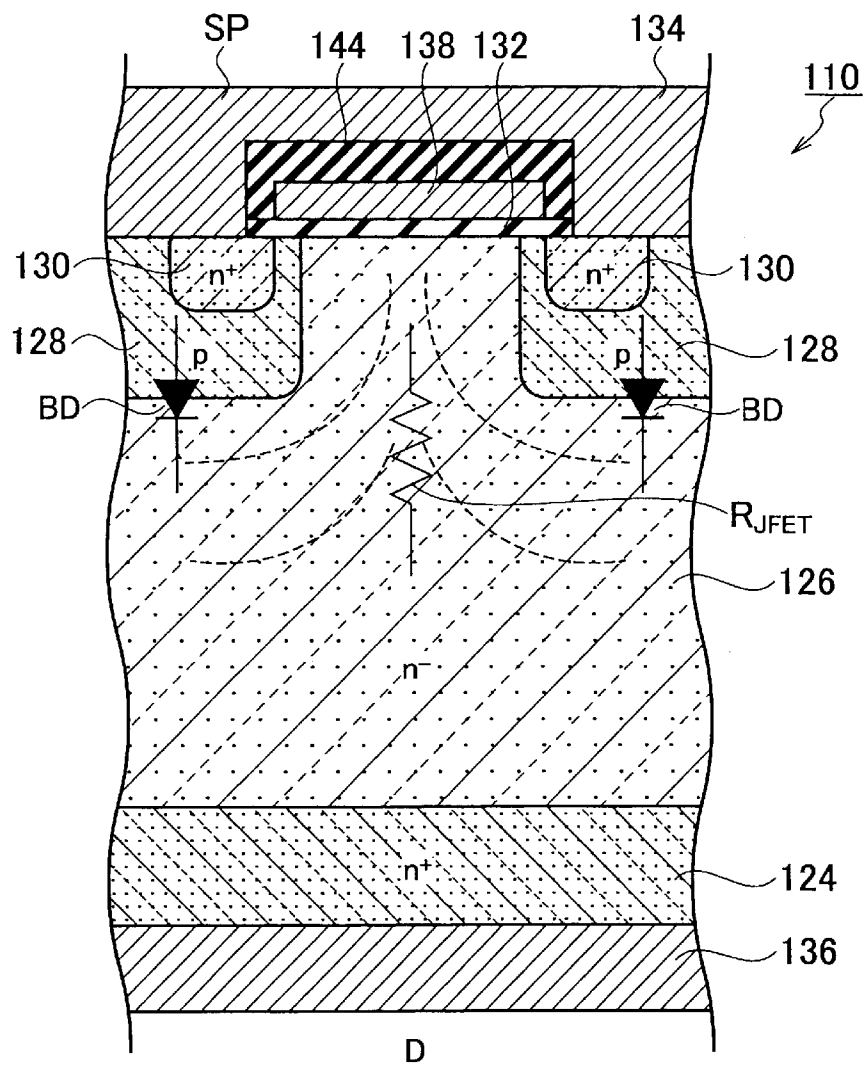


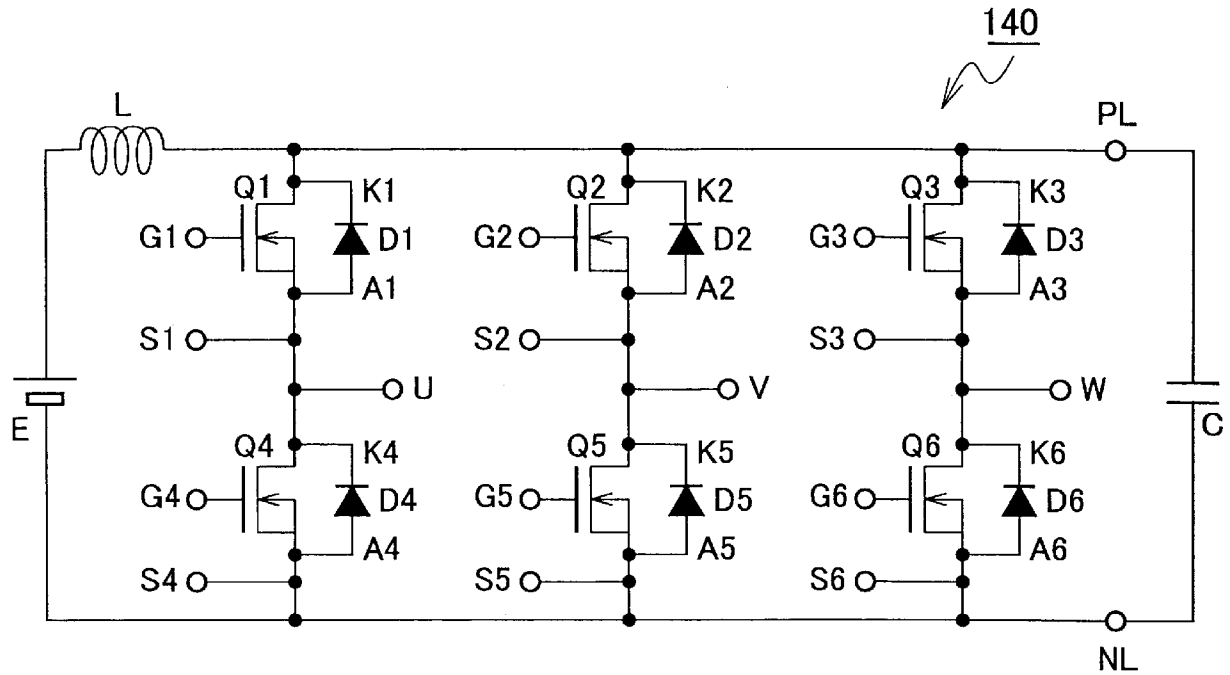
Figure 110A is a cross-sectional view of a semiconductor device. The device features a central channel region 126, which is flanked by source/drain regions 124P and 124PC. The channel region 126 is composed of an n-type layer 126 and a p-type layer 126C. The source/drain regions 124P and 124PC are composed of an n-type layer 124P and a p-type layer 124PC. The device is covered by a gate stack 130E, which includes a gate dielectric layer 138 and a gate electrode layer 144. The gate stack 130E is flanked by contact regions 130E and 130E. The contact regions 130E and 130E are composed of an n-type layer 130E and a p-type layer 130E. The device is also covered by a passivation layer 144. The device is labeled 110A.

[図34]

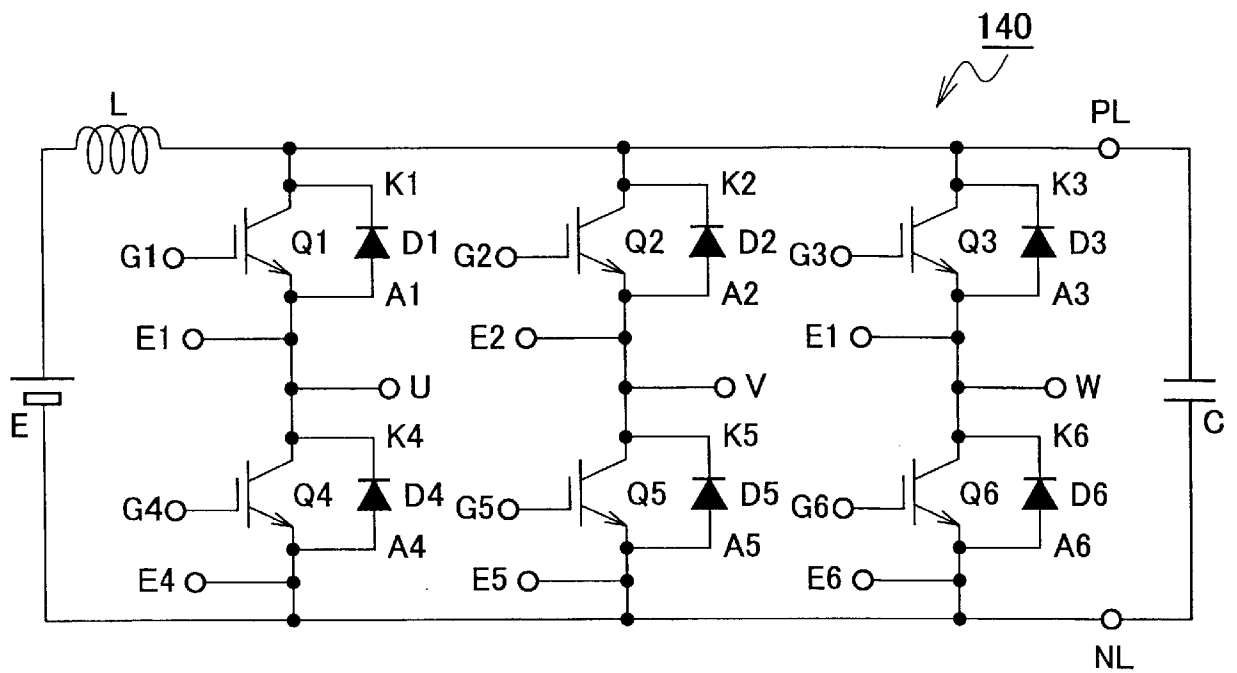


[図36]

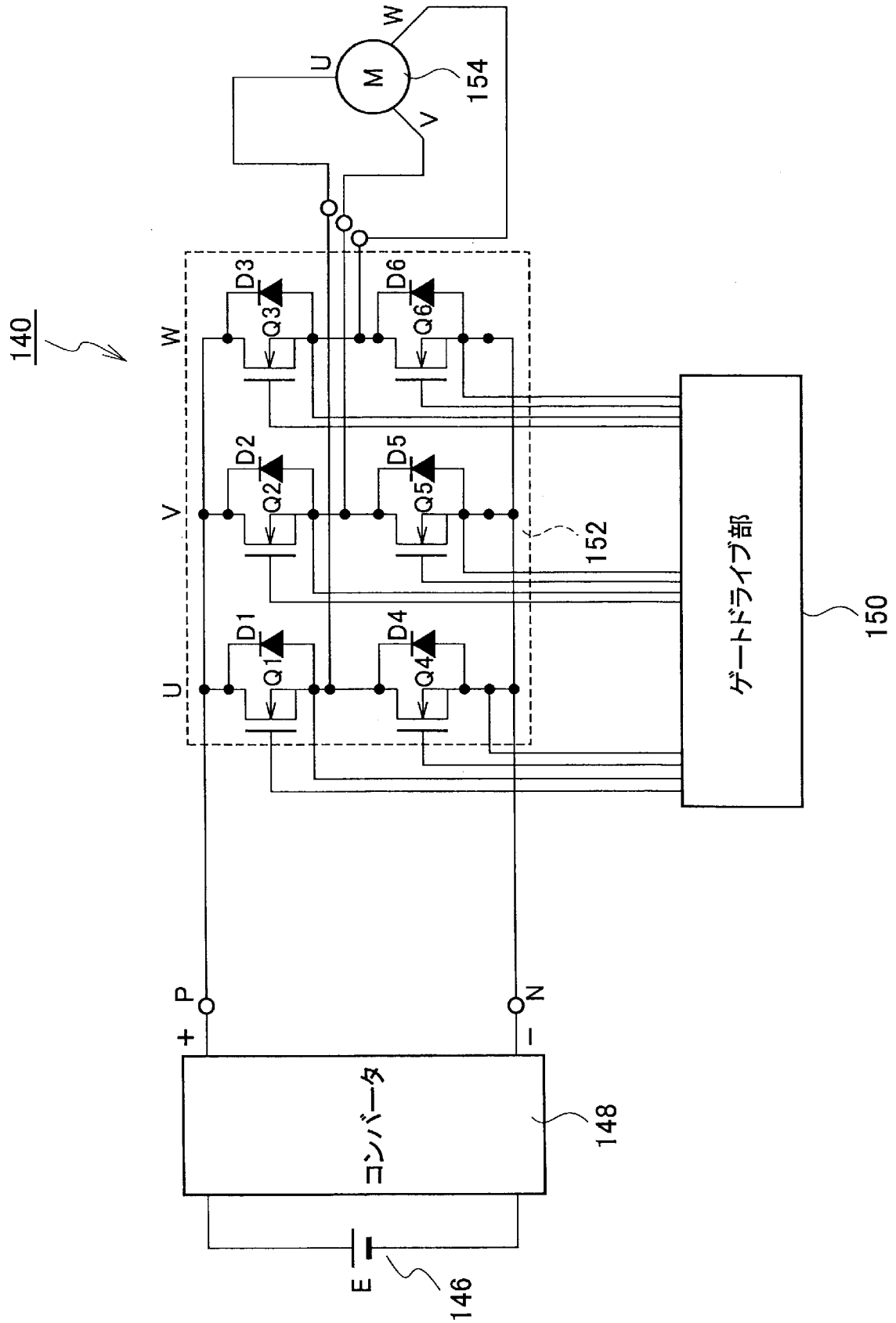
(a)



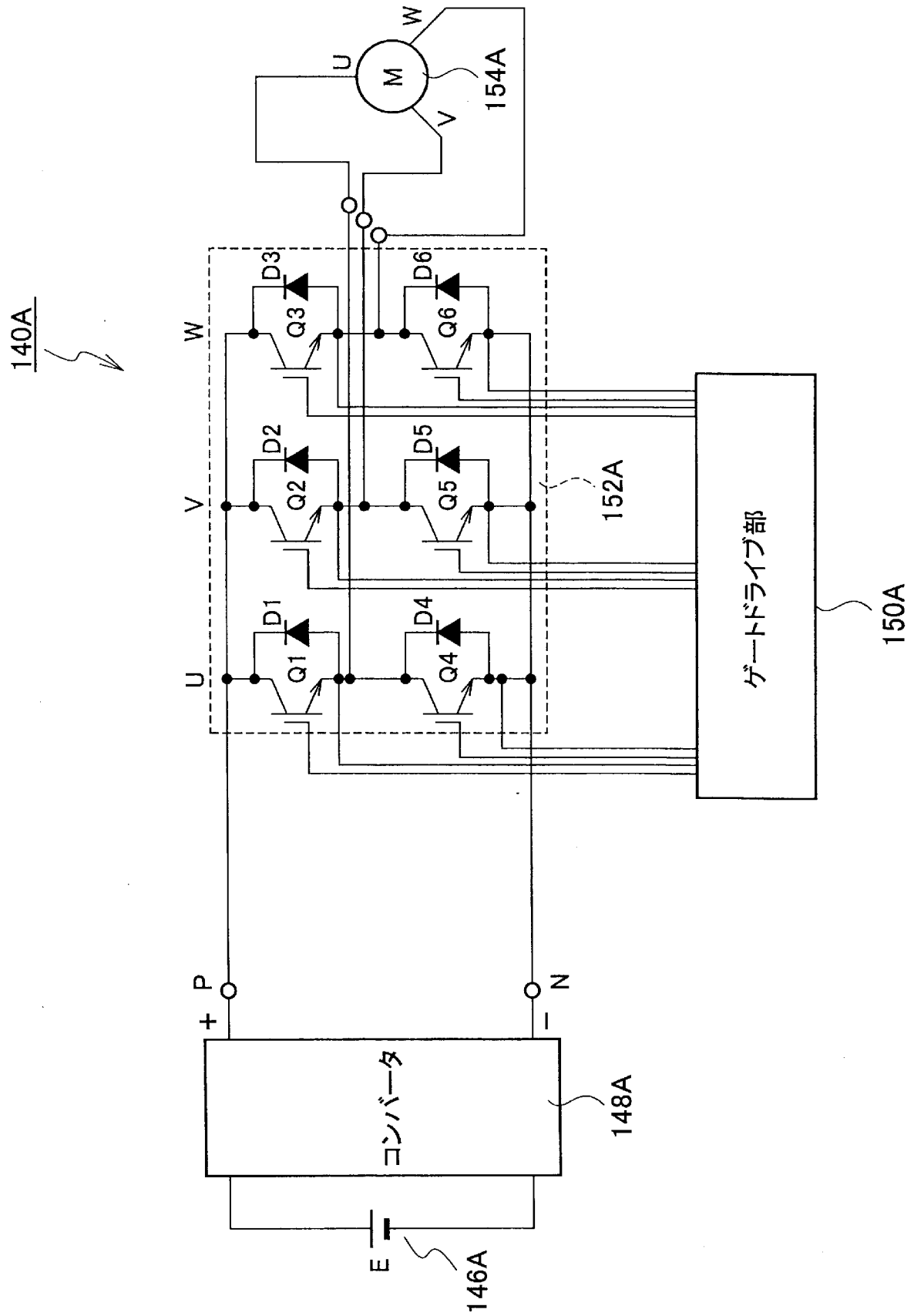
(b)



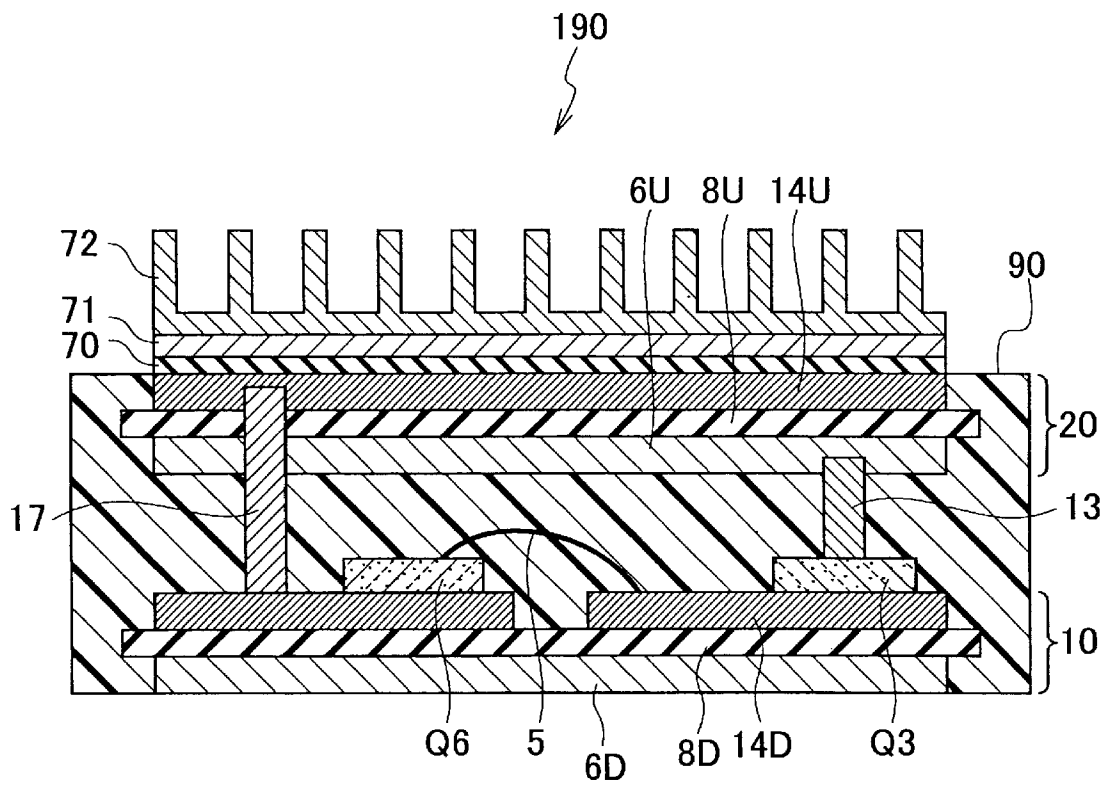
[図37]



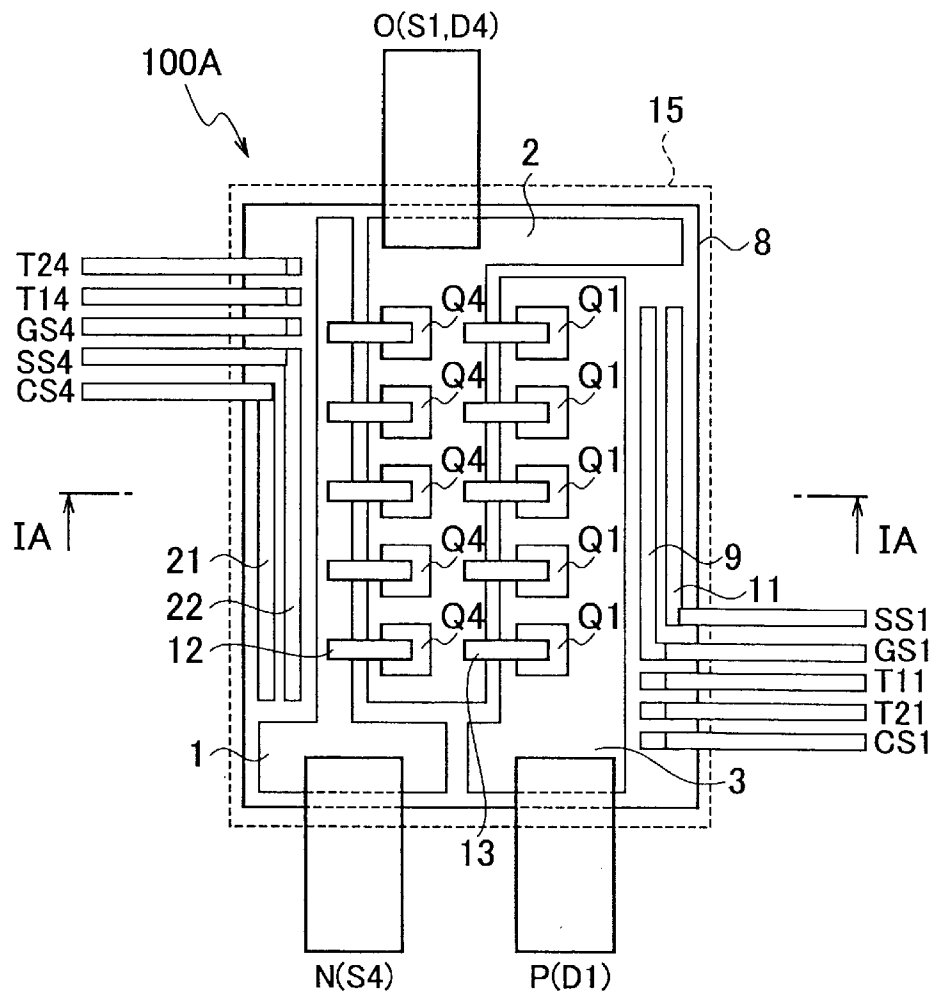
[図38]



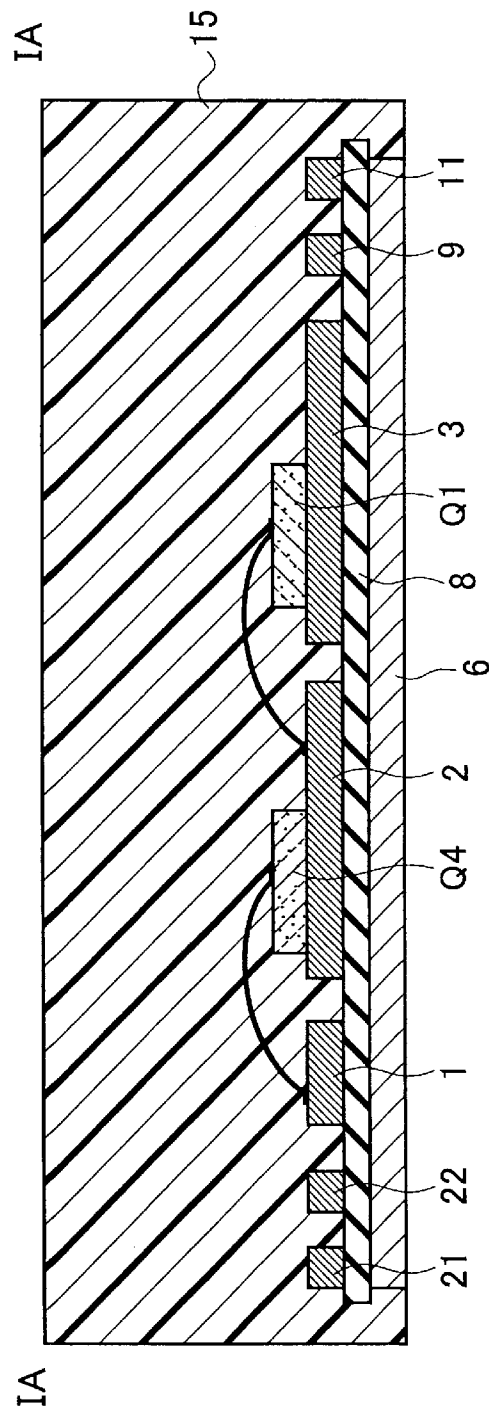
[図39]



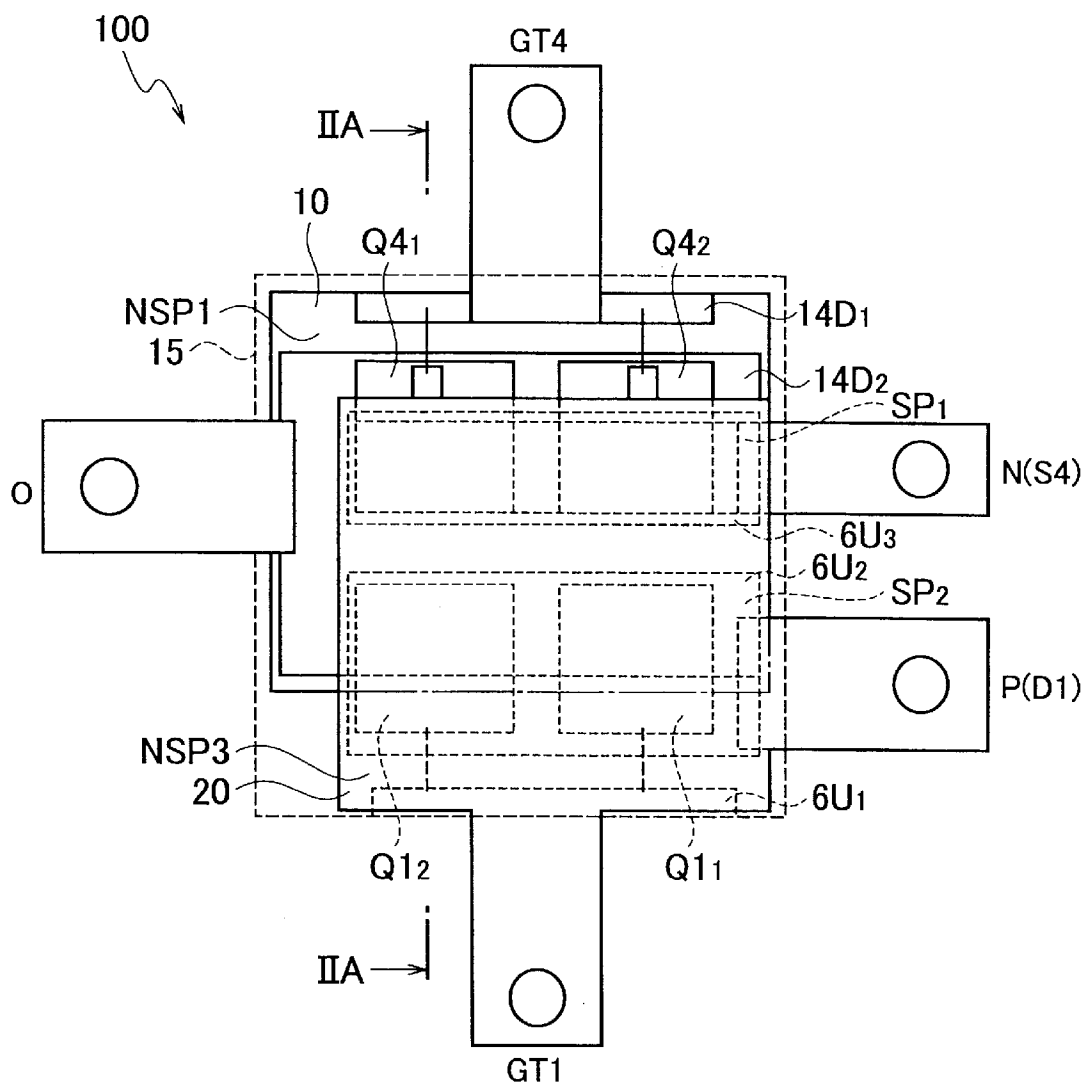
[図40]



[図41]



[図42]

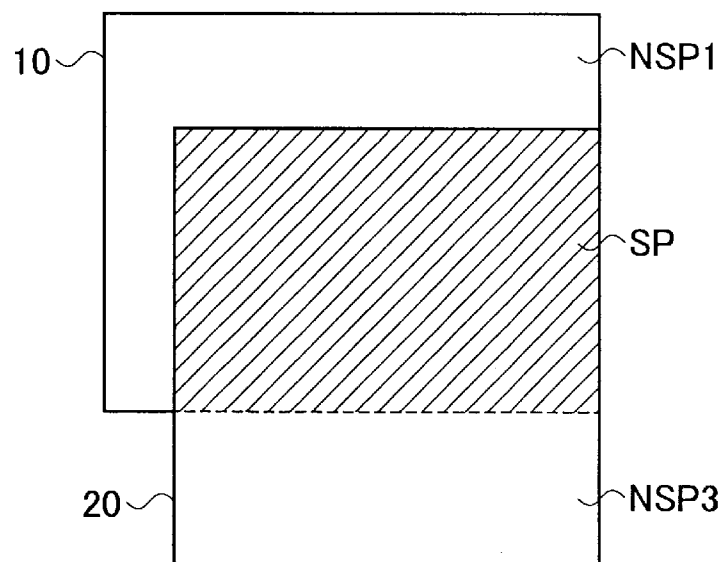


[illegible]

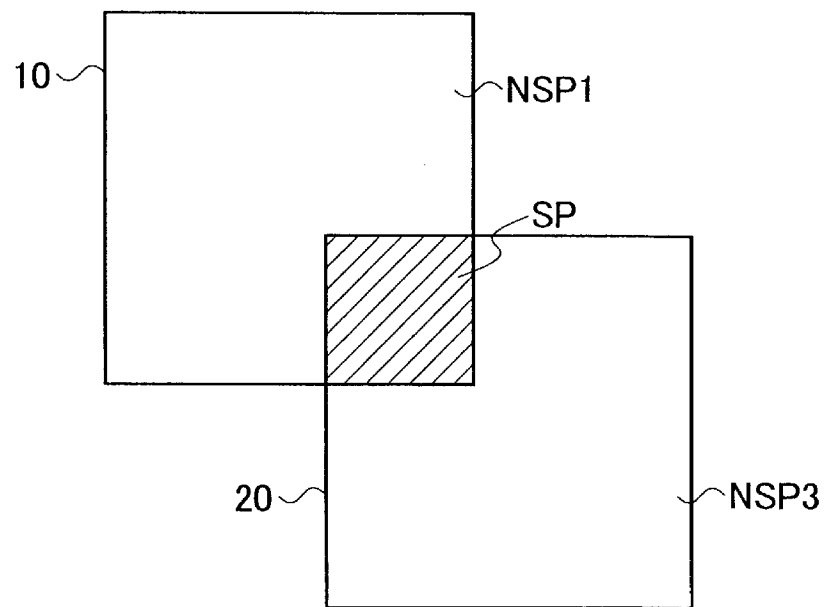
A schematic diagram of a semiconductor device. It shows a top layer 20 and a bottom layer 10. Between them are four rectangular regions labeled Q12, Q41, Q42, and Q11. A large downward-pointing arrow is centered between these regions. On the left, a horizontal line is labeled O(U). On the right, a horizontal line is labeled P. At the bottom, two regions are labeled S1 and D4.

[図45]

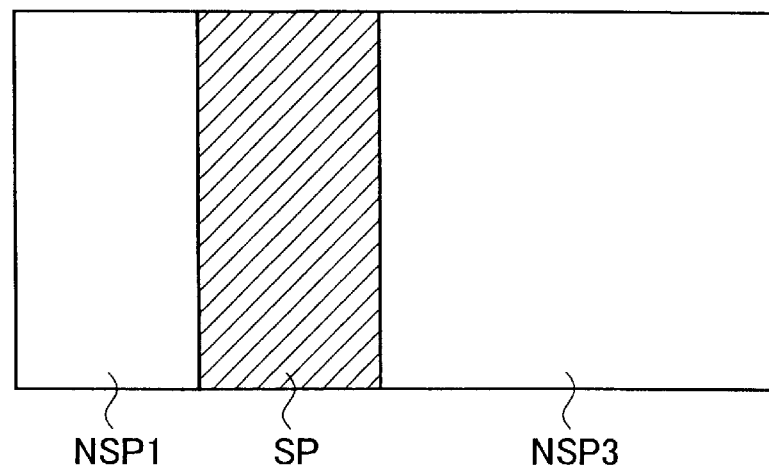
(a)



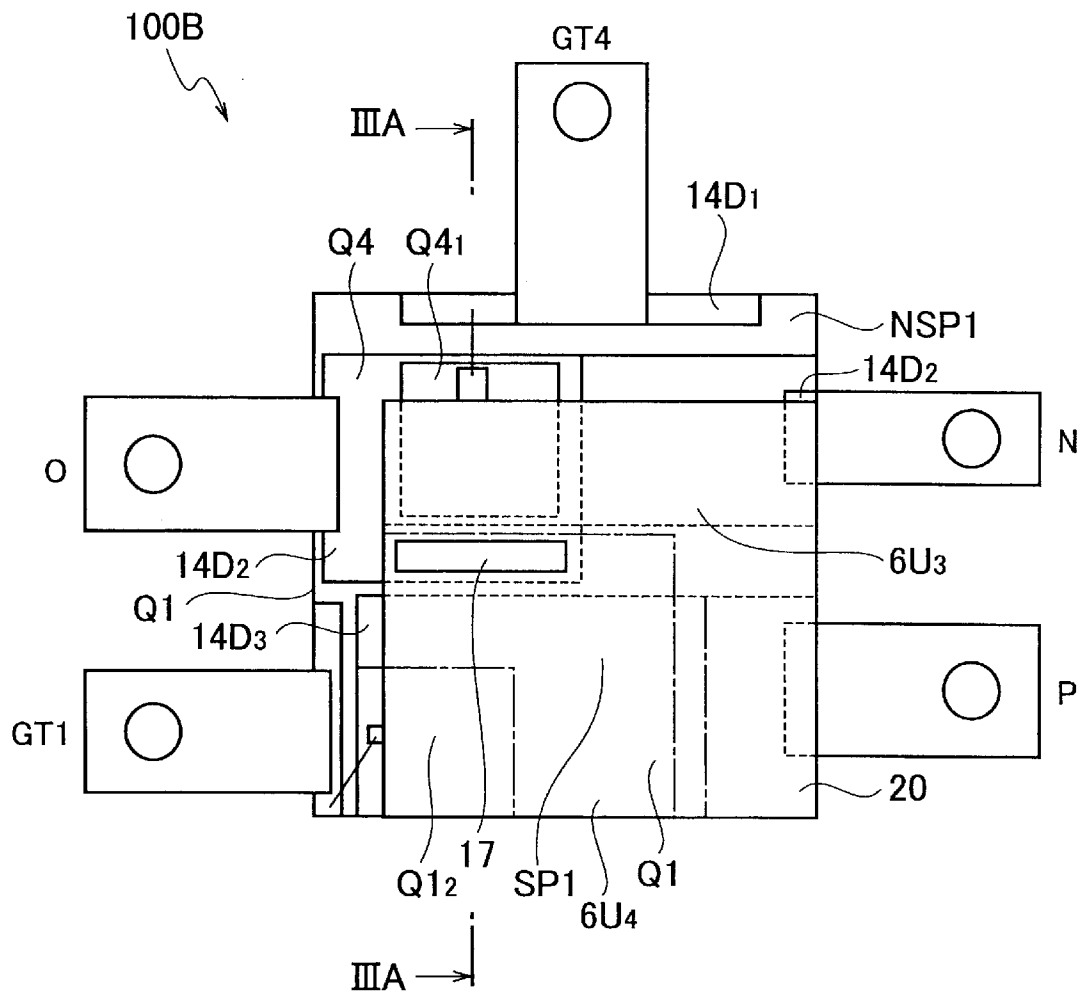
(b)



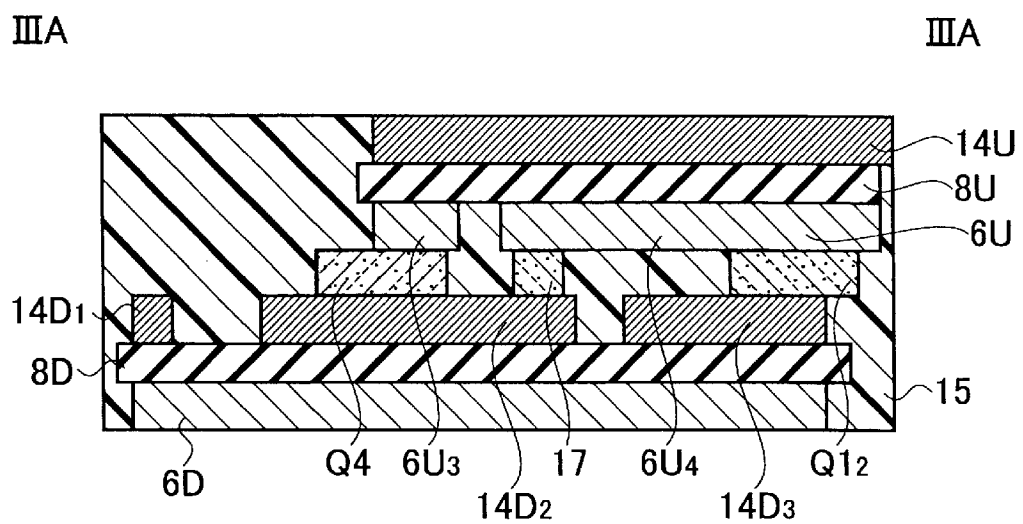
(c)



[図46]

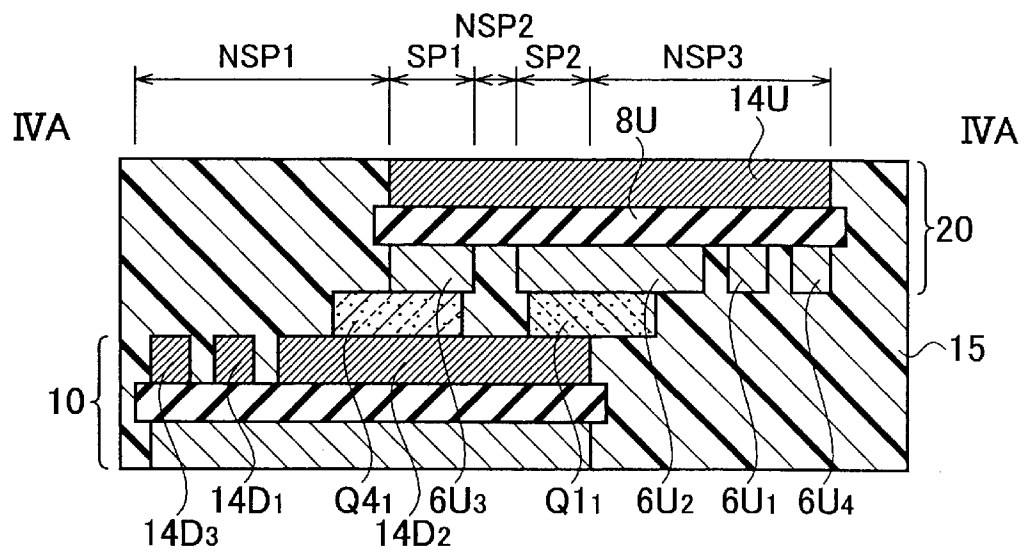


[図47]



[illegible]

[図49]



200A

VA

N

6U₃

15

14U

8U

6U₂

P

Q11

Q12

Q13

Q14

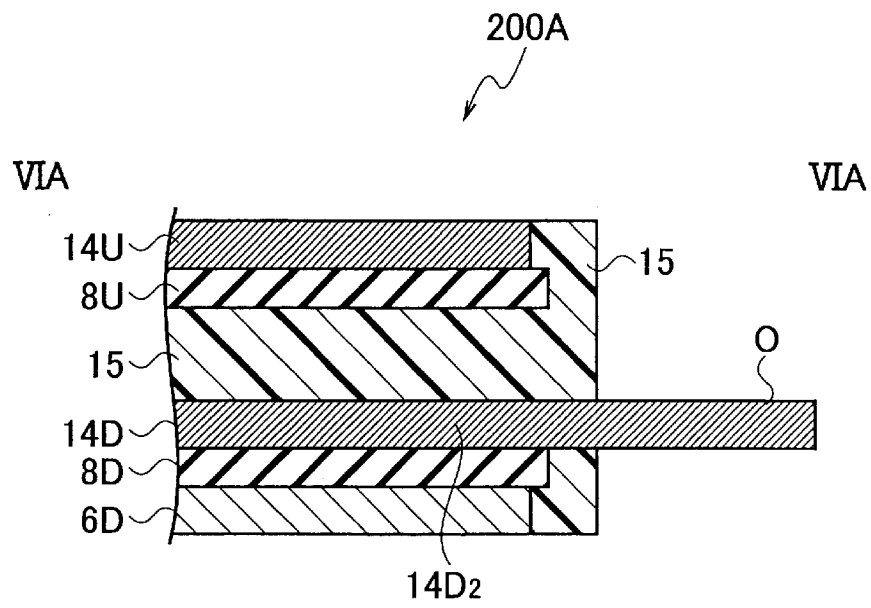
6D

8D

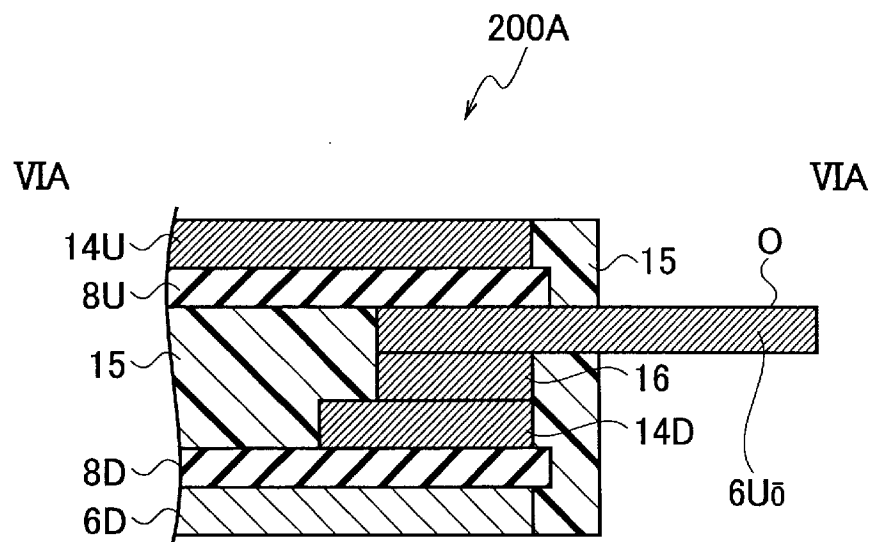
14D

15

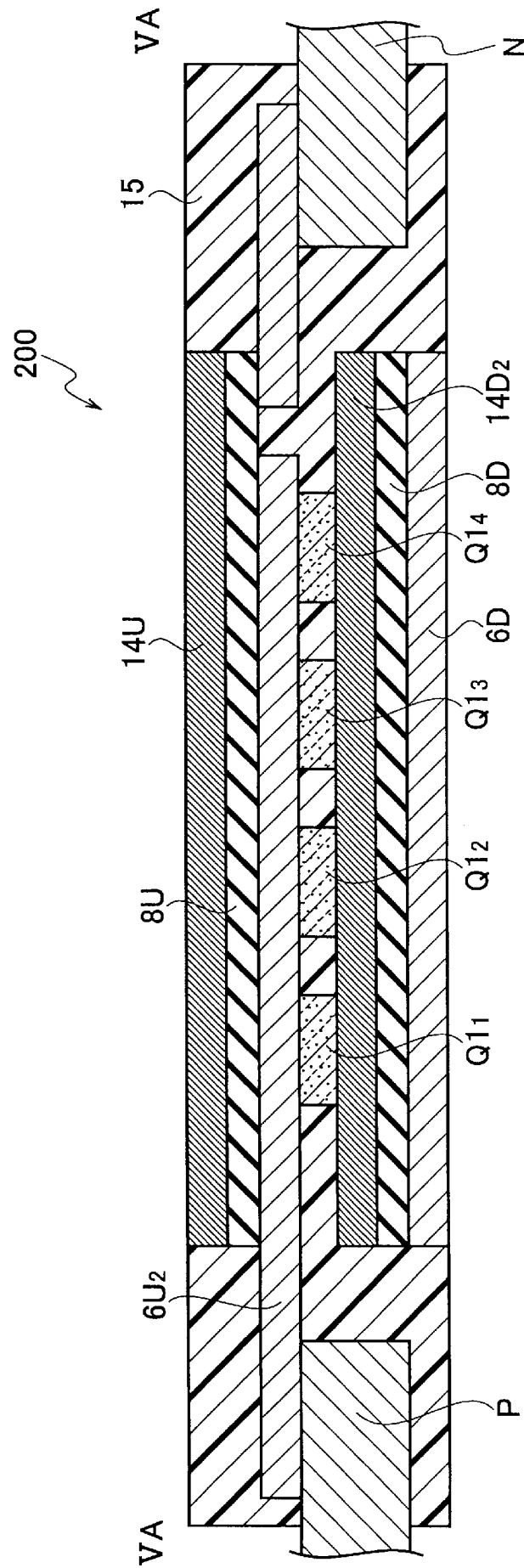
[図51]



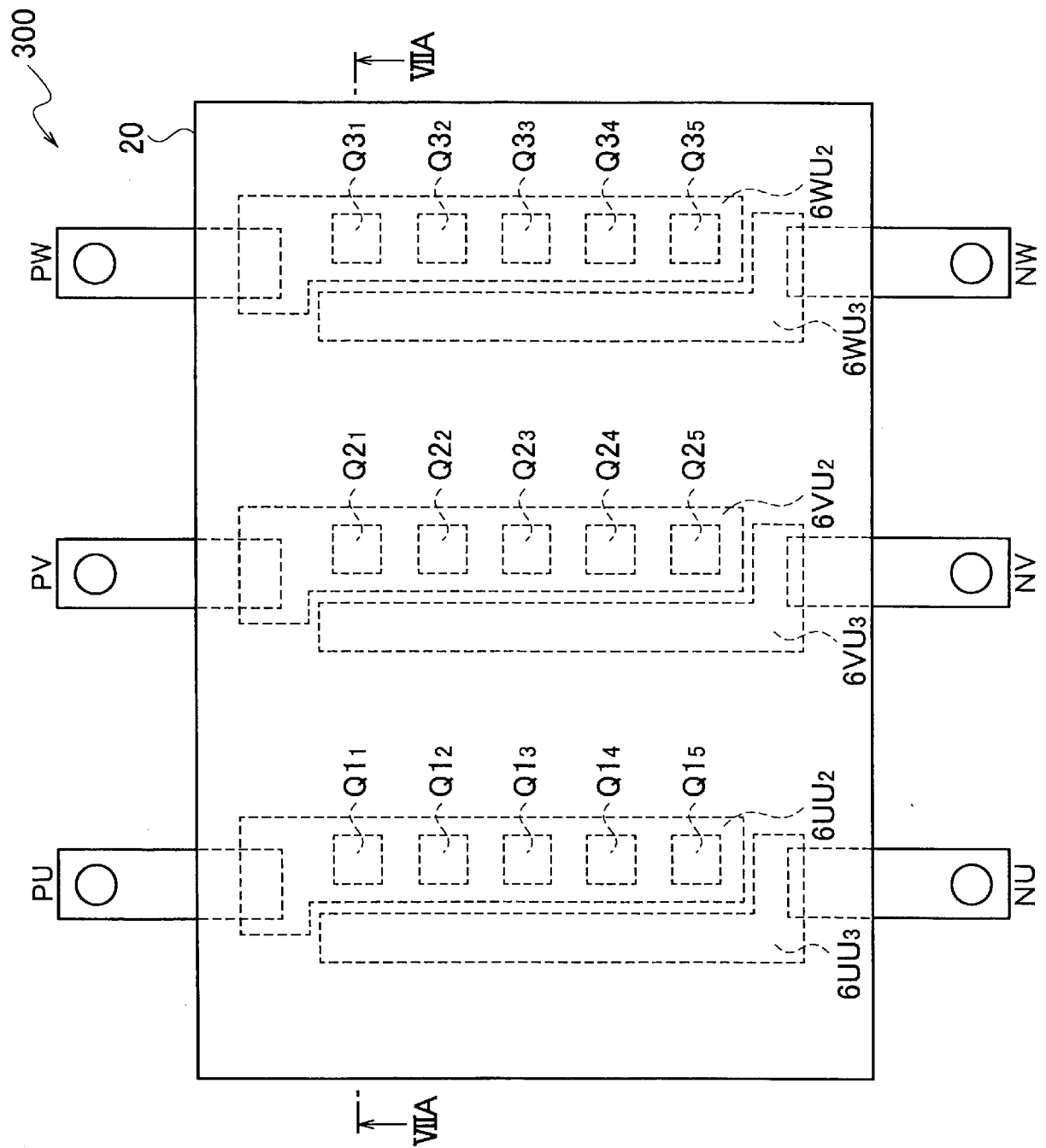
[図52]



[図53]

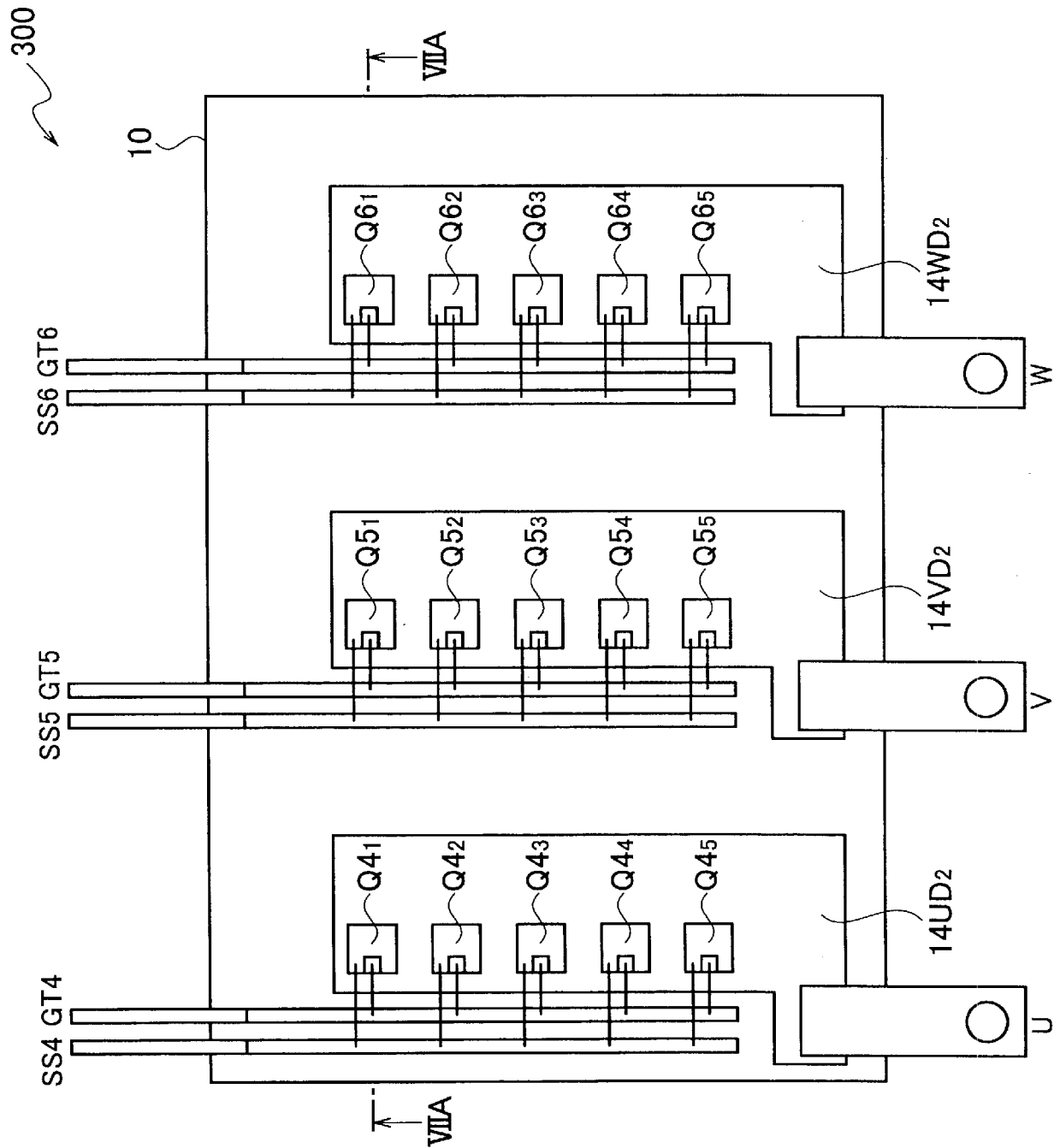


[図54]

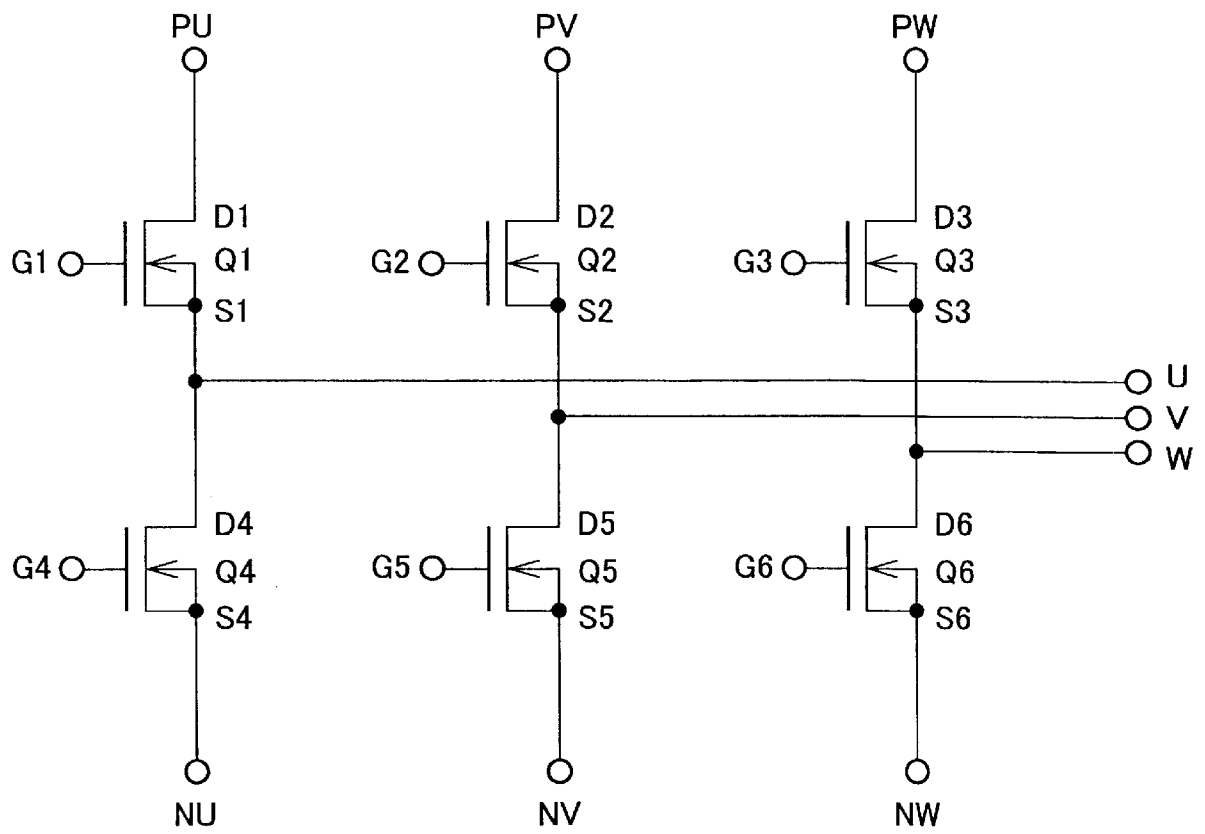


The schematic diagram illustrates a semiconductor device 300 with three parallel processing blocks. Each block contains a stack of five transistors (Q11-Q15, Q21-Q25, Q31-Q35) connected to a common source line (SS1, SS2, SS3) and a common gate line (GT1, GT2, GT3). The blocks are connected to power supply rails (VDD, VSS) and have input/output nodes (PU, PV, PW, NU, NV, NW).

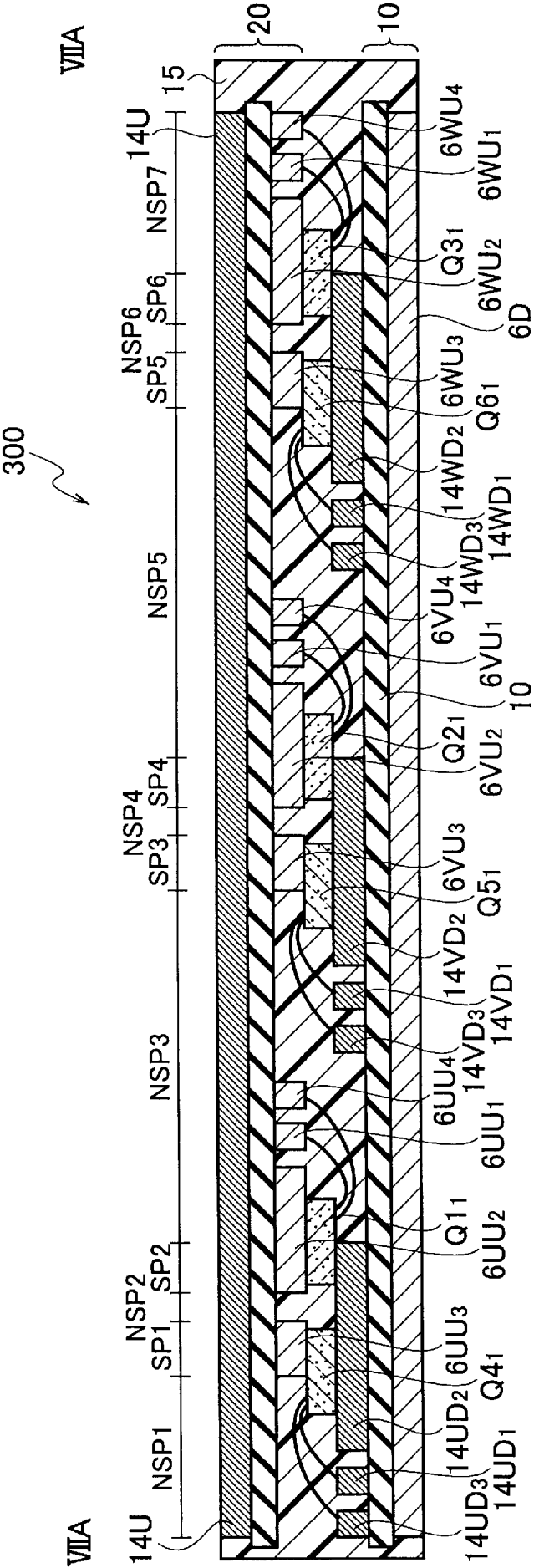
[図56]



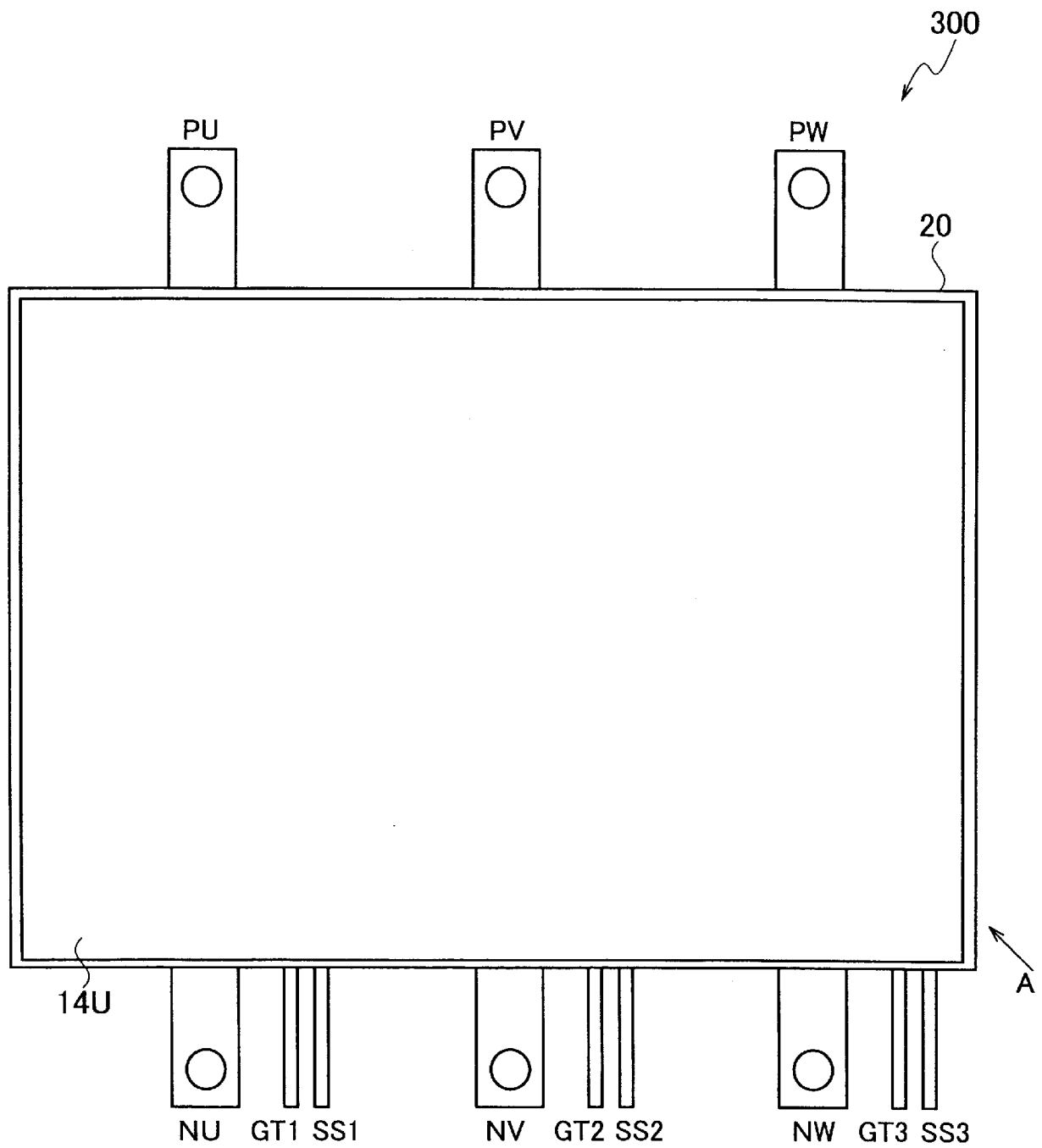
[図57]



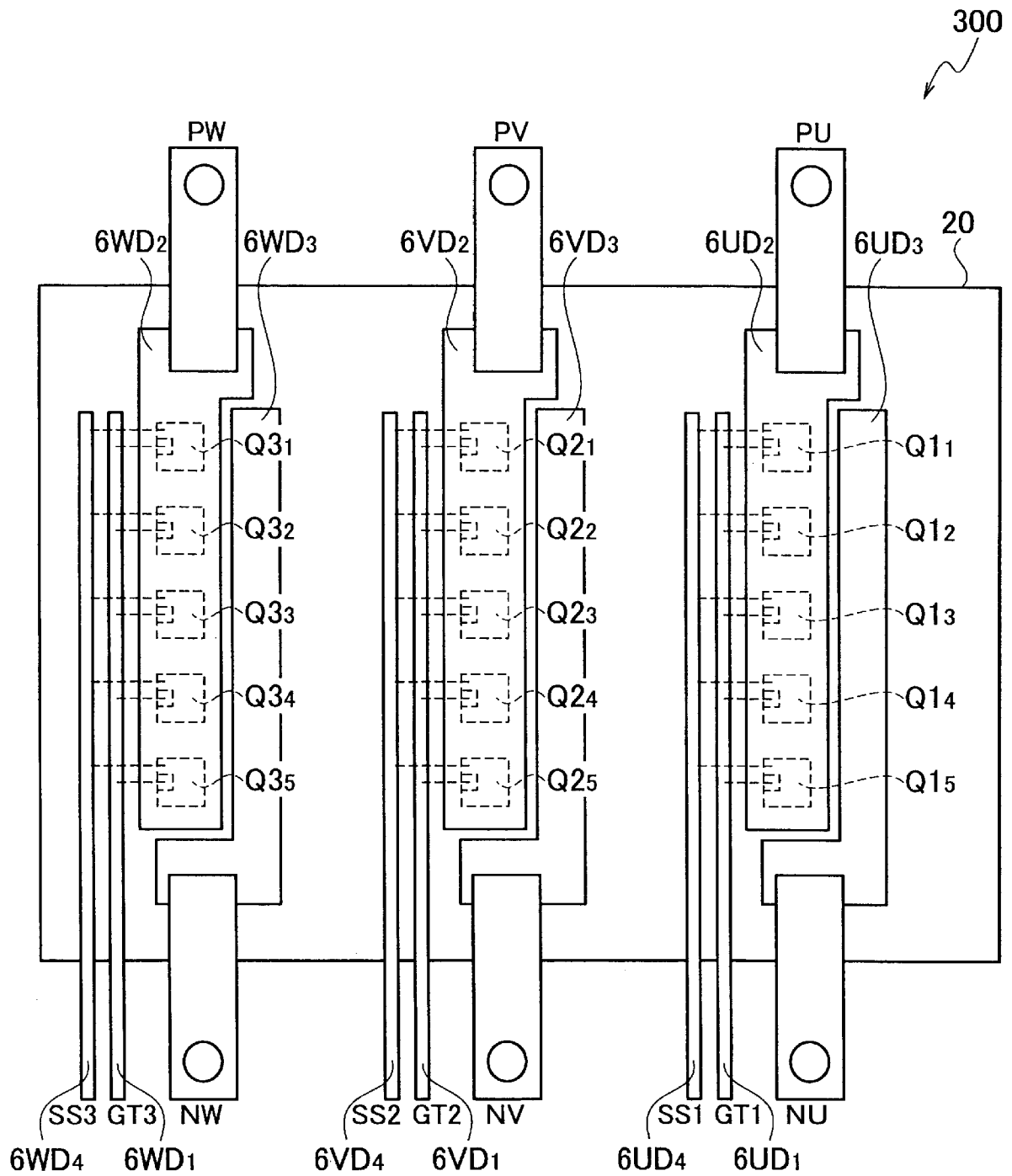
[図58]



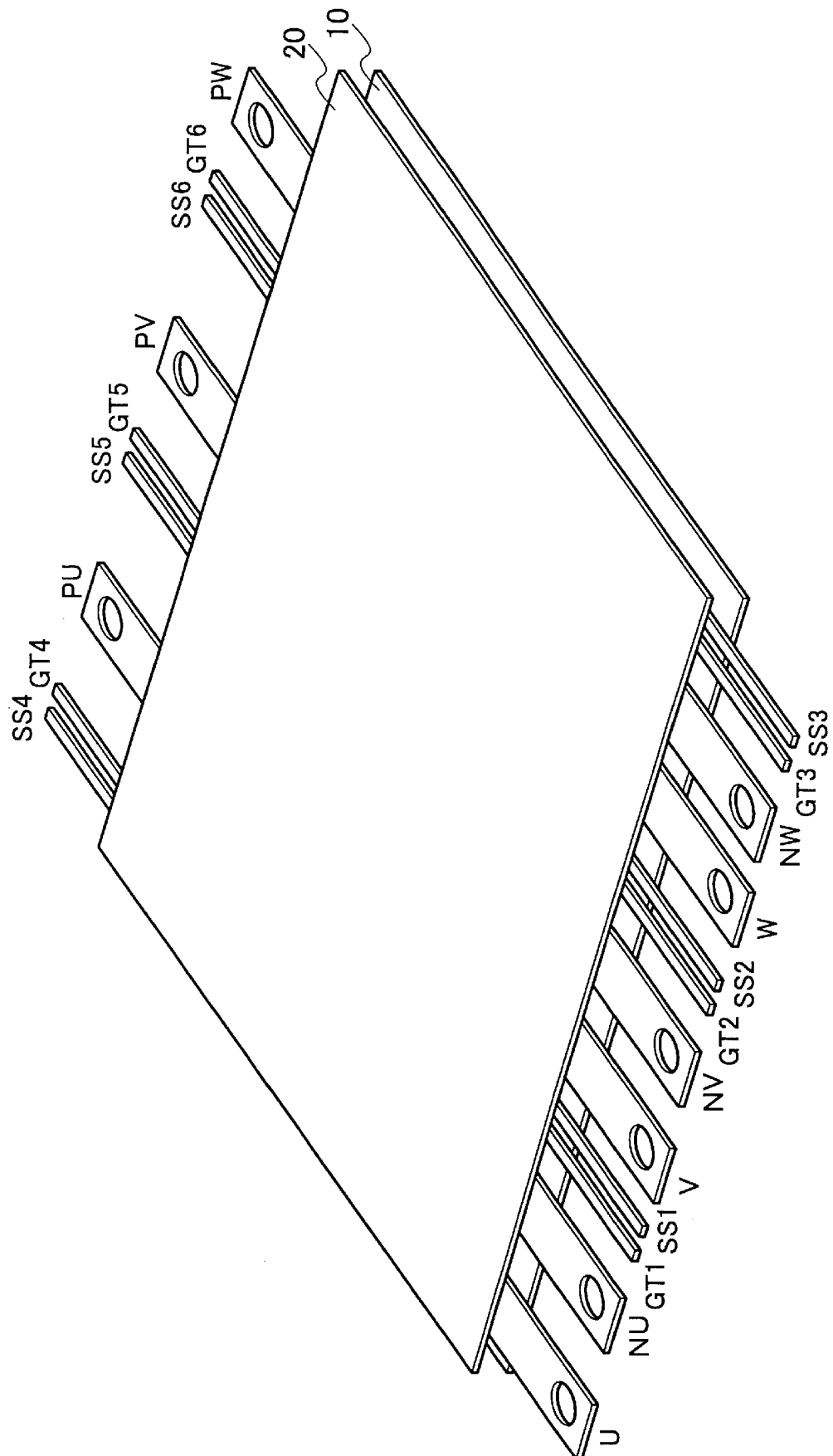
[図59]



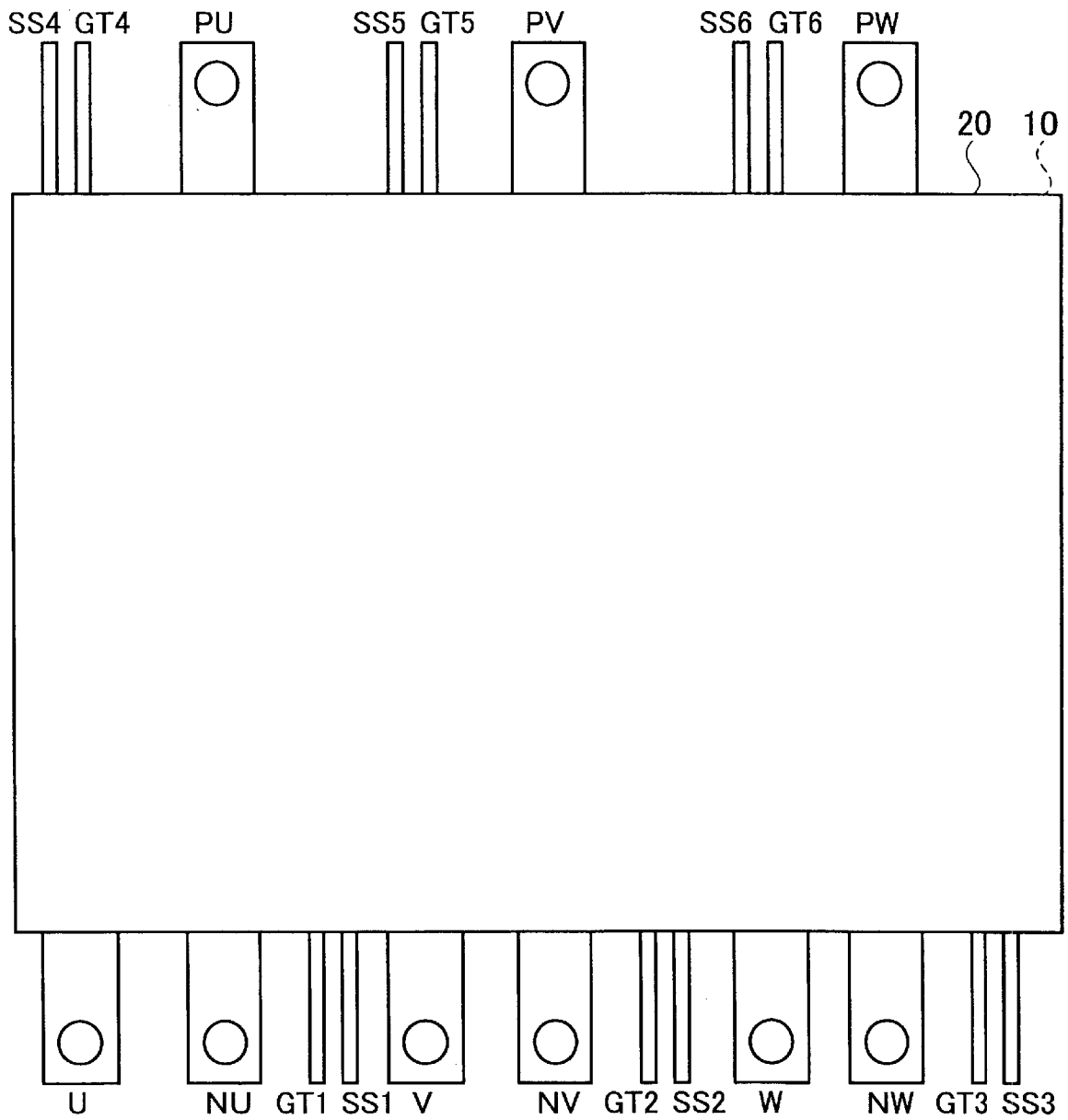
[図60]



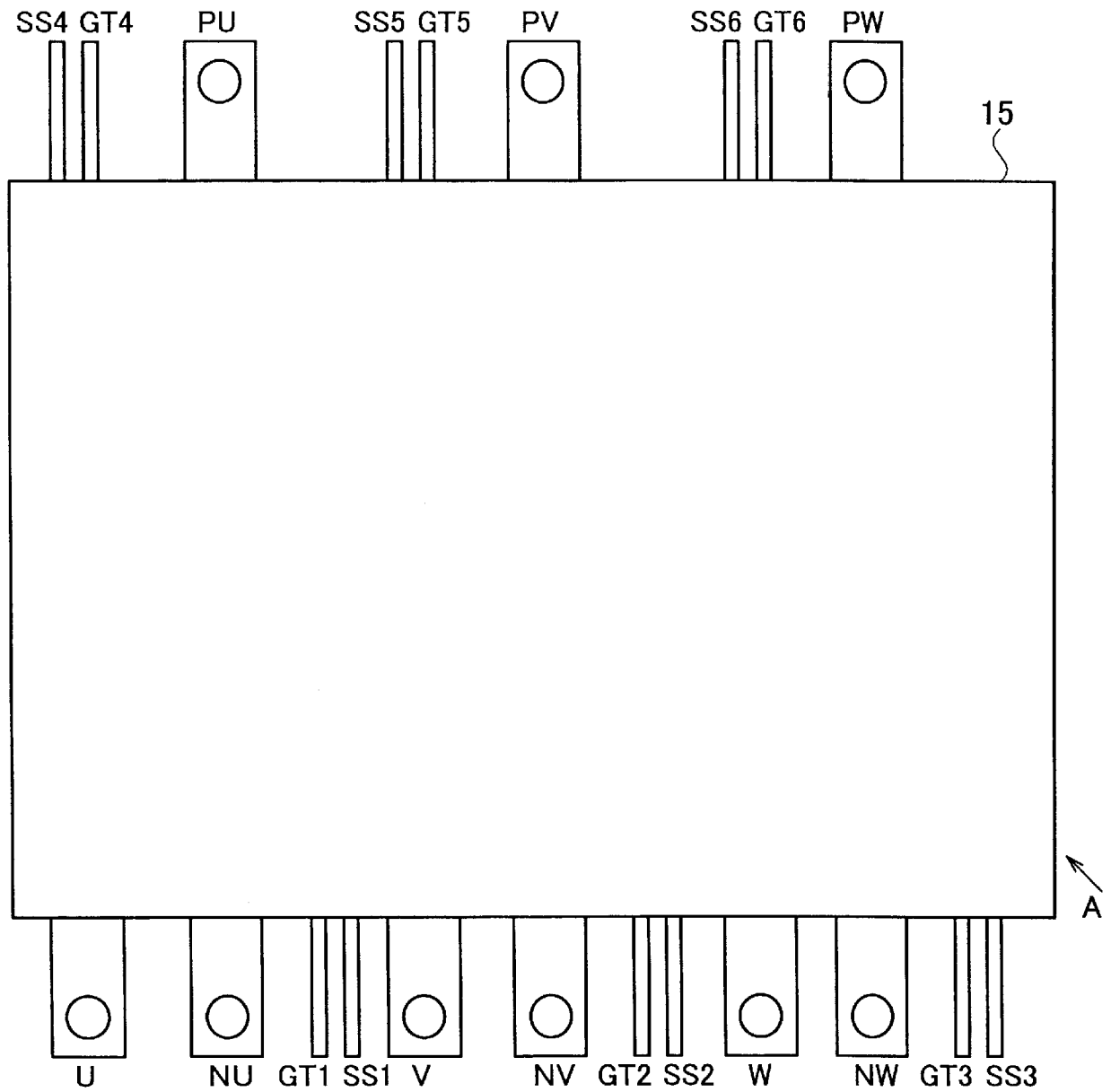
[図62]



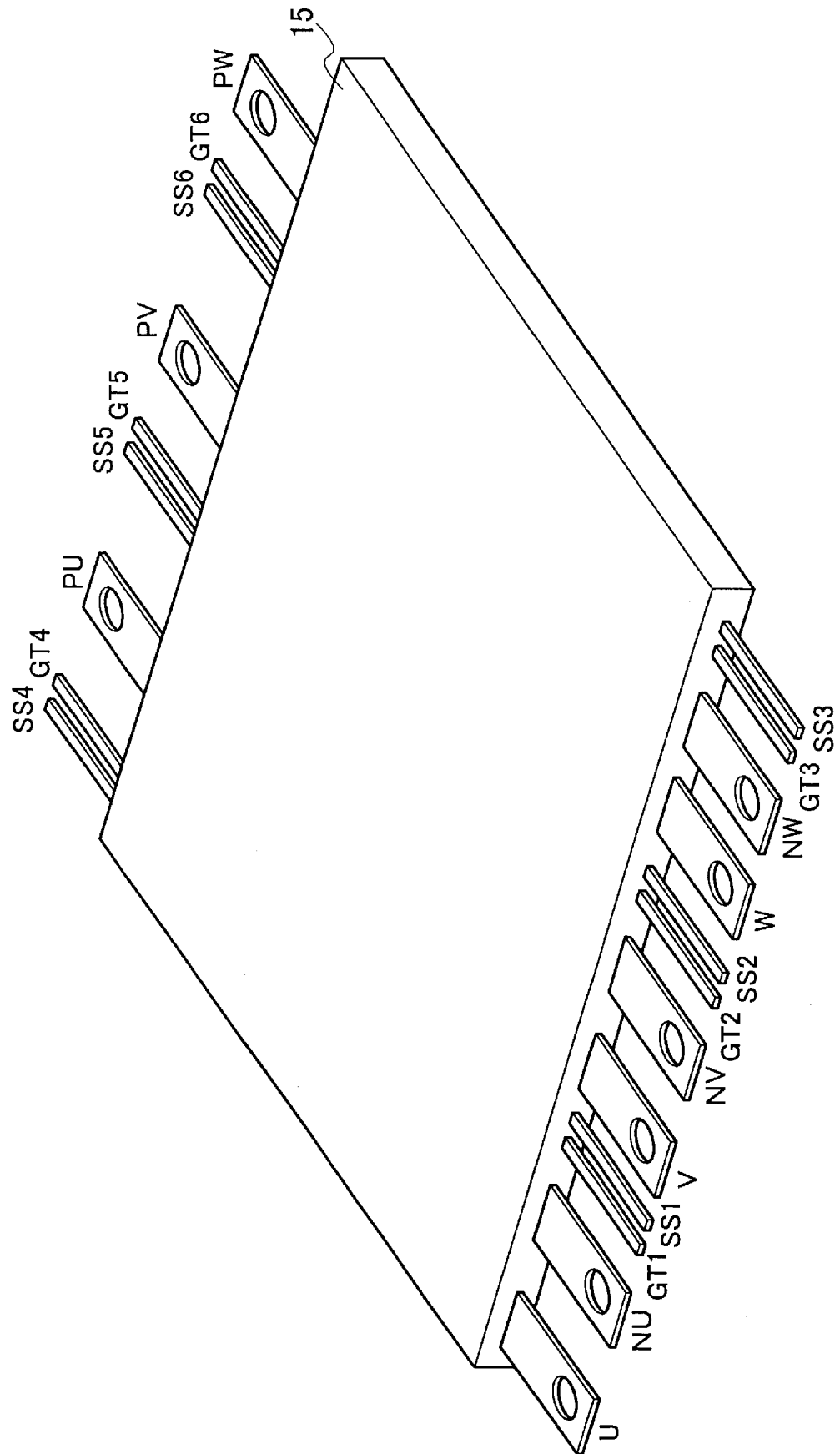
[図63]



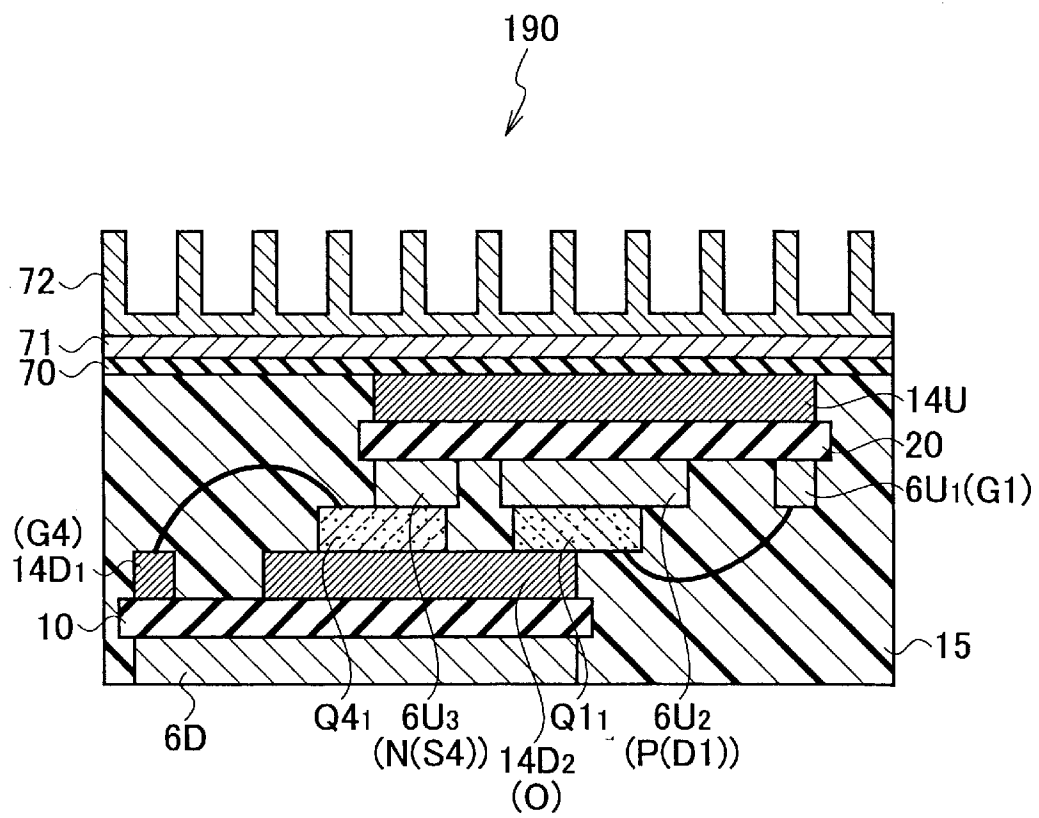
[図64]



[図65]



[図66]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/013741

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/07(2006.01)i, H01L25/18(2006.01)i, H02M7/48(2007.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/00-25/18, H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-64852 A (Octec Inc.), 26 March 2009 (26.03.2009), paragraphs [0033] to [0034], [0132] to [0134]; fig. 1, 17 (Family: none)	1, 2, 20
Y	WO 2013/118415 A1 (Fuji Electric Co., Ltd.), 15 August 2013 (15.08.2013), paragraphs [0023] to [0037]; fig. 1 to 5 & US 2014/0346676 A1 fig. 1(a) to 5(b) & EP 2814059 A1 & CN 104040715 A & KR 10-2014-0123935 A	1-9, 20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 June 2017 (08.06.17)

Date of mailing of the international search report
20 June 2017 (20.06.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/013741

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2015/176985 A1 (ABB TECHNOLOGY AG), 26 November 2015 (26.11.2015), paragraphs [0071] to [0089]; fig. 1 to 4 (Family: none)	1-9, 18-20
Y	JP 2014-130894 A (Toyota Motor Corp.), 10 July 2014 (10.07.2014), paragraphs [0052] to [0054]; fig. 15 to 17 (Family: none)	10-13, 15, 17-19, 21
Y	WO 2009/125779 A1 (Fuji Electric Device Technology Co., Ltd.), 15 October 2009 (15.10.2009), fig. 1 to 4, 11, 12 & US 2011/0037166 A1 fig. 1 to 4(C), 11, 12	10-13, 17-19, 21
X Y	DE 102007005233 A1 (FRAUNHOFER-GESELLSCHAFT ZUR FORDERUNG DER ANGEWANDTEN FORSCHUNG E.V.), 07 August 2008 (07.08.2008), paragraphs [0051] to [0056]; fig. 4a, 4b, 5, 6 (Family: none)	14, 16, 22 15, 17-19
Y	JP 2015-18943 A (Hitachi Power Semiconductor Device, Ltd.), 29 January 2015 (29.01.2015), paragraphs [0019] to [0046]; fig. 1 to 3 (Family: none)	19
A	JP 2011-114176 A (Mitsubishi Electric Corp.), 09 June 2011 (09.06.2011), paragraphs [0047] to [0053]; fig. 4, 5 (Family: none)	1-22

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/013741

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/013741

Continuation of Box No.III of continuation of first sheet(2)

Document 2: WO 2013/118415 A1 (Fuji Electric Co., Ltd.), 15 August 2013 (15.08.2013), paragraphs [0023] to [0037]; fig. 1 to 5 & US 2014/0346676 A1 fig. 1(a) to 5(b) & EP 2814059 A1 & CN 104040715 A & KR 10-2014-0123935 A

(Invention 1) claims 1-9 and 20

Since claims 1-9 have a special technical feature that is a power module which is provided with "a first insulating substrate that comprises a first conductive layer, a first semiconductor device that is arranged on the first conductive layer and has one main electrode connected to the first conductive layer, and a second insulating substrate that is arranged on the first insulating substrate so as to face the first semiconductor device and has a second conductive layer and a third conductive layer respectively on the front surface and the back surface", said power module comprising "a first columnar electrode that connects the first conductive layer and the second conductive layer to each other and a second columnar electrode that connects the other main electrode of the first semiconductor device and the third conductive layer to each other", claims 1-9 are placed in invention group 1.

Further, claim 20 is classified into Invention 1, since said claim 20 has a technical feature related to the above-said special technical feature.

(Invention 2) claims 10-19, 21 and 22

Claims 10-19 and claim 1 placed in invention group 1 have a common technical feature that is a power module which is provided with "a first insulating substrate that comprises a first conductive layer, a first semiconductor device that is arranged on the first conductive layer and has one main electrode connected to the first conductive layer, and a second insulating substrate that is arranged on the first insulating substrate so as to face the first semiconductor device and has a second conductive layer".

However, the above-said technical feature cannot be considered to be a special technical feature, since the technical feature does not make a contribution over the prior art in the light of the contents disclosed in the document 2.

Further, there is no other same or corresponding special technical feature between these inventions.

In addition, claims 10-19 are not dependent on claim 1.

Further, claims 10-19 have no relationship such that these claims are substantially same as or equivalent to any claim classified into Invention 1.

Consequently, claims 10-19 cannot be classified into Invention 1.

In addition, since claims 10-19 have a special technical feature that is a configuration wherein a first main electrode of a semiconductor device is arranged in a superposition part and a first control electrode is arranged in a non-superposition part, claims 10-19 are placed in invention group 2.

Further, claims 21 and 22 have a technical feature related to the above-said special technical feature, and are therefore classified into Invention 2.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L25/07(2006.01)i, H01L25/18(2006.01)i, H02M7/48(2007.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L25/00-25/18, H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-64852 A（株式会社オクテック）2009.03.26, 段落 0033-0034, 0132-0134, 図 1, 17（ファミリーなし）	1, 2, 20
Y	WO 2013/118415 A1（富士電機株式会社）2013.08.15, 段落 0023-0037, 図 1-5 & US 2014/0346676 A1, Figs.1(a)-5(b) & EP 2814059 A1 & CN 104040715 A & KR 10-2014-0123935 A	1-9, 20

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

08.06.2017

国際調査報告の発送日

20.06.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

木下 直哉

5 D

3 8 5 8

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2015/176985 A1 (ABB TECHNOLOGY AG) 2015. 11. 26, 段落 0071-0089, Figs. 1-4 (ファミリーなし)	1-9, 18-20
Y	JP 2014-130894 A (トヨタ自動車株式会社) 2014. 07. 10, 段落 0052-0054, 図 15-17 (ファミリーなし)	10-13, 15, 17-19, 21
Y	WO 2009/125779 A1 (富士電機デバイステクノロジー株式会社) 2009. 10. 15, 図 1-4, 11, 12 & US 2011/0037166 A1, Fig. 1-4(C), 11, 12	10-13, 17-19, 21
X Y	DE 102007005233 A1 (FRAUNHOFER-GESELLSCHAFT ZUR FORDERUNG DER ANGEWANDTEN FORSCHUNG E. V.) 2008. 08. 07, 段落 0051-0056, Figs. 4a, 4b, 5, 6 (ファミリーなし)	14, 16, 22 15, 17-19
Y	JP 2015-18943 A (株式会社日立パワーデバイス) 2015. 01. 29, 段落 0019-0046, 図 1-3 (ファミリーなし)	19
A	JP 2011-114176 A (三菱電機株式会社) 2011. 06. 09, 段落 0047-0053, 図 4, 5 (ファミリーなし)	1-22

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。
特別ページ参照

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

<第 III 欄の続き>

文献 2 : W0 2013/118415 A1 (富士電機株式会社) 2013.08.15,
段落 0023-0037, 図 1-5

& US 2014/0346676 A1, Figs.1(a)-5(b)

& EP 2814059 A1 & CN 104040715 A & KR 10-2014-0123935 A

(発明 1) 請求項 1-9, 20

請求項 1-9 は、「第 1 導電層を備える第 1 絶縁基板と、前記第 1 導電層の上に配置され、主電極の一方が前記第 1 導電層と接続された第 1 半導体デバイスと、前記第 1 絶縁基板上に前記第 1 半導体デバイスと対向して配置され、表面および裏面に第 2 導電層および第 3 導電層を備える第 2 絶縁基板と」を備えたパワーモジュールにおいて、「前記第 1 導電層と前記第 2 導電層とを接続する第 1 柱状電極と、前記第 1 半導体デバイスの主電極の他方と前記第 3 導電層とを接続する第 2 柱状電極とを備え」る、という特別な技術的特徴を有しているので、発明 1 に区分する。

また、請求項 20 は、この特別な技術的特徴と関連する技術的特徴を有しているので、発明 1 に区分する。

(発明 2) 請求項 10-19, 21, 22

請求項 10-19 は、発明 1 に区分された請求項 1 と、「第 1 導電層を備える第 1 絶縁基板と、前記第 1 導電層の上に配置され、主電極の一方が前記第 1 導電層と接続された第 1 半導体デバイスと、前記第 1 絶縁基板上に前記第 1 半導体デバイスと対向して配置され、第 2 導電層を備える第 2 絶縁基板と」をそなえるパワーモジュールである点において、共通の技術的特徴を有している。しかしながら、当該技術的特徴は、文献 2 の開示内容に照らして、先行技術に対する貢献をもたらすものではないから、当該技術的特徴は、特別な技術的特徴であるとはいえない。また、これらの発明の間には、他に同一の又は対応する特別な技術的特徴は存在しない。

さらに、請求項 10-19 は、請求項 1 の従属請求項ではない。また、請求項 10-19 は、発明 1 に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。

したがって、請求項 10-19 は発明 1 に区分できない。

そして、請求項 10-19 は、半導体デバイスの第 1 主電極が、重畳部に配置され、第 1 制御電極が、非重畳部に配置される点において、特別な技術的特徴を有しているので、発明 2 に区分する。

また、請求項 21, 22 は、この特別な技術的特徴と関連する技術的特徴を有しているので、発明 2 に区分する。