

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	1998/03/26	10-079787	有

有關微生物已寄存於	寄存日期	寄存號碼
-----------	------	------

無



五、發明說明 (1)

本發明係有關於一種鎖相迴路(PLL)之充電泵電路，特別有關於使用在有調相、倍頻及時衝脈波回復功能之積體電路中的鎖相迴路之充電泵電路。

傳統上，需要有調相、倍頻及時衝脈波回復之CMOS IC使用PLL來控制頻率。

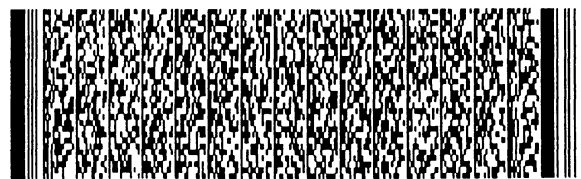
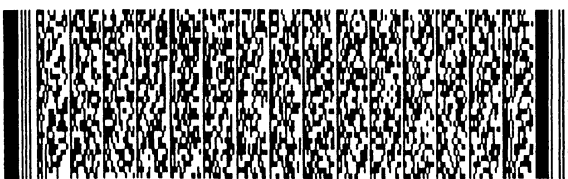
圖7係一般PLL之基本配置圖。PLL 1係由一相位檢測器(PD)2、一反向器3、一充電泵電路4、一低通濾波器(LPF)5、一電壓控制振盪器(VCO)6及一分頻器6a。

PD 2將一參考時衝脈波與分頻器6a輸出之相位做比較。當分頻器輸出之相位落後於參考時衝脈波時，PD 2會輸出一脈衝，以增高頻率。反之在超前時，PD 2輸出一脈衝，以降低頻率。至於信號UP，其被反向器3反轉之信號 $\overline{UP}$ 被使用。

充電泵電路4之輸出係連接至由電阻5a及電容5b所構成之LPF 5。充電泵電路4在充電泵電路4接收DN信號時，將電荷從LPF 5之電容5b移去，並在充電泵電路4接收 $\overline{UP}$ 信號時，在LPF 5之電容5b中累積電荷。一從充電泵電路4輸出之脈衝被LPF 5轉換而成一DC類比信號。

VCO 6接收來自LPF 5之類信號並輸出一一定頻信號。分頻器6a係由一計數器形成，且將VCO 6之輸出分割成 $1/N$ 倍(N 係一自然數)，再將此信號送至PD 2。

在PLL 1中，PD 2、充電泵電路4、VCO 6及分頻器6a形成一環路，且此環路控制了相位，意即PD 2之兩個輸入



五、發明說明 (2)

信號之相位是相同的。VCO 6之輸出頻率是輸入頻率的N倍。我們可以任選一N值就能得到N倍輸入頻率之輸出頻率。

以下將配合圖8A及8B對一舊式之充電泵電路做說明。一電源供應器VDD連接至一定電流源22，此電流源22又連接至一PMOS電晶體20之源極。接地點連接至定電流源23，此電流源23又連接至一NMOS電晶體21之源極。PMOS及NMOS電晶體之汲極係連接至下一級之LPF。

圖8A顯示了 $\overline{UP}$ 的輸出狀況。當 $\overline{UP}$ 信號在「L」時，做為一類比切換器使用之PMOS電晶體20便啟動而輸出一電流 i_{OH} 至LPF。

在節點C及電源供應器VDD之間有一寄生電容 C_{fp} 。當PMOS電晶體20從OFF狀態切換至ON狀態時，PMOS電晶體20源極側之電位，意即節點C之電位從電源供應電位變成濾波器之電位，且一依據其間電位差及 C_{fp} 而改變之電流 i_{cfp} 突然從LPF流入。

圖8b顯示DN信號的輸出情形。當DN信號在「H」時，做為類比切換器使用之NMOS電晶體21被開啟而從LPF流入一電流 i_{OL} 。

在節點D及接地點間有一寄生電容 C_{fn} 。當NMOS電晶體21從OFF狀態切換至ON狀態時，NMOS電晶體21之源極側電位，意即節點D之電位會從接地點電位變成濾波器電位，且一依據其間電位差及 C_{fn} 而改變之電流 i_{cfn} 突然從LPF流入。



五、發明說明 (3)

結果在充電泵之輸出端卻發生以下的問題。

圖9顯示一來自圖8a及8b之充電泵電路的輸出電流。電流 i_{cfp} 及 i_{cfn} 會在一來自充電泵電路之輸出電流中造成峰突(overshoot)而引起VCO的擾動，進而造成系統錯誤。

峰突電流值等於LPF與電源供應器間電位差和寄生電容的乘積。因此，可以藉由在電晶體20及21均為關閉狀態時，將節點C及D之電位調整成與LPF相等而使峰突電流減小。

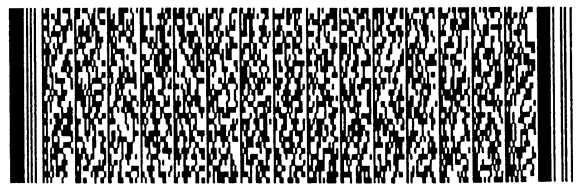
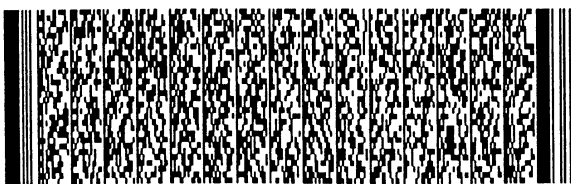
從這個角度來看，習知技藝使用了如圖10所示之充電泵電路。CMOS電晶體30及31所組成之類比切換器串接於兩個配置在電源供應器及接地點間之定電流源32、33間。CMOS電晶體30及31係由一並列之PMOS及NMOS電路所構成。

定電流源32之兩端分別連接至電源供應器VDD及CMOS電晶體34。而定電流源33之兩端分別連接至接地點及CMOS電晶體35。

CMOS電晶體30及31之連接點亦連接至一運算放大器36之非反向(non-inverting)輸入端及LPF。運算放大器36之輸出端連接至其反向(inverting)輸入端、CMOS電晶體34、35。

運算放大器36包含了一用以防止振盪之相位補償電容(圖未顯示)。

CMOS電晶體30、31及34、35係以相反方向操作。也就是說，當CMOS電晶體30及31在OFF狀態下時，CMOS電晶體34及35便在ON之狀態下。節點E及G之電位藉由運算放大器



五、發明說明 (4)

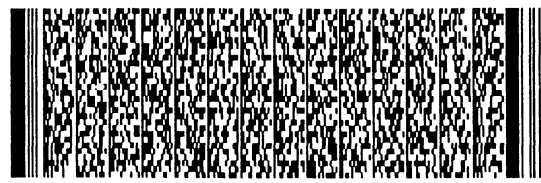
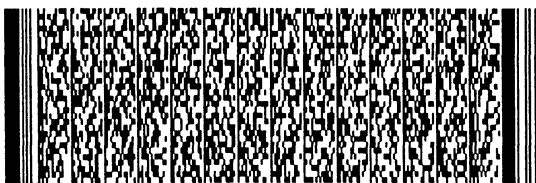
36 之迴授，被設定與節點F(即LPF之電位)相同。儘管在CMOS電晶體30及31被開啟時，節點E及G之電位依然不變，也不會在輸出電流中產生峰突。

但是，在運算放大器36中之電容(圖未顯示)約為6Pf。當此充電泵電路真正被做在晶片上時，電容佔了很大的空間而使得電路不易縮小。

本發明之一目的即在提供一鎖相環路之充電泵電路，其能夠在不使用運算放大器之情況下將其晶片之體積縮小。

本發明之另一目的即在提供一鎖相環路之充電泵電路，其能夠穩定地操作，同時消除其輸出波形中的峰突。

為達上述目的，本發明提供一種鎖相迴路之充電泵電路，包括：一第一及一第二定電流源，產生定電流；一第一電流鏡射電路，對一輸出端提供一定電流，該電流值係對應於該第一定電流源所產生之定電流，該第一電流鏡射電路具有一連接至該第一定電流源之第一電晶體，以及一連接至該輸出端之第二電晶體；一第二電流鏡射電路，對一輸出端提供一定電流，該電流值係對應於該第二定電流源所產生之定電流，該第二電流鏡射電路具有一連接至該第二定電流源之第三電晶體，以及一連接至該輸出端之第四電晶體；一第一類比切換電路，連接於該第一與第二電晶體之閘極間，並由一第一控制脈衝執行開啟與關閉；以及一第二類比切換電路，連接於該第三與第四電晶體之閘極間，並由一第二控制脈衝執行開啟與關閉。



五、發明說明 (5)

圖式簡單說明

圖1係本發明第一實施例之鎖相環路充電泵電路之方塊圖。

圖2係本發明第二實施例之鎖相環路充電泵電路之方塊圖。

圖3係本發明第三實施例之鎖相環路充電泵電路之方塊圖。

圖4係本發明第四實施例之鎖相環路充電泵電路之方塊圖。

圖5係本發明第五實施例之鎖相環路充電泵電路之方塊圖。

圖6係圖1中充電泵電路所輸出之波形。

圖7係一般鎖相環路之方塊圖。

圖8A及8B係舊式鎖相環路之充電泵電路。

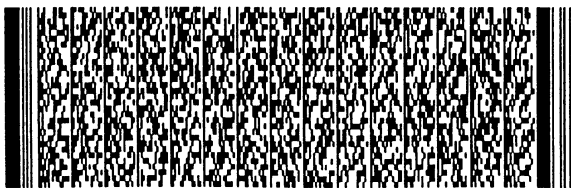
圖9係圖8A及8B中之充電泵電路的輸出波形。

圖10係另一舊式鎖相環路之充電泵電路。

第一實施例

圖1係本發明第一實施例之鎖相環路充電泵電路之方塊圖。其包括由PMOS電晶體7、9構成之第一電流鏡射電路21、由NMOS電晶體12、14構成之第二電流鏡射電路22、定電流源10、11以及第一、第二類比切換電路8、13。

源極連接至電源供應器VDD而汲極連接至定電流源10之PMOS電晶體7與源極連接至電源供應器VDD之PMOS電晶體9構成電流鏡射電路21。由做為傳輸閘極之CMOS電晶體81



五、發明說明 (6)

及一PMOS電晶體82所構成之第一類比切換電路8連接於PMOS 7、9之閘極間。

在第一類比切換電路8中，CMOS電晶體81串接於PMOS電晶體7、9之閘極間，而PMOS電晶體82連接於電源供應器VDD及PMOS電晶體9之閘極間。在PMOS電晶體側之CMOS電晶體81的閘極接收 $\overline{UP}$ 信號，而在NMOS電晶體側之閘極接收UP信號。PMOS電晶體82之閘極接收UP信號。

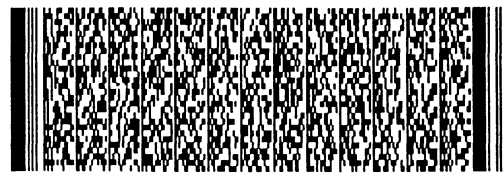
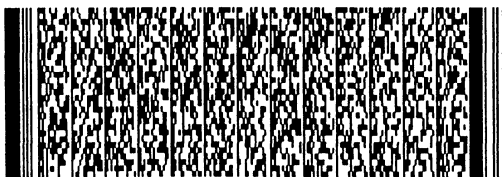
源極連接至接地點而汲極連接至定電流源11之NMOS電晶體12及源極連接至接地點之NMOS電晶體14構成第二電流鏡射電路22。由做為傳輸閘極之CMOS電晶體131及一NMOS電晶體132所構成之第二類比切換電路13連接於NMOS電晶體12及14之閘極間。

在第二類比切換電路13中，CMOS電晶體131串接於NMOS電晶體12及14之閘極間，而NMOS電晶體132連接於NMOS電晶體14之閘極與接地點之間。在PMOS電晶體側之CMOS電晶體131接收 $\overline{DN}$ 信號，而在NMOS電晶體側之閘極接收DN信號。NMOS電晶體132之閘極接收 $\overline{DN}$ 信號。

電流鏡射電路21及22經由輸出端提供一具有對應於定電流源10、11所產生之定電流值之電流給LPF。MOS電晶體7、9、12、14、81、82、131、132均由MOSFET所構成。

以下將說明充電泵電路之操作。

當UP及DN信號同時為「L」時，CMOS電晶體81、131均在OFF狀態，PMOS及NMOS電晶體82、132均在ON狀態而PMOS



五、發明說明 (7)

及NMOS電晶體9、14也均在OFF狀態。於是並沒有任何電流流入LPF。

當UP信號位於「H」時，CMOS電晶體81被開啟，而CMOS電晶體131被關閉。構成電流鏡射電路21之PMOS電晶體7、9之閘極連接以使一與PMOS電晶體7、9之鏡射率有關之電流流入PMOS電晶體9。電流經由PMOS電晶體9從電源供應器VDD流入LPF。

當DN信號位於「H」時，CMOS電晶體131被開啟，而NMOS電晶體132被關閉。構成電流鏡射電路22之NMOS電晶體12及14之閘極連接以使一與NMOS電晶體12、14之鏡射率有關之電流流過NMOS電晶體14。電流經由NMOS電晶體14從LPF流至接地點。

依據第一實施例，儘管PMOS及NMOS電晶體9、14被選擇性地開啟，在PMOS及NMOS電晶體9、14之源極側之電位不會改變，而不會在輸出電流中產生峰突，如圖6所示。

第二實施例

圖2係本發明第二實施例之鎖相環路充電泵電路之方塊圖。圖中具有與圖1相同參考數字之元件代表其係與圖1中之元件相同。在第二實施例中，PMOS及NMOS電晶體83及133分別取代了CMOS電晶體81及131。

以下將說明第二實施例之操作。

當UP及DN信號同時為「L」時，PMOS及NMOS電晶體83、133均在OFF狀態，PMOS及NMOS電晶體82、132均在ON狀態而PMOS及NMOS電晶體9、14也均在OFF狀態。於是並沒有



五、發明說明 (8)

任何電流流入LPF。

當UP信號位於「H」時，PMOS電晶體83被開啟，而PMOS電晶體82被關閉。構成電流鏡射電路21之PMOS電晶體7、9之閘極連接以使一與PMOS電晶體7、9之鏡射率有關之電流流入PMOS電晶體9。電流經由PMOS電晶體9從電源供應器VDD流入LPF。

當DN信號位於「H」時，NMOS電晶體133被開啟，而NMOS電晶體132被關閉。構成電流鏡射電路22之NMOS電晶體12及14之閘極連接以使一與NMOS電晶體12、14之鏡射率有關之電流流過NMOS電晶體14。電流經由NMOS電晶體14從LPF流至接地點。

依據第二實施例，儘管PMOS及NMOS電晶體9、14被選擇性地開啟，在PMOS及NMOS電晶體9、14之源極側之電位不會改變，而不會在輸出電流中產生峰突，就如第一實施例中的一樣。

第三實施例

圖3係本發明第二實施例之鎖相環路充電泵電路之方塊圖。圖中具有與圖1相同參考數字之元件代表其係與圖1中之元件相同。在第二實施例中，NMOS及PMOS電晶體84及134分別取代了CMOS電晶體81及131。

以下將說明第三實施例之操作。

當UP及DN信號同時為「L」時，NMOS及PMOS電晶體84、134均在OFF狀態，PMOS及NMOS電晶體82、132均在ON狀態而PMOS及NMOS電晶體9、14也均在OFF狀態。於是並沒有



五、發明說明 (9)

任何電流流入LPF。

當UP信號位於「H」時，NMOS電晶體84被開啟，而PMOS電晶體82被關閉。構成電流鏡射電路21之PMOS電晶體7、9之閘極連接以使一與PMOS電晶體7、9之鏡射率有關之電流流入PMOS電晶體9。電流經由PMOS電晶體9從電源供應器VDD流入LPF。

當DN信號位於「H」時，PMOS電晶體134被開啟，而NMOS電晶體132被關閉。構成電流鏡射電路22之NMOS電晶體12及14之閘極連接以使一與NMOS電晶體12、14之鏡射率有關之電流流過NMOS電晶體14。電流經由NMOS電晶體14從LPF流至接地點。

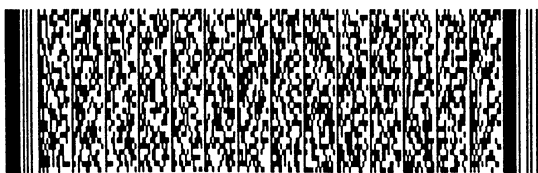
依據第三實施例，儘管PMOS及NMOS電晶體9、14被選擇性地開啟，在PMOS及NMOS電晶體9、14之源極側之電位不會改變，而不會在輸出電流中產生峰突，就如第一實施例中的一樣。

第四實施例

圖4係本發明第四實施例之鎖相環路充電泵電路之方塊圖。圖中具有與圖1相同參考數字之元件代表其係與圖1中之元件相同。在第四實施例中，電容85及135被配置於PMOS及NMOS電晶體7、12之閘極(圖4中之節點A及B)及接地點間。第四實施例之操作同圖1。

依據第四實施例，儘管PMOS及NMOS電晶體9、14被重複地開啟與關閉，在節點A及B之電位很難改變。

在第四實施例中使用之電容85及135其電容值不需如



五、發明說明 (10)

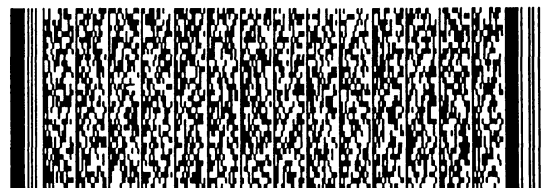
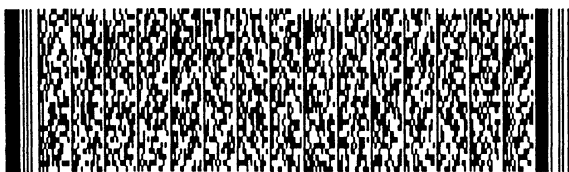
圖10中運算放大器中的那麼大，只需其1/3或更小。電容所佔的面積比較圖10中的電路來得小，且落於實用之範圍，而且用在圖2、3或5的電路配置中一樣可以得到相同的結果。

圖5係本發明第五實施例之鎖相環路充電泵電路之方塊圖。圖中具有與圖1相同參考數字之元件代表其係與圖1中之元件相同。第五實施例，採用在接收UP及DN信號時與PMOS及NMOS電晶體9、14反相位操作之虛設電晶體15及16。

更特別的是，在第五實施例中，如圖1中相同之定電流源10及11被配置其中，且由PMOS電晶體形成之虛設電晶體15連接於PMOS電晶體9及LPF之輸出端。為了驅動虛設電晶體15，一CMOS電晶體86連接於電晶體15之閘極及定電流源10與PMOS電晶體7間之連接點之間。一PMOS電晶體連接於電源供應器VDD及虛設電晶體15之閘極之間。

同樣的，由NMOS電晶體形成之虛設電晶體16連接於NMOS電晶體14及LPF之輸出端。為了驅動虛設電晶體16，一CMOS電晶體136連接於電晶體16之閘極及定電流源11與電源供應器VDD間連接點之間。一NMOS電晶體137連接於接地點及虛設電晶體16之閘極之間。

虛設電晶體15及16之閘極面積分別約是PMOS及NMOS電晶體9及14之一半。由於虛設電晶體15、16係藉由一反向信號進行操作，在PMOS與NMOS電晶體9、14間之穿場雜訊(field through noise)可以降低。



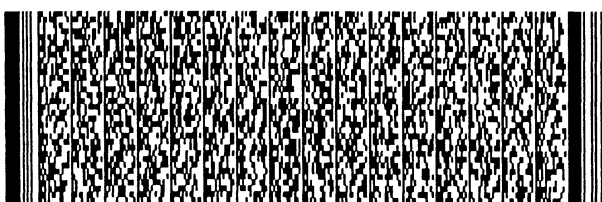
五、發明說明 (11)

虛設電晶體15、16用在圖2、3、4中一樣可得到相同之效果。

如上述，依據本發明，在切換器中寄生電容所產生之電流可以不需使用任何運算放大器就可以減小。由於不需使用到相位補償電容，在晶片上的面積可以較舊式之充電泵電路來得小。

元件符號說明：

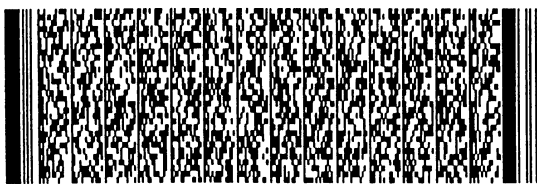
1~鎖相迴路電路；	2~相位檢測器；
3~反向器；	4~充電泵電路；
5~低通濾波器；	6~電壓控制振盪器；
6a~分頻器；	36~運算放大器；
8、13~類比切換電路；	85、135~電容；
10、11、22、23、32、33~電流源；	
20、21、30、31、34、35、7、9、12、14、15、16、	
81、82、84、86、131、132、134、137~電晶體。	



四、中文發明摘要 (發明之名稱：鎖相迴路之充電泵電路)

一種鎖相迴路之充電泵電路，包括：一第一及一第二定電流源，產生定電流；一第一電流鏡射電路，對一輸出端提供一定電流，該電流值係對應於該第一定電流源所產生之定電流，該第一電流鏡射電路具有一連接至該第一定電流源之第一電晶體，以及一連接至該輸出端之第二電晶體；一第二電流鏡射電路，對一輸出端提供一定電流，該電流值係對應於該第二定電流源所產生之定電流，該第二電流鏡射電路具有一連接至該第二定電流源之第三電晶體，以及一連接至該輸出端之第四電晶體；一第一類比切換電路，連接於該第一與第二電晶體之閘極間，並由一第一控制脈衝執行開啟與關閉；以及一第二類比切換電路，連接於該第三與第四電晶體之閘極間，並由一第二控制脈

英文發明摘要 (發明之名稱：)



四、中文發明摘要 (發明之名稱：鎖相迴路之充電泵電路)

衝執行開啟與關閉。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種鎖相迴路之充電泵電路，包括：

一第一及一第二定電流源，產生定電流；

一第一電流鏡射電路，對一輸出端提供一定電流，該電流值係對應於該第一定電流源所產生之定電流，該第一電流鏡射電路具有一連接至該第一定電流源之第一電晶體，以及一連接至該輸出端之第二電晶體；

一第二電流鏡射電路，對一輸出端提供一定電流，該電流值係對應於該第二定電流源所產生之定電流，該第二電流鏡射電路具有一連接至該第二定電流源之第三電晶體，以及一連接至該輸出端之第四電晶體；

一第一類比切換電路，連接於該第一與第二電晶體之閘極間，並由一第一控制脈衝執行開啟與關閉；

一第二類比切換電路，連接於該第三與第四電晶體之閘極間，並由一第二控制脈衝執行開啟與關閉；

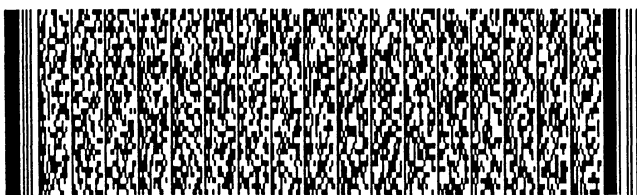
一第一虛設電晶體，連接於該第二電晶體及該輸出端間，在與該第二電晶體之反相位中操作；以及

一第二虛設電晶體，連接於一輸入端及該第四電晶體，在與該第四電晶體反相位中操作。

2. 如申請專利範圍第1項所述之電路，其中該第一及第二類比切換電路包括複數MOSFET。

3. 如申請專利範圍第2項所述之電路，其中該第一類比切換電路包括：

一第一CMOS電晶體，做為一傳輸閘極，串接於該第一與第二電晶體閘極之間；以及



六、申請專利範圍

一PMOS電晶體，連接於一電源供應器及該第二電晶體閘極之間；

而該第二類比切換電路包括：

一第二CMOS電晶體，做為一傳輸閘極，串接於該第三與第四電晶體閘極之間；以及

一NMOS電晶體，連接於接地點及該第四電晶體閘極之間；

4. 如申請專利範圍第3項所述之電路，其中用以指示一鎖相環路輸出頻率增加之該第一控制脈衝係提供給該CMOS及PMOS電晶體，一該第一控制脈衝之反向信號輸出至該CMOS電晶體之閘極，用以指示該鎖相環路輸出頻率減少之該第二控制脈衝係提供給該CMOS電晶體，一該第二控制脈衝之反向信號輸出至該CMOS及NMOS電晶體之閘極。

5. 如申請專利範圍第2項所述之電路，其中該第一類比切換電路包括：

一第一PMOS電晶體，串接於該第一及第二電晶體之閘極之間；

一第二PMOS電晶體，串接於一電源供應器及該第二電晶體之閘極間；

該第二類比切換電路包括：

一第一NMOS電晶體，串接於該第三及第四電晶體之閘極之間；

一第二PMOS電晶體，串接於接地點及該第四電晶體之閘極間。



六、申請專利範圍

6. 如申請專利範圍第5項所述之電路，其中用以指示一鎖相環路輸出頻率增加之該第一控制脈衝係提供給該第二PMOS電晶體，一該第一控制脈衝之反向信號輸出至該第一PMOS電晶體之閘極，用以指示該鎖相環路輸出頻率減少之該第二控制脈衝係提供給該第一NMOS電晶體，一該第二控制脈衝之反向信號輸出至該第二NMOS電晶體之閘極。

7. 如申請專利範圍第2項所述之電路，其中該第一類比切換電路包括：

一第一NMOS電晶體，串接於該第一及第二電晶體之閘極之間；

一第一PMOS電晶體，串接於一電源供應器及該第二電晶體之閘極間；

該第二類比切換電路包括：

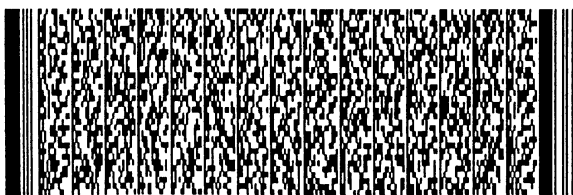
一第二PMOS電晶體，串接於該第三及第四電晶體之閘極之間；

一第二NMOS電晶體，串接於接地點及該第四電晶體之閘極間。

8. 如申請專利範圍第7項所述之電路，其中用以指示一鎖相環路輸出頻率增加之該第一控制脈衝係提供給該第一NMOS及PMOS電晶體，而用以指示該鎖相環路輸出頻率減少之該第二控制脈衝係提供給該第二PMOS及NMOS電晶體之閘極。

9. 如申請專利範圍第1項所述之電路，其中更包括：

一第一電容，連接於該第一電晶體及一電源供應器之

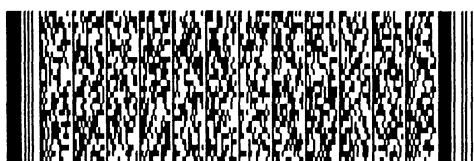


六、申請專利範圍

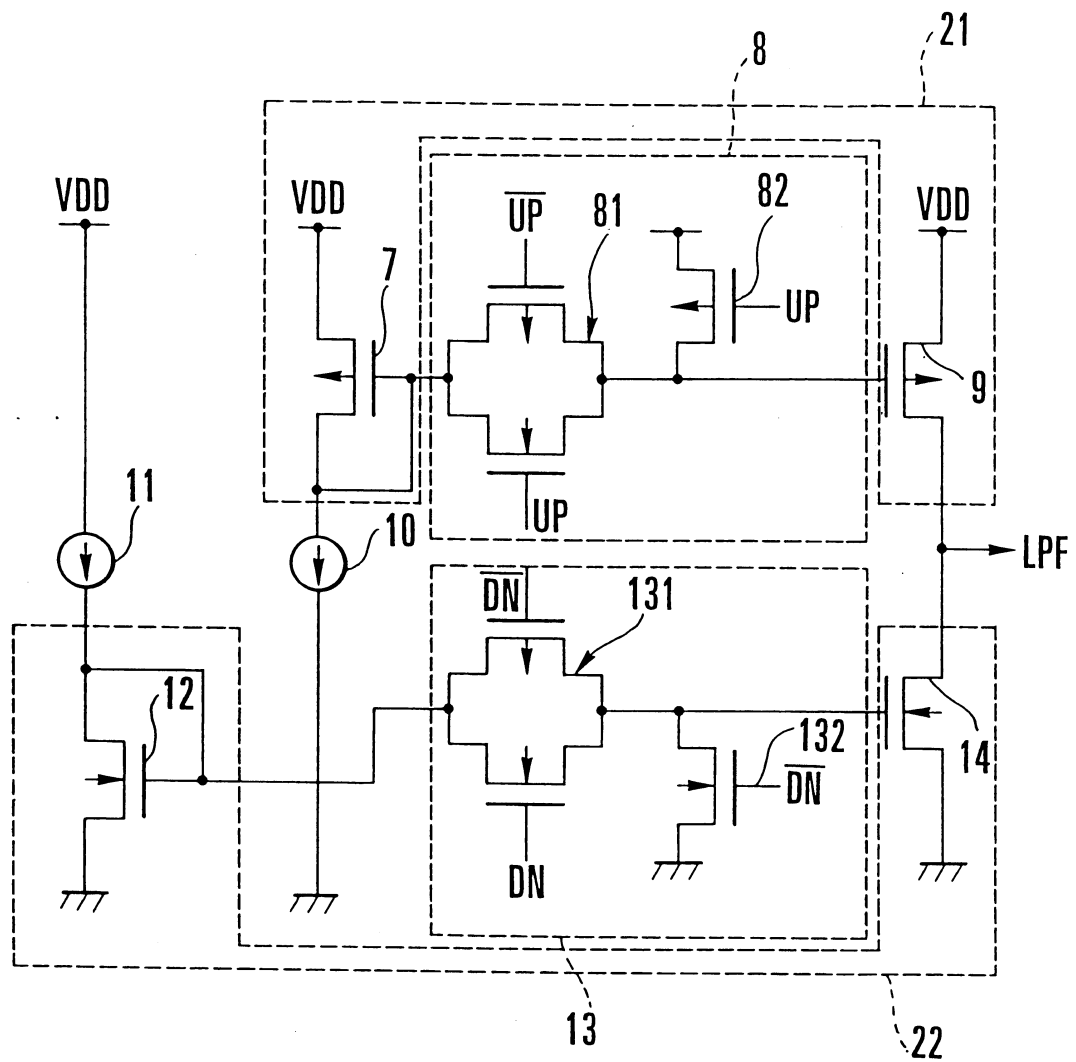
間；以及

一第二電容，連接於該第三電晶體及接地點之間。

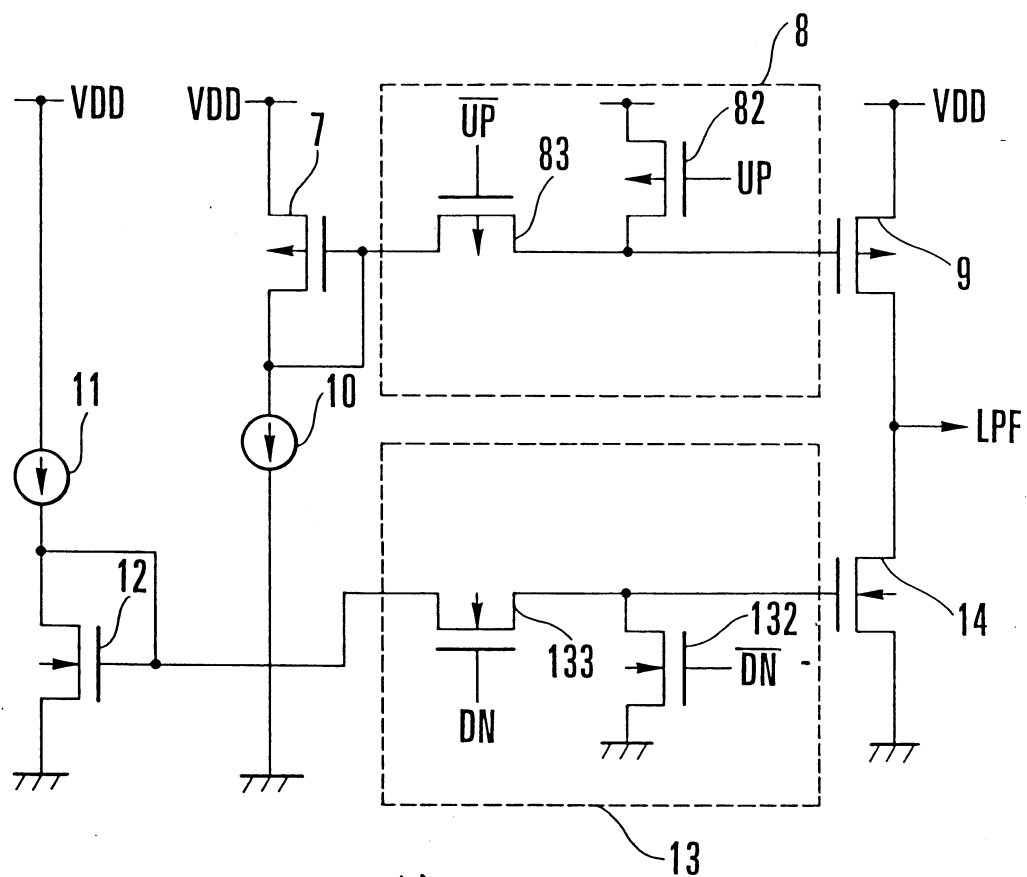
10. 如申請專利範圍第1項所述之電路，其中該第一及第二控制脈衝係來自一相位檢測器，該相位檢測器將一鎖相環路輸出之相位與一參考時衝脈波做比較。



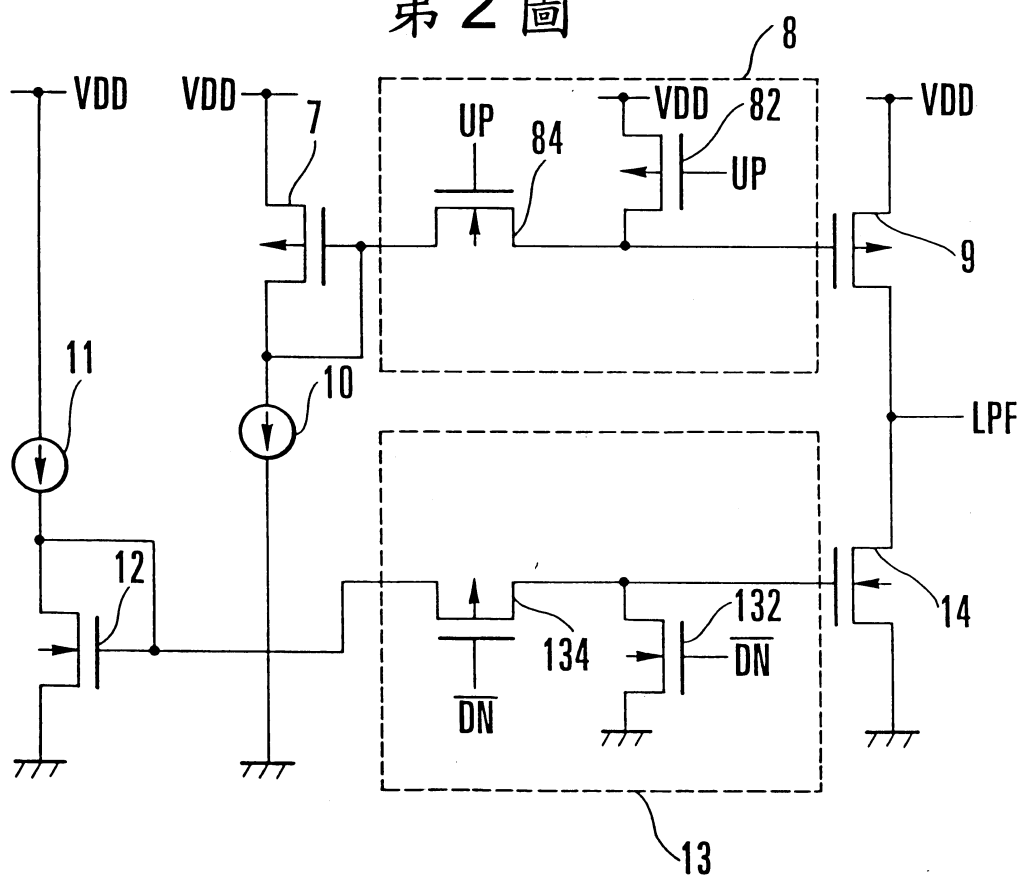
88/04/20



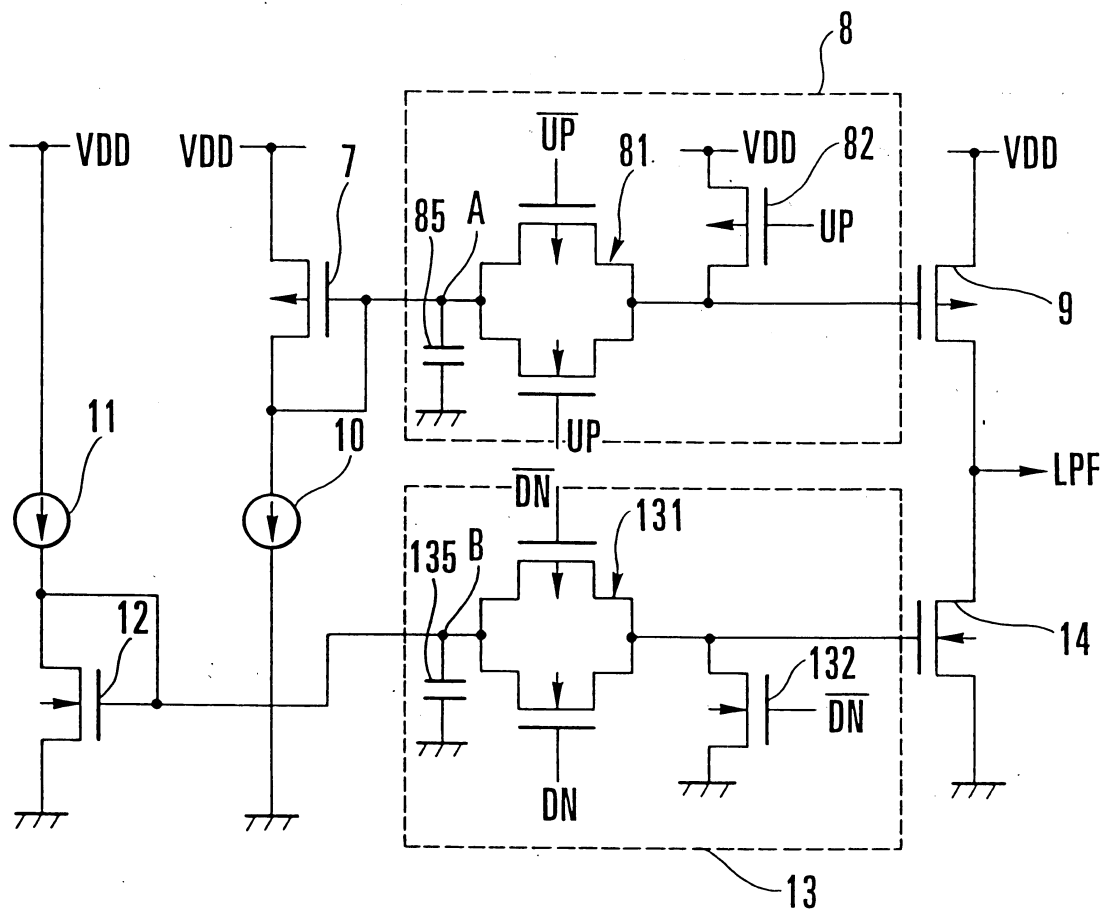
第 1 圖



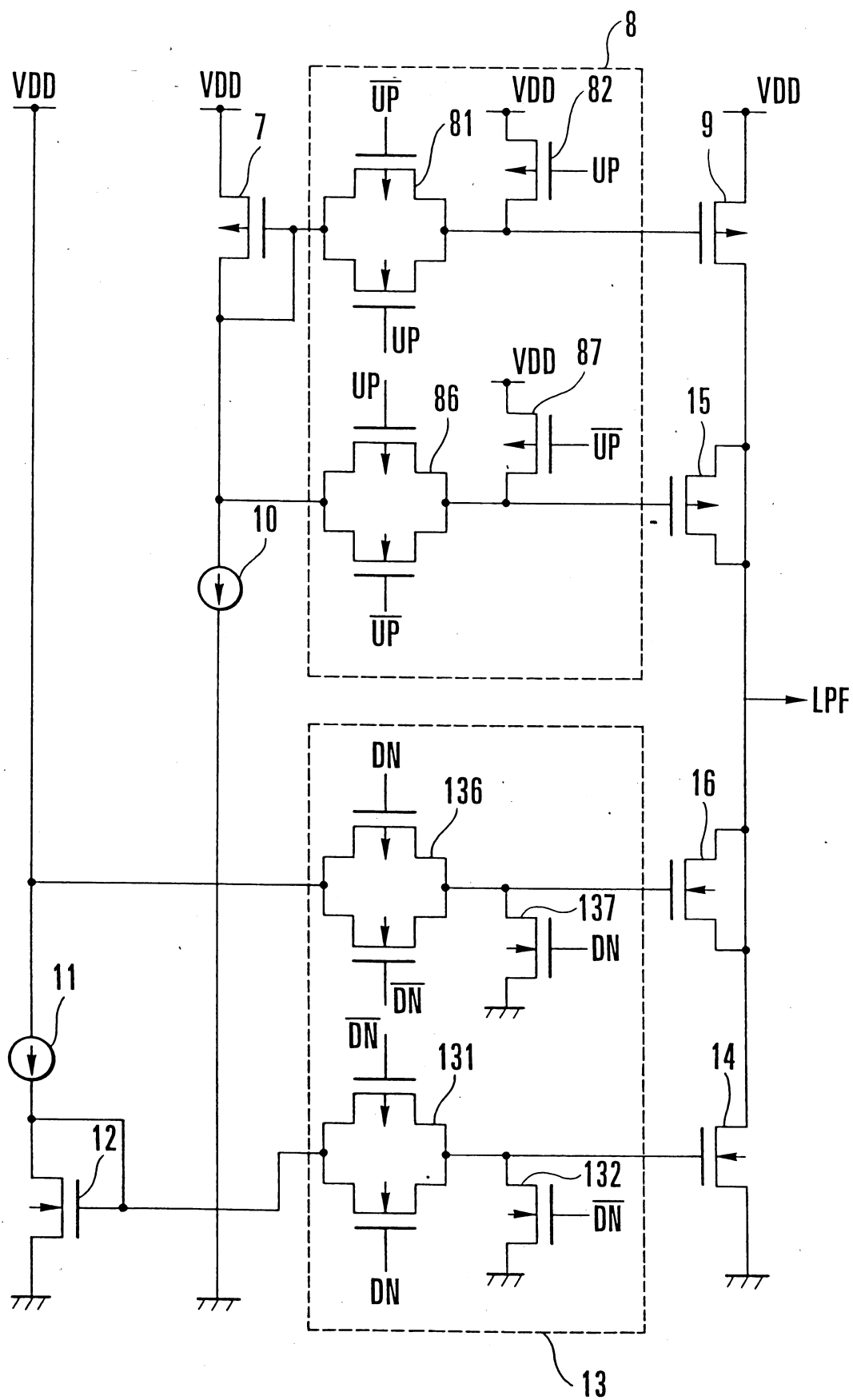
第 2 圖



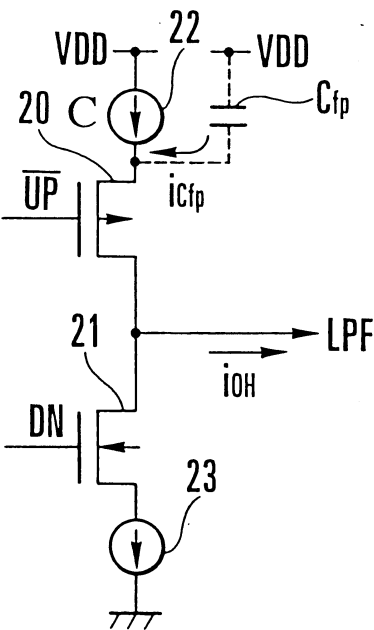
第 3 圖



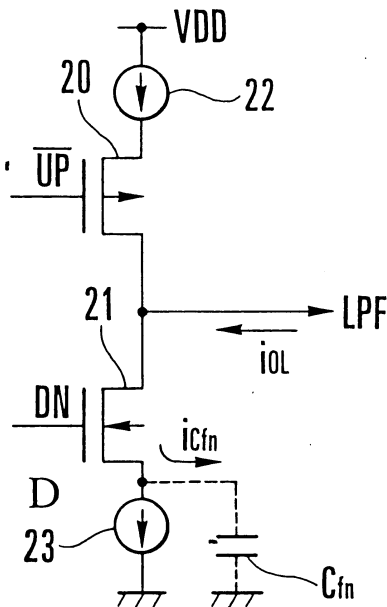
第 4 圖



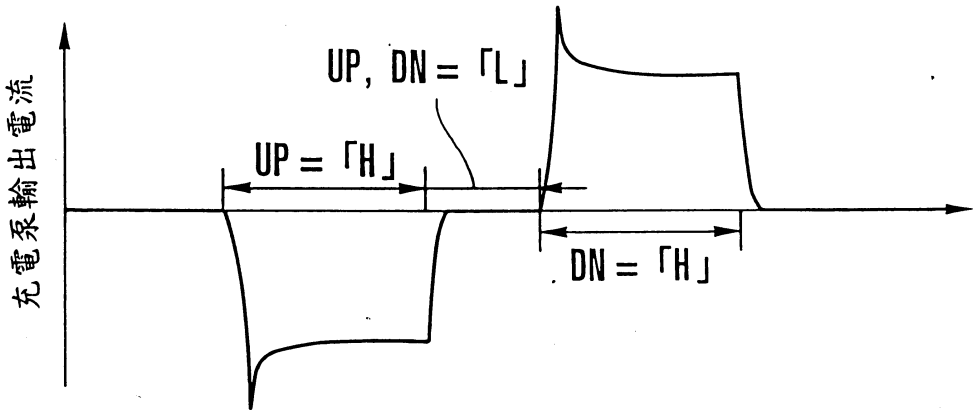
第 5 圖



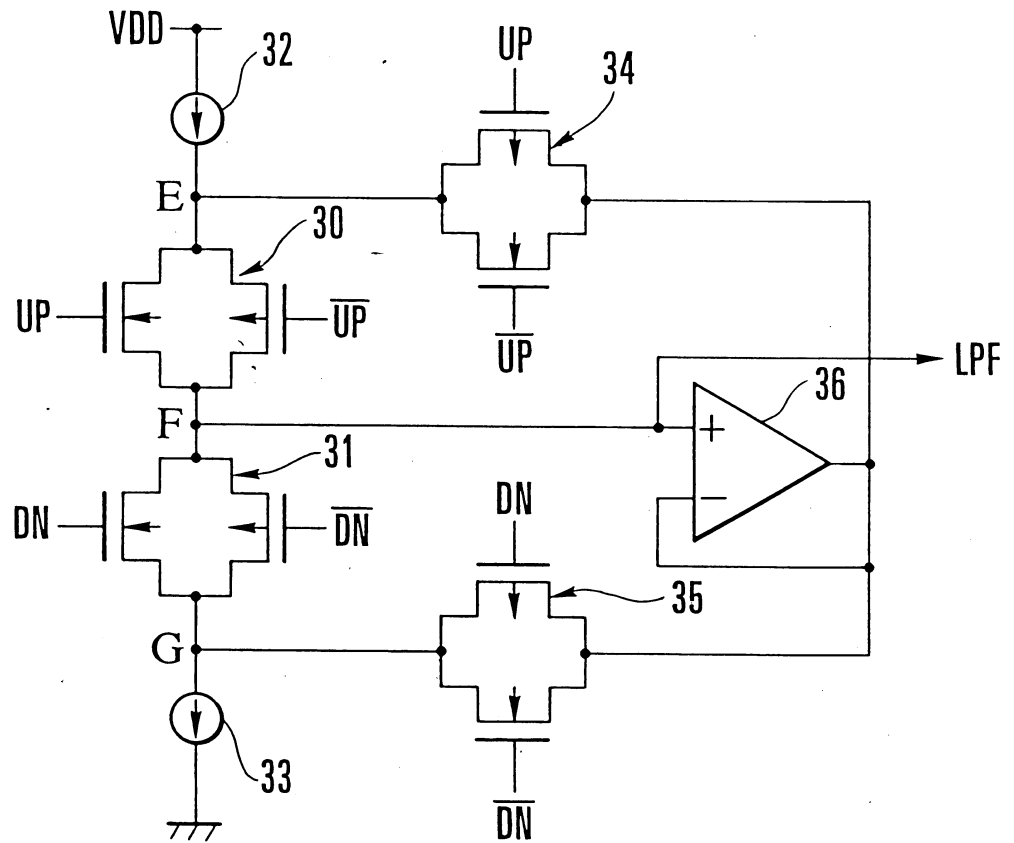
第 8A 圖



第 8B 圖



第 9 圖



第 10 圖

申請日期：88.3.17	案號：88104120	修正本 92年11月14日 修正補充
類別：		

(以上各欄由本局填註)

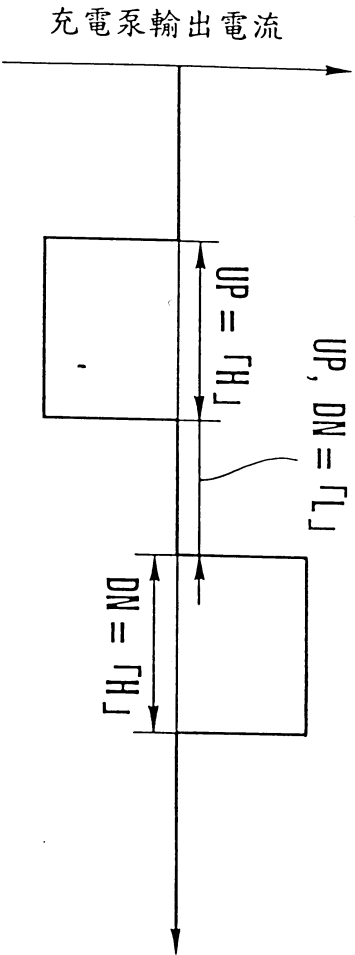
公告本

發明專利說明書

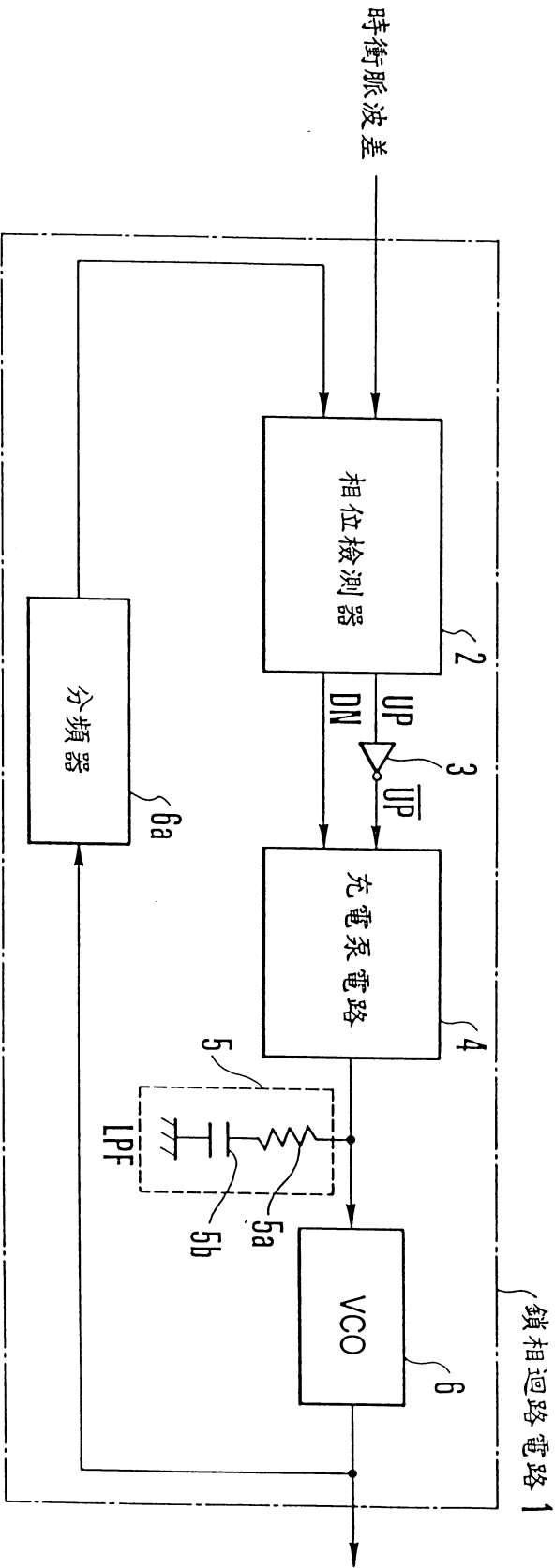
569542

一、發明名稱	中文	鎖相迴路之充電泵電路
	英文	
二、發明人	姓名 (中文)	1. 原田裕高 2. 谷本晉
	姓名 (英文)	1. 2.
	國籍	1. 日本 2. 日本
	住、居所	1. 東京都港區芝五丁目七番一號 2. 東京都港區芝五丁目七番一號
三、申請人	姓名 (名稱) (中文)	1. NEC電子股份有限公司
	姓名 (名稱) (英文)	1. NEC Electronics Corporation
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國神奈川縣川崎市中原區下沼部1753番地
	代表人 姓名 (中文)	1. 戶坂馨
	代表人 姓名 (英文)	1. Kaoru TOSAKA





第 6 圖



第 7 圖